

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 24 年 9 月 20 日 (2012.9.20)

【公表番号】特表 2012-502453 (P2012-502453A)

【公表日】平成 24 年 1 月 26 日 (2012.1.26)

【年通号数】公開・登録公報 2012-004

【出願番号】特願 2011-525401 (P2011-525401)

【国際特許分類】

H 0 1 L 33/64 (2010.01)

【F I】

H 0 1 L 33/00 4 5 0

【手続補正書】

【提出日】平成 24 年 8 月 1 日 (2012.8.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

オプトエレクトロニクス素子 (1) であって、

- ・当該オプトエレクトロニクス素子 (1) の電氣的コンタクトを行うための少なくとも 2 つの接続箇所 (2) と、
- ・前記接続箇所 (2) が局所的に埋め込まれたケーシング体 (3) と、
- ・前記接続箇所 (2) のうち少なくとも 1 つに接続された冷却体 (4) と、
- ・少なくとも 1 つのオプトエレクトロニクス半導体チップ (5) と

を有し、

- ・前記ケーシング体 (3) はプラスチック材料を使用して形成されており、
- ・前記冷却体 (4) に局所的に自由にアクセス可能にするための開口 (30) が、前記ケーシング体 (3) に設けられており、
- ・前記オプトエレクトロニクス半導体チップ (5) は前記開口 (30) 内に挿入され、前記冷却体 (4) 上に配置されており、
- ・前記接続箇所 (2) のうち少なくとも 2 つは、それぞれ前記オプトエレクトロニクス半導体チップ (5) に対向するチップ側区分 (2c) を有し、
- ・前記少なくとも 2 つの接続箇所 (2) のチップ側区分 (2c) は、同一のレベルに配置されており、

前記冷却体 (4) は、

- ・前記少なくとも 1 つのオプトエレクトロニクス半導体チップ (5) が設けられる蓋面 (41) と、
- ・前記蓋面 (41) と反対側にある底面 (42) と、
- ・前記蓋面 (41) と前記底面 (42) とを繋ぐ側面 (43) と

を有し、

前記側面 (43) には、前記ケーシング体 (3) のプラスチック材料は設けられていない

ことを特徴とする、オプトエレクトロニクス素子。

【請求項 2】

前記ケーシング体 (3) のプラスチック材料はエポキシ樹脂であるか、またはエポキシ樹脂を含む、請求項 1 記載のオプトエレクトロニクス素子。

**【請求項 3】**

前記ケーシング体（3）のプラスチック材料はシリコンであるか、またはシリコンを含む、請求項 1 または 2 記載のオプトエレクトロニクス素子。

**【請求項 4】**

前記冷却体（4）は、セラミック材料またはドーブされた半導体材料から成るプレート形のボディである、

請求項 1 から 3 までのいずれか 1 項記載のオプトエレクトロニクス素子。

**【請求項 5】**

前記冷却体（4）は、該冷却体（4）の固定区分（44）において、前記ケーシング体（3）から横方向に突出している、請求項 1 から 4 までのいずれか 1 項記載のオプトエレクトロニクス素子。

**【請求項 6】**

前記冷却体（4）の固定区分（44）に、固定手段（6）を固定するための開口（45）が設けられている、請求項 5 記載のオプトエレクトロニクス素子。

**【請求項 7】**

前記接続箇所（2）のうち少なくとも 1 つは、前記チップ側区分（2c）と反対側の接続区分（2a）において、はんだタグ端子として形成されている、請求項 1 から 6 までのいずれか 1 項記載のオプトエレクトロニクス素子。

**【請求項 8】**

前記接続箇所（2）のうち少なくとも 1 つは、前記チップ側区分（2c）と反対側の接続区分（2a）において、差込接続用のプラグとして形成されている、請求項 1 から 7 までのいずれか 1 項記載のオプトエレクトロニクス素子。

**【請求項 9】**

前記接続箇所（2）のうち少なくとも 1 つの接続箇所（2）の接続区分（2a）は、前記冷却体（4）の固定区分（44）に対して横方向に延在する、請求項 1 から 8 までのいずれか 1 項記載のオプトエレクトロニクス素子。

**【請求項 10】**

前記接続箇所（2）は少なくとも 3 つである、請求項 1 から 9 までのいずれか 1 項記載のオプトエレクトロニクス素子。

**【請求項 11】**

少なくとも 2 つの接続箇所（2）が前記冷却体（4）に溶接されている、請求項 10 記載のオプトエレクトロニクス素子。

**【請求項 12】**

前記オプトエレクトロニクス半導体チップ（5）は少なくとも 4 つである、請求項 1 から 11 までのいずれか 1 項記載のオプトエレクトロニクス素子。

**【請求項 13】**

請求項 1 から 12 までのいずれか 1 項記載のオプトエレクトロニクス素子の製造方法であって、

- ・少なくとも 2 つの接続箇所（2）を設けるステップと、
  - ・少なくとも 1 つの接続箇所（2）と冷却体（4）とを接続するステップと、
  - ・前記接続箇所（2）がケーシング体（3）に局所的に埋め込まれるように、前記冷却体（4）まで達する開口（30）が設けられた該ケーシング体（3）を作製するステップと、
  - ・前記ケーシング体（3）の開口（30）に少なくとも 1 つのオプトエレクトロニクス半導体チップ（5）を挿入し、前記冷却体（4）に固定するステップと
- を有することを特徴とする、製造方法。

**【請求項 14】**

前記接続箇所（2）はリードストリップ結合体に設けられている、請求項 13 記載の製造方法。