

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年9月20日(2012.9.20)

【公表番号】特表2012-502453(P2012-502453A)

【公表日】平成24年1月26日(2012.1.26)

【年通号数】公開・登録公報2012-004

【出願番号】特願2011-525401(P2011-525401)

【国際特許分類】

H 01 L 33/64 (2010.01)

【F I】

H 01 L 33/00 4 5 0

【手続補正書】

【提出日】平成24年8月1日(2012.8.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

オプトエレクトロニクス素子(1)であって、

- ・当該オプトエレクトロニクス素子(1)の電気的コンタクトを行うための少なくとも2つの接続箇所(2)と、
- ・前記接続箇所(2)が局所的に埋め込まれたケーシング体(3)と、
- ・前記接続箇所(2)のうち少なくとも1つに接続された冷却体(4)と、
- ・少なくとも1つのオプトエレクトロニクス半導体チップ(5)と

を有し、

- ・前記ケーシング体(3)はプラスチック材料を使用して形成されており、
- ・前記冷却体(4)に局所的に自由にアクセス可能にするための開口(30)が、前記ケーシング体(3)に設けられており、
- ・前記オプトエレクトロニクス半導体チップ(5)は前記開口(30)内に挿入され、前記冷却体(4)上に配置されており、
- ・前記接続箇所(2)のうち少なくとも2つは、それぞれ前記オプトエレクトロニクス半導体チップ(5)に対向するチップ側区分(2c)を有し、
- ・前記少なくとも2つの接続箇所(2)のチップ側区分(2c)は、同一のレベルに配置されており、

前記冷却体(4)は、

- ・前記少なくとも1つのオプトエレクトロニクス半導体チップ(5)が設けられる蓋面(41)と、
- ・前記蓋面(41)と反対側にある底面(42)と、
- ・前記蓋面(41)と前記底面(42)とを繋ぐ側面(43)と

を有し、

前記側面(43)には、前記ケーシング体(3)のプラスチック材料は設けられていない

ことを特徴とする、オプトエレクトロニクス素子。

【請求項2】

前記ケーシング体(3)のプラスチック材料はエポキシ樹脂であるか、またはエポキシ樹脂を含む、請求項1記載のオプトエレクトロニクス素子。

**【請求項 3】**

前記ケーシング体(3)のプラスチック材料はシリコーンであるか、またはシリコーンを含む、請求項1または2記載のオプトエレクトロニクス素子。

**【請求項 4】**

前記冷却体(4)は、セラミック材料またはドープされた半導体材料から成るプレート形のボディである、

請求項1から3までのいずれか1項記載のオプトエレクトロニクス素子。

**【請求項 5】**

前記冷却体(4)は、該冷却体(4)の固定区分(44)において、前記ケーシング体(3)から横方向に突出している、請求項1から4までのいずれか1項記載のオプトエレクトロニクス素子。

**【請求項 6】**

前記冷却体(4)の固定区分(44)に、固定手段(6)を固定するための開口(45)が設けられている、請求項5記載のオプトエレクトロニクス素子。

**【請求項 7】**

前記接続箇所(2)のうち少なくとも1つは、前記チップ側区分(2c)と反対側の接続区分(2a)において、はんだタグ端子として形成されている、請求項1から6までのいずれか1項記載のオプトエレクトロニクス素子。

**【請求項 8】**

前記接続箇所(2)のうち少なくとも1つは、前記チップ側区分(2c)と反対側の接続区分(2a)において、差込接続用のプラグとして形成されている、請求項1から7までのいずれか1項記載のオプトエレクトロニクス素子。

**【請求項 9】**

前記接続箇所(2)のうち少なくとも1つの接続箇所(2)の接続区分(2a)は、前記冷却体(4)の固定区分(44)に対して横方向に延在する、請求項1から8までのいずれか1項記載のオプトエレクトロニクス素子。

**【請求項 10】**

前記接続箇所(2)は少なくとも3つである、請求項1から9までのいずれか1項記載のオプトエレクトロニクス素子。

**【請求項 11】**

少なくとも2つの接続箇所(2)が前記冷却体(4)に溶接されている、請求項10記載のオプトエレクトロニクス素子。

**【請求項 12】**

前記オプトエレクトロニクス半導体チップ(5)は少なくとも4つである、請求項1から11までのいずれか1項記載のオプトエレクトロニクス素子。

**【請求項 13】**

請求項1から12までのいずれか1項記載のオプトエレクトロニクス素子の製造方法であって、

- ・少なくとも2つの接続箇所(2)を設けるステップと、
- ・少なくとも1つの接続箇所(2)と冷却体(4)とを接続するステップと、
- ・前記接続箇所(2)がケーシング体(3)に局所的に埋め込まれるように、前記冷却体(4)まで達する開口(30)が設けられた該ケーシング体(3)を作製するステップと、
- ・前記ケーシング体(3)の開口(30)に少なくとも1つのオプトエレクトロニクス半導体チップ(5)を挿入し、前記冷却体(4)に固定するステップとを有することを特徴とする、製造方法。

**【請求項 14】**

前記接続箇所(2)はリードストリップ結合体に設けられている、請求項13記載の製造方法。