

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7646840号
(P7646840)

(45)発行日 令和7年3月17日(2025.3.17)

(24)登録日 令和7年3月7日(2025.3.7)

(51)国際特許分類 F I
H 0 3 K 19/23 (2006.01) H 0 3 K 19/23
H 0 3 K 3/037(2006.01) H 0 3 K 3/037 Z

請求項の数 16 (全47頁)

(21)出願番号	特願2023-537422(P2023-537422)	(73)特許権者	521353344
(86)(22)出願日	令和3年9月1日(2021.9.1)		ケブラー コンピューティング インコーポレイテッド
(65)公表番号	特表2024-505795(P2024-505795 A)		アメリカ合衆国 9 1 0 4 5 カリフォルニア州, サンフランシスコ, スチュアート・ストリート 1 8 0 ナンバー 1 9 2 5 2 4
(43)公表日	令和6年2月8日(2024.2.8)	(74)代理人	100107766
(86)国際出願番号	PCT/US2021/048762		弁理士 伊東 忠重
(87)国際公開番号	WO2022/139890	(74)代理人	100070150
(87)国際公開日	令和4年6月30日(2022.6.30)		弁理士 伊東 忠彦
審査請求日	令和5年11月17日(2023.11.17)	(74)代理人	100135079
(31)優先権主張番号	17/129,842		弁理士 宮崎 修
(32)優先日	令和2年12月21日(2020.12.21)	(72)発明者	マニバトルニ, サシカンス
(33)優先権主張国・地域又は機関	米国(US)		アメリカ合衆国 9 7 2 2 9 オレゴン州
			最終頁に続く

(54)【発明の名称】 多数決論理ゲートベースの順序回路

(57)【特許請求の範囲】

【請求項 1】

3入力多数決論理ゲートであって、

第1入力、第2入力及び第3入力をそれぞれ受け取る第1、第2及び第3非強誘電体キャパシタと、

前記第1、第2及び第3入力の多数決関数出力を記憶するための非線形有極性キャパシタであって、該非線形有極性キャパシタの一方の端子は、前記3入力多数決論理ゲートの出力を提供する、非線形有極性キャパシタと、

を含む前記3入力多数決論理ゲートと；

前記3入力多数決論理ゲートの前記出力に結合されるドライバであって、該ドライバは前記3入力多数決論理ゲートの増幅出力を生成し、前記増幅出力は前記第3入力に結合されている、ドライバと；

入力クロックと前記増幅出力とを受け取る比較ロジックであって、比較ロジックのゲートの出力は前記第2入力である、比較ロジックと；

を備える、装置。

【請求項 2】

前記第1入力はデータ入力である、

請求項1に記載の装置。

【請求項 3】

前記ドライバは、バッファ、増幅器、NAND、AND、OR、マルチプレクサ又はN

OR論理ゲートのうちの1つを含み、前記比較ロジックは、排他的OR(XOR)ゲートを含む、

請求項1又は2に記載の装置。

【請求項4】

前記非線形有極性キャパシタの第1端子に結合される第1トランジスタであって、第1クロックにより制御可能な第1トランジスタと；

前記非線形有極性キャパシタの第2端子に結合される第2トランジスタであって、第2クロックにより制御可能な第2トランジスタと；

前記非線形有極性キャパシタの前記第2端子に結合される第3トランジスタであって、第3クロックによって制御可能な第3トランジスタと；

を含む、請求項1又は2に記載の装置。

10

【請求項5】

前記第1クロックは、前記第2クロックのパルス幅及び前記第3クロックのパルス幅よりも大きいパルス幅を有するか、

前記第3クロックは、前記第2クロックのアサートに先立ってデアサートするか、

前記第1トランジスタは第1n型トランジスタであり、前記第2トランジスタは第2n型トランジスタであり、前記第3トランジスタはp型トランジスタであるか、

前記第1トランジスタ、前記第2トランジスタ及び前記第3トランジスタは、評価フェーズにおいて無効にされ、リセットフェーズにおいて有効にされ、前記リセットフェーズは、前記評価フェーズに先行するか、

前記第1及び第2クロックは同一であり、前記第1及び第2クロックはリセット信号であるか、又は、

前記第1及び第2クロックは異なる信号である、

請求項4に記載の装置。

20

【請求項6】

前記第1入力を生成する第1ドライバと、

前記入力クロックを生成する第2ドライバと、

を備える請求項1又は2に記載の装置。

【請求項7】

前記第1及び第2ドライバは、CMOSトランジスタを含む、

請求項6に記載の装置。

30

【請求項8】

前記3入力多数決論理ゲートの前記第1、第2及び第3非強誘電体キャパシタは、金属-絶縁体-金属(MIM)キャパシタ、トランジスタゲートキャパシタ、金属とトランジスタのハイブリッドキャパシタ又は常誘電体材料を含むキャパシタのうちの1つを含む、

請求項1又は2に記載の装置。

【請求項9】

前記非線形有極性キャパシタは、強誘電体材料、常誘電体材料又は非線形誘電体材料のうちの1つを含む、

請求項1又は2に記載の装置。

40

【請求項10】

前記強誘電体材料は、以下のうちの1つを含む、すなわち：

第1ドーピング材料を有するピスマスフェライト(BFO)であり、ここで、前記第1ドーピング材料は、ランタン又は周期表のランタニド系列の元素のうちの1つを含む；

チタン酸ジルコン酸鉛(PZT)、又は第2ドーピング材料を有するPZTであり、ここで、前記第2ドーピング材料は、La又はNbのうちの1つを含む；

ニオブ酸マグネシウム鉛(PMN)、ニオブ酸マグネシウム鉛-チタン酸鉛(PMN-PT)、ジルコン酸チタン酸ランタン鉛(PLZT)、ニオブ酸スカンジウム鉛(PSN)、バリウムチタン-亜鉛ニオブタンタル(BT-BZNT)又はバリウムチタン-バリウムストロンチウムチタン(BT-BST)のうちの1つを含む、リラクサ強誘電体；

50

BaTiO₃、PbTiO₃、KNbO₃又はNaTaO₃のうちの1つを含む、ペロブスカイト強誘電体；

YMnO₃又はLuFeO₃のうちの1つを含む、六方晶強誘電体；

h-RMnO₃型の六方晶強誘電体であり、ここで、Rは、セリウム(Ce)、ジスプロシウム(Dy)、エルビウム(Er)、ユーロピウム(Eu)、ガドリウム(Gd)、ホルミウム(Ho)、ランタン(La)、ルテチウム(Lu)、ネオジウム(Nd)、プラセオジウム(Pr)、プロメチウム(Pm)、サマリウム(Sm)、スカンジウム(Sc)、テルビウム(Tb)、ツリウム(Tm)、イッテルビウム(Yb)又はイットリウム(Y)のうちの1つを含む希土類元素である；

ハフニウム(Hf)、ジルコニウム(Zr)、アルミニウム(Al)、シリコン(Si)、それらの酸化物又はそれらの合金酸化物；

Hf_{1-x}ExO_y形式のハフニウム酸化物であり、ここで、Eは、Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn又はYとすることができる；

Al(1-x)Sc(x)N、Ga(1-x)Sc(x)N、Al(1-x)Y(x)N又はAl(1-x-y)Mg(x)Nb(y)N、yドーブHfO₂であり、ここで、yは、Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn又はYのうちの1つを含み、'x'は分数である；

ニオブ酸型化合物LiNbO₃、LiTaO₃、リチウム鉄タンタルオキシフッ化物、ニオブ酸バリウムストロンチウム、ニオブ酸ナトリウムバリウム又はニオブ酸カリウムストロンチウム；又は

[PTO/STO]_n又は[LAO/STO]_nのうちの1つを含む、変則的な強誘電体であり、ここで'n'は1~100である、

請求項9に記載の装置。

【請求項11】

前記非線形有極性キャパシタはダイのバックエンドに配置され、前記ドライバ及び前記比較ロジックのトランジスタはダイのフロントエンドに配置される、

請求項1又は2に記載の装置。

【請求項12】

装置であって、

第1入力、第2入力及び第3入力と、第1出力を有する3入力多数決ゲートと；

前記第1出力に結合されるドライバであって、第2出力を生成するドライバと；

クロックと前記第2出力とを受信する比較ロジックであって、該比較ロジックは、前記第2入力に結合される第3出力を生成し、前記第1入力はデータを受け取り、前記第3入力は前記第2出力を受け取る、比較ロジックと；

を備え、

前記3入力多数決ゲートは、

前記第1入力、前記第2入力及び前記第3入力にそれぞれ結合される第1、第2及び第3非強誘電体キャパシタと、

前記第1入力、前記第2入力及び前記第3入力の多数決関数出力を記憶するための非線形有極性キャパシタと、

を備え、前記非線形有極性キャパシタの一方の端子が前記第1出力を提供する、
装置。

【請求項13】

前記ドライバは、バッファ、増幅器、NAND、AND、OR、マルチプレクサ又はNOR論理ゲートのうちの1つを含み、前記比較ロジックは、排他的OR(XOR)ゲートを含む、

請求項12に記載の装置。

【請求項14】

前記非線形有極性キャパシタの第1端子に結合される第1トランジスタであって、第1信号により制御可能な第1トランジスタと；

前記非線形有極性キャパシタの第2端子に結合される第2トランジスタであって、第2

10

20

30

40

50

信号により制御可能な第 2 トランジスタと；

前記非線形有極性キャパシタの前記第 2 端子に結合される第 3 トランジスタであって、第 3 信号によって制御可能な第 3 トランジスタと；

を含む、請求項 1_2 に記載の装置。

【請求項 1 5】

前記第 1 信号は、前記第 2 信号のパルス幅及び前記第 3 信号のパルス幅よりも大きいパルス幅を有するか、

前記第 3 信号は、前記第 2 信号のアサートに先立ってデアサートするか、

前記第 1 トランジスタは第 1 n 型トランジスタであり、前記第 2 トランジスタは第 2 n 型トランジスタであり、前記第 3 トランジスタは p 型トランジスタであるか、又は

前記第 1 トランジスタ、前記第 2 トランジスタ及び前記第 3 トランジスタは、評価フェーズにおいて無効にされ、リセットフェーズにおいて有効にされ、前記リセットフェーズは、前記評価フェーズに先行する、

請求項 1_4 に記載の装置。

【請求項 1 6】

システムであって、

プロセッサと、

前記プロセッサに通信可能に結合された通信インタフェースと、

前記プロセッサに結合されたメモリと、を備え、

前記プロセッサは、請求項 1 乃至 1 1 のいずれか一項による順序回路を含む、システム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

優先権の主張

この P C T 出願は、2 0 2 0 年 1 2 月 2 1 日に出願された米国特許出願第 1 7 / 1 2 9 , 8 4 2 号の優先権を主張し、すべての目的のためにその全体が参照により援用される。

【背景技術】

【0 0 0 2】

順序回路は、その出力がクロックによってサンプリングされる論理回路である。出力は、入力（例えばデータ）の現在の値だけでなく、過去の入力の順序にも依存する。そのため、入力履歴は出力値の中で役割を果たす。これは、出力が現在の入力のみ関数である組合せロジックとは対照的である。フリップフロップのような典型的な順序回路は、マスタ及びスレーブ段階を形成するためのいくつかのゲート及びトランジスタと、様々なゲート及びトランジスタを接続するための多くの相互接続とから構成され得る。これらのトランジスタ及びゲートは規則的にトグルして、順序回路の動的電力消費を増大させる。プロセッサがバッテリー電力を節約するために電力エンベロープを押し下げているので、順序回路の既存のアーキテクチャは、より低い電力消費の目標に対する挑戦を提示する。

【0 0 0 3】

本明細書に提供される背景説明は、本開示の文脈を一般的に提示する目的である。ここで別段の指示がない限り、このセクションに記載されている材料は、本出願の特許請求の範囲に対する先行技術ではなく、このセクションに含めることによって先行技術であると認められない。

【図面の簡単な説明】

【0 0 0 4】

本開示の実施形態は、以下に与えられる詳細な説明及び本開示の様々な実施形態の添付図面からより十分に理解されるが、これらは本開示を特定の実施形態に限定するものと解釈されるべきではなく、説明及び理解のためだけのものである。

【0 0 0 5】

【図 1 A】いくつかの実施形態による、3 入力多数決ゲート (3-input majority gate) を有する論理ゲートを示す図である。

10

20

30

40

50

【 0 0 0 6 】

【 図 1 B 】いくつかの実施形態による、5入力多数決ゲートを有する論理ゲートを示す図である。

【 0 0 0 7 】

【 図 1 C 】強誘電体キャパシタの特性を示すプロットである。

【 0 0 0 8 】

【 図 1 D 】いくつかの実施形態による、3入力多数決ゲートの出力を示すプロットを示す図である。

【 0 0 0 9 】

【 図 1 E 】いくつかの実施形態による、図 1 A ~ 図 1 B の多数決ゲートの強誘電体キャパシタをリセットするためのタイミング図である。 10

【 0 0 1 0 】

【 図 1 F 】いくつかの実施形態による、パスゲートベースのリセット機構を有する3入力多数決ゲートを有する論理ゲートを示す図である。

【 0 0 1 1 】

【 図 1 G 】いくつかの実施形態による、図 1 F の多数決ゲートの強誘電体キャパシタをリセットするためのタイミング図である。

【 0 0 1 2 】

【 図 1 H 】いくつかの実施形態による、入力リセット機構を有する3入力多数決ゲートを有する論理ゲートを示す図である。 20

【 0 0 1 3 】

【 図 1 I 】いくつかの実施形態による、図 1 H の多数決ゲートの強誘電体キャパシタをリセットするためのタイミング図である。

【 0 0 1 4 】

【 図 1 J 】いくつかの実施形態による、強誘電体キャパシタの挙動に関連するノード V_{out_int2} における電圧を示すプロットを示す図である。

【 0 0 1 5 】

【 図 2 A 】いくつかの実施形態による、ANDゲート又はORゲートとして動作することができる3入力閾値ゲートを有する論理ゲートを示す図である。

【 0 0 1 6 】

【 図 2 B 】いくつかの実施形態による、パスゲートベースのリセット機構を用いる3入力閾値ゲートを有する論理ゲートを示す図であり、3入力閾値ゲートは、AND又はORゲートとして動作することができる。 30

【 0 0 1 7 】

【 図 2 C 】いくつかの実施形態による、入力リセット機構を用いる3入力閾値ゲートを有する論理ゲートを示す図であり、3入力閾値ゲートは、AND又はORゲートとして動作することができる。

【 0 0 1 8 】

【 図 2 D 】いくつかの実施形態による、AND又はORゲートとして動作することができる5入力閾値ゲートを有する論理ゲートを示す図である。 40

【 0 0 1 9 】

【 図 3 A 】図 1 B の3入力多数決ゲートの動作を示す波形を示す図である。

【 0 0 2 0 】

【 図 3 B 】いくつかの実施形態による、それぞれ異なる V_{bias} 値を有する5入力閾値ゲートの動作を示す波形を示す図である。

【 図 3 C 】いくつかの実施形態による、それぞれ異なる V_{bias} 値を有する5入力閾値ゲートの動作を示す波形を示す図である。

【 図 3 D 】いくつかの実施形態による、それぞれ異なる V_{bias} 値を有する5入力閾値ゲートの動作を示す波形を示す図である。

【 図 3 E 】いくつかの実施形態による、それぞれ異なる V_{bias} 値を有する5入力閾値 50

ゲートの動作を示す波形を示す図である。

【0021】

【図4】いくつかの実施形態による、インバータ又はバッファに結合する3入力多数決ゲートの3D(3次元)ビューを有する図1Aの論理ゲートを含む組合せロジックを示す図である。

【0022】

【図5】いくつかの実施形態による、インバータ又はバッファに結合する3入力閾値ゲートの3Dビューを有する図1Bの論理ゲートを含む組合せロジックを示す図である。

【0023】

【図6】いくつかの実施形態による、非線形有極性キャパシタ(polar capacitor)を含む低電力順序回路(例えばラッチ)を示す図である。

10

【0024】

【図7】いくつかの実施形態による、図6の低電力順序回路の真理値表を示す表である。

【0025】

【図8A】いくつかの実施形態による、非線形有極性キャパシタを含む低電力多数決ゲートベースの順序回路(例えばラッチ)を示す図である。

【0026】

【図8B】いくつかの実施形態による、非線形有極性キャパシタを含む低電力多数決ゲートベースのフリップフロップ回路を示す図である。

【0027】

【図9】いくつかの実施形態による、図8Aの順序回路の概略図である。

20

【0028】

【図10】いくつかの実施形態による、低電圧順序回路を使用するシステムオンチップ(SOC)を示す図である。

【発明を実施するための形態】

【0029】

いくつかの実施形態は、電荷を保持するために非線形有極性キャパシタ(polar capacitor)を使用する順序回路を記載する。各トランジスタがソース(Source)又はドレイン(Drain)に直接接続されなければならない標準的なCMOS(相補型金属酸化物半導体、Complementary Metal Oxide Semiconductor)ベースのトランジスタとは異なり、いくつかの実施形態では、トランジスタは充電された強誘電体キャパシタに接続される。いくつかの実施形態では、順序回路は、第1、第2及び第3入力と第1出力とを有する3入力多数決ゲート(majority gate)を含む。多数決ゲートは非線形有極性材料を使用し、新しいクラスの論理ゲートを形成する。いくつかの実施形態では、多数決ゲートの代わりに閾値ゲート(threshold gate)を使用することができる。

30

【0030】

アナログ、デジタル又はそれらの組合せの形態の入力信号は、多数決ゲートの非強誘電体キャパシタの第1端子に駆動される。非強誘電体キャパシタの第2端子は、多数決ノードを形成するように結合される。入力信号の多数決関数(majority function)はこのノードで起こる。次いで、多数決ノードは、非線形有極性材料を含むキャパシタの第1端子に結合される。キャパシタの第2端子は、論理ゲートの出力を提供する。

40

【0031】

いくつかの実施形態において、順序回路は、第1出力(例えば3入力多数決ゲートの出力)に結合されたドライバを更に含む。ドライバは第2出力を生成する。ドライバは、バッファ、インバータ、NANDゲート、NORゲート等のような任意の適切な論理ゲートとすることができる。任意の適切な論理回路又はアナログ回路は、多数決論理ゲートの出力及び入力を駆動することができる。したがって、様々な実施形態の多数決ゲートを、相補型金属酸化物半導体(CMOS)、トンネル電界効果トランジスタ(TFET)、GaAsベースのトランジスタ、バイポーラ接合トランジスタ(BJT)、Bi-CMOSトランジスタ等のような既存のトランジスタ技術と組み合わせることができる。

50

【 0 0 3 2 】

いくつかの実施形態において、順序回路は、クロック及び第2出力を受け取るための排他的論理和 (XOR) ゲートを含む。XORゲートは、(3入力多数決ゲートの) 第2入力に結合される第3出力を生成し、ここで、3入力多数決ゲートの第1入力は、データ(例えばサンプリングされる入力データ)を受け取り、(3入力多数決ゲートの) 第3入力は第2出力(例えばドライバの出力)を受け取る。

【 0 0 3 3 】

いくつかの実施形態において、順序回路の多数決ゲートは、閾値ゲートと置き換えられる。閾値ゲートにおいて、追加の固定又はプログラム可能な入力が、別のキャパシタを介して多数決ノードに結合される。この追加の固定又はプログラム可能な入力は、正又は負のバイアスとすることができる。バイアスは、多数決ノードにおける電圧(又は電流)に加算されるか又はその電圧(又は電流)から減算される閾値又はオフセットとして動作し、論理ゲートの最終的な論理値を決定する。様々な実施形態に従って、バイアスの極性又は電圧値に応じて、ANDゲート又はOR論理ゲート関数を実現される。

10

【 0 0 3 4 】

いくつかの実施形態では、3入力多数決論理ゲートと、3入力多数決論理ゲートの出力に結合されたドライバとを含む装置が提供される。いくつかの実施形態では、3入力多数決論理ゲートは、それぞれ、第1入力、第2入力及び第3入力を受信するための第1、第2及び第3非強誘電体キャパシタを含む。いくつかの実施形態では、3入力多数決論理ゲートは、第1、第2及び第3入力の多数決関数出力を記憶するための非線形有極性キャパシタを含み、非線形有極性キャパシタの1つの端子は3入力多数決論理ゲートの出力を提供する。いくつかの実施形態では、ドライバは、3入力多数決論理ゲートの増幅出力を生成し、ここで、増幅出力は第3入力に結合される。いくつかの実施形態では、装置は、クロック及び増幅出力を受け取るための比較ロジックを含み、ここで、比較論理ゲートの出力は第2入力である。

20

【 0 0 3 5 】

いくつかの実施形態では、第1入力はデータ入力である。いくつかの実施形態では、ドライバは、バッファ、増幅器、NAND、AND、OR、マルチプレクサ又はNOR論理ゲートのうちの1つを含み、比較ロジックは、排他的OR(XOR)ゲートを含む。いくつかの実施形態では、装置は、非線形有極性キャパシタの第1端子に結合された第1トランジスタであって、第1クロックによって制御可能な第1トランジスタと、非線形有極性キャパシタの第2端子に結合された第2トランジスタであって、第2クロックによって制御可能で第2トランジスタと、非線形有極性キャパシタの第2端子に結合された第3トランジスタであって、第3クロックによって制御可能である第3トランジスタとを備える。

30

【 0 0 3 6 】

いくつかの実施形態では、第1クロックは、第2クロックのパルス幅及び第3クロックのパルス幅よりも大きいパルス幅を有する。いくつかの実施形態において、第3クロックは、第2クロックのアサート(assertion)に先立ってデアサート(de-assert)する。いくつかの実施形態では、第1トランジスタは第1n型トランジスタであり、第2トランジスタは第2n型トランジスタであり、第3トランジスタはp型トランジスタである。いくつかの実施形態では、第1トランジスタ、第2トランジスタ及び第3トランジスタは、評価フェーズで無効(disable)にされ、リセットフェーズで有効(enable)にされ、ここで、リセットフェーズは評価フェーズの前である。いくつかの実施形態では、第1及び第2信号は同じであり、ここで、第1及び第2信号はリセット信号である。いくつかの実施形態では、第1及び第2信号は異なる信号である。いくつかの実施形態では、装置は、第1入力を生成するための第1ドライバと、クロックを生成するための第2ドライバとを含む。いくつかの実施形態では、第1及び第2ドライバはCMOSトランジスタを含む。いくつかの実施形態では、3入力多数決論理ゲートの第1、第2及び第3非強誘電体キャパシタは、金属-絶縁体-金属(MIM, metal-insulator-metal)キャパシタ、トランジスタゲートキャパシタ、金属とトランジスタのハイブリッドキャパシタ又は常誘電体材料

40

50

(para-electric material) を含むキャパシタのうちの1つを含む。

【0037】

いくつかの実施形態では、非線形有極性キャパシタは、強誘電体材料、常誘電体材料又は非線形誘電体材料のうちの1つを含む。いくつかの実施形態では、強誘電体材料は、以下のうちの1つを含む、すなわち：ピスマスフェライト (BFO)、ドーピング材料を有するBFOであって、ここで、該ドーピング材料は、ランタン又は周期表のランタニド系列の元素のうちの一方を含む；チタン酸ジルコン酸鉛 (PZT)、又はドーピング材料を有するPZTであって、ここで該ドーピング材料は、La又はNbのうちの一方を含む；リラクサ強誘電体は、ニオブ酸マグネシウム鉛 (PMN)、ニオブ酸マグネシウム鉛 - チタン酸鉛 (PMN-PT)、ジルコン酸チタン酸ランタン鉛 (PLZT、lead lanthanum zirconate titanate)、ニオブ酸スカンジウム鉛 (PSN)、バリウムチタン - 亜鉛ニオブタンタル (BT-BZNT、Barium Titanium-Bismuth Zinc Niobium Tantalum)、又はバリウムチタン - バリウムストロンチウムチタン (BT-BST、Barium Titanium-Barium Strontium Titanium) のうちの1つを含む。いくつかの実施形態において、ペロブスカイト強誘電体は、BaTiO₃、PbTiO₃、KNbO₃又はNaTaO₃のうちの1つを含む。いくつかの実施形態では、六方晶強誘電体 (hexagonal ferroelectric) は、YMnO₃又はLuFeO₃のうちの1つを含む。いくつかの実施形態において、h-RMnO₃型 (type h-RMnO₃) の六方晶強誘電体であって、ここで、Rは、セリウム (Ce)、ジスプロシウム (Dy)、エルビウム (Er)、ユーロピウム (Eu)、ガドリウム (Gd)、ホルミウム (Ho)、ランタン (La)、ルテチウム (Lu)、ネオジウム (Nd)、プラセオジウム (Pr)、プロメチウム (Pm)、サマリウム (Sm)、スカンジウム (Sc)、テルビウム (Tb)、ツリウム (Tm)、イットルビウム (Yb) 又はイットリウム (Y) のうちの1つを含む希土類元素である；ハフニウム (Hf)、ジルコニウム (Zr)、アルミニウム (Al)、シリコン (Si)、それらの酸化物又はそれらの合金酸化物；Hf_{1-x}ExO_y形式のハフニウム酸化物 (Hafnium oxides)、ここで、Eは、Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn又はYとすることができる；Al(1-x)Sc(x)N、Ga(1-x)Sc(x)N、Al(1-x)Y(x)N又はAl(1-x-y)Mg(x)Nb(y)N、yドープHfO₂ (y doped HfO₂)、ここでyは、Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn又はYのうちの1つを含み、'x'は分数 (fraction) である；ニオブ酸型化合物 (Niobate type compounds) LiNbO₃、LiTaO₃、リチウム鉄タンタルオキシフッ化物、ニオブ酸バリウムストロンチウム、ニオブ酸ナトリウムバリウム又はニオブ酸カリウムストロンチウム；又は変則的な強誘電体 (improper ferroelectric) は、[PTO/STO]_n又は[LAO/STO]_nのうちの1つを含み、ここで'n'は1~100である。いくつかの実施形態において、非線形有極性キャパシタはダイのバックエンドに配置され、一方、ドライバ及び比較ロジックのトランジスタはダイのフロントエンドに配置される。

【0038】

様々な実施形態には多くの技術的効果がある。例えば非強誘電体キャパシタと非線形有極性材料を用いるキャパシタとを使用して、極めてコンパクトな順序回路が形成される。非線形有極性材料は、強誘電体材料、常誘電体材料又は非線形誘電体とすることができる。多数決ゲート及びノ又は閾値ゲートはスイッチングトランジスタを使用せず、相互接続ルーティングは遷移CMOS論理ゲートで使用される相互接続ルーティングよりもはるかに少ないため、様々な実施形態の多数決ゲート及びノ又は閾値ゲートは、順序回路の電力消費を低下させる。例えば同じ機能及び性能のために、様々な実施形態の多数決ゲート及び閾値ゲートによって従来のCMOS回路よりも10倍少ない相互接続長が使用される。非線形有極性材料を有するキャパシタは非揮発性を提供し、これは、間欠性の動作を可能にし、不使用時の電力排出をゼロにする。

【0039】

例えばこのような順序論理ゲートを有するプロセッサは、データの損失を心配する必要なく、様々なタイプの低電力状態に入り、出ることができる。非線形有極性材料を有するキャパシタは、低エネルギーデバイスからの電荷を蓄積することができるので、プロセッサ全体は、電源からの非常に低い電圧レベルで動作することができ、プロセッサの全体的

10

20

30

40

50

な電力を減少させる。さらに、非線形有極性材料の非常に低い電圧スイッチング（例えば 100 mV）は、低スイング信号スイッチングを可能にし、その結果、低電力がもたらされる。

【0040】

非線形有極性材料を用いるキャパシタを、任意のタイプのトランジスタとともに使用することができる。例えば様々な実施形態の非線形有極性材料を用いるキャパシタを、平面又は非平面トランジスタとともに使用することができる。トランジスタを、ダイのフロントエンド又はバックエンドに形成することができる。非線形有極性材料を用いるキャパシタを、ダイのフロントエンド又はバックエンドに形成することができる。したがって、論理ゲートを、従来の論理ゲートと比較して高密度でパックすることができる。他の技術的効果は、様々な実施形態及び図面から明らかであろう。

10

【0041】

以下の説明において、本開示の実施形態のより完全な説明を提供するために、多くの詳細が議論される。しかしながら、本開示の実施形態は、これらの具体的な詳細なしで実践されてもよいことが当業者には明らかであろう。他の例では、本開示の実施形態を不明瞭にすることを避けるために、周知の構造及びデバイスが、詳細ではなくブロック図形式で示されている。

【0042】

なお、実施形態の対応する図面において、信号は線を用いて表されている。いくつかの線は、より多くの構成要素信号経路を示すために太くされることがあり、かつ/又は一次情報フロー方向を示すために1つ以上の端部に矢印を有することがある。このような指示は、限定するように意図されていない。むしろ、線は、回路又は論理ユニットのより容易な理解を促進するために、1つ以上の例示の実施形態に関連して使用されている。任意の表される信号は、設計ニーズ又は好みによって決定されるように、実際には、いずれかの方向に移動することがあり、任意の適切なタイプの信号スキームで実装され得る、1つ以上の信号を含む。

20

【0043】

用語「デバイス」は、一般に、その用語の使用の文脈に応じた装置を指し得る。例えばデバイスは、層又は構造のスタック、単一の構造又は層、能動要素及び/又は受動要素を有する様々な構造の接続等を指し得る。一般に、デバイスは、x - y - z デカルト座標システムの x - y 方向に沿った平面及び z 方向に沿った高さを有する三次元構造である。デバイスの平面はまた、デバイスを含む装置の平面であってもよい。

30

【0044】

本明細書全体を通して及び特許請求の範囲において、「接続される」という用語は、いずれの中間デバイスもない、接続されるもの同士の間での電気的、機械的又は磁気的な接続のような直接接続を意味する。

【0045】

「結合された」という用語は、接続されるもの同士の間での直接的な電気的、機械的又は磁気的接続、あるいは1つ以上の受動又は能動中間デバイスを通じた間接的接続のような、直接又は間接的接続を意味する。

40

【0046】

ここで、「隣接する」という用語は、一般に、あるものが隣にある位置（例えばそれらの間の1つ以上のもののすぐ隣又は近くにある）又は別のものに隣接する（例えばそれに隣接する）位置を指す。

【0047】

「回路」又は「モジュール」という用語は、所望の機能を提供するために互いに協働するように配置された1つ以上の受動及び/又は能動構成要素を指すことがある。

【0048】

「信号」という用語は、少なくとも1つの電流信号、電圧信号、磁気信号又はデータ/クロック信号を指すことがある。「a」、「an」及び「the」の意味は、複数の参照を含む

50

。「において (in)」の意味は「in」と「on」を含む。

【0049】

ここで、「アナログ信号」という用語は、一般に、信号の時間変化する特徴（変数）が何らかの他の時間変化する量の表現である、すなわち、別の時間変化する信号に類似している任意の連続信号を指す。

【0050】

ここで、「デジタル信号」という用語は、一般に、離散値のシーケンス（定量化された離散時間信号）、例えば任意のビットストリーム、又はデジタル化された（サンプリングされてアナログ-デジタル変換された）アナログ信号の表現である物理信号を指す。

【0051】

「スケーリング」という用語は、一般に、あるプロセス技術から別のプロセス技術に設計（概略図及びレイアウト）を変換し、続いてレイアウトエリアを縮小することを指す。「スケーリング」という用語はまた、一般に、同じ技術ノード内のレイアウト及びデバイスを小型化することも指す。「スケーリング」という用語はまた、別のパラメータ、例えば電源レベルに対して信号周波数を調整すること（例えば減速又は加速 - すなわち、それぞれスケールダウン又はスケールアップ）を指すこともある。

【0052】

「実質的に (substantially)」、「近い (close)」、「およそ (approximately)」、「近い (near)」及び「約 (about)」という用語は、一般に、目標値の $\pm 10\%$ 以内であることを指す。例えばそれらの使用の明示的な文脈において別段の特定がない限り、「実質的に等しい」、「ほぼ等しい」及び「およそ等しい」等という用語は、そのように記載されたものの間に偶発的な変動以上のものをないことを意味する。当該技術分野において、そのような変動は、典型的には、所定の目標値の $+/- 10\%$ 以下である。

【0053】

別段の記載がない限り、共通の対象を記述するための序数形容詞「第1」、「第2」及び「第3」等の使用は、単に、類似する対象の異なる例が言及されていることを示すものにすぎず、そのように記述された対象が、時間的、空間的、ランク付け又は他の方法のいずれかの所与の順序でなければならないことを意味するように意図されていない。

【0054】

本開示の目的のために、「A及び/又はB」及び「A又はB」というフレーズは、(A)、(B)、又は(AとB)を意味する。本開示の目的のために、語句「A、B及び/又はC」というフレーズは、(A)、(B)、(C)、(AとB)、(AとC)、(BとC)又は(AとBとC)を意味する。

【0055】

本明細書及び特許請求の範囲における「左」、「右」、「前」、「後」、「上」、「下」、「の上」、「の下」等の用語は、存在する場合、説明のために使用されており、必ずしも永久的な相対位置を説明するために使用されているわけではない。例えば本明細書で使用される「の上」、「の下」、「前側」、「後側」、「上部」、「底部」、「の上」、「の下」及び「上」という用語は、デバイス内の他の参照される構成要素、構造又は材料に対する1つの構成要素、構造又は材料の相対位置を指し、そのような物理的關係は注目に値する。これらの用語は、本明細書では、説明の目的のためにのみ、主にデバイスz軸の文脈で使用されており、したがって、デバイスの配向に関連しることがある。したがって、本明細書に提供される図の文脈において、第2材料「の上」にある第1材料は、デバイスが、提供される図の文脈に対して上下逆に配向されている場合、第2材料「の下」にあり得る。材料に関連して、別の材料の上又はその下に配置されるある材料は、直接接触してもよく、あるいは1つ以上の介在材料を有してもよい。さらに、2つの材料の間に配置された1つの材料は、2つの層と直接接触していてもよく、あるいは1つ以上の介在層を有していてもよい。対照的に、第2材料上の第1材料は、その第2材料と直接接触している。構成要素アセンブリの文脈でも同様の区別がなされる。

【0056】

10

20

30

40

50

「間」という用語は、デバイスの z 軸、x 軸又は y 軸の文脈で使用されることがある。2つの他の材料の間にある材料は、これらの材料の一方又は両方と接触していてもよく、あるいは1つ以上の介在する材料によって他の2つの材料の両方から分離されていてもよい。2つの他の材料の「間」の材料は、したがって、他の2つの材料のいずれかと接触していてもよく、あるいは介在材料を介して他の2つの材料に結合されてもよい。2つの他のデバイスの間にあるデバイスは、これらのデバイスの一方又は両方に直接接続されてもよく、あるいは1つ以上の介在デバイスによって他の2つのデバイスの両方から分離されてもよい。

【0057】

ここで、複数の非シリコン半導体材料層は単一のフィン構造内に積層されてもよい。複数の非シリコン半導体材料層は、p型トランジスタに適した（例えばシリコンより高い正孔移動度を提供する）1つ以上の「p型」層を含んでよい。複数の非シリコン半導体材料層は、N型トランジスタに適した（例えばシリコンより高い電子移動度を提供する）1つ以上の「N型」層を更に含んでよい。複数の非シリコン半導体材料層は、p型層からN型層を分離する1つ以上の介在層を更に含んでよい。介在層は、例えばゲート、ソース又はドレイン（drain）のうちの1つ以上が、N型及びp型トランジスタのうちの1つ以上のトランジスタのチャネル領域を完全に囲むことができるように、少なくとも部分的に犠牲的であり得る。複数の非シリコン半導体材料層は、積層型CMOSデバイスが、単一のFET（電界効果トランジスタ、field effect transistor）のフットプリントを有する高移動度N型及びp型トランジスタの両方を含み得るように、少なくとも部分的に自己整合技術を用いて製造され得る。

【0058】

ここで、「バックエンド」という用語は、一般に、「フロントエンド」とは反対のダイのセクションを指し、ここで、IC（集積回路）パッケージはICダイパンプに結合する。例えば高レベル金属層（例えば10金属積層ダイにおける金属層6以上）及びダイパッケージに近い対応するビアは、ダイのバックエンドの一部と考えられる。逆に、「フロントエンド」という用語は、一般に、（例えばトランジスタが製造される）活性領域と、活性領域に近い低レベル金属層及び対応するビア（例えば10金属積層ダイの例では金属層5以下）を含むダイのセクションを指す。

【0059】

いずれかの他の図の要素と同じ参照番号（又は名称）を有する図の要素は、説明したものと同様の方法で動作又は機能することができるが、これに限定されるものではないことを指摘する。

【0060】

図1Aは、いくつかの実施形態による、3入力多数決ゲートを有する論理ゲート100を示す。論理ゲート100は、第1、第2及び第3ドライバ101、102及び103をそれぞれ含む。これらのドライバは、アナログ信号を生成するアナログドライバ、あるいは接地と電源レールとの間でトグルする信号を生成するデジタルドライバ、あるいはアナログ又はデジタルドライバの組合せとすることができる。例えばドライバ101は、バッファ、インバータ、NANDゲート、NORゲート等のようなCMOSドライバであり、一方、ドライバ102は、バイアス信号を生成する増幅器である。ドライバは、入力信号 V_{in1} （及び電流 I_1 ）、 V_{in2} （及び電流 I_2 ）及び V_{in3} （及び電流 I_3 ）を3入力多数決ゲート104の3つの入力に提供する。

【0061】

様々な実施形態において、3入力多数決ゲート104は、3つの入力ノード V_{in1} 、 V_{in2} 及び V_{in3} を含む。ここで、信号名とノード名は交換可能に使用される。例えば V_{in1} は、文の文脈に応じてノード V_{in1} 又は信号 V_{in1} を指す。3入力多数決ゲート104は、キャパシタ C_1 、 C_2 及び C_3 を更に含む。ここで、抵抗 R_1 、 R_2 及び R_3 は、それぞれキャパシタ C_1 、 C_2 、 C_3 に結合される配線寄生抵抗である。様々な実施形態において、キャパシタ C_1 、 C_2 及び C_3 は、非強誘電体キャパシタである。

いくつかの実施形態では、非強誘電体キャパシタは、誘電体キャパシタ、常誘電体キャパシタ又は非線形誘電体キャパシタのうちの1つを含む。

【0062】

誘電体キャパシタは、それらの間に誘電体を有する第1及び第2金属板を含む。そのような誘電体の例は、HfO、ABO3ペロブスカイト、窒化物、オキシフッ化物、酸化物等である。

【0063】

常誘電体キャパシタは、それらの間に常誘電体材料を有する第1及び第2金属板を含む。いくつかの実施態様において、f軌道材料(f-orbital materials)(例えばランタニド)は、常誘電体材料を作るために強誘電体材料にドーピングされる。室温常誘電体材料の例には、SrTiO3、Ba(x)Sr(y)TiO3(ここで、xは0.5、yは0.95である)、HfZrO2、Hf-Si-O、La置換PbTiO3、PMN-PTベースのリラクサ強誘電体が含まれる。

10

【0064】

誘電体キャパシタは、それらの間に非線形誘電体キャパシタを有する第1及び第2金属板を含む。誘電率の範囲は1.2から10000である。キャパシタC1、C2及びC3を、MIM(金属-絶縁体-金属)キャパシタ技術、トランジスタゲートキャパシタ、金属キャパシタ又はトランジスタキャパシタのハイブリッドとして実装することができる。

【0065】

キャパシタC1、C2及びC3の1つの端子は共通ノードcnに結合される。この共通ノードはノードn1に結合され、該ノードn1は非線形有極性キャパシタ105の第1端子に結合される。多数決関数は共通ノードcnで実行され、得られた電圧はキャパシタ105に投影される。例えばノードcn上の電流(I1、I2及びI3)の多数決関数は、結果としてキャパシタ105を充電する電流を生じる。表1は、多数決関数f(多数決Vin1、Vin2、Vin3)を示す。

20

【表1】

表1

Vin1	Vin2	Vin3	cn (f(Majority Vin1, Vin2, Vin3))
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

30

40

【0066】

FE材料を用いるキャパシタ(FECとも呼ばれる)は、その電位VF(QF)をその電荷の三次関数として有する非線形キャパシタである。図1Cは、FECの特性を示すプロット130を示す。プロット130は、面積(100nm)2、厚さ20nm(ナノメートル)のブロックfPb(Zr0.5Ti0.5)O3の電荷-電圧(Q-V)プロットである。プロットは、破線で示される+/-Voにおける局所極値(local extrema)を示す。ここで、Vcという語は抗電圧である。FECを横切って電荷Vを印加するとき、その電荷はV>Voの場合にのみ明白に決定できる。そうでなければ、FECの電荷はヒステリシス効

50

果を受けやすい。

【 0 0 6 7 】

図 1 A に戻って参照すると、いくつかの実施形態では、N 個の奇数個のキャパシタが単一の F E C に結合されて多数決ゲートを形成する。この場合は $N = 3$ である。F E C (Q_F) において測定された電荷が、多数決ゲートの出力である。定常状態解を解くために、寄生抵抗は無視され、入力電位 V_i (又は V_{in}) は一定であると仮定される。この場合、各線形キャパシタ (C_1 、 C_2 、 C_3) にわたる電荷は、以下のとおりである：

【数 1】

$$Q_i = C_i \cdot (V_i - V_F) \dots (1)$$

10

【 0 0 6 8 】

F E C 1 0 5 にわたってノード C_n で加算された電荷は、次のように表される：

【数 2】

$$Q_F = \sum_i Q_i \dots (2)$$

$$Q_F = \sum_i C_i V_i - \sum_i C_i V_F \dots (3)$$

$$Q_F = \sum_i C_i V_i - C V_F(Q_F) \dots (4)$$

$$V_F(Q_F) = \sum_i \frac{C_i}{C} V_i - \frac{Q_F}{C} \dots (5)$$

20

【 0 0 6 9 】

ここで、 $C = \sum_i C_i$ は、キャパシタの合計である。極限 $C \rightarrow \infty$ では、次のことが達成される：

【数 3】

$$V_F(Q_F) = \sum_i \frac{C_i}{C} V_i = \bar{V} \dots (6)$$

30

【 0 0 7 0 】

F E C 1 0 5 にわたる電位は、キャパシタンス (例えば C_1 、 C_2 及び C_3) によって重み付けされたすべての入力電位の平均である。

【 0 0 7 1 】

$C_i = C / N$ がすべて等しいとき、 V_F は単純な平均値にすぎない。

【 0 0 7 2 】

【数 4】

40

50

$$Q_F = V_F^{-1}(\bar{V}) \dots (7)$$

が良好に定義されることを保証するために、

【数 5】

10

$$\bar{V}$$

(以下、「 V_c 」と表記することがある)のすべての可能な値は、抗電位 V_c よりも大きな規模を有する。+ / - V_s のバイナリ入力を仮定すると、最も小さい規模の電位は、次のようになる：

【数 6】

20

$$\bar{V} = V_s / N \dots (8)$$

【0073】

これは、入力の $(N + 1) / 2$ が $+V_s$ であり、 $(N - 1) / 2$ が $-V_s$ であるときに生じる。次いで、

$$V_s > N V_c \dots (9)$$

【0074】

30

ノード n_1 における多数決ゲートの出力は、図 1 D によって表される。図 1 D は、いくつかの実施形態による、3 入力多数決ゲートの出力を示すプロット 140 を示す。

【0075】

例として、 $N = 3$ の場合、可能な入力は次のとおりである：

【数 7】

$$\bar{V} \in \left\{ -\frac{3}{3}V_s, -\frac{1}{3}V_s, +\frac{1}{3}V_s, +\frac{3}{3}V_s \right\} \dots (10)$$

40

【0076】

図 1 A に戻って参照すると、キャパシタ 105 は非線形有極性キャパシタであるため、キャパシタの両端子は、 n 型トランジスタ、プルダウントランジスタ MN1 と MN2 及び p 型プルアップトランジスタを介して接地又は既知の所定の電圧に事前放電される。所定の電圧はプログラム可能であり得る。所定の電圧は、正又は負であり得る。いくつかの実施形態において、 n 型トランジスタ MN1 は、ノード V_{out_int1} (内部 V_{out} ノード) に結合され、クロック又はリセット信号 $Clk1$ によって制御可能である。いくつかの実施形態において、 n 型トランジスタ MN2 は、ノード V_{out_int2} (内部

50

Vout ノード) に結合され、クロック又はリセット信号 Clk 2 によって制御可能である。いくつかの実施形態では、p 型トランジスタ MP 1 はノード Vout__int 2 に結合され、Clk 3 b によって制御可能である。

【0077】

いくつかの実施形態では、供給電圧又は別の所定の電圧にキャパシタ 105 の両端子 (Vout__int 1 及び Vout__int 2) を事前充電するために、n 型トランジスタ MN 1 及び MN 2 が p 型トランジスタに置き換えられ、一方、p 型トランジスタ MP 1 は接地又は負の供給レールに結合された n 型トランジスタに置き換えられる。所定の電圧はプログラム可能であり得る。所定の電圧は、正又は負であり得る。

【0078】

いくつかの実施形態では、キャパシタ 105 (又はノード cn 及び n 1) の端子の事前充電又は事前放電は、クロック信号 Clk 1、Clk 2 及び Clk 3 b によって周期的に行われる。コントロールは、制御ロジック (図示せず) によって生成される非クロック信号とすることができる。例えばコントロールを、所定の時間又はプログラム可能な時間毎に発行することができる。いくつかの実施形態において、クロック信号 Clk 1、Clk 2 及び Clk 3 b は、リセットフェーズにおいて発行され、その後、評価フェーズが続き、評価フェーズでは、入力 Vin 1、Vin 2 及び Vin 3 が受信され、多数決関数がそれらに対して実行される。図 1 E は、いくつかの実施形態による、図 1 A ~ 図 1 B の多数決ゲートの強誘電体キャパシタをリセットするためのタイミング図 190 を示す。

【0079】

Clk 1 は、Clk 2 及び Clk 3 b のパルス幅よりも大きなパルスを有する。Clk 3 b は、Clk 3 (図示せず) の逆である。いくつかの実施形態では、Clk 1 が最初にアサートされ、ノード Vout__int 1 の放電を開始する。ノード Vout__int 1 が放電されている間、Clk 2 がアサートされる。Clk 2 は、Clk 1 のパルス幅の實質的に半分のパルス幅を有し得る。Clk 2 がアサートされると、ノード Vout__int 2 が放電される。このシーケンスは、キャパシタ 105 の非線形有極性材料の両端子が連続して放電されることを保証する。様々な実施形態では、ノード Vout__int 2 を放電する前に、Clk 3 b をデアサートしてトランジスタ MP 1 をターンオンし、これにより、Vout__int 2 を所定の値 (例えば供給レベル) に充電することになる。Clk 3 b のパルス幅は、Clk 1 のパルス幅よりも小さく、Clk 3 b のパルス化が Clk 1 のパルスウィンドウ内で起こることを保証する。これは、非線形有極性キャパシタ 105 が、それらの間で 0 V に初期化される他のキャパシタ (例えば C 1、C 2、C 3) とともに既知のプログラムされた状態に初期化されることを保証するために有用である。Vout__int 2 におけるパルス化は、Vout__int 1 と連動して非線形有極性キャパシタ 105 にわたる正しい磁場を生成し、それを正しい状態にし、その結果、動作モード中に、Vout__int 1 が Vc 値 (抗電圧値) より高くなる場合、それは、非線形有極性キャパシタ 105 のスイッチングをトリガし、これにより、Vout__int 2 における電圧のビルドアップ (build up) が生じる。

【0080】

いくつかの実施形態では、負荷キャパシタ CL がノード Vout__int 2 に追加される。いくつかの実施形態では、負荷キャパシタ CL は、通常キャパシタ (例えば非強誘電体キャパシタ) である。Vout__int 2 上の CL のキャパシタンス値は、(FE キャパシタ 105 の) FE スwitching 電荷が正しい電圧レベルを提供することを保証するために有用である。所与の FE サイズ (面積 A) について、分極スイッチング密度 (dP) 及び Vdd (供給電圧) の所望の電圧スイングを有する CL のキャパシタンスは、およそ $CL = dP * A / Vdd$ であるべきである。FE キャパシタ 105 の誘電成分により Vout__int 2 上に電荷共有 (charge sharing) が存在するため、上記 CL 値からわずかな逸脱がある。電荷共有は、Vout__int 1 上の電圧、及び FE キャパシタ 105 の誘電成分と負荷キャパシタ (CL) との間のキャパシタ分割比に対して応答する。なお、CL のキャパシタンスは、Vout__int 2 ノード上のすべてのキャパシタンス (例

10

20

30

40

50

例えばノード上の寄生ルーティングキャパシタンス、出力段階 106 のゲートキャパシタンス、及びリセットデバイス（例えば MN2、MP1）のドレイン又はソースキャパシタンス）の集約であり得ることに留意されたい。いくつかの実施形態では、所与のサイズの非線形有極性キャパシタ 105 に対して、CL要件は、非 FE ロジック 106 の負荷キャパシタンス及び寄生成分自体によって満たすことができ、それを別個の線形キャパシタとして有する必要がないことがある。

【0081】

図 1A に戻って参照すると、いくつかの実施態様において、キャパシタ 105 の非線形有極性材料は、強誘電体 (FE) 材料、常誘電体材料、リラクサ強誘電体又は非線形誘電体のうちの 1 つを含む。様々な実施形態において、常誘電体材料は、FE 材料と同じであるが、極性歪みのないイオンによる活性強誘電体イオンの化学ドーピングを有する。いくつかの場合において、非極性イオンは、p、d 及び f 又は f 外部軌道とともに形成された非 s 軌道イオンである。いくつかの実施形態において、非線形誘電体材料は、常誘電体材料、リラクサ及び双極子ガラスと同じである。

【0082】

いくつかの実施態様において、f 軌道材料（例えばランタニド）は、常誘電体材料を作るために強誘電体材料にドーピングされる。室温常誘電体材料の例には、SrTiO₃、Ba(x)Sr(y)TiO（ここで、xは -0.5、yは 0.95 である）、HfZrO₂、Hf-Si-O、La 置換 PbTiO₃、PMN-PT ベースのリラクサ強誘電体が含まれる。

【0083】

様々な実施形態において、FE 材料は、FE 材料が低電圧（例えば 100 mV）によってその状態を切り替えることを可能にする任意の適切な低電圧 FE 材料であり得る。いくつかの実施形態では、FE 材料は ABO₃ 型のペロブスカイトを含み、ここで「A」及び「B」は異なるサイズの 2 つのカチオンであり、「O」は両方のカチオンに結合するアニオンである酸素である。一般に、A の原子サイズは B 原子サイズより大きい。いくつかの実施形態において、ペロブスカイトは（例えば La 又はランタニドによって）ドーピングされ得る。ペロブスカイトは、0.3 ~ 2% の範囲の自然歪みを達成するように適切にドーピングされ得る。例えば Ti サイト内の Zr；Ti サイト内の La、Nb のような化学的に置換されたチタン酸鉛の場合、これらの置換体の濃度は 0.3 ~ 2% の範囲の自然歪みを達成するような濃度である。化学的に置換された BiFeO₃、BiCrO₃、BiCoO₃ クラスの材料に対して、Bi サイトへの La 又は希土類置換は自然歪みを調整することができる。

【0084】

FE 材料の閾値は、分極対電圧応答において非常に非線形な伝達関数を有する。閾値は 1) スイッチング伝達関数の非線形性と、b) FE スイッチングの直角度に関係する。スイッチング伝達関数の非線形性は、分極対電圧プロットの導関数の幅である。直角度は残留分極と飽和分極の比によって定義され、完全直角度は 1 の値を示す。

【0085】

FE スイッチングの直角度は、化学置換により適切に操作され得る。例えば PbTiO₃ では、P-E（分極 - 電場）スクエアループを La 又は Nb 置換によって修正して S 字型ループを作成することができる。形状は、最終的に非線形誘電体を生成するように系統的に調整され得る。FE スイッチングの直角度は FE 層の粒状度によっても変化する可能性がある。完全なエピタキシャル単結晶 FE 層は、多結晶 FE と比較して、より高い直角度（例えば比は 1 に近い）を示すことになる。この完全なエピタキシャルは、格子整合された下部電極及び上部電極の使用によって達成され得る。一例において、BiFeO（BFO）は、正方形の P-E ループを生じる格子整合 SrRuO₃ 下部電極を用いてエピタキシャルに合成され得る。La を段階的にドーピングすると直角度が減少する。

【0086】

いくつかの実施態様において、FE 材料は、La-Sr-CoO₃、SrRuO₃、La-Sr-MnO₃、YBa₂Cu₃O₇、Bi₂Sr₂CaCu₂O₈、LaNiO₃ 及び ReO₃ で例示される導電性ペロブスカイト金属酸化物の 1 つを含む、導電性金属酸化物と接触される。

10

20

30

40

50

【 0 0 8 7 】

いくつかの実施態様において、F E 材料は、導電性酸化物の間に（又はその間にサンドイッチされた）低電圧 F E 材料を含む層のスタックを含む。様々な実施形態において、F E 材料がペロブスカイトであるとき、導電性酸化物は $AA'BB_3$ 型である。A' は原子サイト A のドーパントであり、ランタニド系列の元素とすることができる。B' は原子サイト B のドーパントであり、遷移金属元素、特に Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn からの元素とすることができる。A' はサイト A と同じ原子価を有し、強誘電分極率が異なる。

【 0 0 8 8 】

いくつかの実施態様において、F E 材料は、h-RMnO₃ 型の六方晶強誘電体を含み、ここで R は、セリウム (Ce)、ジスプロシウム (Dy)、エルビウム (Er)、ユーロピウム (Eu)、ガドリウム (Gd)、ホルミウム (Ho)、ランタン (La)、ルテチウム (Lu)、ネオジウム (Nd)、プラセオジウム (Pr)、プロメチウム (Pm)、サマリウム (Sm)、スカンジウム (Sc)、テルビウム (Tb)、ツリウム (Tm)、イッテルビウム (Yb) 又はイットリウム (Y) のうちの 1 つを含む希土類元素である。強誘電体相は Y イオンの変位を伴う層状 MnO₅ 多面体の座屈 (buckling) によって特徴づけられ、正味の電気分極 (net electric polarization) を導く。いくつかの実施形態では、六方晶 F E は、YMnO₃ 又は LuFeO₃ のうちの 1 つを含む。様々な実施形態において、F E 材料が六方晶強誘電体を含むとき、F E 材料に隣接する導電性酸化物は、A₂O₃ (例えば In₂O₃, Fe₂O₃) 及び ABO₃ 型であり、ここで、'A' は希土類元素であり、B は Mn である。

【 0 0 8 9 】

いくつかの実施形態では、F E 材料は、変則的な F E 材料 (improper FE material) を含む。変則的強誘電体 (improper ferroelectric) とは、一次秩序パラメータが原子秩序のひずみや座屈のような秩序機構 (order mechanism) である強誘電体である。変則的な F E 材料の例は、LuFeO₃ クラスの材料又はそれぞれ強誘電体及び常誘電体材料の超格子 PbTiO₃ (PTO) 及び SnTiO₃ (STO)、並びにそれぞれ LaAlO₃ (LAO) 及び STO である。例えば [PTO/STO]_n 又は [LAO/STO]_n の超格子であり、ここで 'n' は 1 ~ 100 である。様々な実施形態が、電荷状態を記憶するための強誘電体材料に関して説明されるが、これらの実施形態は常誘電体材料にも適用可能である。例えば様々な実施形態のキャパシタは、強誘電体材料の代わりに常誘電体材料を使用して形成され得る。

【 0 0 9 0 】

いくつかの実施態様において、F E 材料は、ハフニウム (Hf)、ジルコニウム (Zr)、アルミニウム (Al)、シリコン (Si)、これらの酸化物又はこれらの合金化酸化物のうちの 1 つを含む。いくつかの実施形態では、F E 材料は、Al(1-x)Sc(x)N、Ga(1-x)Sc(x)N、Al(1-x)Y(x)N 又は Al(1-x-y)Mg(x)Nb(y)N、y ドープ HfO₂ のうちの 1 つを含み、ここで y は、Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn 又は Y のうちの 1 つを含み、ここで 'x' 分率である。いくつかの実施態様において、F E 材料は、ピスマスフェライト (BFO)、チタン酸ジルコン酸鉛 (PZT)、ドーピング材料を有する BFO 又はドーピング材料を有する PZT を含み、ここで、ドーピング材料は、Nb 又は PMN-PT のようなリラクサ強誘電体のうちの 1 つである。

【 0 0 9 1 】

いくつかの実施形態では、F E 材料は、ピスマスフェライト (BFO)、ドーピング材料を有する BFO を含み、ドーピング材料は、ランタン又は周期表のランタニド系列のいずれかの元素のうちの 1 つである。いくつかの実施態様において、F E 材料 105 は、チタン酸ジルコン酸鉛 (PZT) 又はドーピング材料を有する PZT を含み、ドーピング材料は、La 又は Nb のうちの 1 つである。いくつかの実施形態では、F E 材料は、ニオブ酸マグネシウム鉛 (PMN)、ニオブ酸マグネシウム鉛 - チタン酸鉛 (PMN-PT)、ジルコン酸チタン酸ランタン鉛 (PLZT)、ニオブ酸スカンジウム鉛 (PSN)、バリウムチタン - ピスマス亜鉛ニオブタンタル (BT-BZNT) 又はバリウムチタン - ストロンチウムチタン (BT-BST) のうちの 1 つを含むリラクサ強誘電体を含む。

【 0 0 9 2 】

いくつかの実施態様において、F E材料は、 $Hf_{1-x} E_x O_y$ 形式のハフニウム酸化物を含み、ここでEは、Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn又はYとすることができる。いくつかの実施態様において、F E材料105は、ニオブ酸型化合物 $LiNbO_3$ 、 $LiTaO_3$ 、リチウム鉄タンタルオキシフルオリド、ニオブ酸バリウムストロンチウム、ニオブ酸ナトリウムバリウム又はニオブ酸カリウムストロンチウムを含む。

【0093】

いくつかの実施形態では、F E材料は複数の層を含む。例えば $[Bi_2O_2]_{2+}$ と擬ペロブスカイトブロック($Bi_4Ti_3O_{12}$ 及び関連するアウリビリウス相(Aurivillius phases))との交互層と、厚さがn八面体層であるペロブスカイト層とを用いることができる。

【0094】

いくつかの実施形態では、F E材料は有機材料を含む。例えばポリフッ化ビニリデン又はポリニフッ化ビニリデン(PVDF)。

【0095】

F E材料は2つの電極の間にある。これらの電極は導電性電極である。いくつかの実施態様において、電極は、ペロブスカイト型鑄型導体である。このような鑄型構造では、ペロブスカイト導体($SrRuO_3$ など)の薄層(例えば約10nm)を IrO_2 、 RuO_2 、 PdO_2 又は PtO_2 (非ペロブスカイト構造であるが、より高い導電性を有する)の上にコーティングして、低温で純粋なペロブスカイト強誘電体を成長させるための種又は鑄型を提供する。いくつかの実施形態において、強誘電体が六方晶強誘電体材料を含むとき、電極は六方晶金属、スピネル又は立方晶金属を有することができる。六方晶金属の例には、 $PtCoO_2$ 、 $PdCoO_2$ 及びAlドープ ZnO のような他のデラフォサイト構造の六方晶金属酸化物が含まれる。スピネルの例には、 Fe_3O_4 及び LiV_2O_4 が含まれる。立方晶金属の例としては、Snドープ In_2O_3 のようなインジウムスズ酸化物(ITO)が含まれる。

【0096】

ノードn1上に発生した電荷は、多数決ゲート104の出力である電圧及び電流を生成する。任意の適切なドライバ106がこの出力を駆動することができる。例えば非F Eロジック、F Eロジック、CMOSロジック、BJTロジック等を使用して、出力を下流のロジックへ駆動することができる。ドライバの例には、インバータ、バッファ、NANDゲート、NORゲート、XORゲート、増幅器、比較器、デジタル-アナログ変換器、アナログ-デジタル変換器等が含まれる。いくつかの実施形態では、出力「out」は、Clock1信号を介してドライバ106によってリセットされる。例えば一方の入力が V_{out_int2} に結合され、他方の入力がClock1に結合されたNANDゲートを使用して、リセットフェーズ中に「out」をリセットすることができる。

【0097】

図1Aは3入力多数決ゲートを示しているが、同じ概念を3入力以上に拡張してN入力多数決ゲートを作ることができ、ここでNは2より大きい。

【0098】

図1Bは、いくつかの実施形態による、5入力多数決ゲート124を有する論理ゲート120を示す。5入力多数決ゲート124は、3入力多数決ゲート104と同様であるが、追加の入力 V_{in4} 及び V_{in5} がある。これらの入力、同じドライバ(例えばドライバ101、102、103のうちのいずれか1つ)から又はドライバ121及び122のような異なるドライバから来ることができる。入力 V_{in4} 及び V_{in5} は、アナログ、デジタル又はそれらの組合せとすることができる。例えば V_{in4} はデジタル信号であり、一方、 V_{in5} はアナログ信号である。追加の入力 V_{in4} 及び V_{in5} は、それぞれ追加の非強誘電体キャパシタC4及びC5に結合される。キャパシタC4及びC5の組成及びサイズは、C1、C2及びC3の組成及びサイズと同様である。ここで、抵抗R4、R5は寄生抵抗である。

【0099】

多数決関数は共通ノードcnで実行され、得られる電圧はキャパシタ105に投影される。例えばノードcn上の電流(I_1 、 I_2 、 I_3 、 I_4 及び I_5)の多数決関数は、キャ

10

20

30

40

50

パシタ 1 0 5 を充電する結果電流を生じる。表 2 は、5 入力多数決ゲート 1 2 4 の多数決関数 f (多数決 V_{in1} 、 V_{in2} 、 V_{in3} 、 V_{in4} 、 V_{in5}) を示す。

【表 2】

表 2

Vin1	Vin2	Vin3	Vin4	Vin5	cn (f(Majority Vin1, Vin2, Vin3, Vin4, Vin5))
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	1

10

20

30

40

50

1	0	1	0	0	0
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	0	1

10

20

【0100】

30

図1Fは、いくつかの実施形態による、パスゲートベースのリセット機構を有する3入力多数決ゲートを有する論理ゲート180を示す。論理ゲート180は、論理ゲート100と同様であるが、リセット機構が非線形有極性キャパシタ105の端子をリセットする点が異なる。ここで、プルダウントランジスタMN2は除去され、p型トランジスタMP1及びn型トランジスタMN3を含むパスゲートがVout_int2ノードに結合される。いくつかの実施形態では、トランジスタMN3はClk3によって制御され、トランジスタMP1はClk3bによって制御され、ここで、Clk3bはClk3の逆である。いくつかの実施形態では、Clk1及びClk3がアサートされ、かつClk1及びClk3がデアサートされる前に、Vpulseはパスゲートを通過してVout_int2に達する。Vpulseは、リセットフェーズ中に生成され、図1Gによって示されるように、評価フェーズ中にデアサートされる。図1Gは、いくつかの実施形態による、図1Fの多数決ゲートの強誘電体キャパシタをリセットするためのタイミング図170を示す。

40

【0101】

リセットフェーズの間、ノードVout_Int1は、Clk1パルスをアサートすることによって最初にリセットされるか、又は接地に放電される。同じフェーズでは、トランジスタMP3及びMP1がターンオンされ、VpulseがノードVout_Int2に印加される。

【0102】

ここで、Vpulseは信号発生の観点から相対的なタイミング制御を緩和する。Vp

50

u l s e はまた、パスゲート上で起こるスイッチングの微分的性質により、V o u t _ i n t 2 ノード上への電荷注入を最小化する。なお、パスゲートのトランジスタ M P 1 及び M N 3 は、パスゲート上のスイッチングイベントによる V o u t _ i n t 2 ノードでの電荷注入をほぼキャンセルするので、パスゲートは電荷共有による電荷注入を低減することに留意されたい。V o u t _ i n t 1 (c n) ノードに対して示される灰色の点線の水平線は、F E キャパシタ 1 0 5 の V c がスイッチング動作を作成する場所を示す。多数決ゲート設計のために、いくつかの実施形態において、この灰色の点線の水平線は、V d d / 2 (例えば V c = V d d / 2) の近くに配置され、ここで、V d d は論理高値 (l o g i c h i g h v a l u e) である。

【 0 1 0 3 】

場合によっては、すべての入力があるとき (例えば V i n 1 = V i n 2 = V i n 3 = 0 又は V s s) (これは 3 L と称される)、V o u t _ i n t 1 及び / 又は V o u t _ i n t 1 の電圧は、V s s (又は接地) レベルを下回ることがある。すべての入力があるとき (例えば V i n 1 = V i n 2 = V i n 3 = 1 又は V s s) であるとき (3 H と称される) とときも生じることがあり、この場合、V o u t _ i n t 1 及び / 又は V o u t _ i n t 1 上の電圧が V d d (又は供給) レベルを超えて上昇することがある。しかしながら、これは、入力信号のアサート後の時間 0 におけるノード c n における電荷注入の正確な量に依存し得る。したがって、論理低 (l o g i c l o w) である 3 つの入力 (3 L) はすべて、論理低である 2 つの入力 (2 L) と比較して、わずかに異なるレベルに変換される。ここで、3 H は 3 つの入力がすべて高であることを指し、2 H は 2 つの入力が高で 1 つの入力が低であることを指し、1 H は 1 つの入力が高で 2 つの入力が低であることを指す。命名法 3 L、2 L 及び 1 L についても同じ説明が用いられる。1 H の場合、ノード c n 及び n 1 における電圧は、接地よりもわずかに高くなり得る。3 H の場合も同じであり、2 H 及び 1 L の場合よりもわずかに高いノード c n 及び / 又は n 1 の電圧レベルに変換される。

【 0 1 0 4 】

図 1 H は、いくつかの実施形態による、入力リセット機構を有する 3 入力多数決ゲートを有する論理ゲート 1 8 0 を示す。図 1 A ~ 図 1 B 及び図 1 E ~ 図 1 G を参照して説明したリセット機構と比較して、ここでは、入力 (例えば V i n 1、V i n 2、V i n 3) は、リセットフェーズ中に伝播することからブロックされる。論理ゲート 1 8 0 は、論理ゲート 1 0 0 と同様であるが、キャパシタ 1 0 5 のリセット中の入力電圧の決定の点で異なる。

【 0 1 0 5 】

いくつかの実施形態では、図 1 A ~ 図 1 B 及び図 1 E ~ 図 1 G のリセット機構について、入力信号 (例えば V i n 1 ~ V i n 5) を生成するロジックは、リセットタイミングを認識しており、したがって、キャパシタ 1 0 5 がリセットされているときに処理するために正しい入力信号 (この図では 0 V) を送信することを保証する。所定の電圧レベル (例えば 0 V) で入力信号を生成することは、線形キャパシタ (例えば C 1、C 2、C 3) にわたる所定の電圧 (例えば 0 V) を保証する。このような所定の入力信号が生成されると、入力信号ノードにおけるパスゲートを除去して、面積及びコストを節約することができる。

【 0 1 0 6 】

論理クラスタ間のこれら多数決ゲートの複数の段階に関する他の実施形態では、これらの段階の各々 1 つにおけるリセットフェーズ中に正確な電圧レベルを正確に作成するために、リセットシーケンスを入力ベクトルから制御することができる。いくつかの実施形態では、すべての段階における正しい電圧レベルが正しいロジックを駆動するように、論理ゲートが入力 (例えば V i n) に提供される。例えば一方の入力がリセット信号であり、他方が論理レベル (例えば V i n 1) である N A N D ゲートは、リセットフェーズ中に正しい電圧レベルがそれらの段階の各々 1 つの段階の入力に印加されることを保証する。別の例では、各ロジックの出力はリセット中に調整され、リセット中に後続のロジック (例えば多数決ゲートロジック) に正しい入力電圧レベルを受け取らせる。そのような一例では、非 F E ロジック 1 0 6 は、その入力の 1 つがリセット信号であり、他の入力が論理レ

10

20

30

40

50

ベル（例えば V_{out_int2} に結合される）NANDゲートを含み、リセットフェーズ中に正しい電圧レベルが次の又は後続の多数決ゲート段階の入力に伝播されることを保証する。

【0107】

いくつかの実施形態において、第1パスゲートは、第1キャパシタ $C1$ と、第1入力 V_{in1} を生成するドライバとに結合される。第1パスゲートは、 $Clk1$ によって制御可能なp型トランジスタ $MP1r$ と、 $Clk1b$ によって制御可能なn型トランジスタ $MN1r$ とを含む。第1パスゲートは V_{in1} の伝播をブロックし、プルダウントランジスタ $MN2r$ は、 $Clk1$ を介してキャパシタ $C1$ への入力を接地に設定することができる。いくつかの実施形態では、第2パスゲートが、第2キャパシタ $C2$ と、第2入力 V_{in2} を生成するドライバとに結合される。第2パスゲートは、 $Clk1$ によって制御可能なp型トランジスタ $MP2r$ と、 $Clk1b$ によって制御可能なn型トランジスタ $MN2r$ とを含む。第2パスゲートは、 V_{in2} の伝播をブロックし、プルダウントランジスタ $MN3r$ は、 $Clk1$ を介してキャパシタ $C2$ への入力を接地に設定することができる。いくつかの実施形態では、第3パスゲートは、第3キャパシタ $C3$ と、第3入力 V_{in3} を生成するドライバとに結合される。第3パスゲートは、 $Clk1$ によって制御可能なp型トランジスタ $MP3r$ と、 $Clk1b$ によって制御可能なn型トランジスタ $MN3r$ とを含む。第3パスゲートは、 V_{in3} の伝播をブロックし、プルダウントランジスタ $MN4r$ は、 $Clk1$ を介してキャパシタ $C3$ への入力を接地に設定することができる。同じ手法が他の入力にも適用される。

【0108】

図1Iは、いくつかの実施形態による、図1Hの多数決ゲートの強誘電体キャパシタをリセットするためのタイミング図190を示す。リセットフェーズの間、 $Clk1$ はアサートされ（ $Clk1b$ はデアサートされ）、入力電圧をブロックし、キャパシタ $C1$ 、 $C2$ 及び $C3$ への入力を接地に設定する。 $Clk1$ のアサートはまた、 V_{out_int1} を放電する。その結果、入力キャパシタ $C1$ 、 $C2$ 及び $C3$ の両方の端子における電圧が放電される。 $Clk3b$ は、最初に（リセットフェーズ中に）デアサートされ、 $MP1$ をターンオンして V_{out_int2} を事前充電する。その後、 $Clk2$ がアサートされ、 V_{out_int2} を放電する。

【0109】

リセット機構は、2つのパルスシーケンスによって説明され得る。パルスの第1シーケンスは、FEキャパシタ105にわたる正しい磁場を生成し、それを動作のために正しい状態で初期化することであり、一方、パルスの第2シーケンスは、すべてのノードが0状態に初期化され、すべての線形キャップ（例えば $C1$ 、 $C2$ 、 $C3$ ）がそれらにわたって0Vを有することを保証する。正確なシーケンスはまた、高インピーダンスノード上の電荷注入を最小にするためにグリッチのない遷移（glitch-less transition）を考慮し、強誘電体デバイス105が、FEデバイス105の初期のプログラムされた状態を損なうリセットパルスによる遷移を経験しないことを保証する。

【0110】

様々な実施形態のリセット機構はまた、4つのフェーズに関して説明されることもできる。第1フェーズ（フェーズ1）では、線形キャパシタ（ $C1$ 、 $C2$ 、 $C3$ ）は、 $Clk1$ （例えば $Clk1$ をアサートすることによって）及び入力条件付け（例えば入力 V_{in1} 、 V_{in2} 、 V_{in3} を0に設定する）を使用してゼロ状態に初期化される。第2フェーズ（フェーズ2）において、FEキャパシタ105は、 $Clk1$ を高に維持しながら（例えば $Clk1$ はアサートされたままである）、 $Clk3b$ を使用して初期化され続ける（例えば $Clk3b$ をデアサートする）。第3フェーズ（フェーズ3）において、 V_{out_int2} ノード及びFEキャパシタ105の誘電成分は、 $Clk2$ をデアサートし、 $Clk3b$ をアサートすることによって、かつ $Clk1$ を高に維持しながら（例えば $Clk1$ はアサートされたままである）、ゼロ状態に初期化される。第4フェーズ（フェーズ4）では、リセットスイッチが非アクティブになされる。例えばトランジスタ $MN1r$ 、

M P 1 r (及び入力における他のパスゲートスイッチ) ターンオンされ、入力ノード (例えば V_{in1} 、 V_{in2}) 上の M N 2 r (及び他のプルダウントランジスタ) がターンオフされ、プルダウントランジスタ M N 1 及び M N 2 が無効にされるか又はターンオフされ、プルアップトランジスタ M P 1 が無効にされるか又はターンオフされ、トランジスタ M P 1 及び M N 3 を有する V_{pulse} パスゲートが無効にされる。

【0111】

本明細書では、実施形態は、F E デバイス 105 を接地にリセットすること及びノ又は非強誘電体線形キャパシタ ($C1$ 、 $C2$ 、 $C3$) の2つの端子を接地にリセットすることに関連して説明されるが、リセット電圧は、接地以外の異なる電圧とすることができる。例えば入力信号 (例えば V_{in1} 、 V_{in2} 、 V_{in3}) が正の供給レベルと負の供給レベルとの間でトグルするとき、次いで、F E デバイス 105 の2つの端子及びノ又は非強誘電体線形キャパシタ ($C1$ 、 $C2$ 、 $C3$) の2つの端子は、負の供給レベルにリセットされる。例えば様々なリセットデバイスを制御するための論理低及び論理高 (logic high) の定義は、それぞれ正及び負になるように変化する。したがって、以前のレベルが $0V$ と V_{dd} であり、現在それらが負から正のレベルである場合、 $0V$ は負にマップされ、 V_{dd} は正にマップされる。

10

【0112】

図1Jは、いくつかの実施形態による、F E キャパシタ 105 の挙動に関連するノード V_{out_int2} 上の電圧を示すプロット 195 を示す。この場合、F E キャパシタ 105 は、F E キャパシタ 105 にわたる V_c 電圧降下のウィンドウ内に留まるが、スイッチングは、 V_{out_int2} 上に異なる電圧を生成するのに役立つ。例えばリセット中の時間0において ($C1k1$ がアサートされ、 $C1k1b$ 、 $C1k2$ 、 $C1k3b$ 及び V_{pulse} のような他の信号が図1G及び図1Iに従って挙動するとき)、大きなリセット磁場はF E キャパシタ 105 を低状態にし、次いでF E キャパシタ 105 は $+V_c$ と $-V_c$ との間でバウンドする。

20

【0113】

図2Aは、いくつかの実施形態による、AND又はORゲートとして動作することができる3入力閾値ゲート 204 を有する論理ゲート 200 を示す。論理ゲート 200 は、論理ゲート 100 と同様であるが、第3入力 V_{in} を除去し、入力 V_{bias} を追加する点で異なる。この追加の入力バイアスは、論理ゲートを閾値ゲート 204 とする。閾値ゲート 204 は、3つの入力 V_{in1} 、 V_{in2} 及び V_{bias} のため、3入力閾値ゲートと呼ばれる。 V_{bias} 入力が別個の入力としてカウントされない場合、2入力閾値ゲートと呼ぶこともできる。様々な実施形態では、閾値ゲート 204 は、ノード cn に結合される1つの端子と V_{bias} に結合される別の端子とを有する追加のキャパシタ C_{bias} を含む。キャパシタ C_{bias} の材料は、キャパシタ $C1$ 、 $C2$ 及び $C3$ の材料と同じものとすることができる。例えばキャパシタ C_{bias} は、非強誘電体材料を含む。

30

【0114】

V_{bias} は、閾値ゲート 204 の所望の論理関数に応じて正又は負の電圧とすることができる。任意の適切なソースが、 V_{bias} を生成することができる。例えばバンドギャップ基準発生器、抵抗分割器のような電圧分割器、デジタル-アナログ変換器 (DAC) 等が V_{bias} を生成することができる。 V_{bias} は固定又はプログラム可能 (又は調整可能) であり得る。例えば V_{bias} を、ハードウェア (例えばヒューズ、レジスタ) 又はソフトウェア (例えばオペレーティングシステム) によって調整することができる。いくつかの実施形態において、 V_{bias} が正であるとき、ノード cn 上の多数決関数はOR関数である。例えばノード cn の関数は $OR(V_{in1}, V_{in2}, 0)$ である。いくつかの実施形態において、 V_{bias} が負であるとき、ノード cn 上の多数決関数はAND関数である。例えばノード cn の関数は $AND(V_{in1}, V_{in2}, 1)$ である。表2及び表3は、閾値ゲート 206 の機能を要約している。

40

【表 3】

表 3

Vin1	Vin2	Vbias	cn OR(Vin1, Vin2, Vbias)
0	0	正又は 論理 1	0
0	1	正又は 論理 1	1
1	0	正又は 論理 1	1
1	1	正又は 論理 1	1

10

【表 4】

表 4

Vin1	Vin2	Vbias	cn AND(Vin1, Vin2, Vbias)
0	0	負又は 論理 0	0
0	1	負又は 論理 0	0
1	0	負又は 論理 0	0
1	1	負又は 論理 0	1

20

30

【0115】

遷移 CMOS AND 論理ゲート及び OR 論理ゲートと比較して、ここでは AND 及び OR 関数はキャパシタのネットワークによって実行される。ノード cn 上の多数決関数又は閾値関数の出力は、次いで、非線形有極性キャパシタ 105 に記憶される。このキャパシタは、不揮発性形式でロジックの最終状態を提供する。したがって、様々な実施形態の論理ゲートは、ノード cn 及び n1 を事前放電又は事前充電するための 1 つ又は 2 つのトランジスタを有する不揮発性多入力 AND 又は OR ゲートを記載する。様々な実施形態の AND ゲート又は OR ゲートのシリコン面積は、従来の AND ゲート又は OR ゲートよりも数桁小さい。図 2 A は 3 入力閾値ゲートを示しているが、同じ概念を 3 入力以上に拡張して N 入力閾値ゲートを作ることができ、ここで N は 2 より大きく、奇数である。図 2 A のリセット機構は、図 1 A を参照して説明したものと同様である。

40

【0116】

図 2 B は、いくつかの実施形態による、パスゲートベースのリセット機構を有する 3 入

50

力閾値ゲートを有する論理ゲート 220 を示し、ここで、3 入力閾値ゲートは、AND ゲート又は OR ゲートとして動作することができる。ロジック 220 はロジック 200 と同様であるが、リセット機構について異なる。図 2 B のリセット機構は、図 1 F を参照して説明したものと同様である。

【0117】

図 2 C は、いくつかの実施形態による、入力リセット機構を有する 3 入力閾値ゲートを有する論理ゲート 230 を示し、ここで、3 入力閾値ゲートは、AND 又は OR ゲートとして動作することができる。ロジック 230 はロジック 200 と同様であるが、リセット機構について異なる。図 2 C のリセット機構は、図 1 H を参照して説明した機構と同様である。

【0118】

図 2 D は、いくつかの実施形態による、多数決関数を有する AND ゲート又は OR ゲートとして動作することができる 5 入力 AND / OR 多数決ゲート 222 を有する論理ゲート 240 を示す。5 入力 AND / OR 多数決ゲート 222 を説明する目的で、キャパシタンスが $C_{bias} = C_3 = C_4 = C/2$ 、 $C_1 = C$ 及び $C_2 = C$ であり、対応する入力電位： $V_{bias} = V_B$ 、 $V_{in3} = V_A$ 、 $V_{in4} = V_B$ 、 $V_{in1} = V_C$ 及び $V_{in2} = V_S$ であるとする。ここで、 $V_B = -V_O$ は定バイアス電圧であり、残りは、まだ決定されていないいくつかの V_O について $+/-V_O$ のバイナリ入力電圧である。ゲート 222 は、 $(A \text{ AND } B, C, S)$ の関数を有する。ここで、AND ゲート関数はバイアス電圧を犠牲にして多数決ゲートに吸収される。

【0119】

両方が $V_S = V_C = +V_O$ である場合、 V_A 、 V_B に関わらず、出力の大きさが、抗電圧である V_C よりも大きいことが望ましい。 $V_A = V_B = -V_O$ の場合、平均電位は次のように表される：

【数 8】

$$V_F = \frac{C \cdot 2V_O - C/2 \cdot 2V_O - V_O \cdot C/2}{3.5C} \dots (11)$$

$$V_F = \frac{1}{7}V_O > V_C \cdot 4 \dots (12)$$

【0120】

$V_A = V_B = +V_O$ 、かつ $V_C = V_D = -V_O$ の場合、以下が達成される：

【数 9】

$$V_F = \frac{-C \cdot 2V_O + C/2 \cdot 2V_O - V_O \cdot C/2}{3.5C} \dots (13)$$

$$V_F = -\frac{1}{7}V_O < -V_C \cdot 4 \dots (14)$$

【0121】

AND 演算との等価性をチェックするために、 $V_A = -V_B = V_O$ とすると、次のとおりである：

【数 10】

10

20

30

40

50

$$V_F = \frac{V_A + V_B - V_o}{3.5C} \dots (15)$$

$$V_F \in \left\{ -\frac{3}{7}V_o, -\frac{1}{7}V_o, \frac{1}{7}V_o \right\} \dots (16)$$

【 0 1 2 2 】

設計上、 $V_A = V_B = +V_o$ のときにのみ、ゲート 2 2 2 は正の出力を生成する。いくつかの実施形態に従って、 $V_o > 7V_c$ を設定することによって、すべての出力は V_c より大きいことが更に観察される。

10

【 0 1 2 3 】

ここで、AND関数は V_{in3} と V_{in4} の間で実行され、結果として得られる出力は V_{in1} と V_{in2} で多数決関数を実行するために使用され、これは：Majority (V_{in3} AND V_{in4} 、 V_{in1} 、 V_{in2}) と記述される。表 5 は、AND多数決ゲート 2 2 2 の真理値表を示す。負電圧又はバイアス v_{an} を印加することは、同様に論理低の入力信号を印加することに同様であり得る。

20

30

40

50

【表 5】

表 5

Vin1	Vin2	Vin3	Vin4	Vbias	cn Majority of
					AND(Vin1, Vin2) Vin3, Vin4, Vbias
0	0	0	0	負	0
0	0	0	1	負	0
0	0	1	0	負	0
0	0	1	1	負	0
0	1	0	0	負	0
0	1	0	1	負	0
0	1	1	0	負	0
0	1	1	1	負	1
1	0	0	0	負	0
1	0	0	1	負	0
1	0	1	0	負	0
1	0	1	1	負	1
1	1	0	0	負	1
1	1	0	1	負	1
1	1	1	0	負	1
1	1	1	1	負	1

【 0 1 2 4】

OR多数決関数の場合、OR関数はVin3とVin4の間で実行され、結果として得られる出力はVin1とVin2で多数決関数を実行するために使用され、これは：Majority(Vin3 OR Vin4, Vin1, Vin2)と記述される。表6は、OR多数決ゲート222の真理値表を示す。Vbiasに正の電圧を印加することは、同様に論理ハイの入力信号を印加することに同様であり得る。

10

20

30

40

50

【表 6】

表 6

Vin1	Vin2	Vin3	Vin4	Vbias	cn Majority of OR(Vin3, Vin4) Vin3, Vin4, Vbias
		OR 関数			
0	0	0	0	正	0
0	0	0	1	正	0
0	0	1	0	正	0
0	0	1	1	正	0
0	1	0	0	正	0
0	1	0	1	正	1
0	1	1	0	正	1
0	1	1	1	正	1
1	0	0	0	正	0
1	0	0	1	正	1
1	0	1	0	正	1
1	0	1	1	正	1
1	1	0	0	正	1
1	1	0	1	正	1
1	1	1	0	正	1
1	1	1	1	正	1

10

20

30

【0125】

論理ゲート222は、Vbiasに対するバイアス値に応じて、AND多数決及びOR多数決関数を実行することができる。ここでは、AND多数決及びOR多数決の複雑な関数を実現しながら、ノードcn及びn1を事前充電又は事前放電をするための単一のトランジスタに凝縮され得る2つのトランジスタ(MN1及びMN2)のみが使用される。

40

【0126】

様々な実施形態において、インバータ106に結合された多数決ゲート222は、少数決閾値ゲート(minority threshold gate)(多数反転閾値)を形成し、その結果、ユニバーサル論理ゲートが得られる。

【0127】

図3Aは、いくつかの実施形態による、図1Bの3入力多数決ゲートの動作を示す波形300を示す。図3Aは、入力Vin1、Vin2及びVin3の多数決関数を示す。

【0128】

図3B～図3Eは、いくつかの実施形態による、それぞれ異なるVbias値を有する

50

5 入力閾値ゲートの動作を示す波形 3 2 0、3 3 0、3 4 0 及び 3 5 0 を示す。

【 0 1 2 9 】

図 4 は、いくつかの実施形態による、インバータ又はバッファに結合する 3 入力多数決ゲートの 3 D (3 次元) ビューを有する図 1 A の論理ゲートを含む組合せロジック 4 0 0 を示す。本明細書に記載される (例えば図 1 A ~ 図 1 I に関連する) リセット機構のいずれも、ロジック 4 0 0 に適用可能である。

【 0 1 3 0 】

この例では、キャパシタ C 1 (4 0 1)、C 2 (4 0 2) 及び C 3 (4 0 3) は、それぞれバッファ又はドライバ 1 0 1、1 0 2 及び 1 0 3 から、これらの第 1 端子においてそれぞれ入力 V i n 1、V i n 2、及び V i n 3 を受け取る M I M キャパシタである。しかしながら、他のタイプのキャパシタを使用することもできる。例えば金属とトランジスタのハイブリッドを使用してキャパシタを実装することができる。キャパシタ C 1 (4 0 1)、C 2 (4 0 2) 及び C 3 (4 0 3) の第 2 端子は、共通ノード相互接続 4 0 4 (V o u t _ i n t 1) に結合される。ドライバ 1 0 1、1 0 2 及び 1 0 3 の出力は、それぞれ V i n 1 d、V i n 2 d 及び V i n 3 d である。相互接続 4 0 4 は、任意の適切な金属層上にあり得る。いくつかの実施形態では、相互接続 4 0 4 は、Cu、Al、Ag、Au、Co 又は W のうちの 1 つ以上を含む材料を含む。いくつかの実施形態において、キャパシタ C 1 (4 0 1)、C 2 (4 0 2) 及び C 3 (4 0 3) は、ダイのバックエンドに形成される。いくつかの実施形態において、キャパシタ C 1 (4 0 1)、C 2 (4 0 2) 及び C 3 (4 0 3) は、ダイのフロントエンドに形成される。相互接続 4 0 4 は、非線形有極性キャパシタ 1 0 5 の第 1 端子に結合される。この例では、キャパシタ 1 0 5 は強誘電体材料を含み、したがって、C F E とラベル付けされる。しかしながら、本明細書に記載される他の非線形有極性材料を使用して、キャパシタ 1 0 5 を製造することができる。キャパシタ 1 0 5 の第 2 端子は、ノード n 1 (V o u t _ i n t 2) に結合される。

【 0 1 3 1 】

いくつかの実施形態では、キャパシタ 1 0 5 は、ピラーキャパシタである。ピラーキャパシタは、その幅よりも高く、z 方向にコンパクトなレイアウトを可能にする。一実施形態では、キャパシタ C 1 (4 0 1)、C 2 (4 0 2) 及び C 3 (4 0 3) は、垂直多数決ゲートを形成するピラーキャパシタの下に又はその真下に製造される。

【 0 1 3 2 】

図 5 は、いくつかの実施形態による、インバータ又はバッファに結合する 3 入力閾値ゲートの 3 D ビューとともに、図 1 B の論理ゲートを有する組合せロジック 5 0 0 を示す。ここで、3 入力閾値ゲート 2 0 4 は、図 4 の多数決ゲートに類似しているが、キャパシタ C 3 及びその関連する入力を除去し、V b i a s によってバイアスされる余分なキャパシタ 5 0 1 C b i a s を追加する点で異なる。V b i a s は正又は負のとすることができる。図 1 B 及び図 4 に関連して説明した様々な実施形態がここで適用可能である。本明細書に記載される (例えば図 1 A ~ 図 1 I に関連する) リセット機構のいずれも、ロジック 5 0 0 に適用可能である。

【 0 1 3 3 】

図 6 は、いくつかの実施形態による、非線形有極性キャパシタを含む低電力順序回路 6 0 0 (例えばラッチ) を示す。いくつかの実施形態では、順序回路 6 0 0 は、データ入力 (D)、クロック入力 (C l k)、リセットクロック入力 (C l k 1、C l k 2、C l k 3 b) 及び出力 (Q) を含む。いくつかの実施形態では、順序回路 6 0 0 は負荷キャパシタ C L を含む。順序回路 6 0 0 は、インバータ 6 0 1、パスゲート 6 0 2、インバータ 6 0 3、インバータ 6 0 4、非線形有極性キャパシタ 1 0 5 及びトランジスタ M N 1 と M N 2 を含む。パスゲート 6 0 2 は、n 型トランジスタ M N t 及び p 型トランジスタ M P t とを含む。トランジスタ M N t は C l k によって制御され、一方、トランジスタ M P t は C l k b (C l k の逆) によって制御される。ここで、ノード名と信号名は交換可能に使用される。例えば C l k は、文の文脈に応じて、クロック信号又はクロック信号を運ぶクロックノードを指すことがある。

10

20

30

40

50

【0134】

いくつかの実施形態では、パスゲート602は、トリステータブル(tri-statable)インバータ又はバッファに置き換えられる。データ入力Dは、インバータ601によって反転される。いくつかの実施形態において、インバータ601及び603は、バッファと置き換えられる。パスゲート602はまた、非線形有極性キャパシタ105に結合される。例えば第1端子Dbdはパスゲート602又はトリステートインバータ(tristate inverter)(図示せず)に結合され、第2端子Qbはインバータ603の入力に結合される。インバータ603の出力はQである。いくつかの実施形態では、非線形有極性キャパシタ105は、2つ以上の並列の非線形有極性キャパシタとして実装される。いくつかの実施形態では、非線形有極性キャパシタ105は、2つ以上の直列の非線形有極性キャパシタとして実装される。いくつかの実施形態では、入力キャパシタCinがノードDbdに結合される。キャパシタCinのキャパシタンスの値は、ノードDbd上の寄生キャパシタンス及びラッチ600の所望の速度又はタイミングに依存する。

10

【0135】

様々な実施形態では、ノードQbはフローティングノードであり、これは、トランジスタMN2による論理演算間に接地されて電荷ビルドアップを除去することができる。トランジスタMN1と同様に、いくつかの実施形態では、トランジスタMN1はノードDbdを放電するためにも使用される。ノードDbd(Vout_in1と同じ)及びQb(Vout_int2と同じ)は、トランジスタMN1、MN2及びMP1を使用して図1A~図1Iを参照して説明したスキームに従ってリセットされる。リセットフェーズの後、ラッチ600は通常動作を実行することができる。

20

【0136】

従来のCMOSとは異なり、インバータ603のトランジスタは、Clk=0のとき、ソース端子又はドレイン端子に接続されない。様々な実施形態では、非線形有極性キャパシタ105は強誘電体キャパシタである。しかしながら、本明細書で言及したように、これは、常誘電体キャパシタ又は非線形誘電体キャパシタであってもよい。順序回路600において、強誘電体キャパシタ105は電荷を保持し、これはインバータ603のトランジスタのゲートに電力を供給することができる。例えば強誘電体キャパシタ105上の電荷(その極性に依存する)は、インバータ603のp型/n型トランジスタをターンオフ/オンすることができる。

30

【0137】

クロックClkが1(例えば論理高値)であるとき、反転された入力Dbdは、パスゲート602を介して強誘電体キャパシタ105に流れることが可能であり、ノードDbd上の以前に保持された電荷をオーバーライドし、強誘電体電荷を入力Dの逆に設定する。キャパシタ105(例えばノードQb)上の電荷は、直接インバータ603に送られる。この場合、出力Qは入力Dに等しい。

【0138】

クロックClkが0(例えば論理低値)であり、以前の入力も0であるとき、パスゲート602が開いているので、強誘電体キャパシタ105に電圧を通過させることができない。しかしながら、強誘電体キャパシタ105は、0の以前の入力から1の電荷を保持する。この1の電荷は反転され、その結果、入力Dへの変化にかかわらず、出力Qは0のままである。したがって、順序回路(例えばラッチ)の挙動は、ほんの数個のトランジスタと強誘電体キャパシタによって実現される。

40

【0139】

同様に、クロックClkが0であり、以前の入力Dが1であった場合、強誘電体キャパシタ105はノードQb上で0の電荷を保持し、出力Qは、現在の入力Dの論理状態に関係なく、1のままである。いくつかの実施形態では、インバータ601、602及び/又は603を、NAND又はNORゲートで置き換えることができる。これらのNAND又はNORゲートは、閾値多数決ゲート(AND及びORゲートの後にインバータドライバが続く)を使用して実装される。したがって、クロックゲーティング、走査

50

データ入力多重化、他の信号に基づくゲーティング及びセット特徴を実現することができる。様々な実施形態において、非線形有極性キャパシタ 105 は、ダイのバックエンドに形成又は配置され、一方、ゲート 601、602、603、604 及びノ又はトランジスタ MN1、MN2 及び MP1 の他のアクティブデバイスを、ダイのフロントエンド（例えば CMOS プロセス技術において）又はダイのバックエンド（例えば薄膜トランジスタ（TFT）プロセス技術において）に形成することができる。

【0140】

図7は、いくつかの実施形態による、図6の低電力順序回路の真理値表を示す表700を示す。表700は、トランスペアレント（transparent）、ストレージ、リセットという3つの動作モードを示す。トランスペアレントモードの間、Clkは1であり、Dは出力Qに渡される。ストレージモードの間、Clkは0であり、出力Qは前の値、すなわち Q_{n-1} を記憶する。リセットモードの間、Clkは1であり、Clk1も1である。いくつかの実施形態では、リセットフェーズの間、Clk及びDは1になるように調整される。

10

【0141】

図8Aは、いくつかの実施形態による、非線形有極性キャパシタを含む、低電力多数決ゲートベースの順序回路800（例えばラッチ）を示す。順序回路800は、データ入力（D）、クロック入力（Clk）、リセットクロック入力（Clk1、Clk2、Clk3b）、及び出力（Q）を含む。いくつかの実施形態では、順序回路800は、3入力多数決ゲート801、ドライバ802及び比較ロジック803を含む。

20

【0142】

3入力多数決ゲート801は、その入力ノードVinにおいてデータ入力Dを受け取り、その入力Vin2において比較ロジック803の出力Qcを受け取り、その入力Vin3において出力Qを受け取る。いくつかの実施形態では、3入力多数決ゲート801は、図1A及び図4のゲート104と同じである。3入力多数決ゲート801は、入力データD、比較ロジック803の出力Qc及び出力Qに対して多数決関数を実行する。多数決関数の結果はノードcn（共通ノード）において蓄積され、次いで、非線形有極性キャパシタ105において記憶される。非線形有極性キャパシタ105の他方の端子はノードn1である。ノードn1上の電圧は、ドライバ802によって出力ノードQに駆動出力される。ドライバ802は、任意の適切なドライバとすることができる。例えばドライバ802は、バッファ、ANDゲート、ORゲート、増幅器等のうちの1つである。いくつかの実施形態では、事前放電トランジスタMN1及びMN2（又はノードcn及びノ又はn1を事前充電するためのそれらのp型等価物）は、リセットRst信号によって制御される。

30

【0143】

いくつかの実施形態では、比較ロジック803は、クロックClkと出力Qの論理値を比較し、Clk又はQのいずれかが論理1値（logic 1 value）であるとき、出力Qcに対する論理1値を生成する。クロックclkと出力Qが同じ論理レベルを有するとき、比較ロジック803はノードQc上に論理0値（logic 0 value）を生成する。様々な実施形態では、比較ロジック803は排他的OR（XOR）ゲートである。いくつかの実施形態では、比較ロジック803はX-NORである。他の実施形態では、本明細書で説明した機能を実行する他の論理ゲートを使用することができる。実施形態は、ここでは、3入力多数決ゲートを参照して説明されるが、図1Bを参照して説明されるように、閾値ゲートを用いて実装されることもできる。

40

【0144】

図8Bは、いくつかの実施形態による、非線形有極性キャパシタを含む低電力多数決ゲートベースのフリップフロップ回路820を示す。いくつかの実施形態において、フリップフロップを、2つのラッチ800の直列組合せによって実現することができる。ここで、第1ラッチ821はラッチ800の例であり、第2ラッチ822はラッチ800の別の例である。ラッチ821の出力Q（ラベルQ__int）は、ラッチ822の入力Dとして受け取られる。ラッチ821はマスターラッチとして挙動し、一方、ラッチ822はスレ

50

ラッチとして挙動する。様々な実施形態では、クロック Clk がラッチ 821 のクロック入力 Clk に提供され、その反転バージョンの $Clkb$ がラッチ 822 のクロック入力 Clk に提供される。いくつかの実施形態では、NORゲート 823 は、 Clk 及び $Clk1$ の NOR 演算を実行することによって、 $Clkb$ の反転バージョンを生成するために提供される。いくつかの実施形態では、リセットフェーズの間（例えば $Clk1 = 1$ のとき）、 Din 及び Clk は、ラッチ 821 及び 822 の非線形有極性キャパシタをリセットするためにゼロに調整される。

【0145】

図9は、いくつかの実施形態による、図8Aの順序回路800の概略図900を示す。ここでは、3入力多数決ゲート801が示されており、これは多数決ゲート104と同じであるが、事前放電トランジスタ $MN1$ 及び $MN2$ を制御するための Rst 信号において異なる。この例では、比較ロジック803は XOR 803として示される。回路800は、強誘電体多数決ゲート801及び XOR ゲート803を利用して、別のD-フリップフロップを生成する。多数決ゲートはバッファを使用し、出力 Q は、強誘電体ではなくバッファのトランジスタのソース又はドレインに直接接続されるので、出力 Q はゲート801の入力 $Vin3$ を介してゲート801に安全にフィードバックされることができる。

【0146】

回路800の関数は、次のように表される：

【数11】

$$Q = \text{majority}(D, Q_{prev}, XOR(Q_{prev}, Clk)) \dots (17)$$

ここで、 Q_{prev} は Q の以前の出力状態である。

【0147】

クロック信号 clk が1に設定された後、以前の出力 Q は、 Qc を更新する前に、依然として回路801にフィードバックされている。1のクロック入力のため、 Qc と $Vin3$ (又は Q) は、以前の Q 値が何であるかに関係なく、常に逆になる。この関数は次のように表される：

【数12】

$$Q = \text{majority}(D, Q_{prev}, XOR(Q_{prev}, 1)) \dots (18)$$

$$= \text{majority}(D, Q_{prev}, \overline{Q_{prev}}) = D \dots (19)$$

【0148】

入力 $D = 1$ であり、以前の出力 $Q = 1$ である場合、多数決ゲート801は、共通ノード cn 上で平均して出力1となる入力 ($Vin1 = 1$ 、 $Vin2 = 0$ 、 $Vin3 = 1$) を有する。この出力1は、キャパシタ105を通して出力 Q に伝播する。

【0149】

入力 $D = 1$ であり、以前の出力 $Q = 0$ である場合、多数決ゲート801は、共通ノード cn 上で平均して出力1となる入力 ($Vin1 = 1$ 、 $Vin2 = 1$ 、 $Vin3 = 0$) を有する。この新しい出力は、キャパシタ105を通して出力 Q に伝播する。

【0150】

入力 $D = 0$ であり、以前の出力 $Q = 0$ である場合、多数決ゲート801は、共通ノード cn 上で平均して出力0となる入力 ($Vin1 = 0$ 、 $Vin2 = 1$ 、 $Vin3 = 0$) を有

10

20

30

40

50

する。入力 $D = 0$ であり、以前の出力 $Q = 1$ である場合、多数決ゲート 801 は、共通ノード c_n 上で平均して出力 0 となる入力 ($V_{in1} = 0, V_{in2} = 0, V_{in3} = 1$) を有する。この新しい出力は、キャパシタ 105 を通って出力 Q に伝播する。

【0151】

これに対して、クロック Clk が 0 のとき、 Q_c 及び V_{in3} (又は Q) は常に以前の出力 Q と等しい。 Q_c 及び V_{in3} は多数決ゲート 801 のマジョリティ (majority) を形成するので、多数決ゲート 801 の出力は入力 D に関係なく、以前の出力と等しい。この関数は次のように表される：

【数13】

$$Q = \text{majority}(D, Q_{prev}, \text{XOR}(Q_{prev}, 0)) \dots (20)$$

$$= \text{majority}(D, Q_{prev}, Q_{prev}) = Q_{prev} \dots (21)$$

10

【0152】

表 7 は、ラッチ 900 の動作の真理値表を提供する。

【表7】

表 7

動作モード	Clk	Qn-1	D	Vin1	Vin2	Vin3	Vn1	Qn
トランスアレント	1	0	Din	Din	1	0	Din	Din
トランスアレント	1	1	Din	Din	0	1	Din	Din
ストレージ	0	0	Din	Din	0	0	0	0
ストレージ	0	1	Din	Din	1	1	1	1
リセット	0	0	0	0	0	0	0→1→0	0

20

【0153】

Clk が 1 のとき、データ D は、前の状態に関係なく出力値を決定する。 Clk が 0 のとき、 $Q_n - 1$ は Q_n に戻るものであり、したがってラッチ 900 はストレージモードである。リセット中、 Clk 、 D 及び Q_n は、正しい動作のために 0 に調整される。上述したように、調整は、リセットフェーズ中に Clk 及び D を駆動する回路が 0 を強制することを保証することによって行われることができる。調整は、パスを切断し、ブルダウンリセットロジックをおくことによっても行うことができる。いくつかの実施形態では、フィードバック経路に対して、リセットフェーズ (Clk_1 が高) の間、 Q_n を 0 にして正しい機能を保証する。 Q_n をゼロにすることは、出力におけるバッファをインバータ 802a と NOR ゲート 802a に分裂させることができ、ここで NOR ゲートの他の入力は Clk_1 である。なお、 Q_n と $Q_n - 1$ は単にノード Q の異なる状態である。 $Q_n - 1$ は入力遷移が適用される直前のノードであり、 Q_n は現在の状態である。

30

40

【0154】

図 10 は、いくつかの実施形態による、低電圧順序回路 (例えば 600、800、820) を使用するシステムオンチップ (SOC) を示す。SOC 1000 は、静的ランダムアクセスメモリ (SRAM) 又は FE ベースのランダムアクセスメモリ FE-RAM を有するメモリ 1001 又は他の適切なメモリを含む。メモリは、不揮発性 (NV) 又は揮発性メモリとすることができる。メモリ 1001 は、メモリ 1002 を制御するためのロジック 1003 も含み得る。例えば書き込み及び読み取りドライバはロジック 1003 の一部である。これらのドライバ及び他のロジックは、様々な実施形態の多数決ゲート又は閾値ゲートを使用して実装される。ロジックは、多数決ゲート又は閾値ゲートと、従来のロジック (例えば CMOS ベースの NAND、NOR 等) を含むことができる。

50

【 0 1 5 5 】

S O C は、メモリ I / O (入力 - 出力) インタフェース 1 0 0 4 を更に備える。インタフェースは、プロセッサと通信するためのダブルデータレート (D D R) 準拠インタフェース又は任意の他の適切なインタフェースであってよい。S O C 1 0 0 0 のプロセッサ 1 0 0 5 は、シングルコア又はマルチコアプロセッサとすることができる。プロセッサ 1 0 0 5 は、汎用プロセッサ (C P U)、デジタル信号プロセッサ (D S P) 又は特定用途向け集積回路 (A S I C) プロセッサとすることができる。いくつかの実施形態では、プロセッサ 1 0 0 5 は、人工知能 (A I) プロセッサ (例えば専用 A I プロセッサ、A I プロセッサとして構成されるグラフィックスプロセッサ) である。

【 0 1 5 6 】

A I は、データが分析され、分類され、次いでそのデータに関して決定がなされるハードウェア及びソフトウェア計算の広い領域である。例えばある特性又は複数の特性に関するデータの分類を記述するモデルは、大量のデータを用いて経時的にトレーニングされる。モデルをトレーニングするプロセスは、大量のデータと、データを分析するための処理パワーを必要とする。モデルがトレーニングされる時、重み又は重み係数は、モデルの出力に基づいて修正される。データを繰り返し分析し、期待される結果を得るために重みを修正することによって、モデルの重みが一旦高い信頼レベル (9 5 % 以上など) に計算されると、そのモデルは「トレーニングされた」とみなされる。固定の重みを有するこのトレーニングされたモデルは、次いで、新しいデータに関する決定を行うために使用される。モデルをトレーニングし、次いで、トレーニングされたモデルを新しいデータに適用することは、ハードウェア集約的なアクティビティである。いくつかの実施形態では、A I プロセッサ 4 0 5 は、トレーニングモデルを計算し、トレーニングモデルを使用するレイテンシを低減しており、これは、そのような A I プロセッサシステムの電力消費を低減する。

【 0 1 5 7 】

プロセッサ 1 0 0 5 は、S O C 1 0 0 0 と同じダイ上又は別個のダイ上にあり得る複数の他のチップレットに結合され得る。これらのチップレットは、接続回路 1 0 0 6、I / O コントローラ 1 0 0 7、電力管理 1 0 0 8 及びディスプレイシステム 1 0 0 9 及び周辺接続 1 1 0 0 を含む。

【 0 1 5 8 】

接続 1 0 0 6 は、他のデバイスと通信するためのハードウェアデバイス及びソフトウェア構成要素を表す。接続 1 0 0 6 は、様々な接続回路及び規格をサポートし得る。例えば接続 1 0 0 6 は、G S M (登録商標) (global system for mobile communication s) 又は変形若しくは派生物、C D M A (符号分割多重化) 又は変形若しくは派生物、T D M (時分割多重化) 又は変形若しくは派生物、第 3 世代パートナーシッププロジェクト (3 G P P (登録商標)) ユニバーサルモバイルテレコミュニケーションシステム (U M T S) システム又はその変形若しくは派生物、3 G P P 長期進化 (L T E) システム又はその変形若しくは派生物、3 G P P L T E - アドバンスド (L T E - A) システム又は変形若しくは派生物、第 5 世代 (5 G) 無線システム又は変形若しくは派生物、5 G モバイルネットワークシステム又は変形若しくは派生物、5 G N e w R a d i o (N R) システム又は変形又は派生物、あるいは他のセルラサービス規格をサポートし得る。いくつかの実施形態では、接続 1 0 0 6 は、W i F i のような非セルラ規格をサポートしてもよい。

【 0 1 5 9 】

I / O コントローラ 1 0 0 7 は、ユーザとの対話に関連するハードウェアデバイス及びソフトウェア構成要素を表す。I / O コントローラ 1 0 0 7 は、オーディオサブシステム及び / 又はディスプレイサブシステムの一部であるハードウェアを管理するように動作可能である。例えばマイクロフォン又は他のオーディオデバイスを介した入力は、S O C 1 0 0 0 の 1 つ以上のアプリケーション又は機能についての入力又はコマンドを提供することができる。いくつかの実施形態において、I / O コントローラ 1 0 0 7 は、ユーザがシステムと対話することができる S O C 1 0 0 0 に接続する追加デバイスのための接続点を

10

20

30

40

50

示す。例えばSOC1000に取り付けることができるデバイスは、マイクロフォンデバイス、スピーカ又はステレオシステム、ビデオシステム又は他のディスプレイデバイス、キーボード又はキーパッドデバイス、あるいはカードリーダー又は他のデバイスのような特定の用途で使用するための他のI/Oデバイスを含むことがある。

【0160】

電力管理1008は、例えば電力測定回路、温度測定回路、バッテリーの充電レベル及び/又は電力管理に使用され得る任意の他の適切な情報からの測定値を受信することに少なくとも部分的に基づいて、電力管理動作を実行するハードウェア又はソフトウェアを表す。様々な実施形態の多数決ゲート及び閾値ゲートを使用することにより、これらのロジックの出力において不揮発性が達成される。したがって、電力管理1008は、データを失う心配なしに、そのようなロジックを低電力状態にし得る。電力管理は、SOC1000の1つ又はすべての構成要素について、ACPI (Advanced Configuration and Power Interface) 仕様に従って電力状態を選択し得る。

10

【0161】

ディスプレイシステム1009は、ユーザがプロセッサ1005と対話するための視覚及び/又は触覚ディスプレイを提供するハードウェア(例えばディスプレイデバイス)及びソフトウェア(例えばドライバ)構成要素を表す。いくつかの実施形態では、ディスプレイシステム1009は、出力及び入力の両方をユーザに提供するタッチスクリーン(又はタッチパッド)デバイスを含む。ディスプレイシステム1009は、ディスプレイインタフェースを含んでよく、これは、ユーザに表示を提供するために使用される特定の画面又はハードウェアデバイスを含む。いくつかの実施形態では、ディスプレイインタフェースは、ディスプレイに関連する少なくともいくつかの処理を実行するためのプロセッサ1005とは別のロジックを含む。

20

【0162】

周辺接続1010は、プリンタ、充電器、カメラ等のような周辺デバイスに接続するためのハードウェアデバイス及び/又はソフトウェアデバイスを表してよい。周辺接続1010は、例えばPCIe (Peripheral Component Interconnect Express)、USB (Universal Serial Bus)、Thunderbolt、HDMI (登録商標) (High Definition Multimedia Interface)、Firewire等の通信プロトコルをサポートという。

30

【0163】

本明細書における「実施形態」、「一実施形態」、「いくつかの実施形態」又は「他の実施形態」への言及は、実施形態に関連して説明される特定の特徴、構造又は特性が、少なくともいくつかの実施形態に含まれるが、必ずしもすべての実施形態に含まれるわけではないことを意味する。「実施形態」、「一実施形態」又は「いくつかの実施形態」の様々な出現は、必ずしもすべてが同じ実施形態を参照しているわけではない。本明細書に構成要素、特徴、構造又は特性が含まれる「ことがある(may)」、「かもしれない(might)」又は「可能性がある(could)」と記載されている場合、その特定の構成要素、特徴、構造又は特性は含まれる必要はない。明細書又は特許請求の範囲が「ある(a又はan)」要素に言及している場合、それは要素のうちの1つのみが存在することを意味しない。明細書又は特許請求の範囲が「追加の」要素に言及している場合、追加の要素のうちの2つ以上が存在することを妨げない。

40

【0164】

さらに、特定の特徴、構造、機能又は特性は、1つ以上の実施形態において任意の適切な方法で組み合わせられてもよい。例えば第1実施形態は、2つの実施形態に関連付けられる特定の特徴、構造、機能又は特性が相互に排他的でない場合にはいつでも第2の実施形態と組み合わせられてもよい。

【0165】

本開示は、その特定の実施形態と関連して説明されているが、そのような実施形態の多くの代替、修正及び変形は、前述の説明に照らして当業者に明らかであろう。本開示の実

50

施形態は、添付の特許請求の範囲の広い範囲内に入るようなすべてのそのような代替、修正及び変形を包含するように意図されている。

【0166】

加えて、集積回路（IC）チップ及び他の構成要素への周知の電源/接地接続は、図示及び説明を簡単にするために、また本開示を不明瞭にしないように、提示される図に示されていても、示されていなくてもよい。さらに、配置は、本開示を不明瞭にすることを避けるために、また、そのようなブロック図配置の実装に関する詳細が、本開示が実装されるプラットフォームに大きく依存するという事実も考慮して、ブロック図に示され得る（すなわち、このような詳細は、十分に当業者の知識の範囲内であるはずである。）。本開示の例示的な実施形態を説明するために特定の詳細（例えば回路）が説明される場合、本開示を、これらの具体的な詳細なしで又はこれらの具体的な詳細の変形とともに実践することができることは当業者に明らかであろう。したがって、説明は、限定するものではなく、例示的なものとみなされるべきである。

10

【0167】

様々な実施形態を説明する以下の例が提供される。例を、他の例と組み合わせることができる。したがって、本発明の範囲を変更することなく、様々な実施形態を他の実施形態と組み合わせることができる。

【0168】

例1：3入力多数決論理ゲートであって、第1入力、第2入力及び第3入力をそれぞれ受け取る第1、第2及び第3非強誘電体キャパシタと、前記第1、第2及び第3入力の多数決関数出力を記憶するための非線形有極性キャパシタであって、該非線形有極性キャパシタの一方の端子は、前記3入力多数決論理ゲートの出力を提供する、非線形有極性キャパシタと、を含む前記3入力多数決論理ゲートと；前記3入力多数決論理ゲートの前記出力に結合されるドライバであって、該ドライバは、前記3入力多数決論理ゲートの増幅出力を生成し、前記増幅出力は第3入力に結合されている、ドライバと；入力クロックと前記増幅出力とを受信する比較ロジックであって、該比較ロジックの出力は前記第2入力である、比較ロジックと；を備える、装置。

20

【0169】

例2：例1の装置において、前記第1入力はデータ入力である。

【0170】

例3：例1の装置において、前記ドライバは、バッファ、増幅器、NAND、AND、OR、マルチプレクサ又はNOR論理ゲートのうちの1つを含み、前記比較ロジックは、排他的OR（XOR）ゲートを含む。

30

【0171】

例4：例1の装置において、前記非線形有極性キャパシタの第1端子に結合される第1トランジスタであって、第1クロックにより制御可能な第1トランジスタと；前記非線形有極性キャパシタの第2端子に結合される第2トランジスタであって、第2クロックにより制御可能な第2トランジスタと；前記非線形有極性キャパシタの前記第2端子に結合される第3トランジスタであって、第3クロックによって制御可能な第3トランジスタと；を備える。

40

【0172】

例5：例4の装置において、前記第1クロックは、前記第2クロックのパルス幅及び前記第3クロックのパルス幅よりも大きいパルス幅を有する。

【0173】

例6：例4の装置において、前記第3クロックは、前記第2クロックのアサートに先立ってデアサートする。

【0174】

例7：例4の装置において、前記第1トランジスタは第1n型トランジスタであり、前記第2トランジスタは第2n型トランジスタであり、前記第3トランジスタはp型トランジスタである。

50

【 0 1 7 5 】

例 8 : 例 4 の装置において、前記第 1 トランジスタ、前記第 2 トランジスタ及び前記第 3 トランジスタは、評価フェーズにおいて無効にされ、リセットフェーズにおいて有効にされ、前記リセットフェーズは、前記評価フェーズに先行する。

【 0 1 7 6 】

例 9 : 例 4 の装置において、前記第 1 及び第 2 クロックは同一であり、前記第 1 及び第 2 クロックはリセット信号である。

【 0 1 7 7 】

例 10 : 例 4 の装置において、前記第 1 及び第 2 クロックは異なる信号である。

【 0 1 7 8 】

例 11 : 例 1 の装置は、前記第 1 入力を生成する第 1 ドライバと、前記入力クロックを生成する第 2 ドライバとを備える。

【 0 1 7 9 】

例 12 : 例 11 の装置において、前記第 1 及び第 2 ドライバは、CMOS トランジスタを含む。

【 0 1 8 0 】

例 13 : 例 1 の装置において、前記 3 入力多数決論理ゲートの前記第 1、第 2 及び第 3 非強誘電体キャパシタは、金属 - 絶縁体 - 金属 (MIM) キャパシタ、トランジスタゲートキャパシタ、金属とトランジスタのハイブリッドキャパシタ (hybrid of metal and transistor capacitor) 又は常誘電体材料を含むキャパシタのうちの 1 つを含む。

【 0 1 8 1 】

例 14 : 例 1 の装置において、前記非線形有極性キャパシタは、強誘電体材料、常誘電体材料又は非線形誘電体材料のうちの 1 つを含む。

【 0 1 8 2 】

例 15 : 例 14 の装置において、前記強誘電体材料は、以下のうちの 1 つを含む、すなわち：ピスマスフェライト (BFO)、ドーピング材料を有する BFO であり、ここで、該ドーピング材料は、ランタン又は周期表のランタニド系列の元素のうちの一方を含む；

チタン酸ジルコン酸鉛 (PZT)、又はドーピング材料を有する PZT であり、ここで、該ドーピング材料は、La 又は Nb のうちの一方を含む；

リラクサ強誘電体は、ニオブ酸マグネシウム鉛 (PMN)、ニオブ酸マグネシウム鉛 - チタン酸鉛 (PMN-PT)、ジルコン酸チタン酸ランタン鉛 (PLZT)、ニオブ酸スカンジウム鉛 (PSN)、バリウムチタン - 亜鉛ニオブタンタル (BT-BZNT) 又はバリウムチタン - バリウムストロンチウムチタン (BT-BST) のうちの 1 つを含む；

ペロブスカイト強誘電体は、BaTiO₃、PbTiO₃、KNbO₃ 又は NaTaO₃ のうちの 1 つを含む；

六方晶強誘電体は、YMnO₃ 又は LuFeO₃ のうちの 1 つを含む；

h-RMnO₃ 型の六方晶強誘電体であり、ここで、R は、セリウム (Ce)、ジスプロシウム (Dy)、エルビウム (Er)、ユーロピウム (Eu)、ガドリウム (Gd)、ホルミウム (Ho)、ランタン (La)、ルテチウム (Lu)、ネオジウム (Nd)、プラセオジウム (Pr)、プロメチウム (Pm)、サマリウム (Sm)、スカンジウム (Sc)、テルビウム (Tb)、ツリウム (Tm)、イッテルビウム (Yb) 又は イットリウム (Y) のうちの 1 つを含む希土類元素である；

ハフニウム (Hf)、ジルコニウム (Zr)、アルミニウム (Al)、シリコン (Si)、それらの酸化物又はそれらの合金酸化物；

Hf_{1-x} E_x O_y 形式のハフニウム酸化物であり、ここで、E は、Al、Ca、Ce、Dy、er、Gd、Ge、La、Sc、Si、Sr、Sn 又は Y とすることができる；

Al(1-x)Sc(x)N、Ga(1-x)Sc(x)N、Al(1-x)Y(x)N 又は Al(1-x-y)Mg(x)Nb(y)N、y ドープ HfO₂ であり、ここで、y は、Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn 又は Y のうちの 1 つを含み、'x' 分数 (fraction) である；

ニオブ酸型化合物 LiNbO₃、LiTaO₃、リチウム鉄タンタルオキシフッ化物、ニオブ酸バ

10

20

30

40

50

リウムストロンチウム、ニオブ酸ナトリウムバリウム又はニオブ酸カリウムストロンチウム；又は

変則的な強誘電体 (improper ferroelectric) は、[PTO/STO] n 又は[LAO/STO] n のうちの1つを含み、ここで 'n' は1 ~ 100である。

【0183】

例16：例1の装置において、前記非線形有極性キャパシタはダイのバックエンドに配置され、前記ドライバ及び前記比較ロジックのトランジスタはダイのフロントエンドに配置される。

【0184】

例17：装置であって：第1入力、第2入力及び第3入力と、第1出力を有する3入力多数決ゲートと；前記第1出力に結合されるドライバであって、第2出力を生成するドライバと；クロックと前記第2出力とを受信する比較ロジックであって、該比較ロジックは、前記第2入力に結合される第3出力を生成し、前記第1入力はデータを受け取り、前記第3入力は前記第2出力を受け取る、比較ロジックと；を備える。

10

【0185】

例18：例17の装置において、前記3入力多数決ゲートは、前記第1入力、前記第2入力及び前記第3入力にそれぞれ結合される第1、第2及び第3非強誘電体キャパシタと、前記第1入力、前記第2入力及び前記第3入力の多数決関数出力を記憶するための非線形有極性キャパシタと、を備え、前記非線形有極性キャパシタの一方の端子が前記第1出力を提供する。

20

【0186】

例19：例17の装置において、前記ドライバは、バッファ、増幅器、NAND、AND、OR、マルチプレクサ又はNOR論理ゲートのうちの1つを含み、前記比較ロジックは、排他的OR (XOR)ゲートを含む。

【0187】

例20：例18の装置において、前記非線形有極性キャパシタの第1端子に結合される第1トランジスタであって、第1信号により制御可能な第1トランジスタと；前記非線形有極性キャパシタの第2端子に結合される第2トランジスタであって、第2信号により制御可能な第2トランジスタと；前記非線形有極性キャパシタの前記第2端子に結合される第3トランジスタであって、第3信号によって制御可能な第3トランジスタと；を備える。

30

【0188】

例21：例20の装置において、前記第1信号は、前記第2信号のパルス幅及び前記第3信号のパルス幅よりも大きいパルス幅を有する。

【0189】

例22：例20の装置において、前記第3信号は、前記第2信号のアサートに先立ってデアサートする。

【0190】

例23：例20の装置において、前記第1トランジスタは第1n型トランジスタであり、前記第2トランジスタは第2n型トランジスタであり、前記第3トランジスタはp型トランジスタである。

40

【0191】

例24：例20の装置において、前記第1トランジスタ、前記第2トランジスタ及び前記第3トランジスタは、評価フェーズにおいて無効にされ、リセットフェーズにおいて有効にされ、前記リセットフェーズは、前記評価フェーズに先行する。

【0192】

例25：システムであって、プロセッサと、前記プロセッサに通信可能に結合された通信インタフェースと、前記プロセッサに結合されたメモリと、を備え、前記プロセッサは、第1入力、第2入力及び第3入力と、第1出力を有する3入力多数決ゲートと；前記第1出力に結合されるドライバであって、第2出力を生成するドライバと；クロックと前記第2出力とを受信する比較ロジックであって、該比較ロジックは、前記第2入力に結合さ

50

れる第3出力を生成し、前記第1入力はデータを受け取り、前記第3入力は前記第2出力を受け取る、比較ロジックと、を備える順序回路を備える。

【0193】

例26：例25のシステムにおいて、3入力多数決ゲートは、前記第1入力、前記第2入力及び前記第3入力にそれぞれ結合される第1、第2及び第3非強誘電体キャパシタと、前記第1入力、前記第2入力及び前記第3入力の多数決関数出力を記憶するための非線形有極性キャパシタと、を備え、前記非線形有極性キャパシタの一方の端子が前記第1出力を提供し、比較ロジックは排他的OR(XOR)ゲートを含む。

【0194】

本技術開示の性質及び要点を読者が確認できるように要約が提供される。要約は、特許請求の範囲又は意味を限定するために使用されないという理解をもって提示される。以下の特許請求の範囲はこれにより、詳細な説明に組み込まれ、各請求項は別個の実施形態として独立している。

10

20

30

40

50

【図面】
【図 1 A】

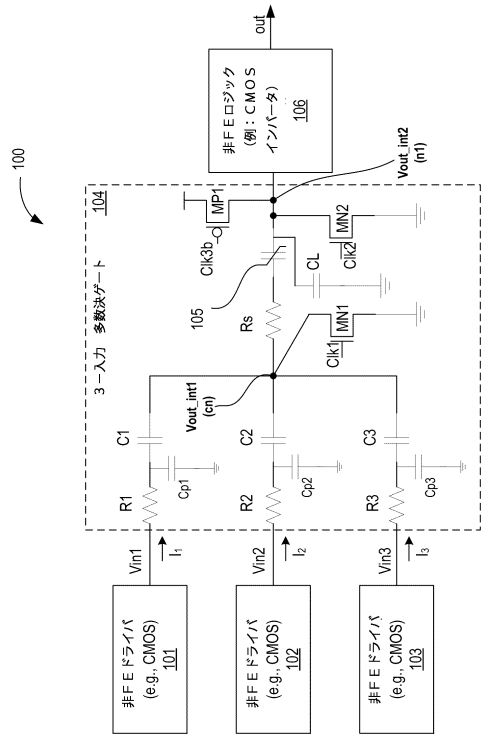


Fig. 1A

【図 1 B】

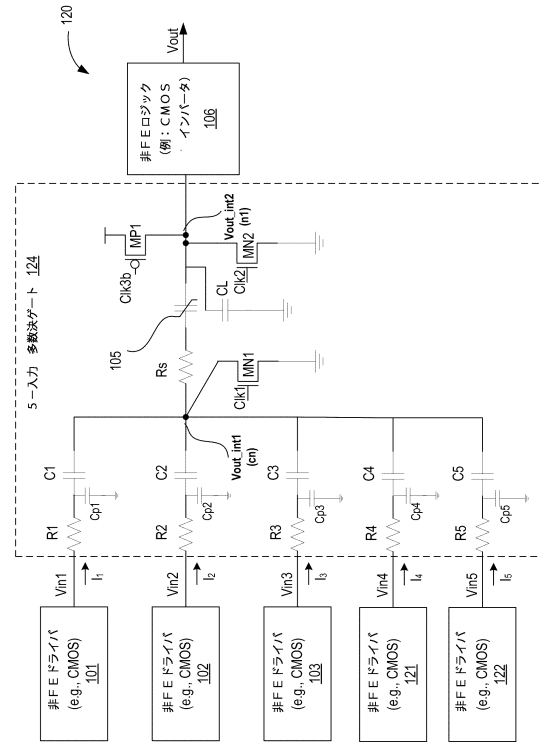


Fig. 1B

【図 1 C】

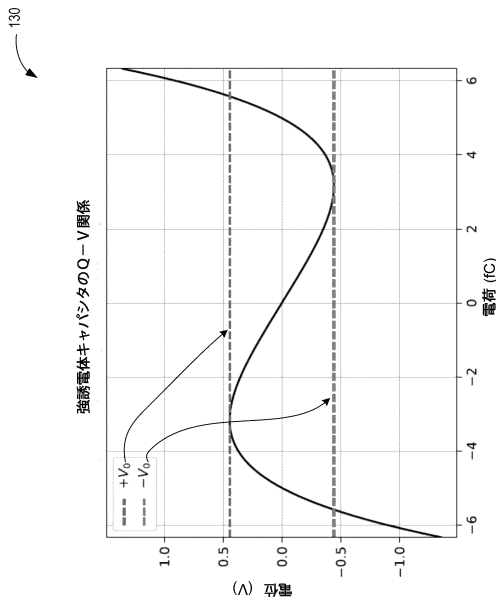


Fig. 1C

【図 1 D】

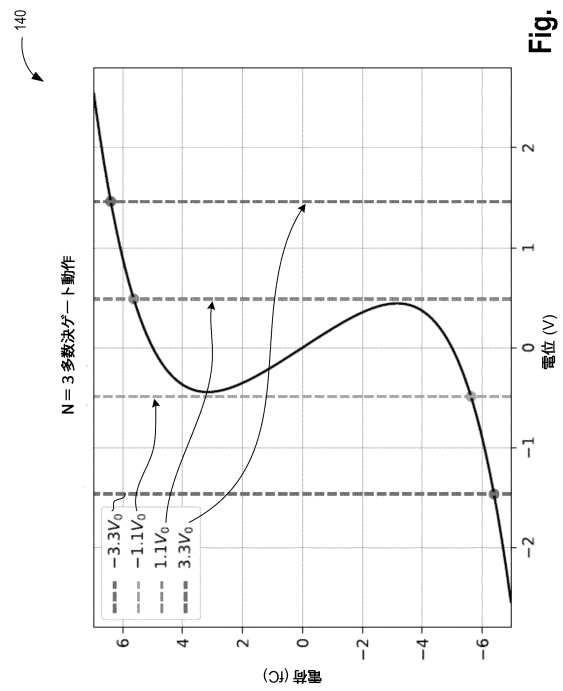


Fig. 1D

【図 1 E】

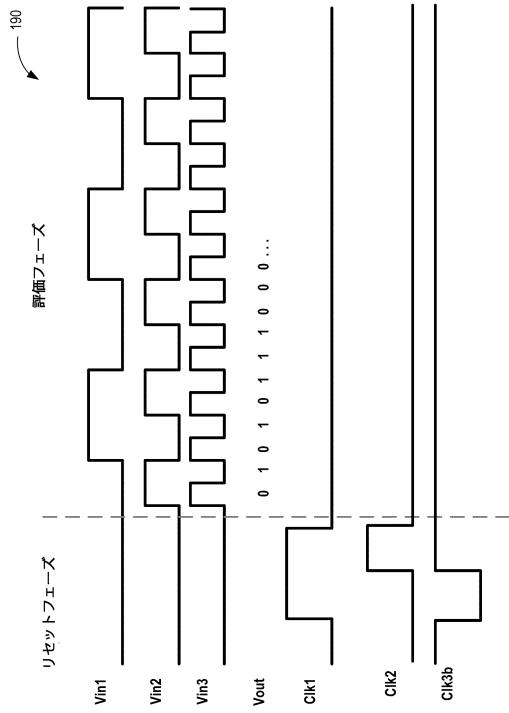


Fig. 1E

【図 1 F】

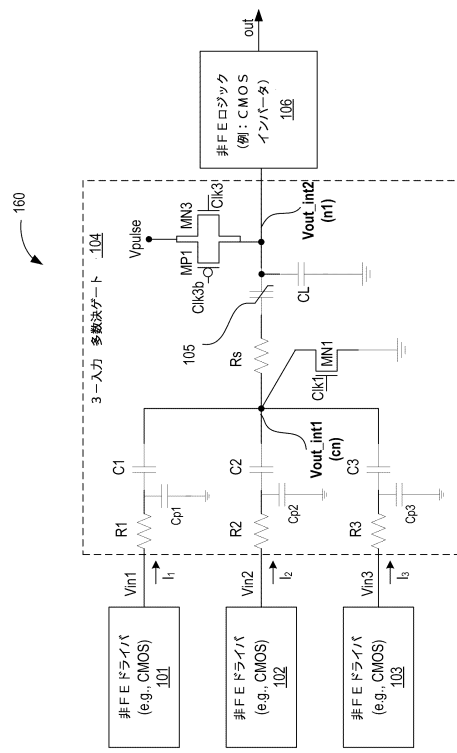


Fig. 1F

【図 1 G】

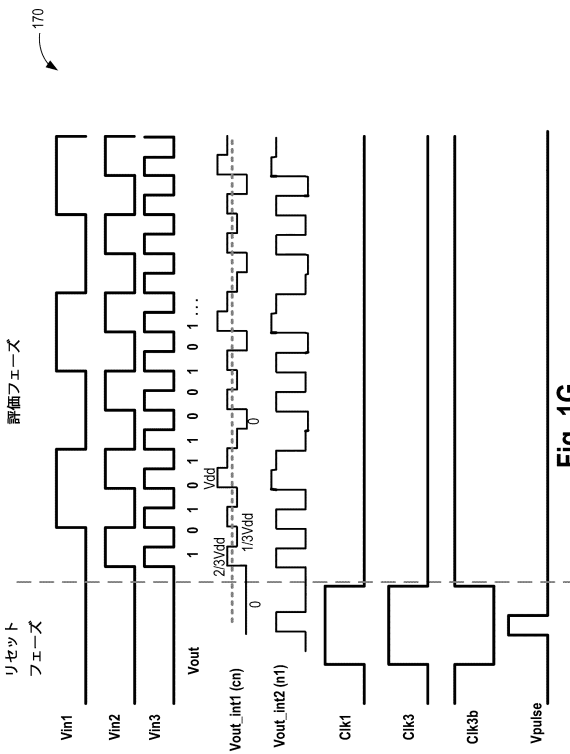


Fig. 1G

【図 1 H】

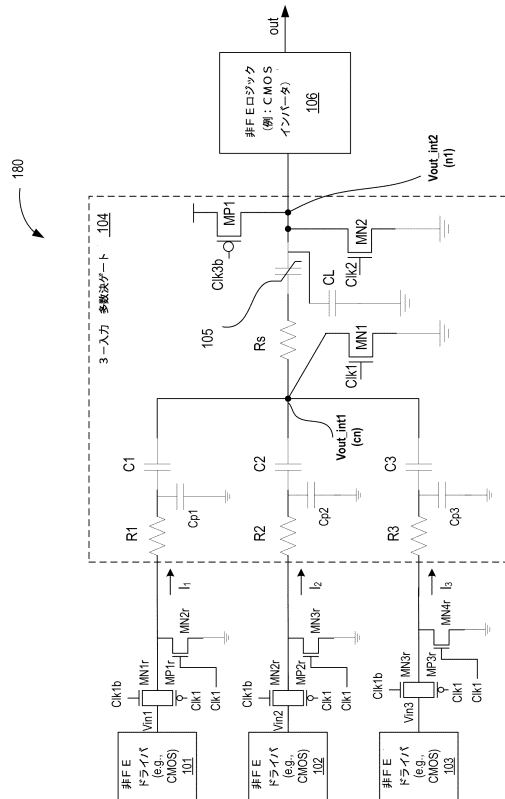


Fig. 1H

【図 1 I】

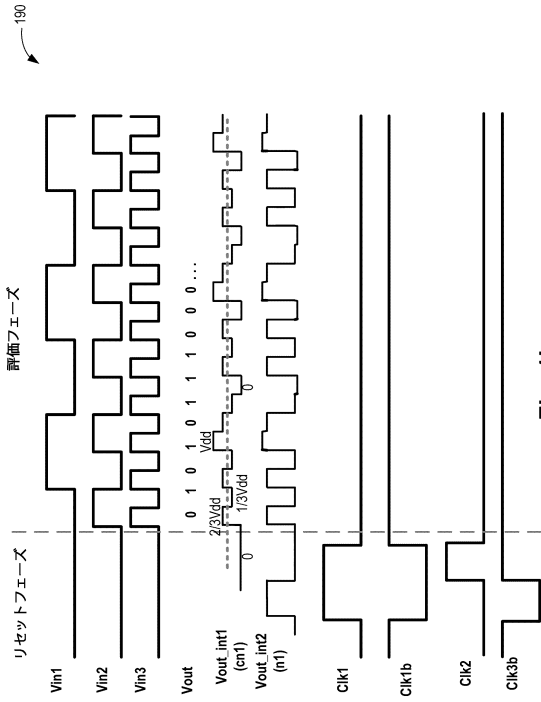


Fig. 1I

【図 1 J】

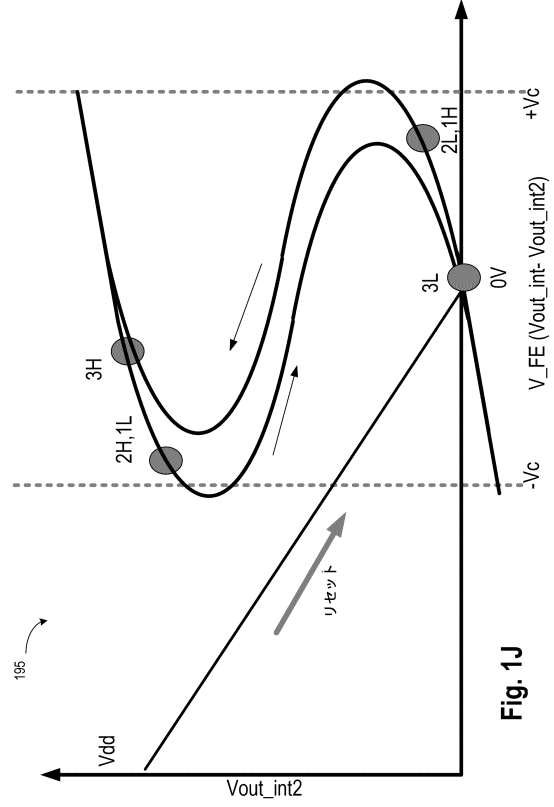


Fig. 1J

【図 2 A】

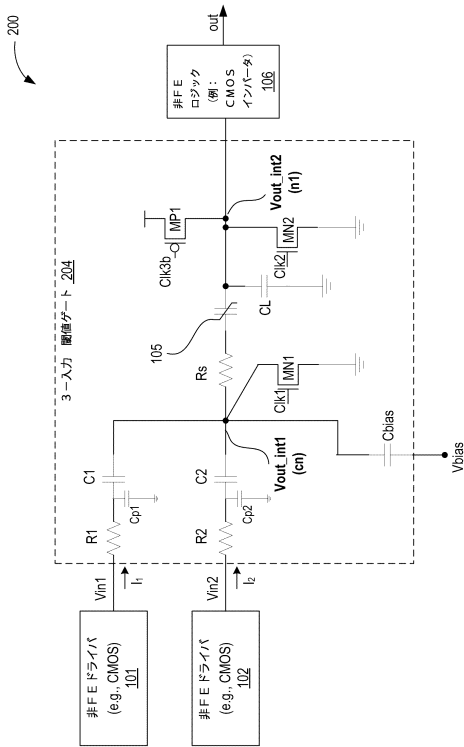


Fig. 2A

【図 2 B】

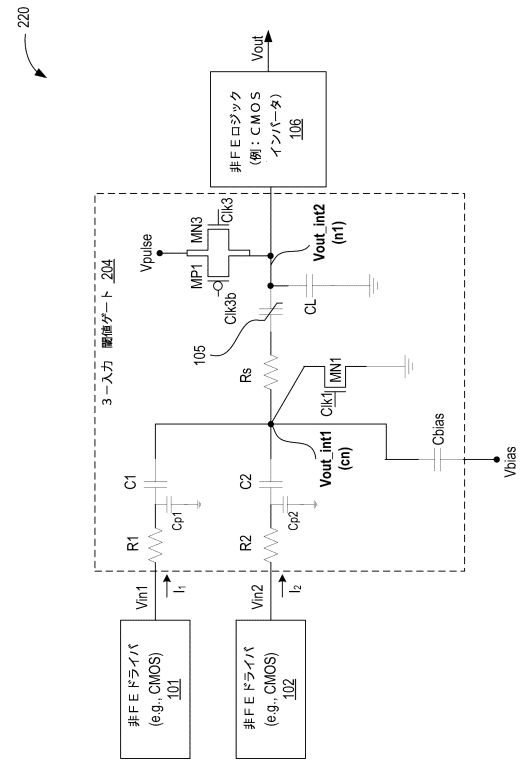
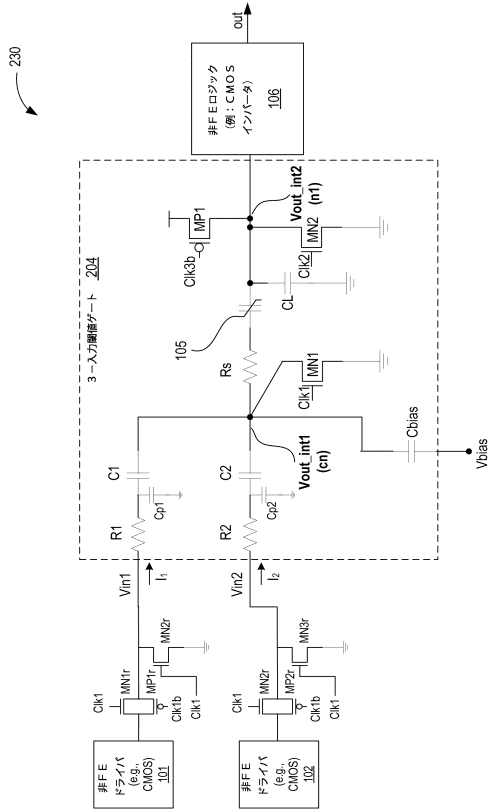
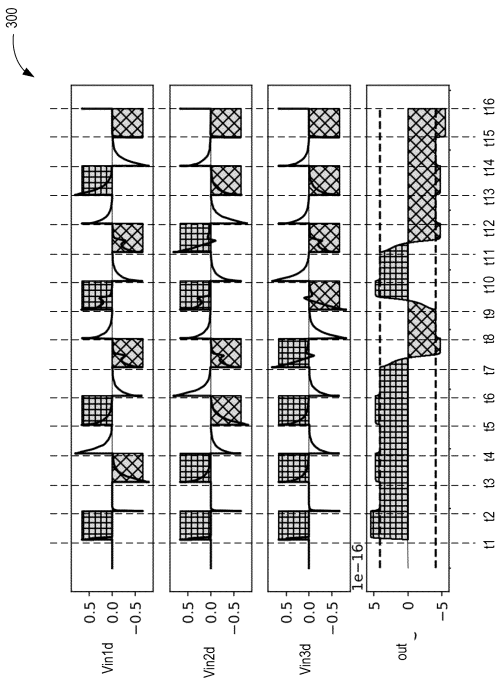


Fig. 2B

【図 2 C】



【図 3 A】



【図 2 D】

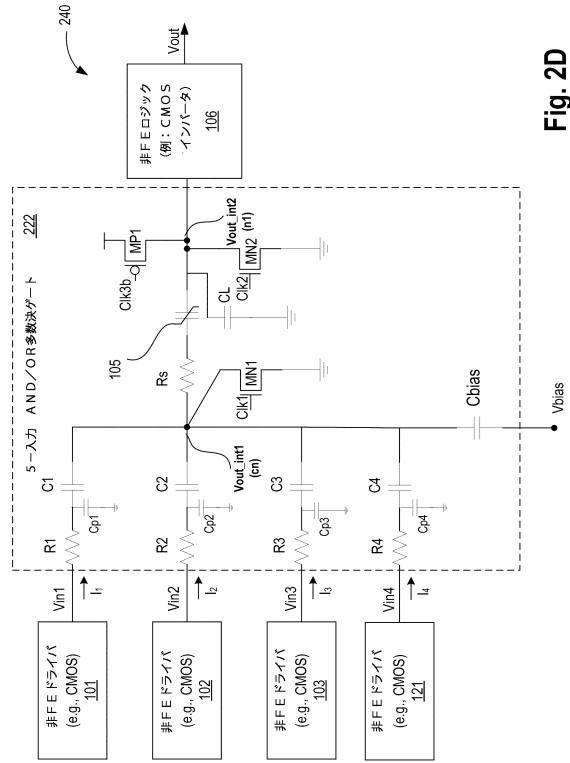


Fig. 2C

Fig. 3A

【図 3 B】

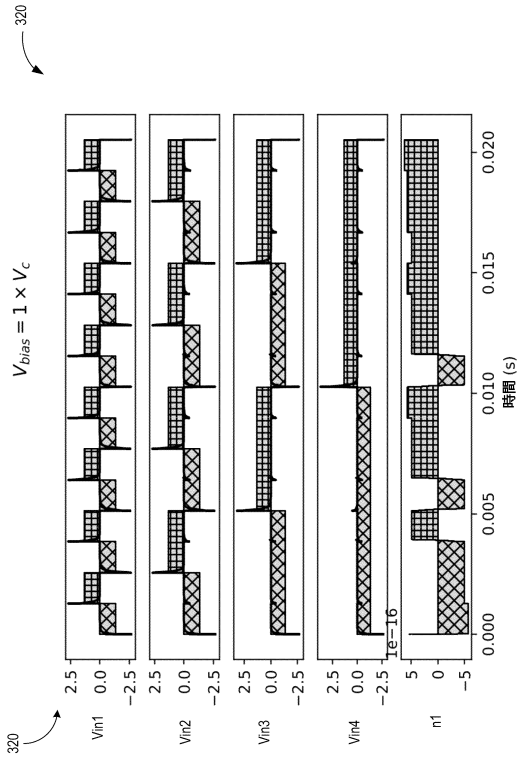


Fig. 3B

Fig. 2D

【図 3 C】

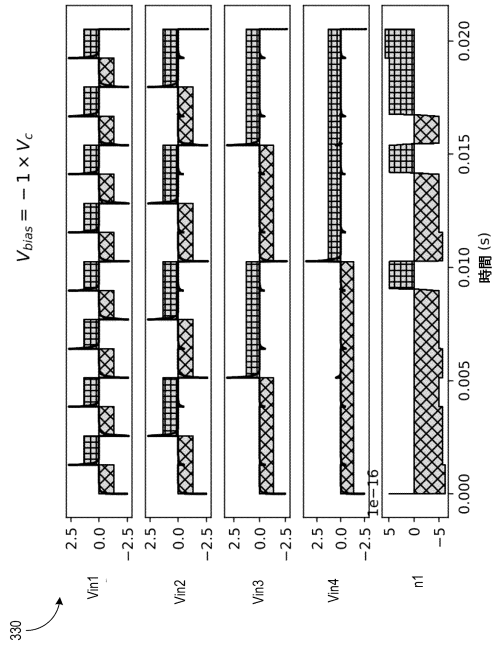


Fig. 3C

【図 3 D】

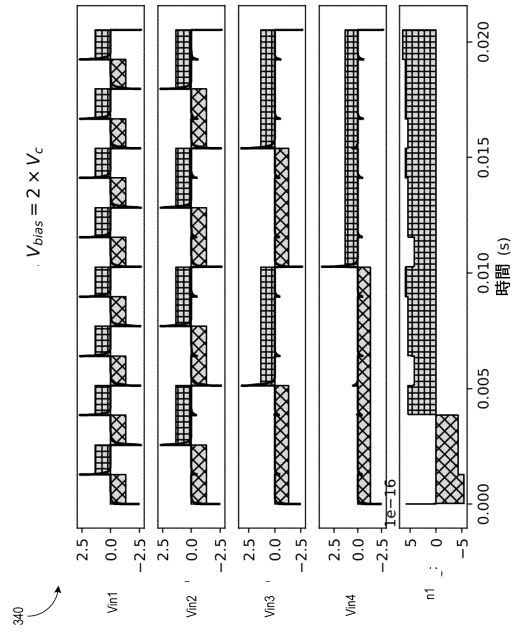


Fig. 3D

【図 3 E】

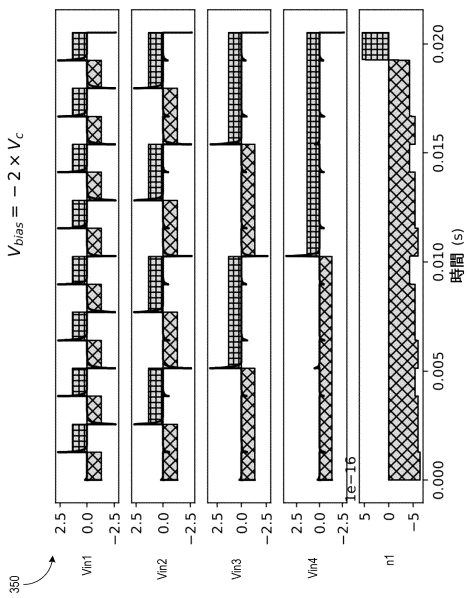
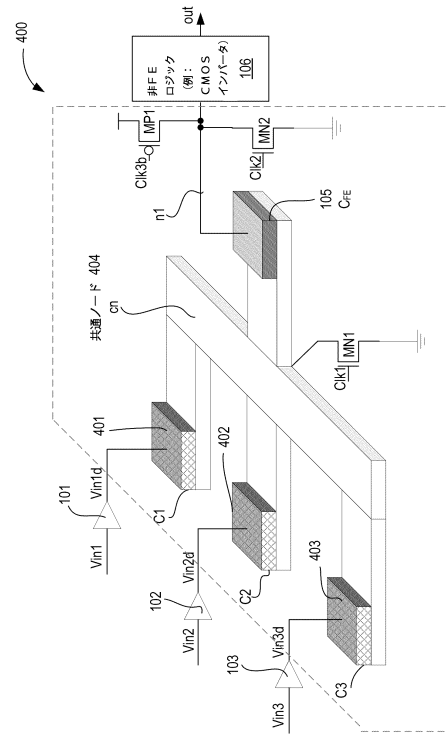


Fig. 3E

【図 4】



10

20

30

40

50

【図 5】

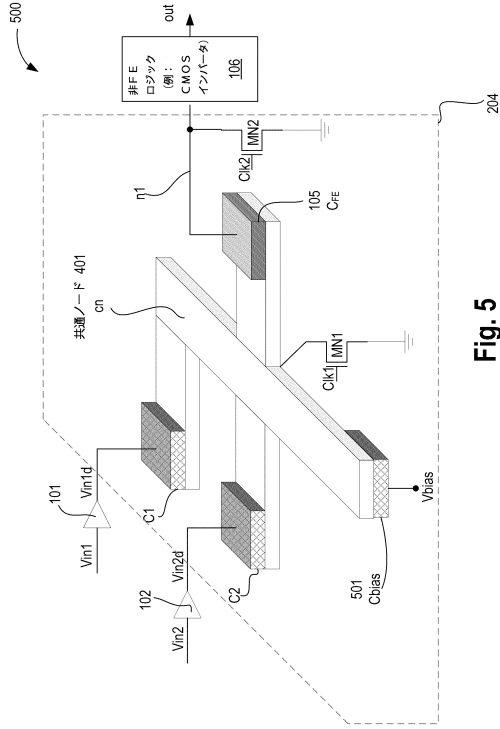


Fig. 5

【図 6】

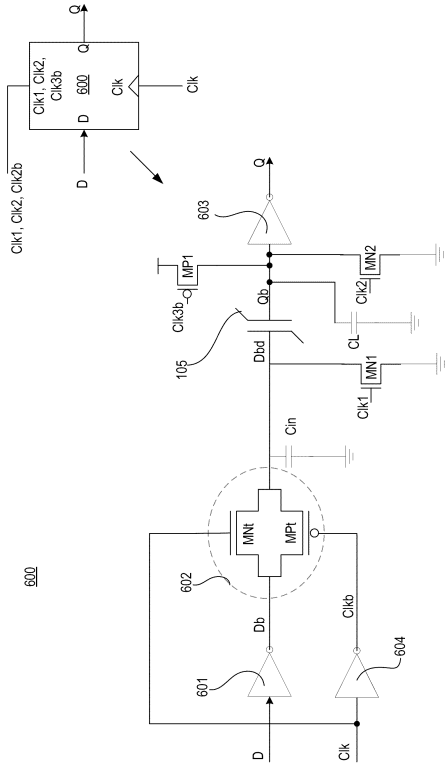


Fig. 6

【図 7】

700

動作モード	CLK	D	Db	Dbd	Qb	Q
トランスベアレント	1	Din	Din-inv	Din-inv	Din-inv	Din
ストレージ	0	Din	Din-inv	Qn-1-inv	Qn-1-inv	Qn-1
リセット	1	1	0	0	0->1-0	1

Fig. 7

【図 8 A】

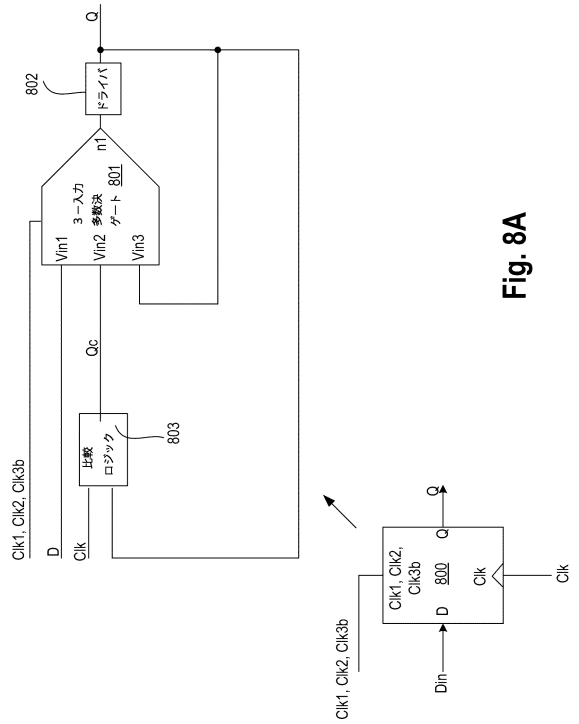


Fig. 8A

10

20

30

40

50

フロントページの続き

- , ポートランド, ノースウエスト ロゼッタ ストリート 1 6 3 5 5
- (72)発明者 ファーン, ユエン - シェン
アメリカ合衆国 9 1 0 4 5 カルフォルニア州, サン フランシスコ, スチュアート ストリート
1 8 0 ナンバー 1 9 2 5 2 4
- (72)発明者 メネゼス, ロバート
アメリカ合衆国 9 7 2 2 1 オレゴン州, ポートランド, サウスウエスト 4 2 番 プレイス 4 5 2 4
- (72)発明者 ドカニア, ラジーヴ クマール
アメリカ合衆国 9 7 0 0 6 オレゴン州, ビーヴァートン, ノースウエスト デザート キャニオン
ドライブ 1 6 8 8 9
- (72)発明者 ラメッシュ, ラマム - アシー
アメリカ合衆国 9 5 0 5 1 カルフォルニア州, サンタ クララ, モンロー ストリート 3 4 8 5
ナンバー 1 0 5
- (72)発明者 マツリヤ, アムリタ
アメリカ合衆国 9 7 2 2 9 オレゴン州, ポートランド, ノースウエスト ロゼッタ ストリート
1 6 3 5 5
- 審査官 石田 昌敏
- (56)参考文献 特開平 0 9 - 1 3 0 6 8 5 (J P , A)
特開 2 0 1 4 - 2 0 4 1 4 6 (J P , A)
特開 2 0 0 6 - 3 0 3 8 5 7 (J P , A)
特開 2 0 0 3 - 0 6 0 4 9 8 (J P , A)
特開 2 0 0 5 - 0 1 2 2 1 1 (J P , A)
米国特許出願公開第 2 0 2 0 / 0 1 9 4 6 6 3 (U S , A 1)
米国特許第 0 7 7 1 9 3 0 4 (U S , B 1)
- (58)調査した分野 (Int.Cl., D B 名)
H 0 3 K 1 9 / 0 9 8 - 1 9 / 2 3
H 0 3 K 3 / 0 3 7 - 3 / 5 9