[19]中华人民共和国专利局

[11]授权公告号

CN 1021092C

[12] 发明专利说明书

[21] 专利号 ZL 89108433

[51]Int.Cl[5]

G11B 20/12

[45]授权公告日 1993 年 6 月 2 日

[24]颁证日 93.3.26

[21]申请号 89108433.9

[22]申请日 89.11.2

[30]优先权

[32]88.11.2 [33]JP [31]276243 / 88

[73]专利权人 株式会社日立制作所 地 址 日本东京都

[72]发明人 齐藤清一 竹内敏文 中村雅文

盐川淳司 川前治

[74]专利代理机构 中国专利代理(香港)有限公司

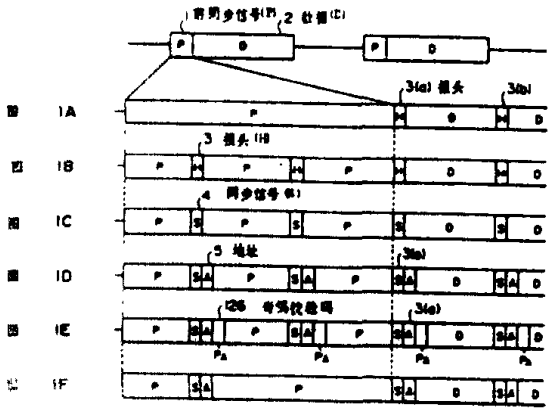
代理人 何耀煌 叶凯东

说明书页数: 附图页数:

[54]发明名称 信息信号的记录、重放方法及装置

[57]摘要

脉冲串形式的数字信息信号的记录重放装置中，从记录介质重放数字信息信号时，提供推算出表示最初数据的起始的报头出现时刻的方法。该数字信息信号由多个数字字组构成，各字组设置有表示起始的报头，该报头中含有字组地址，在将数字信号记录介质上时，在用于该信号前段所记录信号的时钟重放的时钟重放信号中，包含有与所述字组地址有一定关系的地址。为此数据报头同步，以与1个数据字组长度相等的周期插入所述数据的报头和大略相同的报头。



权　利　要　求　书

1. 一种信息信号的记录方法，用以在记录介体的分立区域上记录数字信息信号，包括以下步骤:

产生分别记录于所说分立区域上的前序信号;

产生分别记录于所说分立区域上的数据帧信号;

根据所说前序信号和所说数据帧信号提供串行记录数字信号，每一所说串行记录数字信号由每一所说前序信号和每一所说数据帧信号顺次组合而成;

将所说串行记录数字信号分别记录在所说分立区域上;

其特征在于:

所说产生数据帧信号的步骤包括产生多个数据组信号的步骤和产生作为所说数据帧信号的串行数字信号的步骤，所说每一串行数字信号由顺次组合所说数据组信号而成;

所说产生多个数据组信号的步骤包括: 相应地产生包含于所说数据组信号中的数据信号的子步骤，所说数据信号对应于所说数字信息信号; 相应地产生包含于所说数据组信号中的报头信号的子步骤; 所说报头信号包括一表示每一数据组信号的头位置的同步信号组和一用以鉴别所说数据组信号的地址信号组; 和提供作为所说数据组信号的串行数字信号的子步骤，所说每一串行数字信号由顺次组合所说报头信号和所说数据信号而成;

所说产生前序信号的步骤包括: 产生一用以执行位同步的时钟再生信号的子步骤; 产生伪报头信号的子步骤，而所说每一伪报头信号包括一与所说同步信号组相等的伪同步信号组，和一伪地址信号组用以鉴别所说伪同步信号组的格式位置; 以及提供作为所说前序信号的串行数字

信号，所说每一串行数字信号由组合所说每一时钟再生信号和所说每一伪报头信号而成；

所说同步信号组形成于所说每一串行记录数字信号的一预定期间；和

所说伪同步信号组的格式是使其与所说同步信号组同步。

2．一种信息信号的重放方法，用以重放根据权利要求1 所述的信息信号记录方法而被记录于记录介质的分立区域上的数字信息信号，该信息信号的重放方法包括以下步骤：

从所说记录介质的所说分立区域上分别读取一串行数字信号；

根据所述串行数字信号，重放对应于所说伪同步信号组和同步信号组的同步信号；

根据所述串行数字信号，重放对应于与所说被重放的同步信号结合的所说伪地址信号或所说地址信号；

鉴别所述跟随着所说每一被重放的地址信号的串行数字信号的每一部分是否从所说前序信号区域或所说数据帧信号区域中被读取；以及

根据所说鉴别和所说被重放的地址信号，从所说串行数字信号中获取对应于所说被记录于所说数据信号区域中的数字信息信号的一信号。

3．如权利要求1 所述的信息信号记录方法，其特征在于还包括以下步骤：

从所说记录介质的所说分立区域上分别读取一串行数字信号；

根据所说串行数字信号，重放对应于所说伪同步信号组和所说同步信号组的同步信号；

根据所述串行数字信号和所说被重放的同步信号，重放对应于所说与所说被重放的同步信号相结合的所说伪地址信号或所说地址信号；

鉴别跟随在所说每一被重放的地址信号之后的所说串行数字信号的每一部分是否从所说前序信号区域或所说数据帧信号区域中被读取；以

及

根据所说鉴别和所说被重放的地址信号，从所说串行数字信号中获取对应于所说被记录于所说数据信号区域中的数字信息信号的一信号。

4. 如权利要求1 所述的信息信号的记录方法，其特征在于：在所说串行记录数字信号中的所说伪同步信号组被形成的周期相等于在所说串行记录数字信号的所说同步信号组被形成的周期；和

任意相邻的两个所说地址信号组的值之间的关系、任意相邻的两个所说伪地址信号组的值之间的关系、以及任意相邻的两个所说地址信号组和所说伪地信信号组的值之间的关系是互为相等的。

5. 如权利要求1 所述的信息信号的记录方法，其特征在于：在所说串行记录数字信号中所说伪同步信号组被形成的周期相等于在所说串行记录数字信号中的所说同步信号组被形成的周期；和

在所说每一前序信号中的伪地址信号组的地址的值为n-k,(n-(k-1),n-(k-2)，…,n-1，其中n 代表包含于第一个所说报头信号中的地址信号组的地址值，而k 代表所说每一前序信号中的伪同步信号组的数。

6. 如权利要求1 所述的信息信号的记录方法，其特征在于，所说伪地址信号组的地址值相等于所说地址信号组的地址值。

7. 如权利要求1 所述的信息信号的记录方法，其特征在于，在所说串行记录数字信号中的所说伪同步信号组被形成的周期相等于在所说串行记录数字信号中的所说同步信号组被形成的周期；和

在所说每一前序信号中的伪地址信号组的地址值为n+m-k,n+m-(k-1),n+m-(k-2),…,n+m-1，其中n 代表包含于第一个所说报头信号中的地址信号组的地址值,m代表在所说每一数据帧信号中的所说数据组信号的数，而k 代表每一所说前序信号中所说伪同步信号组的数。

8. 一种信息信号的记录装置，用以将一信息信号记录于记录介质的分立区域上，包括：

前序信号产生装置，用以产生须分别记录于所说分立区域中的前序信号；

数据帧信号产生装置，用以产生须分别记录于所说分立区域中的数据帧信号；

串行记录数字信号提供装置，用以根据所说前序信号和所说数据帧信号提供串行记录数字信号，每一所说串行记录数字信号由顺次地组合每一所说前序信号和每一所说数据帧信号而成；

记录装置，用以将所说串行记录数字信号记录于所说分立区域上；

其特征在于：

所说数据帧信号产生装置包括产生多个数据组信号的装置，和产生作为数据帧信号的串行数字信号的装置，每一所说串行数字信号由顺次地组合所说数据组信号而成；

所说产生多个数据组信号的装置包括：产生分别包含于所说数据组信号中的数据信号的装置，所说数据信号对应于所说数字信息信号；产生相应地包含于所说数据组信号中的报头信号的装置，每一所说报头信号包括一同步信号，以表示每一所说数据组的一头位置，以及一地址信号组，用以鉴别所说数据组信号；和提供作为所说数据组信号的串行数字信号的装置，每一所说串行数字信号由顺次地组合每一所说报头信号和每一所说数据信号而成；

所说产生前序信号的装置包括：产生一时钟发生信号的装置，用以执行位同步；产生伪报头信号的装置，每一所说伪报头信号包含有一伪同步信号组，它与所说同步信号组相等，和一伪地址信号组，用以鉴别所说伪同步信号组的格式位置；和提供作为所说前序信号的串行数字信号的装置，每一所说串行数字信号由组合每一所说时钟发生信号和每一所说伪数据信号而成；

所说同步信号组在每一所说串行记录数字信号的一个预周期内形

成；以及

所说伪同步信号组的形成促使其与所说同步信号组同步。

9．一种信息信号的重放装置，用以重放由根据权利要求8 所述的信息信号记录装置录记于记录介质的分立区域上的数字信息信号，其特征在于，该信息信号重放装置包括：

分别读取被记录于所说记录介质的分立区域上的串行数字信号的装置；

根据所说串行数字信号，重放对应于所说伪同步信号组和所说同步信号组的同步信号的装置；

根据所说串行数字信号，重放对应于所说伪地址信号或所说地址信号，所说伪地址信号或所说地址信号与所说被重放的同步信号相结合；

鉴别装置，用以鉴别跟随着所说被重放的地址信号的所说串行数字信号的每一部分是否从所说前序信号的区域或是从所说数据帧信号的区域被读取；以及

用以根据所说鉴别和所说被重放的地址信号从所说串行数字信号获取一个对应于记录在所说数据信号的区域中的所说数字信息信号的信号的装置。

10．如权利要求8 所述的信息信号的记录装置，其特征在于还包括：

分别从所说记录介质的所说分立区域上读取一个串行数字信号的装置；

根据所说串行数字信号重放对应于所说伪同步信号组和所说同步信号组的同步信号的装置；

根据所说串行数字信号和所说被重放的同步信号，重放对应于所说伪地址信号组或所说地址信号组的地址信号，所说伪地址信号或所说地址信号与所说被重放的同步信号相结合；

鉴别装置，用以鉴别所说跟随着所说每一被重放的地址信号的所说串行数字信号的每一部分是否从所说前序信号的区域或是从所说数据帧信号的区域被读取；和

根据所说鉴别和所说被重放的地址信号，从所说串行数字信号获得对应于所说被记录在所说数据信号的区域上的所说数字信息信号的一个信号的装置。

说　　明　　书

信息信号的记录、重放方法及装置

本发明涉及在磁带上记录、重放脉冲编码调制（PCM）信号的方法及装置，更准确地说，本发明涉及适用于8mm录象带重迭区扩展时记录、重放PCM声音信号的同步保护装置。

先有8mm录象带的磁道格式31如图12所示。如该图所示，圆柱体磁头旋转185°部分的区域31V记录有影象信号34，而在影象信号34的磁头扫描进入侧方向36°的重迭的区域31P上，记录有一个字段部分的立体声数据以时间轴压缩的PCM声音信号37。该36°的重迭区31P包括扫描起始区间39（磁头扫描起始点的边界区间）、前同步信号38、（引入时钟用的时钟重放信号）PCM声音信号37、后同步信号36（记录完成后的边界区间）、VP保护信号35（影象信号与PCM声音信号的保护区间）组成，PCM声音数据37从磁头进入侧5°的位置开始。所以将信号38到36经过双相标记调制之后，记录在磁带上。该先有的8mm录象带的PCM声音的取样频率为31.5KHz，量化位数为10位。对作为CD与DAT领域主流的取样频率48KHz和44.1KHz以及量化位数16位而言，这种记录方式的音质方面较差。然而，对先有的PCM声音而言，由于取样频率48KHz、量化位数为16位的PCM声音含有约3倍的信息量，如果要利用先有的PCM声音系统，实现与先有的36°相同的重迭区31P，那么必须用大约3倍的线记录密度。

在此，尽管为了降低线密度而对纠正码进行了优化，但仍必须采用高达2.5倍的线记录密度。另外，为了实现高密度磁记录而使用了高性能磁带并选用最合适调制方式，但对先有的PCM声音大约2倍的线记录密度是其记录、重放的极限。

因此，为在8mm录象带上实现采样频率48KHz，量化位数为16位的PCM声音，只得扩展36°的重迭区31P。图12展示了将重迭区扩展5°后的新的8mm磁道格式32。这样，通过将不在使用的重迭区32P扩展为线性声频磁道，就能够用2倍多的线记录密度实现取样频率48KHz，量化位数为16位的PCM声音。参考日本公开特许第平1－119966号公报。

由于将重迭区扩展5°，从线记录密度来看，实现取样频率48KHz、量化位数16位的声音是可能的。可是，如图12所示，由于从重迭区扩展5°的磁带10的下侧边界的距离减小，磁道32的磁头进入侧附近的磁头重放输出降低。这是由于磁带10下侧边界的圆柱体磁头进入时向上弯卷，磁头与磁带之间的间隙变大。这样，由于磁头进入侧重放输出降低使信噪比(S／N)降低，出错率上升。

另一方面，由于磁头进入侧接近附近PCM声音数据42的起始部分附近，故容易产生成组错误。这是同步错误造成的。PCM声音数据42，变成图13所示那样的格式50，一个字段的声音数据可划分为好几个字组。在各个字组中，附加有图3中的同步信号、标识码、控制信号、字组地址、奇偶校验码作为报头51，这些数据在生成用于将串行信号数据变换为以符号为单位的并行数据所需的同步和字组内声音数据的正确RAM地址的过程中起着重要作用。为此报头51中的同步信号和字组地址在重放时，由于参照了几个字组前的信号而起保护作用，减少了因同步偏离和字组地址错误而带来的影响。可是，在起始字组信号与字组地址信号中，由于没有参照信息而使保护削弱。即，起始字组的报头51产生错误时，产生符号单位变换时的同步错误和RAM地址错误，即使在字组内声音数据完全正确的场合下，也形成与字组单位长度的成组错误相同的状态。

这样，由于重迭区扩展5°，使磁道起始附近的重放输出降低、错误率变差。所以，起始字组的同步错误和地址错误的概度变高，容

易产生以字组为单位的成组错误。从此可见，插入声音数据会引起输出概率增高、声音品质变差的问题。

为防止该磁道起始字组的同步错误、在重放信号同步用的时钟信号域内记录同步信号模式，在日本公开特许昭60－247867公报中揭示了这项技术。

本发明的目的，在于提供一种使起始字组报头中的同步信号与字组地址的保护成为可能的装置。

在此，考察处于 PCM声音数据的磁头进入侧方向的前同步信号。由于时钟重放电路从自振频率至重放正规频率间需要数十微秒的引入时间而设置该前同步信号，由于边界成分增多而通常记录最短记录波长。但是，即使将含有同步信号等的报头写入前同步信号，这些信息同数据一样进行数字调制、以便管理最长记录波长，使之对引入时间没有大的影响。

这样，将报头信息写入前同步信号构成伪字组，从而达到上述目的。

如上所述，通过将前同步信号构成包含报头的伪字组，就能使该伪字组起着与PCM声音数据的起始数据字组相同的作用，PCM声音数据的起始数据字组由于可能参照前面的字组同步信号和字组地址，因此能够得到有效的保护。

如果按照本发明，尽管扩展重迭区会降低磁头扫描起始附近的重放输出、使错误率变差、使超始数据字组的报头发生错误，但因为可生成同步信号、字组地址的保护，所以具有抑制由于起始字组的同步错误、字组地址错误而产生以字组单位长度的成组错误的效果。

图1A、1B、1C、1D、1E、1F为本发明一实施例的基本数据排列图，

图2A、2B为本发明一实施例的数据帧中基本数据排列图，

图3、图4、图5分别为本发明一实施例的数据帧中的地址排列图，

图6为本发明的记录装置一实施例的基本框图，

图7A、图7B为图6的报头生成电路动作的流程图，

图8A、8B、8C展示了数字信息信号的重放信号的重放动作的一实例，图8A为数字信息信号的排列图，图8B展示产生同步信号错误时的重放动作，图8C表示产生地址错误时的重放运动，

图9为信号重放装置一实施例的框图，

图10为表示图9的同步保护解调电路基本动作的框图，

图11为本发明的记录重放装置一实施例的框图，

图12为表示磁带上的格式的磁道格式图，

图13为在实施例中所用的数据格式图，

图14为伪字块的排列图，

图15为展示伪字块内容的数据排列图，

图16为展示磁带上的记录的调制波形的调制波形图，

图17为图11的同步保护／解调电路动作的基本框图，

下面展示本发明的实施例 1。图1A、1B、1C、1D、1E、1F为应用本发明的以脉冲串形式进行传送或记录的数字信息信号的数据排列图。在这里，图1A、1B、1C、1D、1E、中的P表示前同步信号 1，D表示数字信号数据 2、H表示报头3、S表示同步信号4、A表示地址5、PA表示奇偶校验位 126。在以脉冲串形式传送或记录的数字信息信号中，有必要将时钟重放用的前同步信号写入数字信息信号的时间上较前的部分。本发明着眼于处于数字信息信号之前的前同步信号。数字信息信号通常由帧构成，而帧由若干个数据字组构成，在各数据字组起始处配置由同步信号、地址等构成的报头。该同步信号用来应付数据字组同步的取得、与字组同步的偏离等。地址中写入数据字组的地址。在信号处理时用来产生 RAM地址。这样便如图1A所示，在数字信号的排列中，每隔一定时间，将该报头写入数据中。

在这里示出先有的数据排列。在图1A中考察该报头发生错误的情形。首先，在如3(b)的起始报头3(a)以外处产生错误的场合下，既然检测出3(a)还是同步的，便每隔一定时间写入报头。借此便能维持同步状态，并能正确地预算出用于读出 3(a)的地址的3(b)的RAM的地址值。但是，当起始报头3(a)产生错误时，由于不能判断出作为参考的同步状态和出错的起始报头中的确切状态，所以不能预测出报头3(b)以后的 RAM地址值。因此，从起始到后面取到正确的报头为止的数据内容变为错误的。在这里示出了本发明一实施例的数据排列，如果在图1B中的前同步信号1中也与数据中的报头同步地写入报头3，那么即使数据起始报头产生错误，如果取得前同步信号 1的报头，那么便能维持同步状态和正确地预料出RAM地址的值。图 1C是把同步信号作为报头写入的情况，如可用前同步信号 1中的同步信号来同步，那么即使起始同步信号发生错误也能够重放数据。图1D是把同步信号和地址作为报头写入的情况，通过将可预料出的数据起始地址值的值写入前同步信号内的地址中，不仅可以应付同步信号的错误，而且可以预测数据字组的起始报头3a的位置。又，利用将连续地址5写入同步信号4中，不仅在重放时前同步信号中正确同步信号位置以外之处也能产生与同步信号相同的波形，而且，例如通过判别该波形中有无地址信号，还能够判别该波形是否正规的同步信号。

下面，图1E中作为报头除同步信号4、地址5以外，还写入了地址的奇偶校验 126。既使地址出现错误，重放时通过奇偶校验也能纠正地址错误。写入前同步信号1的报头3，在写入时最好使之间隔一定的时间。在图1E的实施例中，用数据字组长的2倍的周期进行写入。

在这些前同步信号内的报头中。由于使用与数据相同调制方式，故能够对最长的波长进行管理，对时钟重放的时间上没有大的影响。再则，用于 PCM信号重放的前同步信号，一般由时钟重放用的时钟重

放信号构成，例如，在重放如S－VHS方式的载波抑制的信号时，为了在重放侧重放出与记录侧相同的载波，记录时将载波重放信号与时钟重放信号一起记录，它们之中也可以插入所述报头。

下面，就另一实施例 2进行说明，图2B为应用本发明以脉冲串形式传送或记录图 2所示数据帧结构的数字信息信号的数据排列图。如图2A、2B所示那样，数字信号数据采用帧结构时，前同步信号 1与作为字组结构，由于将如图2B所示数据帧6的报头相同结构的伪报头7附加在伪字组9上进行记录，所以重放时能够取得与上述实施例1相同的生成同步和 RAM地址效果。同时，重放时进行同步信号和地址的保护时，由于伪报头 7与数据帧6的报头3的结构相同，因此没有必要重新增加特别的保护方法。在这里，伪字组9中的伪数据8的值，当采用与数据帧 6相同调制方式时，写入数据时就可以选用对时钟重放有利的记录或传送波形。

下面，说明有关伪字组 9与数据字组的字组地址11的附加办法的具体实例。从图3到图5示出了数据字组起始地址为n时附加的伪字组9的字组地址11，在这里，S表示同步信号，I表示标识码(控制信号)、BA表示字组地址、P表示奇偶校验码、DD表示伪数据、D表示数据。图3 由于对数据字组的起始地址n附加伪字组9的字组地址为 n－6，n－5，n－4，n－3，....，如果能将伪字组9的字组地址中某一个地址作为正确地址再生，那么由于能判定从起始地址n前有多少字组，所以，例如，即使无法重放后面的伪字组，也能正确推算出数据字组起始地址n的位置。图 4中，将数据帧6中字组地址11中所没有的地址用作伪字组 9的字组地址。这种形式的好处在于能够简单地对伪字组和数据字组加以区别。

图 5示出了当地址与控制信号具有一定关系时使地址与控制信号匹配的字组地址11的取法的实施例。控制信号用来进行比较复杂的控

制。故有时要根据地址的不同而改变控制内容。例如，地址为奇数的字组的控制信号进行称作A的控制，而地址为偶数时进行称为B的控制等。为此，在本实施例中，设数据帧6中的字组数为m，伪字组 9中的报头数为K，伪字组9的起始字组地址为n+m-K, n+m-(K-1),....最后的地址为n+m-1，或者假设最先字组的地址为n+m-(k-1), n+m-(k-2),...最末的地址为n+m，这样就可以使前述的地址与控制信号匹配。

如同上面所述，使用一个能以某一定的规则推算出数据帧 6的数据字组的起始地址n值的值作为伪字组9的字组地址，即使在起始数字字组报头产生错误，也能形成正确地址。

下面对实施例3加以说明。图6为使用本发明的磁带上记录数字信息信号用的记录装置的实施例的基本框图。从数据输入端 201输入的数字信息信号输入至信号处理电路202。在信号处理电路202中，对数据进行重新排列(交错排列) 、生成并附加纠错码，在数据生成电路203 中，用调制后的时钟重放信号生成经调制的数据。信号处理电路202的数据生成电路203的输出输入到数据选择电路 204，从来自时钟重放信号期间的数据生成电路 203的输入及来自数字信息信号期间的信号处理电路202的输入中选择并加以输出。在报头生成电路205中生成同步信号、地址、控制信号、错误检测信号。地址生成时地址的取法，例如图 3实施例附加地址的场合，在记录数字信息信号区间，假设起始地址为n，按时间顺序设为n, n+1, n+2,...，在记录时钟重放信号区间，如将时钟重放信号区间的字组数设置为k，则生成n-k，... n-2，n-1。

参照图 7A、7B的流程图对这些动作作更详细说明，设1个数据字组的符号数为 S，(230)，首先构造出最初生成地址值n-k，(处理框231) ，在处理框232，将所生成地址变为当前地址值，将控制数据变为控制信号，并根据所述当前地址值、控制信号和由所述地址与所述

控制信号的逻辑组合得到的错误检测信号产生报头。接着，在判断框233中，对所述地址进行判断，如果该地址小于n，则进到添加时钟重放信号的处理框234，如地址不小于 n则进到附加有PCM数据的报头处理框 235，报头由各种符号构成。除去同步信号(在后面将述及的处理框236中所附加) 、控制信号、地址、奇偶校验四个符号成为(S-4)，在处理框 234中将对时钟重放有益的数据(即调制后成为时钟信号的数据) 附加到S－4个符号上。同样地，在处理框235，将PCM数据与纠错码加到S-4个符号上。最后，在处理框236中，通过附加如前所述的同步信号从而完成一个数据字组，对此数据字组进行调制，记录在磁带上。(处理框237) 。

将所述数据字组的地址值加1(处理框238) 从而生成下一地址，此后反复进行同样的处理。

在这里用图7B来说明记录如前所述的S－VHS方式的载波抑制信号时的动作。与图 7A处理的不同点在于，在报头生成(处理框250) 过程中附加同步信号以及在处理框 251中附加对载波重放和时钟重放有利的数据。对载波重放和时钟重放有利的数据为得到最短记录波长 2倍波长的数据等。又，最好将载波重放信号附加到前面的字组中，而将时钟重放信号附加到后面的字组中。

在图7B中，除上述以外，动作几乎与图7A相同，将完成的 1个数据字组经载波调制(处理框252) 后记录下来。

通过如上所述的动作生成报头。报头生成电路 205输出与数据选择电路204的输出输入到选择电路206，该选择电路以 1个数据字组的周期进行切换，而不管它是时钟重放信号数据生成电路的信号区间，还是数据信息信号区间。由于用调制电路207对选择电路206的输出进行调制，故数据生成电路的数据受到时钟重放信号的调制。由调制电路207调制的信号输入到记录电路208并写入磁带，于是在时钟重放信

号中也能与数字信息信号中报头同步地写入与数字信息信号中报头结构相同的报头。

下面对实施例4即本发明重放方法的一实例加以说明。图8A、8B、8C展示了把本发明应用于数字信息信号重放时的动作实例。图8B为数字信息信号第一同步信号出错时的动作。如图所示，由于要每隔一定周期重放同步信号，如果在时钟重放信号区间中仅仅重放出一个正确的同步信号，由于同步信号的重放周期已预先知道，如果如图所示，采用以同步信号的周期反复动作的同步计数器，那么用同步计数器的计数值，就能求出同步信号的位置，从而维持同步状态。因此，即使在数字信息信号的最初同步信号出错时，也能重放正确的数据。这时，紧接在同步信号之后检测出的控制信号（标识码）与地址、错误检测信号（奇偶校验码）的演算错误的有无便可作为判断同步信号是否正确的基准。图8c为数字信息信号的最初地址出错时的动作。如图所示，即使在时钟重放信号区间中只重放出一个正确地址，由于同步信号的重放周期预先知道，此后地址即使出错，如每隔一定周期对地址值进行加1计数，那么即使数字信息信号的初始地址出错，也能够生成正确地址。这时，与图8B相同地，将控制信号和地址、错误检测信号演算错误的有无以及所重放地址的连续性作为地址正确与否的判断基准。

用如上那样的重放方法，即使数字信息信号的最初的同步信号出错，也能够从数字信息信号的最初数据中取得同步。更进一步，数字信息信号的最初地址即使出错，通过检测出时钟重放信号区间中正确的地址值，也能够从数字信息信号最初数据中生成正确的地址。

下面对实施例5加以说明，图9为使用本发明来重放对时钟重放信号和数字信息信号进行区域分割的信号的基本框图。从重放信号输入端210输入的重放信号用重放电路211进行信号放大和时钟重放，成为数字波形，输入到同步保护／解调电路212。在同步保护／解调电路2

12中，进行如下的处理。图10为表示同步保护／解调电路 212基本动作的框图。将所输入的重放信号输入到同步信号检测／保护电路 218中，从时钟重放信号区间检测出数据同步信号，判断检出的同步信号是否正确，如判断为正确，对同步计数器初始化，所重放的同步信号周期地反复使计数器计数，从而维持正确的同步状态。又，如判断为错误，即以前不存在正确同步信号时，常常对同步信号进行检测。这样通过从时钟重放信号区间进行数据的同步，那么即使数字信息信号的最初同步信号出错，也能维持数据的同步。在同步电路 219中，将想要同步的数据用解调电路 220变为解调的数字数据。接着，用地址检测／保护电路 221从解调的数字数据进行地址检测。地址检测也从时钟重放信号区间进行，对所检测出的地址是否正确加以判别，如判断为正确，则保护该地址；若判断为错误，则由以前保持的地址生成正确的地址。这样可由重放信号区间进行地址保持动作，从而使得在数字信息信号最初地址有错时也能够维持正确的数据的时间顺序。由地址保护电路221生成的地址输入到图9的时钟重放信号判别电路213，对时钟重放信号与数字信息信号加以区别，由时钟重放信号消除电路214 进行时钟重放信号的消除。将消除了时钟重放信号的数据信息信号、输入到用来进行错误纠正处理、数据并行修改的信号处理电路215，重放数字信息信号。

如上所述，由于在重放时对来自时钟重放信号区间的同步信号、地址进行保护，能够抑制由于数字信息信号最初同步信号、地址所产生的数据信息信号的起始附近的成组错误。

下面，对实施例 6加以说明，图11为本发明的以脉冲串形式在磁带上记录数字信息信号的重放装置，例如应用于8mm录象带的PCM声音的实例的基本框图。

首先，说明记录的动作。从模拟信号的声音输入端 101输入的模

拟信号，由AD变换器 102以所确定的取样频率对上述模拟信号进行最化，并变换为量化位数为单位的数字信号数据。经过变换的数字信号通过符号生成电路103，形成以符号单位的数据，用信号处理电路104由符号数据生成纠错码和报头等，如图13那样进行格式化50。该图13的格式实例，影象信号的场频率为 NTSC的60／1.001Hz，并且与一个场部分的声音数据相对应。虽然本实施例的格式是根据NTSC制式来说明的，本发明完全适用于PAL等其它制式。

格式50的结构中，设一个字组为44个符号，并列有 110个字组，将同步信号、标识码(控制信号) 、字组地址以及对标识码与字组地址施加逻辑异或的奇偶校验码附加到报头 51上。将4个符号的C1码52附加在各个字组上，如图13所示用 5个字组的C2码用来交错隔开，从而将20个字组的C2码53附加到53上。在如图13所示格式化的数据帧50中，由伪字组附加电路 105将伪字组60配置在如图14所示磁头进入侧方向位置上。如图14所示，将伪报头61设置在伪字组60中，与数据字组报头51相同地，将同步信号、标识码(控制信号) 、字组地址、奇偶校验码附加到图14所示的伪字块60的报头中。图15示出了该报头部分放大的细节。在图 15中，SYNC 表示同步信号、ID表示标识码(控制信号) 、B.Adr 表示字组地址，PARITY表示奇偶校验码。该伪字组60的字组地址，就是前面所述实施例的图3及图4所用的字组地址。这时，用调制电路 106，将同步信号变换为与其紧接在前的调制模式对应的“311”(16进制) 或者是“111”(16进制) 的调制码。图16表示将伪字组的起始字组实际地记录于磁带上时的调制波形。通过将数据变换为调制码后，再变换为串行数据，将此串行数据进行NRZI(不归零按1变换) 变换，进而得到调制波形。

由于将伪字组内数据62设为“EB”(16进制) ，用图16所示的8-10调制码变为“11111111”(2 进制) (参考“DIGITAL AUDIO TAPE

RECORDER SYSTEM DAT”1987年6月号、DAT会议版 P32、P38），再施加NRZI变换，可以将调制电路 106的输出作为最短记录波长的连续的调制波形。

又，在该实施中由于使用 8－10调制码，也能对其它数据调制波形抑制成最大为最短记录波长 4倍的波长、（ Sync的调制波形）、使时钟重放时的进入时间几乎不受影响。

这样，将附加了图14伪字组60的数据帧50用调制电路106进行8－10调制，再输入到记录电路107。在此，从影响输入端121输入的影象信号也由信号处理电路108作信号处理，进而加到记录电路107。记录电路107，将PCM信号与影象信号分配至圆柱体109的2个磁头，从而相对于前面所述的先有的PCM信号，将信号用新的8mm磁带格式32 记录在将图12的重迭区扩展5°的磁带110上。

下面，说明重放系统的动作。用圆柱体 109的 2个磁头检测磁带110上的磁记录模式，将重放信号输出到重放电路 111。重放电路111放大信号并按记录区把信号划分为 PCM信号和影象信号，从而将影象信号输出到重放影象信号处理电路112，并对PCM信号进行时钟重放，从而将该信号与重放时钟一起作为串行数字信号数据输出到同步保护／解调电路113。同步保护／解调电路113执行同步信号和字组地址的保护和解调。图17为示出同步保护／解调电路 114的总操作的框图，就其动作加以说明。重放数据与重放时钟输入到移位寄存器80变为并行信号，用同步信号检测电路82进行同步信号的检测。如已检测出同步信号，该检测信号通过检测窗口生成电路84输入到同步计数器83，以符号为单位进行同步。在解调／同步电路81中，进行以符号为单位的同步及解调。在这里，用同步／地址保护电路90和检测窗口生成电路84进行同步信号的保护。基本动作是利用每隔一个确定时间一个字组的速率重放同步信号，换言之，起始时如果出现正规同步信号，只

对一定时间的检测窗口进行同步信号的检测，未检出正规同步信号时便进行几个字组间的同步保护。（前面同步状态的维持）。此后，如未检测出任何同步信号时，检索下一个正规的同步信号。在这里，同步信号的正规性判断，根据字组地址正规性的判断。以这种过程进行同步保护，就能够应付同步信号的错误及重放信号的解调。将这样同步的符号数据通过数据总线94写入RAM93中。

下面对写入RAM93时的地址保护加以说明。字组地址，与RAM93的地址相对应，该地址有时会出错，若将数据读入到该出错的地址，重放数据的时间顺序就乱了，字组便全部出错。因此，强有力的地址保护是必要的。在图17所示实施例的装置中，以(1)对报头51中进行奇偶校验的奇偶校验电路87、(2)地址连续性检验电路88、(3)重放地址∠译码地址检验电路89的结果为基础，对地址的正规性进行保护判断。换言之，只有通过了上述的从(1)到(3)的检验，才判断为正确的地址，将重放地址作为RAM地址使用，但当重放地址有错，不能通过从(1)到(3)的检验时，就进行地址保护，将从再生地址有错，不能通过从(1)到(3)的检验时，就进行地址保护，将重放地址出错前的正确地址的计数值作为RAM地址使用。

这样，由于进行了地址保护，报头内的字组地址或标识码(控制信号)和奇偶校码码即使发生错误，也有可能生成高度可靠的RAM地址。

在这里，作为比较，考虑一下先有的没有附加伪字组的常规数据格式重放的情况。首先，考虑在进行同步时，在起始字组的同步信号出错时，由同步检测电路82不能检测出同步信号的情形。这时，由于不存在作为参考的起始字组即不存在同步状态，所以就不能进行同步保护。因此，在这种情况下无法以符号单位进行同步，所以到下面检测出正常同步信号为止，所有数据为错误的。

下面，若考察起始字组地址出错时情形，由于这种情形不存在出错之前的正确地址，便不能进行保护。又，该字组为第几个字组并不明确，因此，该字组全部作为错误的，将“0”写入RAM93的地址中。

这样，当起始字组的报头发生错误时，起始同步信号和起始字组地址的保护是困难的，即使进行了保护，所用的区域信号等也是弱的。然而，由于将如本设计实施例图 14所示的伪字组 60附加到数据帧50上，即使数据字组的起始同步信号发生错误，如果能够在数个字组的伪字组60的重放过程中检测出正规的同步信号，那么便不会由于该起始数据字组中的同步错误而产生字组单位长度的成组错误。

又，即使伪报头61中的起始同步信号中出错，也仅仅是该起始伪字组出错。

再，数据字组起始地址出错时，能推算起始数据字组位置的值，将伪字组的报头中的字组地址如图 5所示加以写入。故可将该字块的数据以正确地址写入到 RAM93中。因此，例如即使地起始地址与伪字组的字组地址同时出错时，便能利用始于检测出字组地址的时间计数器值，即使起始数据字组中地址出错，也能进行地址保护，同样，可用正确地址值写入 RAM93中。又，这样在伪字组的地址中出错时，由于这部分为伪的故不会产生不合适的情况。

在这里，用伪字组检测出正确字组地址时，不将伪字组内的伪数据写入 RAM93中的处理是必要的，但由于伪字组中的字组地址是数据字组地址中不存在的值，可用伪字组判别电路86，进行简单的判别。又，即使写入RAM93，只要作不使用该RAM地址的信号处理即可。同时，伪字组内的控制信号(标识码) 通过字组地址将与数据帧中的控制信号(标识码) 写入RAM93。

在此，考察前面所述的用来对所记录的16位的PCM声音重放的8 mm录象带的 PCM声音的重放时的情形。假如对没有附加如图14那样的伪

字组60的数据帧进行重放，如前所述，从起始数据字组到检测出下一正规同步信号为止完全变成了字组单位长度的成组错误。因此，通过将图12所示的重迭区进行扩展，PCM声音数据 42的起始部分，由于接近磁带下侧边缘，圆柱体磁头 9进入时磁带10的上卷，由于磁带10与磁头9的间隙变大，使重放的输出降低。因此，在该PCM声音数据42的起始附近，错误率变差、检测不出起始数据字组的同步信号的概率变大。所以，始于起始数据字组的字组单位长度的成组出错率变高，由于数据的插入使声音输出可能性增大，也造成了音质的变差。

在此，如上所述，将伪字组60附加到数据帧50。由于将本实施例的方法和装置用在 8mm录象带中记录、重放该 PCM声音，当声音重放时，起始数据字组中产生错误，由于可能对同步信号和字组地址进行保护，能够降低由于同步错误和 RAM地址错误而产生的字组单位长度的成组错误的发生概率。即，附加了伪字组的数据帧中，当起始数据字块中发生同步错误和 RAM地址错误的情形，便是伪字组60的全部报头61中 全都发生错误的情形，出现这种情形的概率是极低的。

这样，写到RAM93中的数据，用信号处理电路115进行错误纠正和标识码(控制信号) 的处理，由符号合成电路 116，将符号数据合成为量化位数的字数据，用数模变换器 117将数字信号数据变换为模拟信号数据，从声音输出端118输出声音信号。

关于该记录重放装置实施例，就适用于带有PCM声音的8mm录象带的实例说明其效果，但本发明的记录重放装置并不限定于8mm录象带，它适合于使用圆柱体磁头，在记录介质上记录脉冲串形式的数字信号的装置，例如，记录重放影象信号和 PCM声音信号的其它影象装置，以及只用来以PCM形式记录诸如DAT的声音信号的装置。

专利号 89 1 08433
Int. Cl.[5] G11B 20/12
授权公告日 1993年6月2日

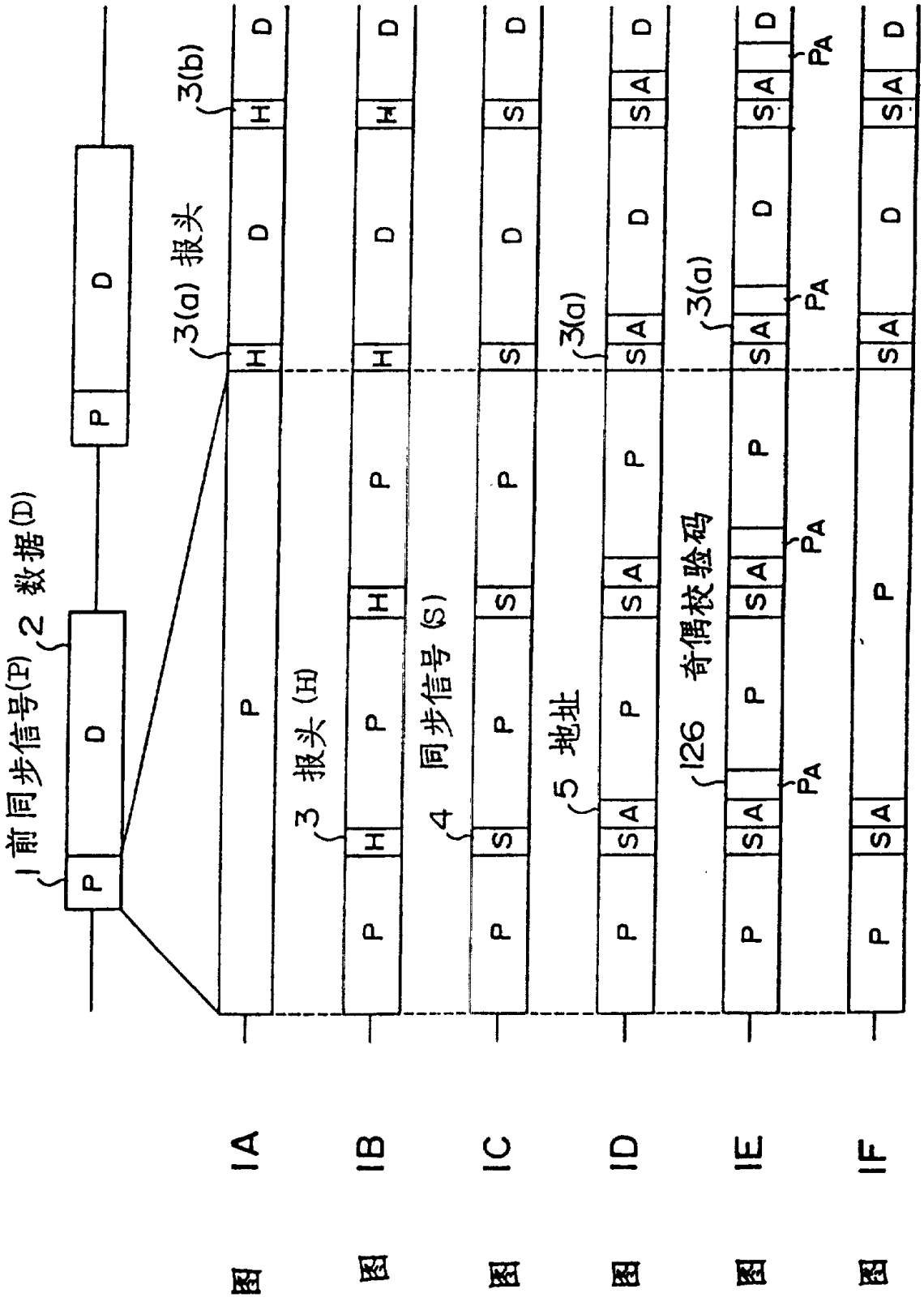


图 IA 图 IB 图 IC 图 ID 图 IE 图 IF

图 2A

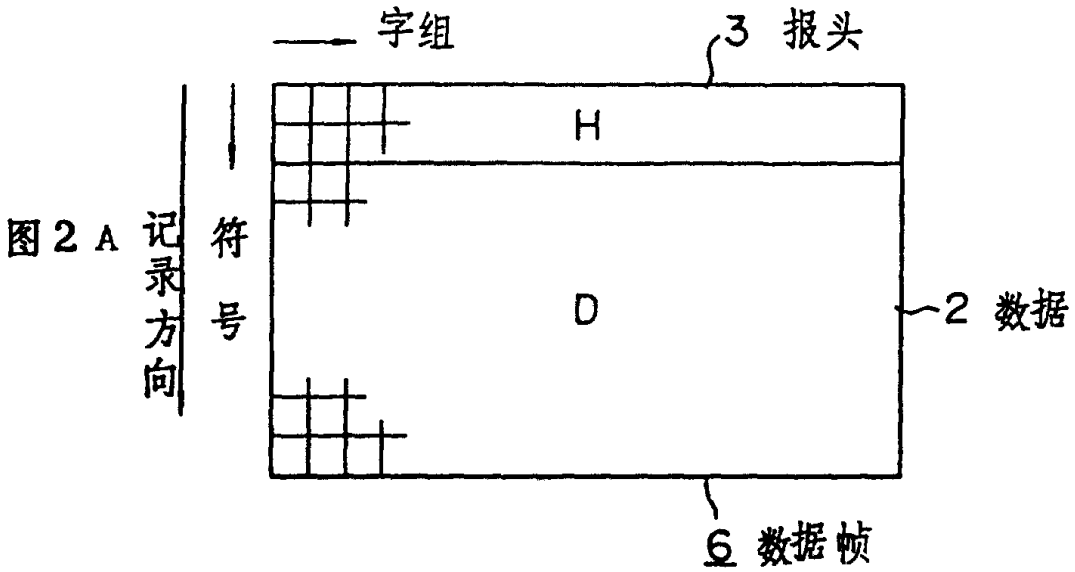


图2 A

图 2B

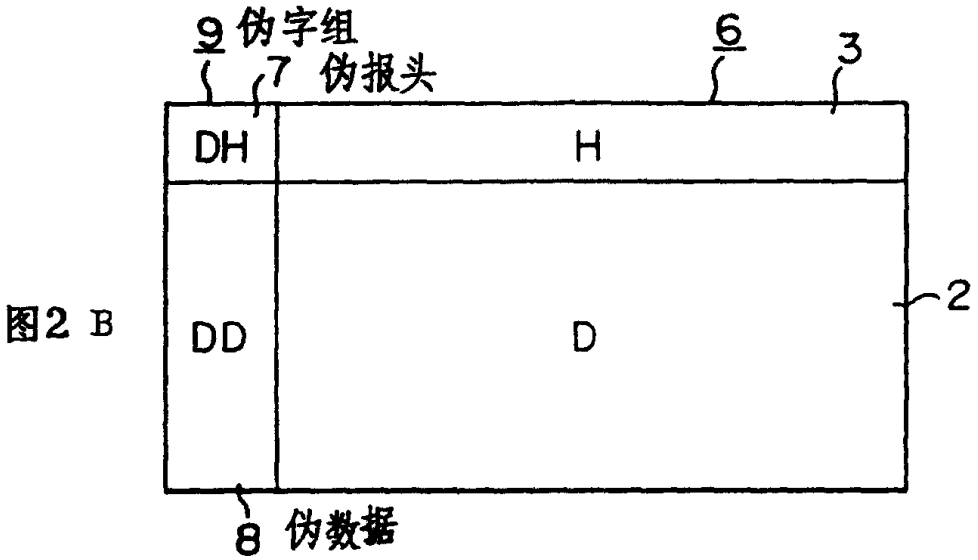


图2 B

图 3

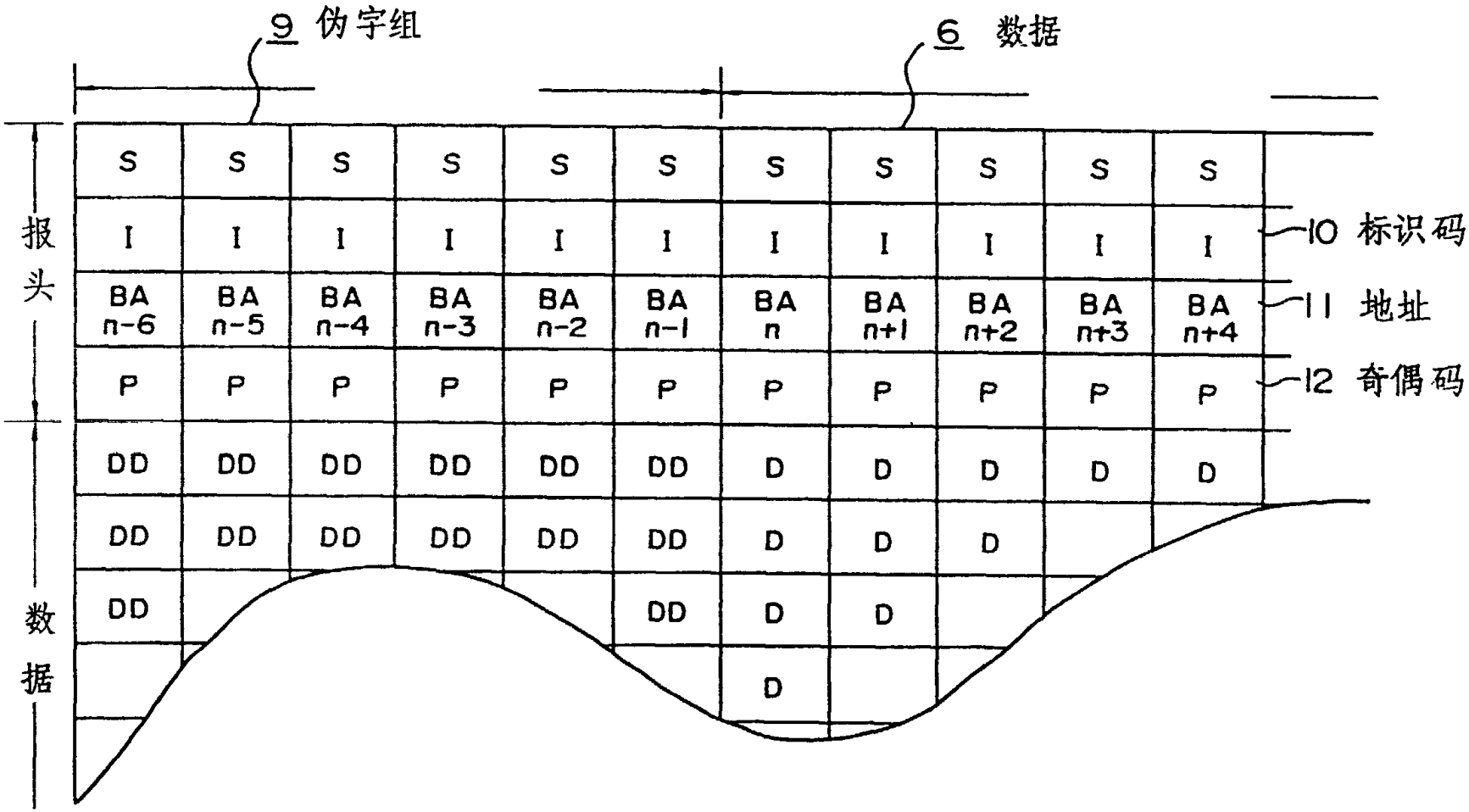

9 伪字组
6 数据
报头
数据
S S S S S S S S S S S
I I I I I I I I I I I
BA n-6 BA n-5 BA n-4 BA n-3 BA n-2 BA n-1 BA n BA n+1 BA n+2 BA n+3 BA n+4
P P P P P P P P P P P
DD DD DD DD DD DD D D D D D
DD DD DD DD DD DD D D D
DD DD D D
D
10 标识码
11 地址
12 奇偶码

图 4

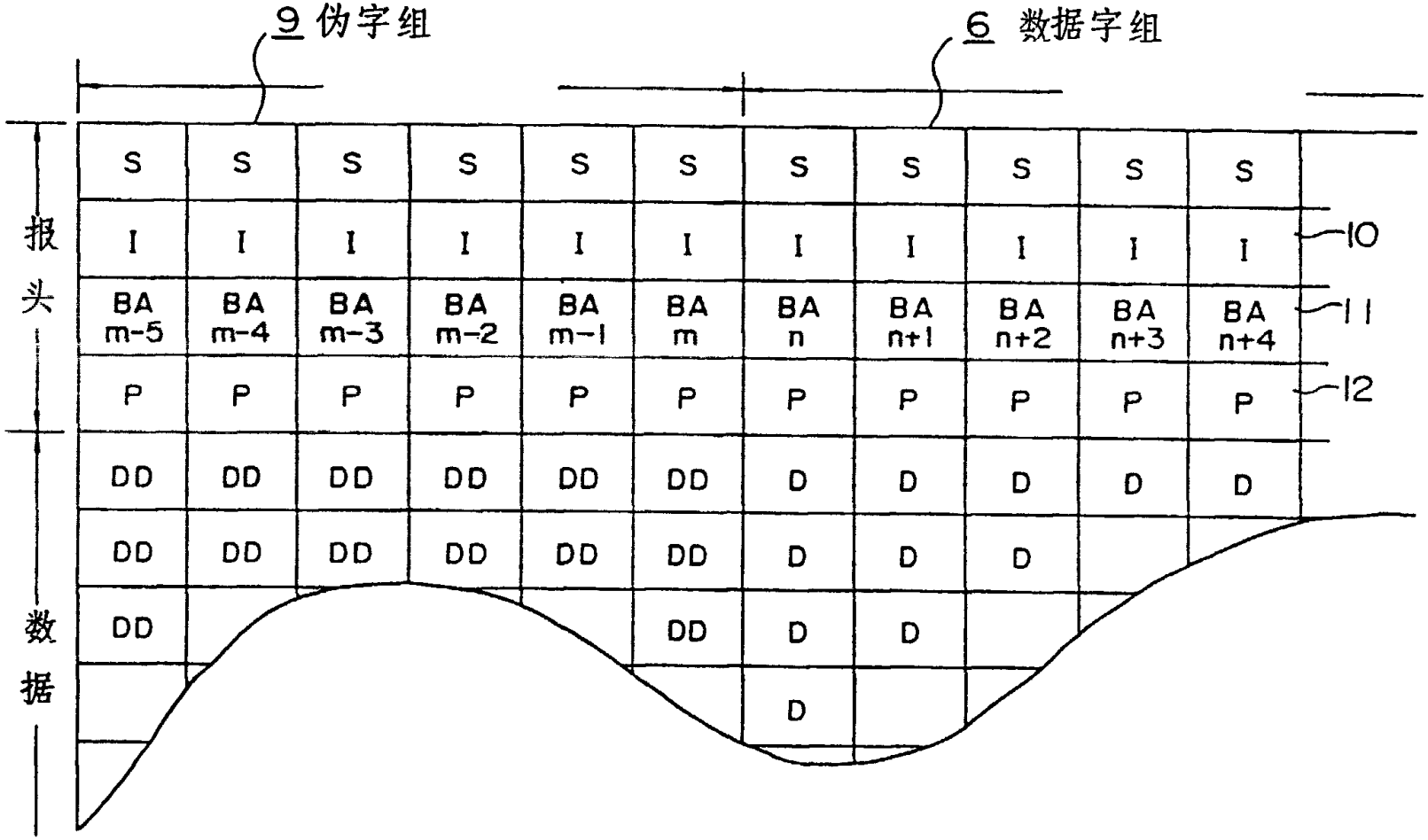

9 伪字组
6 数据字组
报头
数据
S S S S S S S S S S S
I I I I I I I I I I I
BA m-5 BA m-4 BA m-3 BA m-2 BA m-1 BA m BA n BA n+1 BA n+2 BA n+3 BA n+4
P P P P P P P P P P P
DD DD DD DD DD DD D D D D D
DD DD DD DD DD DD D D D
DD DD D D
D
10
11
12

图 5

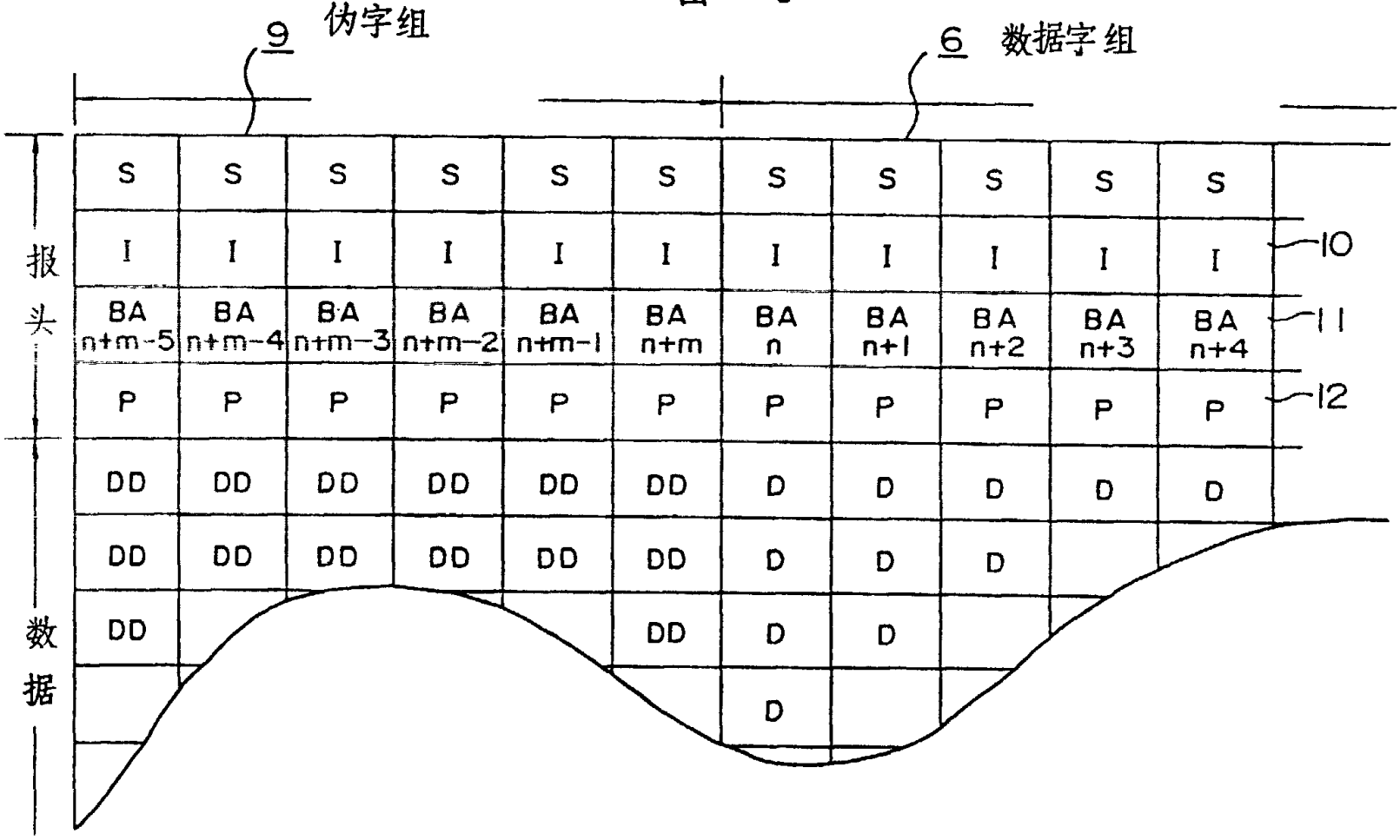

9 伪字组
6 数据字组
报头
数据
S
I
BA n+m-5
BA n+m-4
BA n+m-3
BA n+m-2
BA n+m-1
BA n+m
BA n
BA n+1
BA n+2
BA n+3
BA n+4
P
DD
D
10
11
12

图 6

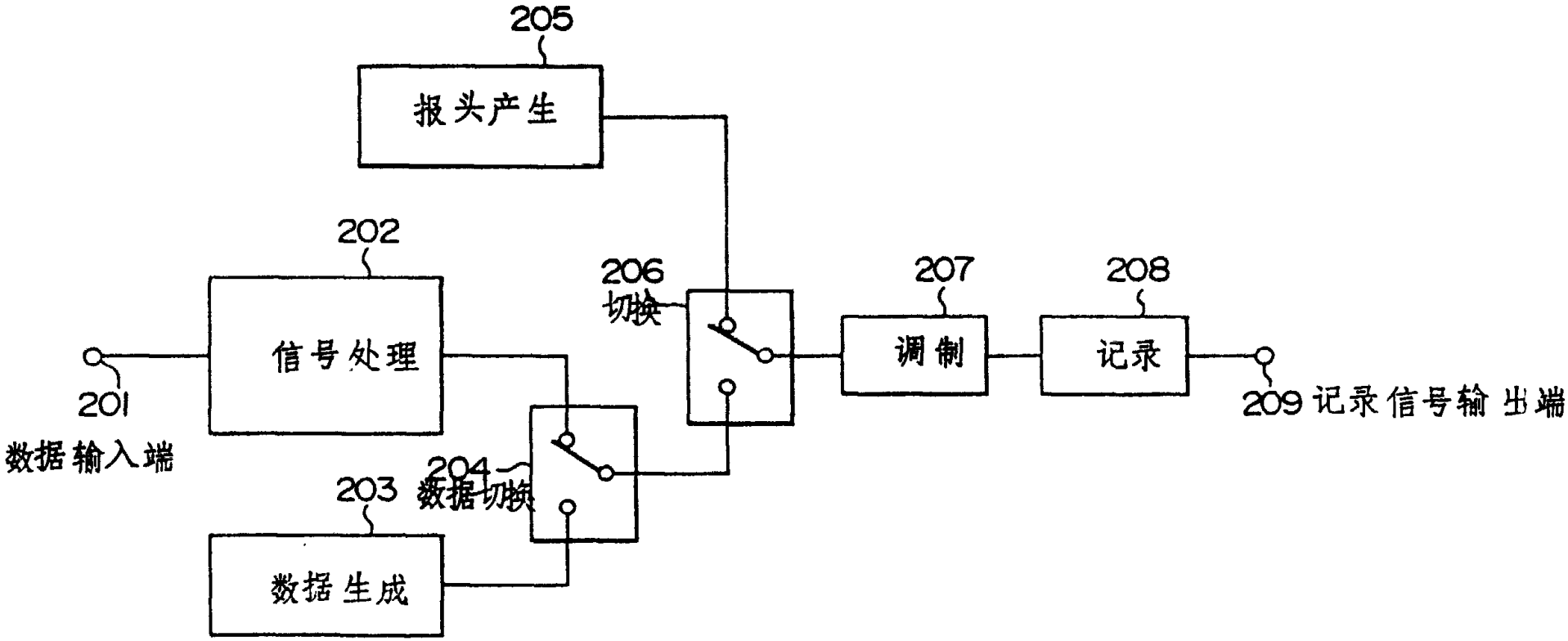

205
报头产生
202
信号处理
206
切换
207
调制
208
记录
201
数据输入端
209 记录信号输出端
204
数据切换
203
数据生成

图 7A

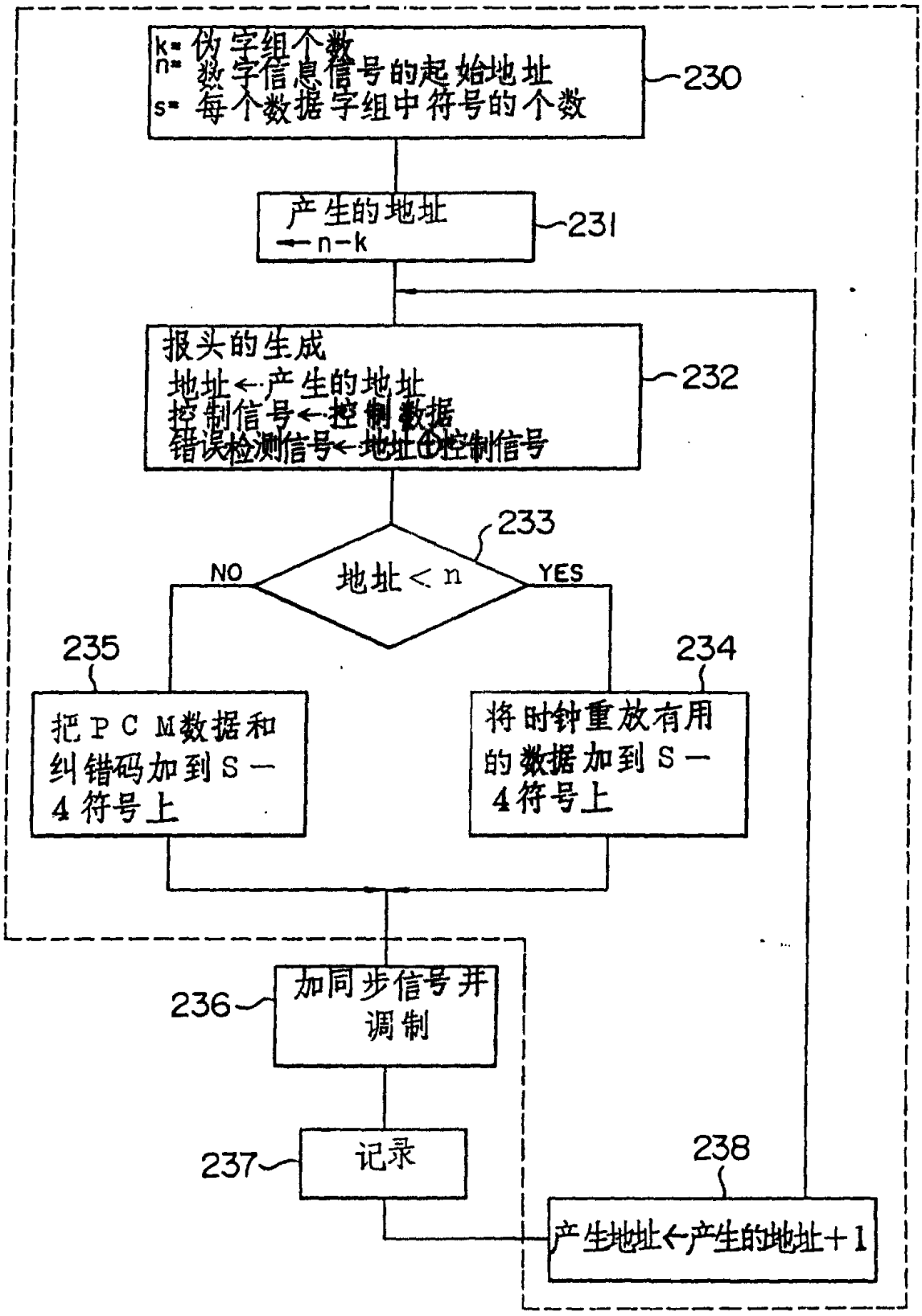

k= 伪字组个数
n= 数字信息信号的起始地址
s= 每个数据字组中符号的个数
230
产生的地址
←n-k
231
报头的生成
地址←产生的地址
控制信号←控制数据
232
233
地址 < n
NO
YES
235
把PCM数据和纠错码加到S—4符号上
234
将时钟重放有用的数据加到S—4符号上
236
加同步信号并调制
237
记录
238
产生地址←产生的地址+1

图 7B

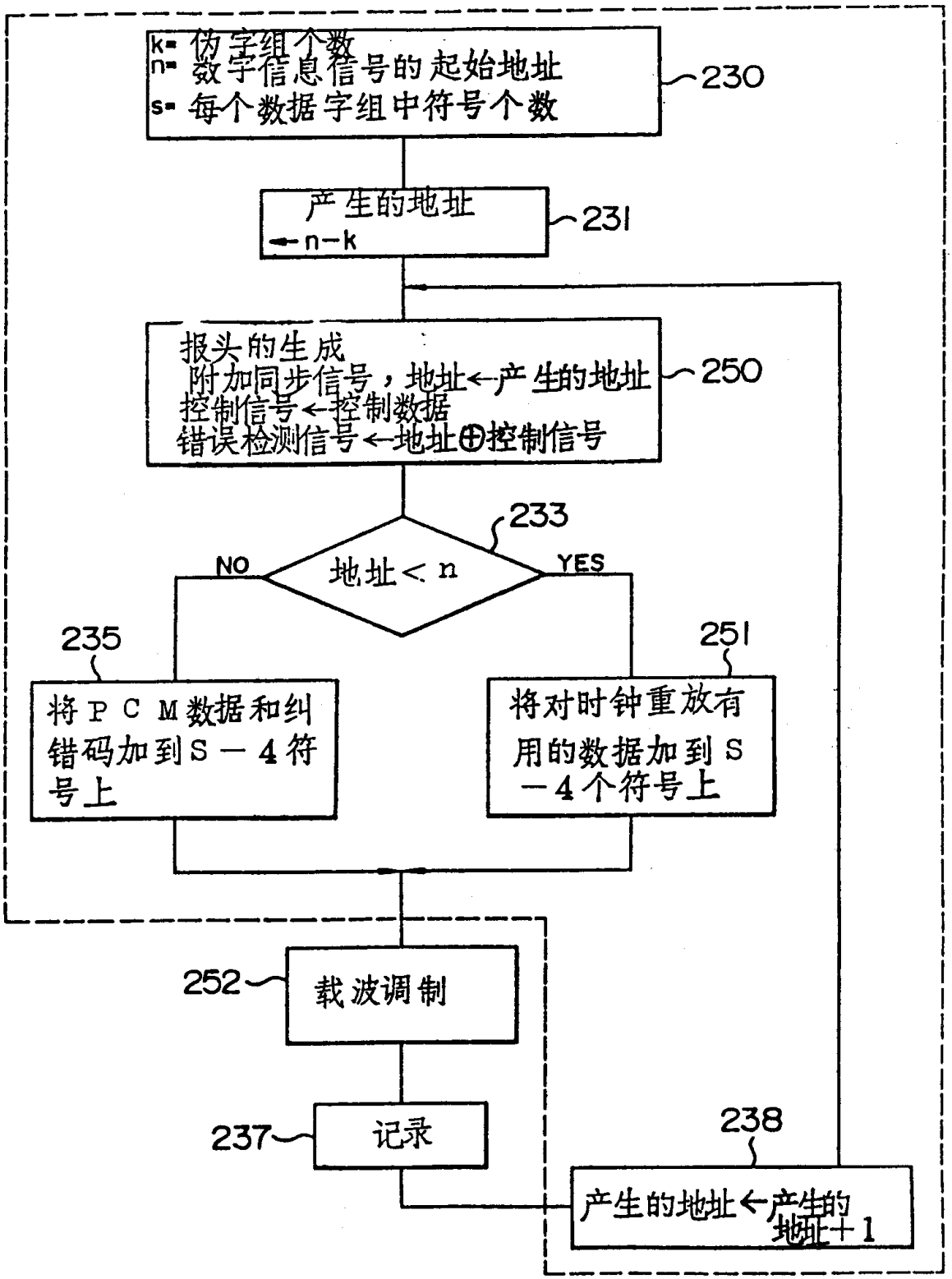
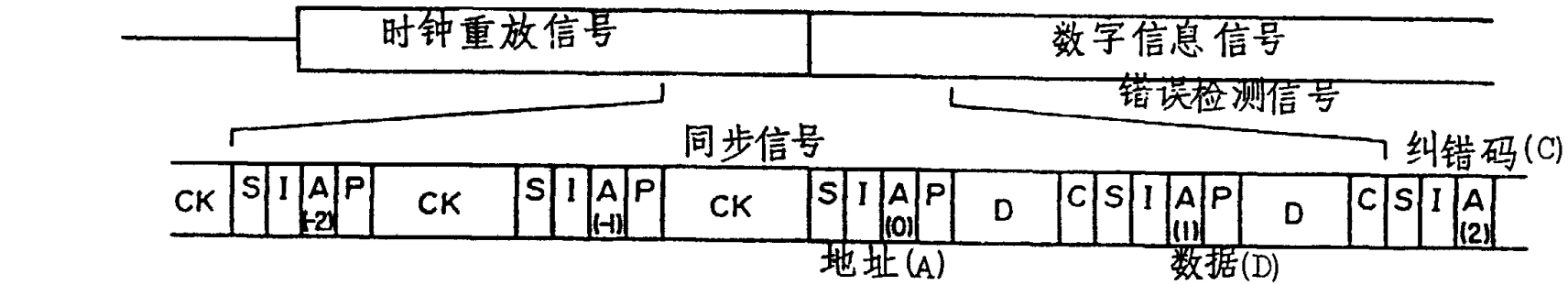

k= 伪字组个数
n= 数字信息信号的起始地址
s= 每个数据字组中符号个数
230
产生的地址
←n-k
231
报头的生成
附加同步信号，地址←产生的地址
控制信号←控制数据
错误检测信号←地址⊕控制信号
250
233
地址＜n
NO
YES
235
将PCM数据和纠错码加到S－4符号上
251
将对时钟重放有用的数据加到S－4个符号上
252
载波调制
237
记录
238
产生的地址←产生的地址+1

图 8A


时钟重放信号
数字信息信号
错误检测信号
同步信号
纠错码(C)
CK S I A(-2) P CK S I A(-1) P CK S I A(0) P D C S I A(1) P D C S I A(2)
地址(A)
数据(D)

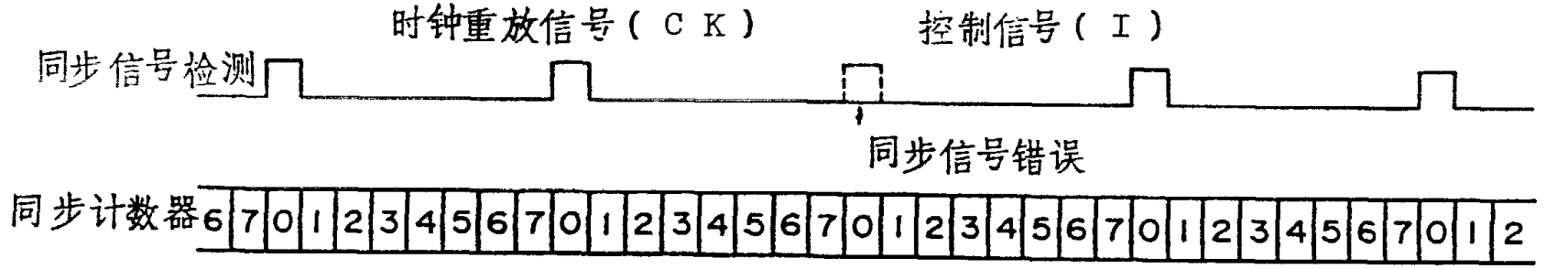

时钟重放信号（CK）
控制信号（I）
同步信号检测
同步信号错误
同步计数器
6 7 0 1 2 3 4 5 6 7 0 1 2 3 4 5 6 7 0 1 2 3 4 5 6 7 0 1 2 3 4 5 6 7 0 1 2

图 8B


地址检测

图 8C

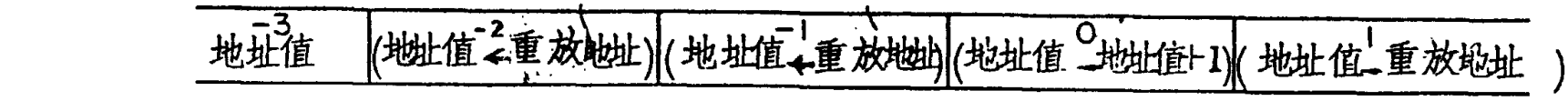

地址错误
地址值-3
(地址值-2←重放地址)
(地址值-1←重放地址)
(地址值0←地址值+1)
(地址值1←重放地址)

图 9

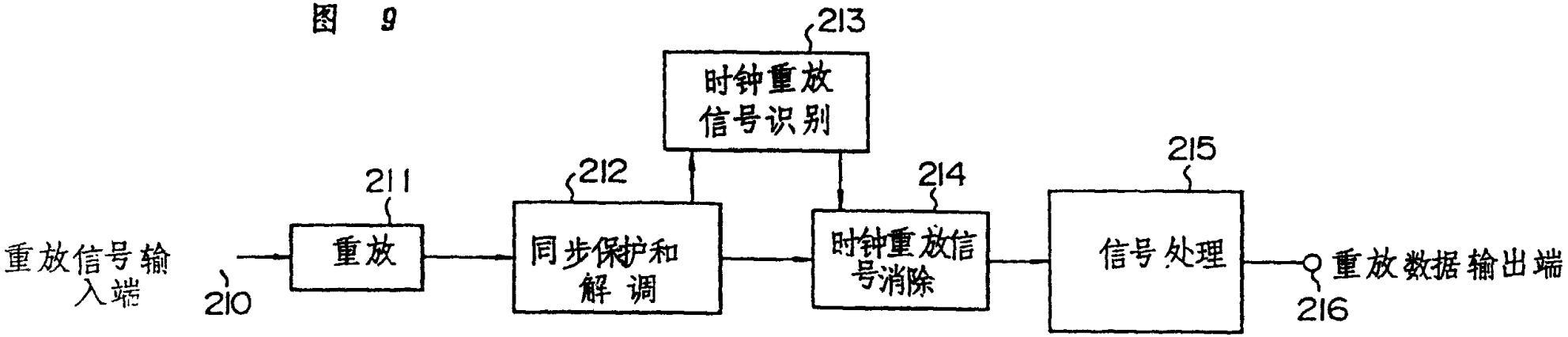

213
时钟重放
信号识别
211
212
214
215
重放信号输
入端
210
重放
同步保护和
解 调
时钟重放信
号消除
信号处理
重放数据输出端
216

图 10

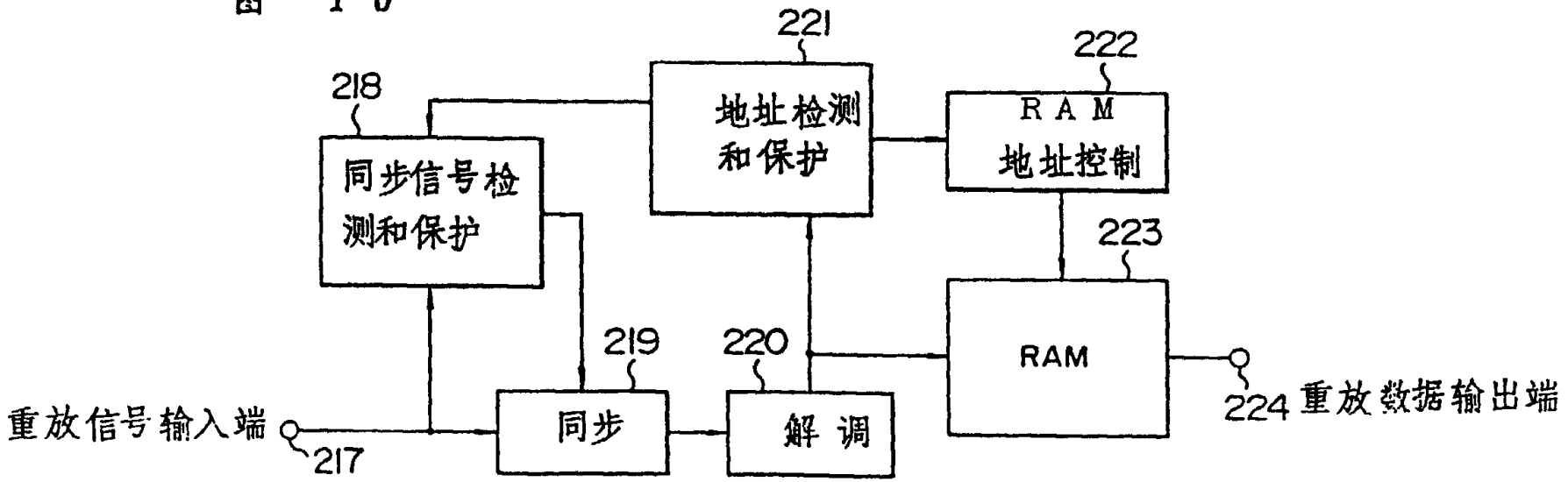

221
222
218
地址检测
和保护
R A M
地址控制
同步信号检
测和保护
223
219
220
RAM
重放信号输入端
217
同步
解 调
224 重放数据输出端

图 11

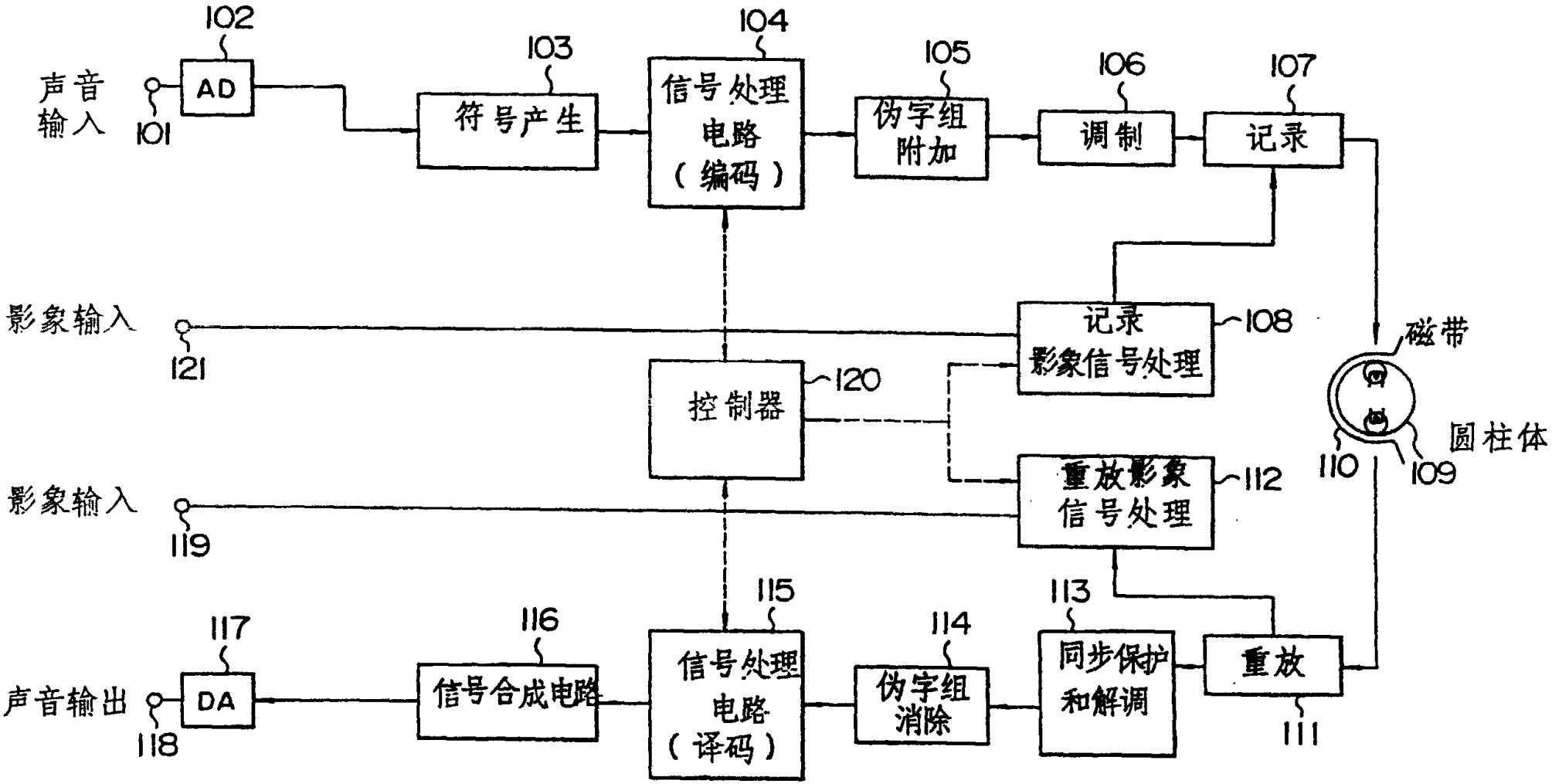

声音输入
101
AD
102
符号产生
103
信号处理电路（编码）
104
伪字组附加
105
调制
106
记录
107
影象输入
121
记录影象信号处理
108
磁带
控制器
120
圆柱体
110
109
影象输入
119
重放影象信号处理
112
113
声音输出
118
DA
117
信号合成电路
116
信号处理电路（译码）
115
伪字组消除
114
同步保护和解调
重放
111

图 12

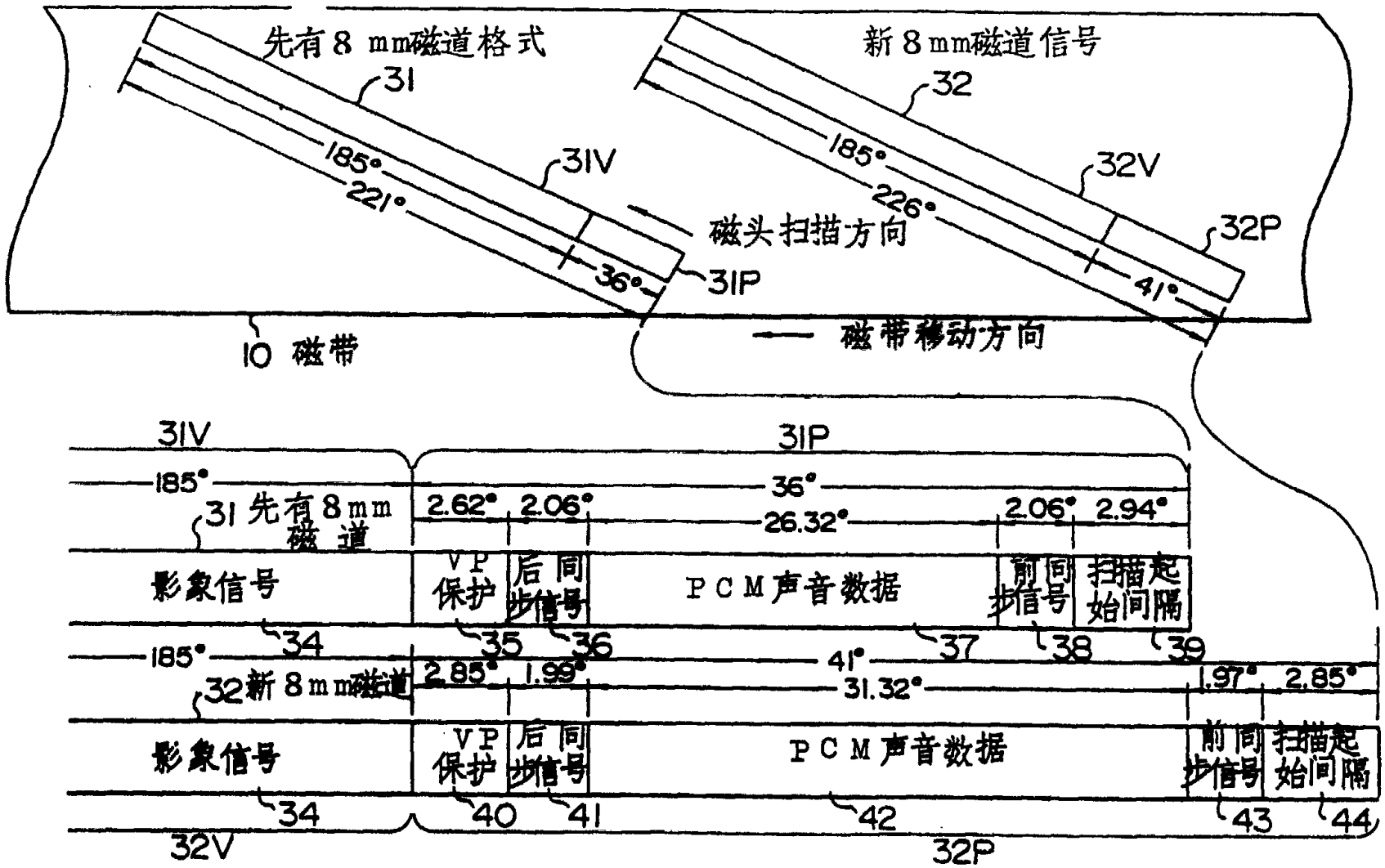

先有8 mm磁道格式
31
185°
221°
31V
36°
31P
磁头扫描方向
新8 mm磁道信号
32
185°
226°
32V
41°
32P
10 磁带
磁带移动方向
31V
31P
185°
36°
31 先有8mm磁道
2.62°
2.06°
26.32°
2.06°
2.94°
影象信号
VP保护
后同步信号
PCM声音数据
前同步信号
扫描起始间隔
34
35
36
37
38
39
185°
41°
32新8mm磁道
2.85°
1.99°
31.32°
1.97°
2.85°
影象信号
VP保护
后同步信号
PCM声音数据
前同步信号
扫描起始间隔
34
40
41
42
43
44
32V
32P

图 13

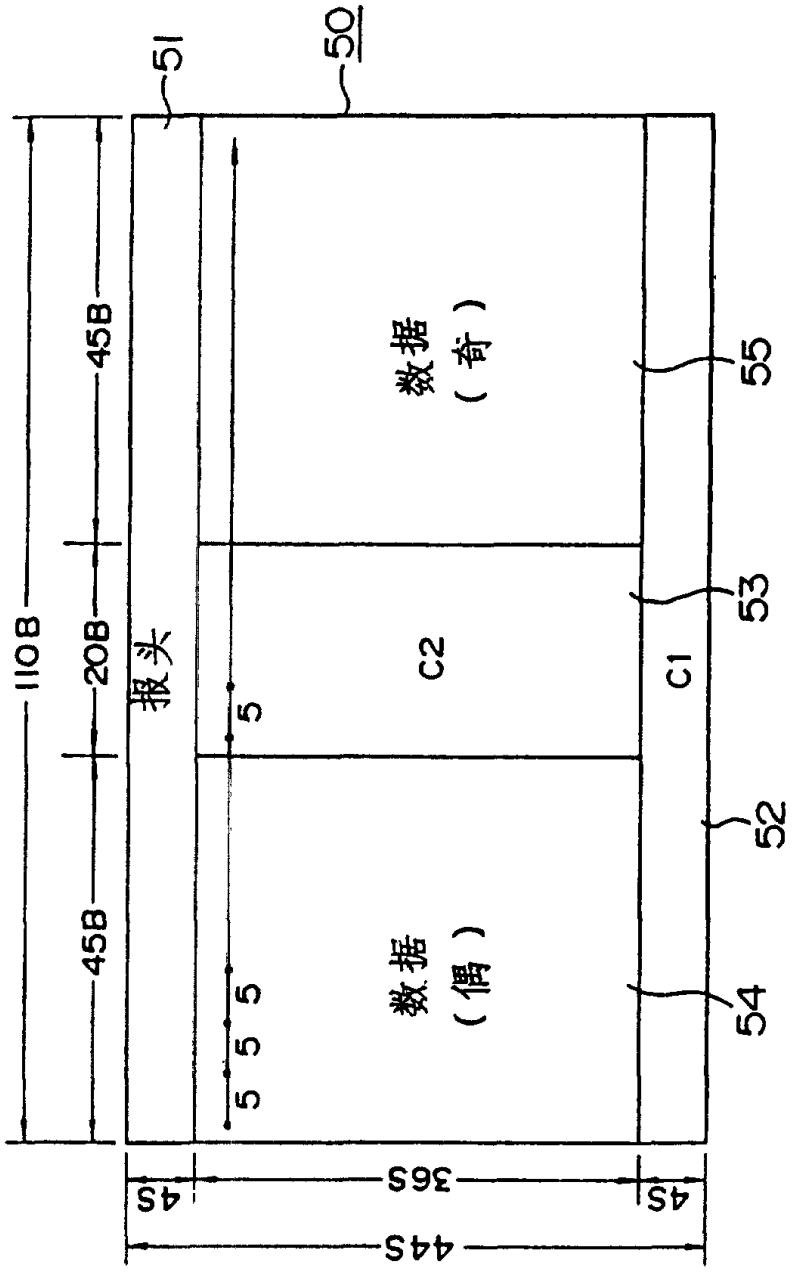

50
51
110B
45B
20B
45B
报头
5
5 5 5
数据
(偶)
C2
C1
数据
(奇)
52
53
54
55
4S
36S
4S
44S

图 14

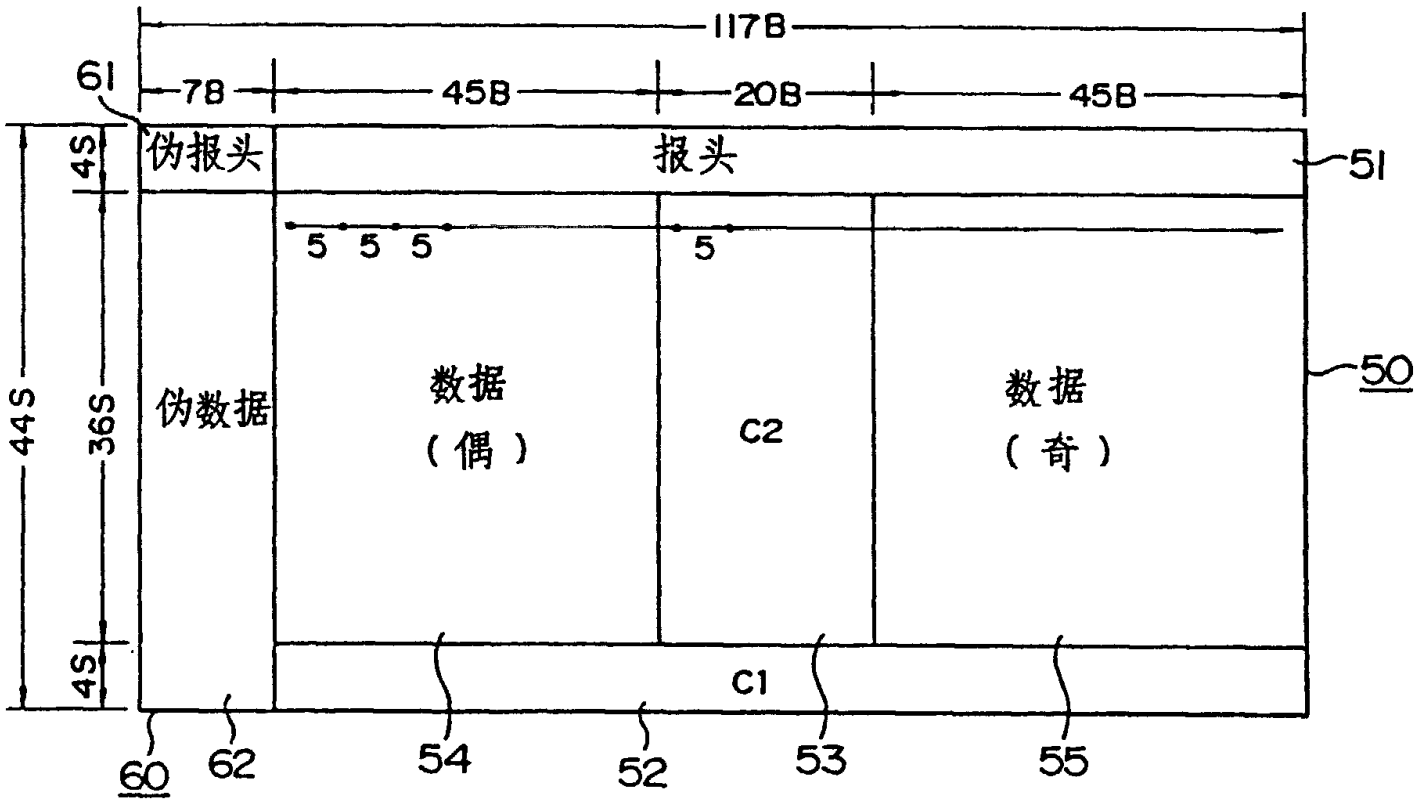

117B
7B
45B
20B
45B
61
伪报头
报头
51
4S
5 5 5
5
44S
36S
伪数据
数据
（偶）
C2
数据
（奇）
50
4S
C1
60
62
54
52
53
55

图 15

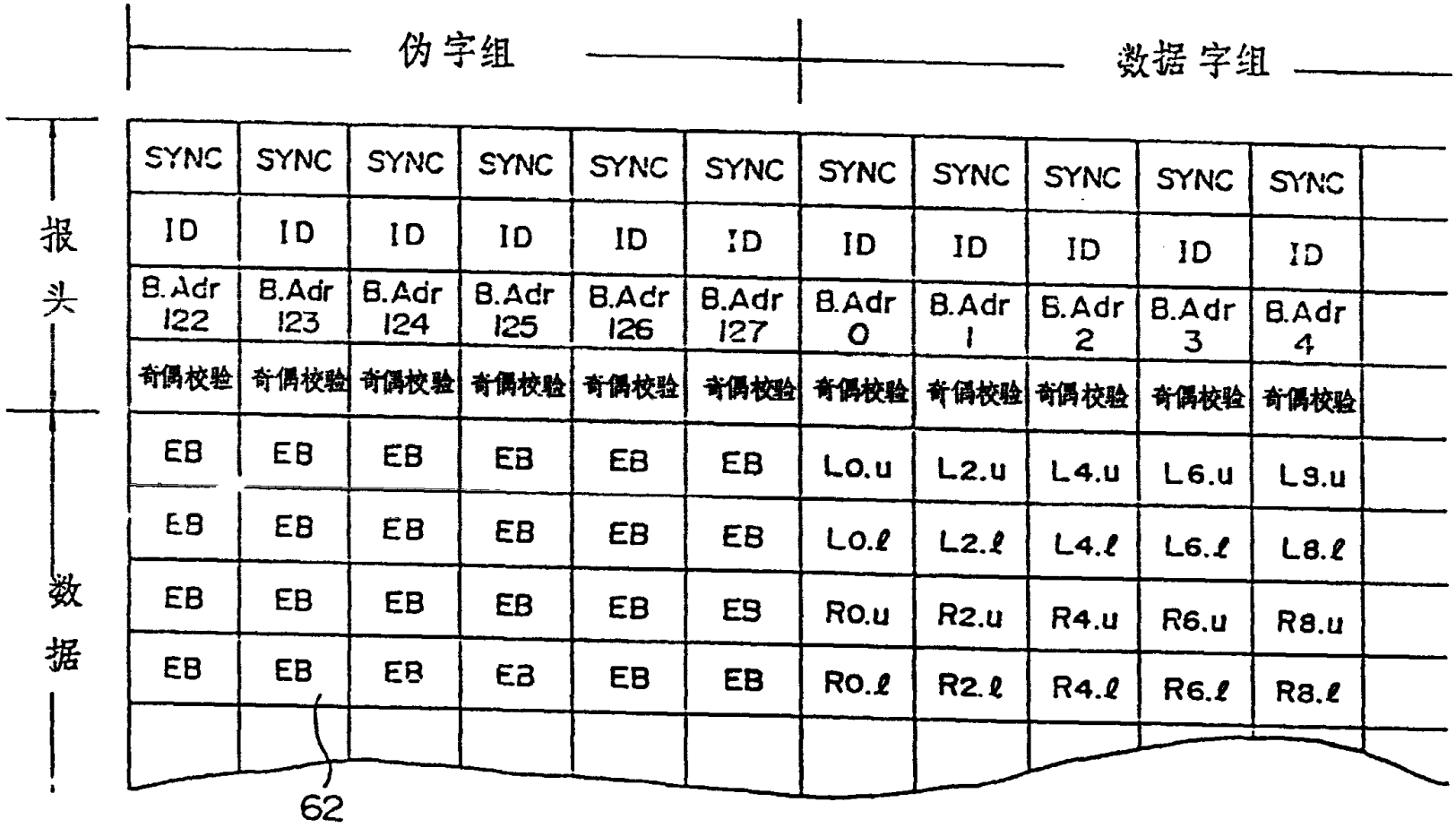

伪字组
数据字组
报头
数据
SYNC
ID
B.Adr 122
B.Adr 123
B.Adr 124
B.Adr 125
B.Adr 126
B.Adr 127
B.Adr 0
B.Adr 1
B.Adr 2
B.Adr 3
B.Adr 4
奇偶校验
EB
L0.u
L2.u
L4.u
L6.u
L8.u
L0.ℓ
L2.ℓ
L4.ℓ
L6.ℓ
L8.ℓ
R0.u
R2.u
R4.u
R6.u
R8.u
R0.ℓ
R2.ℓ
R4.ℓ
R6.ℓ
R8.ℓ
62

图 16

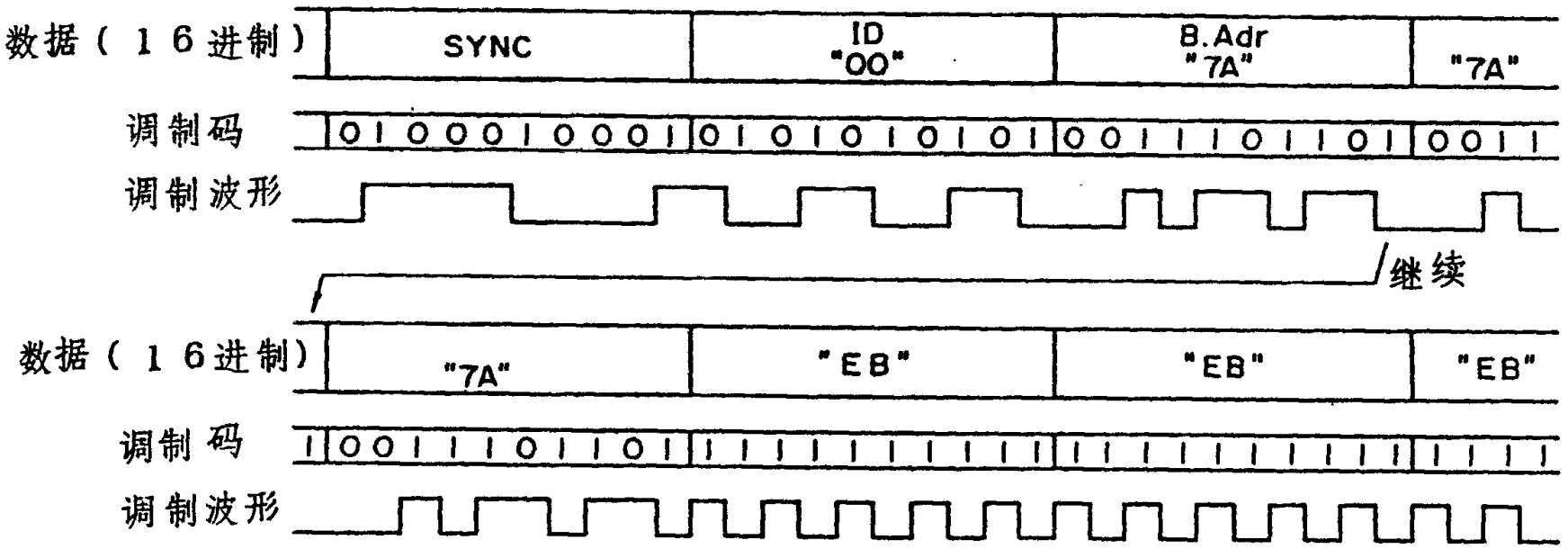
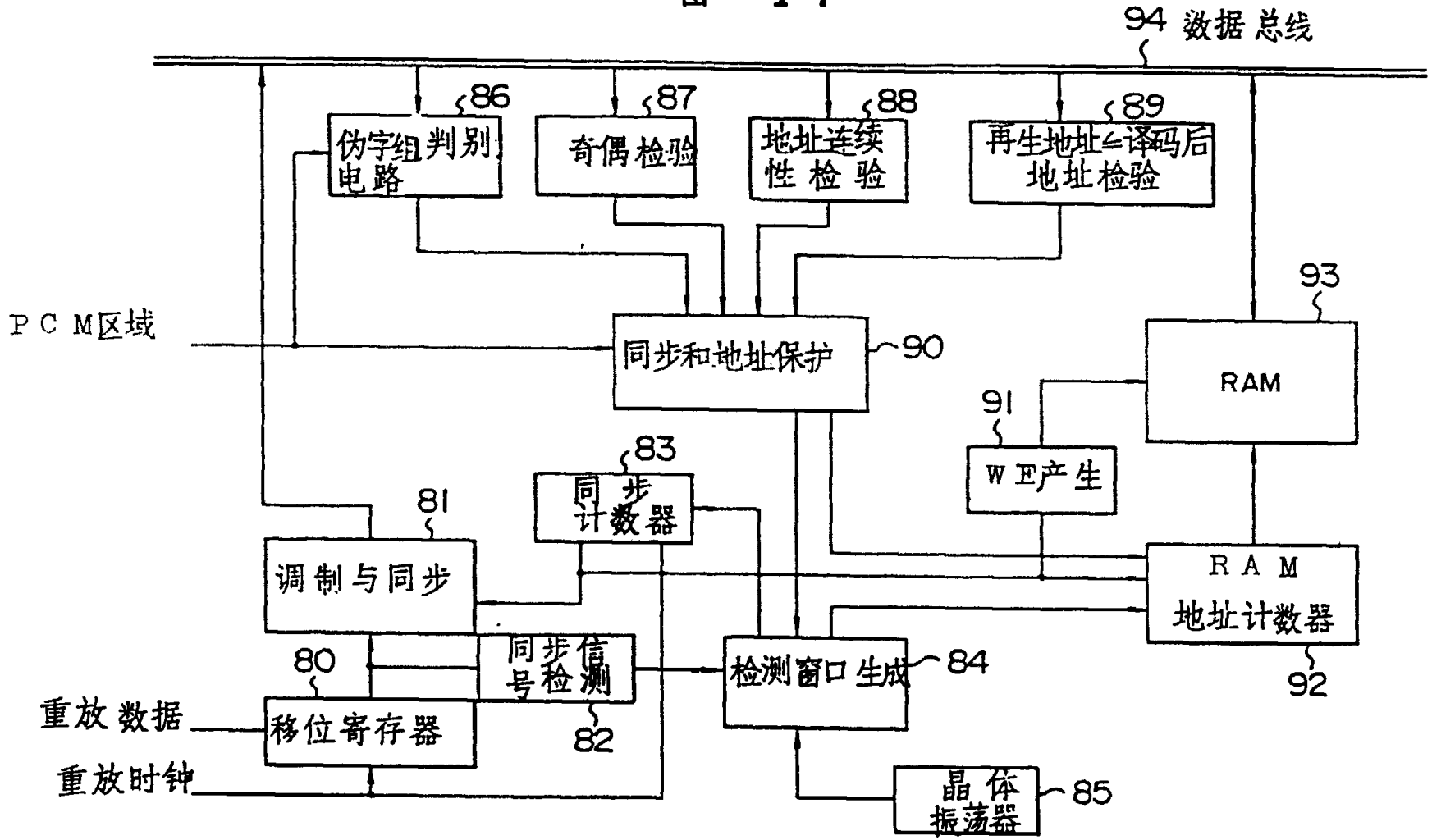

数据（16进制）
SYNC
ID "00"
B.Adr "7A"
"7A"
调制码
0 1 0 0 0 1 0 0 0 1
0 1 0 1 0 1 0 1 0 1
0 0 1 1 1 0 1 1 0 1
0 0 1 1
调制波形
继续
数据（16进制）
"7A"
"EB"
"EB"
"EB"
调制码
1
0 0 1 1 1 0 1 1 0 1
1 1 1 1 1 1 1 1 1 1
1 1 1 1 1 1 1 1 1 1
1 1 1 1
调制波形

图 17


94 数据总线
86
伪字组判别电路
87
奇偶检验
88
地址连续性检验
89
再生地址译码后地址检验
PCM区域
同步和地址保护
90
93
RAM
91
WE产生
83
同步计数器
81
调制与同步
RAM地址计数器
92
80
同步信号检测
82
检测窗口生成
84
重放数据
移位寄存器
重放时钟
晶体振荡器
85