

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015年1月29日 (29.01.2015)



(10) 国际公布号
WO 2015/010384 A1

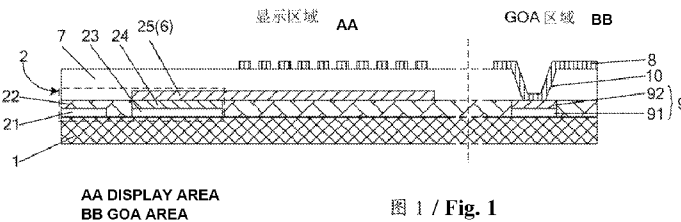
- (51) 国际专利分类号:
H01L 27/12 (2006.01) G02F 1/1362 (2006.01)
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)
H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2013/086376
- (22) 国际申请日: 2013年10月31日 (31.10.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310314225.X 2013年7月24日 (24.07.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路8号, Beijing 100176 (CN)。
- (72) 发明人: 李婧 (LI, Jing); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。刘芳 (LIU, Fang); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路8号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: ARRAY SUBSTRATE, PREPARATION METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制备方法、显示装置



(57) Abstract: An array substrate comprises a base substrate (1) and a thin film transistor unit (2) located on the base substrate (1). The thin film transistor unit (2) comprises: a first gate (21) located on the base substrate (1), a gate insulating layer (22) located on the first gate (21), a source (23) arranged on the same layer as the first gate (21), an active layer (24) located on the source (23), and a drain (25) located on the active layer (24). The gate insulating layer (22) is arranged between the first gate (21) and the source (23). The array substrate reduces the channel length of the conductive channel of the thin film transistor unit (2), and improves the aperture ratio of pixels.

(57) 摘要: 一种阵列基板包括: 衬底基板(1)及位于衬底基板(1)之上的薄膜晶体管单元(2), 薄膜晶体管单元(2)包括: 位于衬底基板(1)之上的第一栅极(21)、位于第一栅极(21)之上的栅极绝缘层(22)、与第一栅极(21)同层设置的源极(23)、位于源极(23)之上的有源层(24)、位于有源层(24)之上的漏极(25), 而且第一栅极(21)和源极(23)之间设置有栅极绝缘层(22)。该阵列基板减小了薄膜晶体管单元(2)的导电沟道的沟道长度, 同时提高了像素的开口率。



WO 2015/010384 A1

阵列基板及其制备方法、显示装置

技术领域

5 本发明的实施例涉及一种阵列基板及其制备方法、显示装置。

背景技术

薄膜晶体管液晶显示器（Thin Film Transistor Liquid Crystal Display，简称 TFT-LCD）具有体积小、功耗低、无辐射等优点，在平板显示领域中占据了主导地位。

LCD 根据电场形式的不同可分为多种类型，高级超维场转换（Advanced super Dimension Switch，简称 ADS）模式的 TFT-LCD 具有宽视角、高开口率、高透过率等优点而被广泛的应用。ADS 模式是一种平面电场宽视角技术，其核心技术特性描述为：通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场，使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转，从而提高了液晶工作效率并增大了透光效率。ADS 模式的开关技术可以提高 TFT-LCD 产品的画面品质，具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹（push Mura）等优点。针对不同应用，ADS 技术的改进技术有高透过率 I-ADS 技术、高开口率 H-ADS 和高分辨率 S-ADS 技术等。

发明内容

本发明的实施例提供了一种阵列基板及其制备方法、显示装置，该阵列基板减小了薄膜晶体管单元的导电沟道的沟道长度，同时提高了像素的开口率，该制备方法能够降低阵列基板的制备工艺的难度，降低制备成本，提高良品率。

本发明的第一方面提供了一种阵列基板，包括：衬底基板及位于所述衬底基板之上的薄膜晶体管单元。所述薄膜晶体管单元包括：位于所述衬底基板之上的第一栅极，位于所述第一栅极之上的栅极绝缘层，与所述第一栅极同层设置的源极，位于所述源极之上的有源层，位于有源层之上的漏极，所

述第一栅极和所述源极之间设置有所述栅极绝缘层。

例如，所述的阵列基板还可以包括：位于所述衬底基板之上的纵横交叉的数据线和栅线，其中，所述数据线包括：与所述栅线同层设置的且与所述栅线相绝缘的多个第一数据线区域，位于所述第一数据线区域上方且连接相邻的所述第一数据线区域的第二数据线区域，所述第二数据线区域与所述栅线在正投影方向上部分重叠。

例如，所述第一数据线区域和所述栅线之上设置有栅极绝缘层，所述栅极绝缘层对应于所述第一数据线区域的部分设置有第一过孔，所述第二数据线区域位于所述栅极绝缘层之上、通过所述第一过孔将相邻的所述第一数据线区域电连接。

例如，所述源极、所述第一栅极、所述栅线、所述数据线的所述第一数据线区域同层设置，所述漏极与所述第二数据线区域位于同一图层。

例如，所述的阵列基板还可以包括：所述薄膜晶体管单元上方设置有第一透明导电层，所述第一透明导电层与所述漏极一体成型或彼此电连接。

例如，所述漏极和所述第一透明导电层上方设置有钝化层，所述钝化层上方设置有第二透明导电层，所述第一透明导电层至少有部分与第二透明导电层重叠。

例如，所述的阵列基板还可以包括：位于所述衬底基板之上的阵列基板行驱动单元。所述阵列基板行驱动单元包括：位于所述衬底基板之上的第二栅极，位于所述第二栅极之上的导电引线，所述第一栅极和第二栅极同层设置，所述导电引线与所述漏极位于同一图层。

例如，所述钝化层对应于导电引线的部分设置有第二过孔，所述第二透明导电层通过所述第二过孔与导电引线电连接。

例如，所述第一透明导电层为板状或狭缝电极，所述第二透明导电层为狭缝电极。

上述阵列基板中，该薄膜晶体管单元的第一栅极工作时，导电沟道的沟道长度即为有源层的厚度，通过减小有源层的厚度，就可以减小沟道长度，从而提高开态电流，同时保证像素的高开口率，提高显示装置的显示效果。

本发明的第二方面提供了一种显示装置，包括上述的阵列基板。

本发明的第三方面提供了一种阵列基板的制备方法，所述阵列基板包括

薄膜晶体管单元，该薄膜晶体管单元包括第一栅极、栅绝缘层、有源层、源极和漏极，该方法包括：在衬底基板上形成包括所述第一栅极和所述源极的图形，所述第一栅极和所述源极同层形成；在包括所述第一栅极和所述源极的图形之上形成包括所述栅极绝缘层的图形，在所述源极之上形成包括所述有源层的图形，其中，所述栅极绝缘层形成在所述第一栅极上方且在所述第一栅极和所述源极图形之间；在所述有源层之上形成包括漏极的图形。

例如，所述阵列基板包括纵横交叉的栅线和数据线，所述数据线包括隔着所述栅线相邻的第一数据线区域和电连接所述相邻的第一数据线区域的第二数据区域，在所述制备方法中，在所述衬底基板上同层形成包括所述第一栅极、源极、栅线、数据线的所述第一数据线区域的图形；在所述源极之上形成包括所述有源层的图形之后，在所述栅极绝缘层对应所述第一数据线区域形成第一过孔的图形；并且，在所述有源层之上形成包括所述漏极、所述数据线的第二数据线区域的图形，且所述第二数据线区域通过所述第一过孔与所述相邻的第一数据线区域电连接。

在上述制备方法中，例如，在所述有源层之上同层形成包括漏极和第一透明导电层的图形。

在上述制备方法中，例如，所述的制备方法还可以包括：在所述漏极的图形之上依次形成包括钝化层的图形和包括第二透明导电层的图形。

例如，所述阵列基板还可以包括形成阵列基板行驱动单元，所述阵列基板行驱动单元包括第二栅极和导电引线，相应地所述制备方法还可以包括：在衬底基板上同层形成包括所述第一栅极、源极、栅线、数据线的所述第一数据线区域、第二栅极的图形；在所述有源层之上形成包括所述漏极、第一透明导电层、所述数据线的第二数据线区域及导电引线的图形。

在上述制备方法中，例如，所述钝化层对应于导电引线的部分设置有第二过孔，所述第二透明导电层通过所述第二过孔与导电引线电连接。

例如，上述制备方法可以采用五次掩膜工艺完成，所述的制备方法可以包括：

在所述衬底基板上依次形成金属薄膜和半导体薄膜，通过第一次掩膜工艺刻蚀形成包括所述薄膜晶体管单元的第一栅极、源极和有源层、栅线、所述数据线的所述第一数据线区域以及所述阵列基板行驱动单元的第二栅极的图

形；形成第一绝缘薄膜，通过第二次掩膜工艺刻蚀形成包括所述栅极绝缘层的图形，所述栅极绝缘层对应所述第一数据线区域形成所述第一过孔的图形；

形成第一透明导电薄膜，在所述有源层之上通过第三次掩膜工艺刻蚀形成包括所述薄膜晶体管单元的漏极和第一透明导电层、所述数据线的第二数据
5 数据线区域以及所述阵列基板行驱动单元的导电引线的图形，所述第二数据线区域通过所述第一过孔与所述相邻的第一数据线区域电连接；

形成第二绝缘薄膜，在所述漏极的图形之上通过第四次掩膜工艺刻蚀形成包括钝化层的图形，所述钝化层对应于所述导电引线的部分形成第二过孔的图形；

10 形成第二透明导电薄膜，通过第五次掩膜工艺刻蚀形成包括所述第二透明导电层的图形，所述第二透明导电层通过所述第二过孔与所述导电引线电连接。

附图说明

15 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为本发明实施例中的阵列基板结构示意图一；

图 2 为本发明实施例中的阵列基板平面示意图；

20 图 3 为本发明实施例中的图 2 的 AA 截面示意图；

图 4 为本发明实施例中的阵列基板结构示意图二；

图 5a~5b 为本发明实施例中的阵列基板结构的制备过程示意图；

图 6 为本发明实施例中的阵列基板结构示意图三；

图 7 为本发明实施例中的阵列基板结构示意图四；

25 图 8 为本发明实施例中的阵列基板结构示意图五；

图 9 为本发明实施例中的阵列基板结构示意图六。

附图标记：

1—衬底基板；	2—薄膜晶体管单元；	21—第一栅极；
22—栅极绝缘层；	23—源极；	24—有源层；
25—漏极；	3—数据线；	31—第一数据线区域；
32—第二数据线区域；	4—栅线；	5—第一过孔；
6—第一透明导电层；	7—钝化层；	8—第二透明导电层；

9—GOA 单元; 91—第二栅极; 92—导电引线;
10—第二过孔; 11—金属薄膜; 12—半导体薄膜;
13—光刻胶。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，
5 所描述的实施例是本发明的一部分实施例，而不是全部的实施例。

发明人在研究过程中发现，由于受到工艺因素的制约，传统的 ADS 型液晶面板的 TFT 的导电沟道的沟道长度较大，这不仅减小了开态电流的大小，还间接制约了像素的开口率的提高；而且，通常采用经过七次掩膜工艺才能制得该传统的 ADS 型液晶面板的阵列基板，因此制备的难度和成本较
10 高，且良品率低。

本发明的实施例提供了一种阵列基板及其制备方法、显示装置，该阵列基板减小了薄膜晶体管单元的导电沟道的沟道长度，同时提高了像素的开口率，而且该制备方法能够降低阵列基板的制备工艺的难度，降低制备成本，提高良品率。

15 实施例一

本实施例提供了一种阵列基板，如图 1 所示，包括：衬底基板 1 及位于所述衬底基板 1 之上的薄膜晶体管单元 2，通常包括多个薄膜晶体管单元 2，多个薄膜晶体管单元 2 位于阵列基板的显示区域中。

20 所述薄膜晶体管单元 2 包括：位于所述衬底基板 1 之上的第一栅极 21，位于所述第一栅极 21 之上的栅极绝缘层 22，与所述第一栅极 21 同层设置的源极 23，位于所述源极 23 之上的有源层 24，位于有源层 24 之上的漏极 25，所述第一栅极 21 和所述源极 23 之间设置有所述栅极绝缘层 22。

为了保证在行周期内，液晶像素上能即时准确的写入图像信号，每个像素的薄膜晶体管单元 2 的开态电流 I_{on} 必须足够大，一般大于 10^{-6} A。根据相关理论可知，开态电流 $I_{on} \propto (W/L)$ ，其中，W 为 TFT 的导电沟道的沟道宽度，L 为 TFT 的导电沟道的沟道长度。如果沟道长度 L 保持不变，随着沟道宽度 W 增加，开态电流 I_{on} 增加而像素的开口率减小；所以在实际应用中，
25 TFT 的沟道长度 L 在保证光刻精度和良率的前提下越短越好。但是，受到掩

膜工艺的限制，有时沟道长度 L 无法做的足够小，间接制约了像素的开口率的提高。

在本实施例中，如图 1 所示，当第一栅极 21 工作时，沟道长度 L 就是有源层 24 的厚度，只要减小有源层 24 的厚度，就可以减小沟道长度 L ，提高开态电流 I_{on} ，同时保证像素的高开口率，提高显示装置的显示效果。

本实施例提供了一种阵列基板，该阵列基板包括薄膜晶体管单元。该薄膜晶体管单元的第一栅极工作时，导电沟道的沟道长度为有源层的厚度，只要通过减小有源层的厚度，就可以减小沟道长度，从而提高开态电流，同时保证像素的高开口率，提高显示装置的显示效果。

例如，衬底基板 1 可以利用玻璃、石英等常见的透明材质制成；第一栅极 21 或源极 23 的厚度可以为 100nm 至 500nm，例如，可利用单层钼、铝，钨、钛、铜等金属或者其合金中的一种制成，也可以由上述等金属的多层组合制成。例如，第一栅极 21 及源极 23 也可采用同一种材料制成。

在本实施例中，例如，所述有源层 24 可采用非晶硅、多晶硅或铟镓锌氧化物 (IGZO) 等常用的半导体材料形成，厚度可以为 100nm 至 300nm。例如，漏极 25 可为氧化铟锡或氧化铟锌等常见的透明导电材料，厚度可为 50nm 至 500nm。进一步的，如图 2 所示，显示区域内还包括位于所述衬底基板之上的纵横交叉的数据线 3 和栅线 4。通常包括多条数据线 3 和栅线 4，如图 3 所示，每条数据线 3 可以包括：与所述栅线 4 同层设置的且与所述栅线 4 相绝缘的多个第一数据线区域 31，位于所述第一数据线区域 31 上方且连接相邻的所述第一数据线区域 31 的第二数据线区域 32，所述第二数据线区域 32 与所述栅线 4 在正投影方向上部分重叠。

第一数据线区域 31 和第二数据线区域 32 彼此电连接从而构成一条完整的数据线 3。在数据线 3 延伸方向上相邻的两个第一数据线区域 31 位于一条栅线 4 的两侧，连接该两个第一数据线区域 31 的第二数据线区域 32 则相应地跨过该栅线 4。

进一步的，所述第一数据线区域 31 和所述栅线 4 之上设置有栅极绝缘层 22，所述栅极绝缘层 22 对应于所述第一数据线区域 31 的部分设置有第一过孔 5，所述第二数据线区域 32 位于所述栅极绝缘层 22 之上、通过第一过孔 5 将相邻的所述第一数据线区域电连接。优选地，所述第一过孔 5 设置为两个，

分别设置于相邻的两个第一数据线区域 31 临近栅线 4 的部分,且相对于所述栅线 4 对称设置。

5 由于栅线 4 和数据线 3 传输的信号不同,所以栅线 4 和数据线 3 必须彼此绝缘。但是,如图 2 所示,在显示区域内,栅线 4 和数据线 3 之间会有交叉相叠、在正投影方向上重合的部分。在本实施例中,源极 23 和第一栅极 21 同层设置,在不多增加掩模板的个数的情况下,栅线 4 需和第一栅极 21 同层设置且一体成型,数据线 3 也必须和源极 23 同层设置且一体成型。

10 为了保证栅线和数据线的绝缘,结合图 2 和图 3 所示,数据线分为两个区域:第一数据线区域 31 和第二数据线区域 32。第一数据线区域 31 与栅线 4 同层设置且相分离、绝缘。例如,每个薄膜晶体管单元 2 对应一个第一数据线区域 31;第二数据线区域 32 位于栅极绝缘层 22 上,通过栅极绝缘层 22 设置的对应第一数据线区域 31 的第一过孔 5,将对应两个相邻的薄膜晶体管单元 2 的相绝缘的第一数据线区域 31 电连接起来,实现数据线 3 对数据信号的正常传输。

15 例如,第二数据线区域 32 可以与漏极 25 同层设置且位于同一图层,即在通过构图工艺形成漏极 25 的同时形成第二数据线区域 32。相应的,例如,第二数据线区域 32 可采用氧化铟锡或氧化铟锌等常见的透明导电材料,厚度可以为 50nm 至 500nm。

20 在本实施例中,所述源极 23、所述第一栅极 21、所述栅线 4、所述数据线 3 的第一数据线区域 31 同层设置,所述漏极 25 与所述第二数据线区域 32 位于同一图层。

另外,由图 2 中也可看出,所述第一栅极 21 和所述栅线 4 一体成型,为了提高第一栅极 21 对有源层 24 的导电沟道的控制能力,第一栅极 21 突出于所述栅线 4 设置。

25 进一步的,如图 1 所示,所述薄膜晶体管单元 2 上方设置有第一透明导电层 6,所述第一透明导电层 6 可与所述漏极 25 一体成型且彼此电连接。

30 所述漏极 25 和所述第一透明导电层 6 上方设置有钝化层 7。采用钝化层工艺不仅提高了显示装置的耐严酷环境的能力,而且有助于改善 TFT 的光电参数性能。在本实施例中,所述钝化层 7 上方设置有第二透明导电层 8,所述第一透明导电层 6 至少有部分与第二透明导电层 8 重叠。

由于第一透明导电层 6 与漏极 25 一体成型，意味着第一透明导电层 6 与漏极 25 连接，此时，第一透明导电层 6 可称为像素电极；相应的，第二透明导电层 8 可称为公共电极。第一透明导电层 6 和第二透明导电层 8 相互配合，产生平行于衬底基板 1 的电场，共同驱动 ADS 型液晶面板的液晶的偏转。

在本发明实施例中，第一透明导电层 6 可以为板状电极或狭缝电极，所述第二透明导电层 8 为狭缝电极。

第二透明导电层 8 可为氧化铟锡或氧化铟锌等常见的透明导电材料，例如，厚度可以为 50nm 至 500nm。

进一步的，在本发明实施例中，漏极 25 除了氧化铟锡或氧化铟锌等常见的透明导电材料，也可利用单层钼、铝，钨、钛、铜等金属或者其合金中的一种制成，或由上述等金属的多层组合制成。此时，由于金属或其合金不透明，为了防止降低阵列基板的开口率，第一透明导电层 6 仍然采用氧化铟锡或氧化铟锌等常见的透明导电材料制成。为了提高漏极 25 与第一透明导电层 6 的电连接的可靠性，第一透明导电层 6 可以部分设置于漏极 25 上，从而实现二者的电连接，如图 4 所示。

另外，为了进一步提高显示装置的显示效果，越来越多的人开始将注意力投向显示装置的窄边框设计。传统技术通常采用将工艺边际量压缩至极限的方法来制备窄边框显示器，一项非常重要的技术就是阵列基板行驱动 (Gate On Array, GOA) 技术。利用 GOA 技术将栅极开关电路集成在显示装置的显示面板的阵列基板上以实现显示面板的扫描驱动，从而可以省掉栅极驱动集成电路部分，可以从材料成本和制备工艺两方面降低产品成本，而且显示装置可以实现两边对称和窄边框的美观设计。

因此，在本实施例中，如图 1 或图 4 所示，阵列基板还可包括：位于所述衬底基板 1 之上的阵列基板行驱动 (Gate Driver on Array, 简称 GOA) 单元 9，GOA 单元 9 位于阵列基板中的 GOA 区域。GOA 单元 9 包括：位于所述衬底基板 1 之上的第二栅极 91，位于所述第二栅极 91 之上的导电引线 92。

进一步的，在本发明实施例中，例如，薄膜晶体管单元 2 的所述第一栅极 21 和第二栅极 91 同层设置，所述导电引线 92 与所述漏极 25 位于同一图

层。

需要说明的是，在 GOA 区域的第二透明导电层 8 用于连接栅极驱动电路，接收来自栅极驱动电路的电信号，该电信号经过导电引线 92 和第二栅极 91 之后，通过阵列基板上的栅线传输到薄膜晶体管单元 2 的第一栅极 21 中，
5 驱动薄膜晶体管单元 2 工作。

为了保证 GOA 区域的第二透明导电层 8 与栅极驱动电路的第一栅极 21 之间的连接可靠，优选的，所述钝化层 7 对应于导电引线 92 的部分设置有第二过孔 10，所述第二透明导电层 8 可以通过所述第二过孔 10 与导电引线 92 电连接，进而通过第二栅极 91 实现与栅线 4、第一栅极 21 的连接。这样的
10 连接方式加工工艺简单，且连接效果稳定。

在本发明实施例中，为了便于第二栅极 91、栅线 4 和第一栅极 21 之间的连接，例如，该第二栅极 91、栅线 4 和第一栅极 21 可以同层设置且一体成型。

本发明实施例还提供了一种显示装置，包括上述所述的任一阵列基板。
15 该显示装置可以为液晶面板、电子纸、有机发光二极管(Organic Light-Emitting Diode, 简称 OLED)显示面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

实施例二

本发明实施例提供了一种制备图 1 所示的阵列基板的制备方法，其包括
20 如下形成薄膜晶体管单元的工艺：

步骤 S11、在衬底基板上形成包括第一栅极和源极的图形，所述第一栅极和源极同层形成。

步骤 S12、在步骤 S11 形成的图形之上形成包括栅极绝缘层的图形，在源极之上形成包括有源层的图形，其中，所述栅极绝缘层形成在所述第一栅
25 极上方、第一栅极和源极图形之间。

步骤 S13、在步骤 S12 形成的有源层之上形成包括漏极的图形。

另外，本实施例中所提供的阵列基板的制备方法还可以包括形成数据线和栅线的如下工艺：步骤 S11 中在衬底基板上同层形成包括第一栅极、源极、栅线、数据线的
30 第一数据线区域形成第一过孔；步骤 S13 中同层形成包括漏极、所述数据线

的第二数据线区域的图形，所述第二数据线区域通过所述第一过孔将相邻的第一数据线区域电连接。

进一步的，步骤 S13 中可以同层形成包括漏极和第一透明导电层的图形。

在上述制备方法的基础上，本实施例还可以进一步包括：

- 5 步骤 S14、在步骤 S13 的图形之上依次形成包括钝化层的图形和包括第二透明导电层的图形。

本实施例中所提供的阵列基板的制备方法还可以包括形成阵列基板行驱动单元的工艺，包括：步骤 S11 中在衬底基板上同层形成包括第一栅极、源极、栅线、数据线的第二数据线区域、第二栅极的图形；步骤 S13 中同层形
10 成包括漏极、第一透明导电层、所述数据线的第二数据线区域及导电引线的图形。

同层设置的不同结构可以在同一次构图工艺中形成，也可分别在多次构图工艺中形成，本实施例对此不进行限制。

- 15 更进一步的，所述步骤 S14 中钝化层对应于导电引线的部分设置有第二过孔，所述第二透明导电层通过所述第二过孔与导电引线电连接。

在本实施例中，上述的阵列基板的制备方法所制得的阵列基板的所述源极与第一栅极、栅线同层形成，且可以在同一次构图工艺中一体成型；类似的，所述第一栅极与第一数据线区域同层形成。

- 20 在本实施例中，第一透明导电层 6 可以为板状电极或狭缝电极，所述第二透明导电层 8 为狭缝电极。

以下介绍上述阵列基板的制备方法的一个具体示例，显然这只是图 1 所示的阵列基板的一种具体的制备方法，除此之外，还可采用别的方法来制备图 1 所示的阵列基板。

- 25 该示例性的制备方法在制作阵列基板的多个薄膜晶体管单元 2、多条栅线 4 和多条数据线 3 以及多个阵列基板行驱动单元 9 时，可仅采用五次掩膜工艺完成，其分别包括：

- 30 步骤 S101、在衬底基板上依次形成金属薄膜和半导体薄膜，通过第一次掩膜工艺刻蚀形成包括所述薄膜晶体管单元的第一栅极、源极和有源层、栅线、所述数据线的第二数据线区域以及阵列基板行驱动单元的第二栅极的图形。

如图 5a、图 5b 及图 6 所示，例如，采用磁控溅射或热蒸发等方式，在衬底基板 1 上形成金属薄膜 11，之后通过等离子体增强化学气相沉积法（PECVD）的方法沉积半导体薄膜 12。通过第一次掩膜工艺，同时形成包括栅线 4、图 2 中的第一数据线区域 31（图中未示出）和薄膜晶体管单元 2 中的第一栅极 21、源极 23、有源层 24 以及 GOA 单元的第二栅极 91 的图形；栅线 4 和第一栅极 21、第二栅极 91 一体成型，第一数据线区域 31 和源极 23 一体成型，这不仅加强了彼此之间的连接关系，还节省了工艺流程，同时简化了阵列基板的层结构。

例如，在第一次掩膜工艺中，在半导体薄膜 12 上涂覆一层光刻胶 13，采用双色调掩模板，例如半色调或灰色调掩模板进行曝光，使光刻胶形成完全曝光区域、未曝光区域和部分曝光区域，在显影对光刻胶显影之后得到光刻胶 13 的图形，如图 5a 所示。使用该光刻胶 13 的图形通过刻蚀工艺，刻蚀掉完全曝光区域对应的半导体薄膜 12 和金属薄膜 11，形成包括源极 23、第一栅极 21、第一数据线区域 31（图中未示出）、栅线 4（图中未示出）和第二栅极 92 的图形；通过灰化工艺去除部分曝光区域的光刻胶 13，暴露出该部分曝光区域对应的半导体薄膜 12，通过刻蚀工艺完全刻蚀掉暴露的半导体薄膜 12，形成包括薄膜晶体管单元 2 的有源层 24 的图形，如图 5b 所示；最后，剥离剩余的光刻胶 13，形成如图 6 所示的阵列基板。

例如，衬底基板 1 的材质通常为玻璃或石英；金属薄膜 11 可利用单层钼、铝，钨、钛、铜等金属或者其合金中的一种制成，也可以由上述等金属的多层组合制成，厚度为 50nm 至 500nm；例如，所述半导体薄膜 12 可采用非晶硅、多晶硅或铟镓锌氧化物等半导体材料形成，厚度为 100nm 至 300nm。

步骤 S102、形成第一绝缘薄膜，通过第二次掩膜工艺刻蚀形成包括栅极绝缘层的图形，所述栅极绝缘层对应所述第一数据线区域形成第一过孔。

在图 6 所示的阵列基板的结构的基础上，例如采用 PECVD 的方法沉积形成一层第一绝缘薄膜，在第二次掩膜工艺中，采用普通掩模板通过构图工艺形成暴露有源层 24 和所述 GOA 单元 9 的第二栅极 91 的栅极绝缘层 22 的图形，如图 7 所示。所述第一栅极 21 之上有栅极绝缘层 22，第一栅极 21 和源极 23 之间具有栅极绝缘层 22（此部分栅极绝缘层 22 位于衬底基板 1 上）。

进一步的，如图 3 所示，栅线 4 和第一数据线区域 31 之上都覆盖有栅极

绝缘层 22，为了保证栅线 4 和数据线 3 之间的绝缘，栅线 4 和第一数据线区域 31 之间具有栅极绝缘层 22（此部分栅极绝缘层 22 位于衬底基板 1 上），在本实施例中，所形成的栅极绝缘层 22 的图形还包括具有位于对应第一数据线区域 31 的第一过孔 5。

- 5 例如，该栅极绝缘层 22 优选绝缘材料氧化硅，同时，也可使用氮化硅、氧化钪等绝缘材料，也可以是上述多种绝缘材料的多层组合，厚 100nm 至 300nm。

步骤 S103、形成第一透明导电薄膜，通过第三次掩膜工艺刻蚀形成包括薄膜晶体管单元的漏极和第一透明导电层、所述数据线的第二数据线区域以及阵列基板行驱动单元的导电引线的图形，所述第二数据线区域通过所述第
10 一过孔将相邻的第一数据线区域电连接。

在图 7 所示的阵列基板的结构的基础上，例如，采用磁控溅射或热蒸发的方法形成一层第一透明导电薄膜，该第一透明导电薄膜可采用氧化铟锡或氧化铟锌等材质，厚度为 50nm 至 500nm，采用普通掩模板通过构图工艺在
15 显示区域内形成包括漏极 25、第一透明导电层 6 的图形，并且该第一透明导电层 6 与漏极 25 一体成型，提高了漏极 25 和第一透明导电层 6 之间的信号传输的可靠性。

同时，步骤 S103 内还可以形成包括第二数据线区域 32 的图形，第二数据线区域 32 可通过栅极绝缘层 22 上的第一过孔 5 将相邻的第一数据线区域
20 31 电连接，将两个相互绝缘的第一数据线区域 31 连接，形成数据线 3，如图 3 所示。

此外，步骤 S103 中还可以利用第一透明导电薄膜形成 GOA 区域的导电引线 92 的图形，形成如图 8 所示的阵列基板的结构。

步骤 S104、形成第二绝缘薄膜，通过第四次掩膜工艺刻蚀形成包括钝化
25 层的图形，所述钝化层对应于导电引线的部分设置有第二过孔。

在图 8 所示的阵列基板的结构的基础上，例如，采用 PECVD 的方法沉积形成一层第二绝缘薄膜，类似的，第二绝缘薄膜可以采用与栅极绝缘层 22 相同的材料，厚 100nm 至 300nm。在第四次掩膜工艺中，采用普通掩模板通过构图工艺刻蚀所述第二绝缘薄膜，以形成包括钝化层 7 的图形，所述钝化
30 层 7 对应于导电引线 92 的部分设置有第二过孔 10，如图 9 所示。

步骤 S105、形成第二透明导电薄膜，通过第五次掩膜工艺刻蚀形成包括第二透明导电层的图形，所述第二透明导电层通过所述第二过孔与导电引线电连接。

5 在图 9 所示的阵列基板的结构的基础上，例如，采用磁控溅射或热蒸发的方法形成一层第二透明导电薄膜，该第二透明导电薄膜可采用氧化铟锡或氧化铟锌等材质，厚度为 50nm 至 500nm，采用普通掩模板通过构图工艺形成包括第二透明导电层 8 的图形，并且该第二透明导电层 8 通过第二过孔 10 实现与导电引线 92 的电连接。由此，可制得如图 1 所示的阵列基板。

在本实施例中，第二透明导电层 8 为狭缝电极。

10 需要说明的是，在 GOA 区域的第二透明导电层 8 用于连接栅极驱动电路，接收来自栅极驱动电路的电信号，该电信号经过导电引线 92、栅线 4 传递到阵列基板的薄膜晶体管单元 2 中，驱动薄膜晶体管单元 2 工作。

15 综上，上述示例仅用五次掩膜工艺即可实现阵列基板的制备，与传统技术相比，可减少两次掩膜工艺，降低了制备难度和制备成本，提高了制备出来的阵列基板的良品率。

20 在本实施例所示的制备方法中，漏极 25 和第一透明导电层 6 一体成型，均利用第一透明导电薄膜、在同一次构图工艺中制成。若漏极 25 采用金属制成，金属可利用单层钼、铝，钨、钛、铜等金属或者其合金中的一种制成，也可以由上述等金属的多层组合制成。此时，由于金属不透明，为了保证阵列基板的开口率，第一透明导电层 6 无法与漏极 25 同样采用金属一体成型，因此制备漏极 25 和与漏极 25 同层设置且相连的第一透明导电层 6 需要经过两次构图工艺形成，相当于采用六次掩膜工艺实现阵列基板的制备。

为了提高漏极 25 与第一透明导电层 6 的电连接的可靠性，第一透明导电层 6 可以部分设置于漏极 25 上，即部分搭接于漏极 25 上，如图 4 所示。

25 请注意，这里，构图工艺可只包括光刻工艺，或包括光刻工艺以及刻蚀步骤，也可以包括打印、喷墨等其他用于形成预定图形的工艺；光刻工艺是指包括成膜、曝光、显影等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。可根据本发明实施例中所形成的结构选择相应的构图工艺。本发明实施例所指的五次或六次掩膜工艺是指利用了五次或六次掩模板，也会
30 应用到光刻工艺及刻蚀步骤或其他工艺，在此只是与传统的七次掩模板工艺

相比，而采用掩膜工艺这一术语，并不代表本发明实施例的工艺步骤仅仅只有利用掩膜板这一工艺，其他的工艺过程可根据需要自行选择。本发明实施例中的普通掩膜板是相对应于双色调掩膜板而言的，当采用单色调掩膜版或普通掩膜板时，要根据所形成图形的不同而做出相应的改进。

- 5 以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括：衬底基板及位于所述衬底基板之上的薄膜晶体管单元，

5 其中，所述薄膜晶体管单元包括：

位于所述衬底基板之上的第一栅极，

位于所述第一栅极之上的栅极绝缘层，

与所述第一栅极同层设置的源极，

位于所述源极之上的有源层，

10 位于有源层之上的漏极，

其中，所述第一栅极和所述源极之间设置有所述栅极绝缘层。

2、根据权利要求1所述的阵列基板，还包括：位于所述衬底基板之上的纵横交叉的数据线和栅线，其中，

15 所述数据线包括：与所述栅线同层设置的且与所述栅线相绝缘多个第一数据线区域，位于所述第一数据线区域上方且连接相邻的所述第一数据线区域的第二数据线区域，

其中，所述第二数据线区域与所述栅线在正投影方向上部分重叠。

3、根据权利要求2所述的阵列基板，其中，所述第一数据线区域和所述栅线之上设置有栅极绝缘层，所述栅极绝缘层对应于所述第一数据线区域的部分设置有第一过孔，所述第二数据线区域位于所述栅极绝缘层之上、通过
20 所述第一过孔将相邻的所述第一数据线区域电连接。

4、根据权利要求2所述的阵列基板，其中，所述源极、所述第一栅极、所述栅线、所述数据线的所述第一数据线区域同层设置，所述漏极与所述第二数据线区域位于同一图层。

25 5、根据权利要求1-3任一所述的阵列基板，其中，所述薄膜晶体管单元上方设置有第一透明导电层，所述第一透明导电层与所述漏极一体成型且彼此电连接。

6、根据权利要求4或5所述的阵列基板，其中，所述漏极和所述第一透明导电层上方设置有钝化层，所述钝化层上方设置有第二透明导电层，所述
30 第一透明导电层至少有部分与第二透明导电层重叠。

7、根据权利要求 1 至 6 任一所述的阵列基板，还包括：位于所述衬底基板之上的阵列基板行驱动单元，其中，

所述阵列基板行驱动单元包括：位于所述衬底基板之上的第二栅极，位于所述第二栅极之上的导电引线，

5 其中，所述第一栅极和第二栅极同层设置，所述导电引线与所述漏极位于同一图层。

8、根据权利要求 7 所述的阵列基板，其中，所述钝化层对应于所述导电引线的部分设置有第二过孔，所述第二透明导电层通过所述第二过孔与导电引线电连接。

10 9、根据权利要求 6 所述的阵列基板，其中，所述第一透明导电层为板状或狭缝电极，所述第二透明导电层为狭缝电极。

10、一种显示装置，包括如权利要求 1-9 任一所述的阵列基板。

11、一种阵列基板的制备方法，所述阵列基板包括薄膜晶体管单元，该薄膜晶体管单元包括第一栅极、栅绝缘层、有源层、源极和漏极，该方法包
15 括：

在衬底基板上形成包括所述第一栅极和所述源极的图形，所述第一栅极和所述源极同层形成；

在上述包括所述第一栅极和所述源极的图形之上形成包括所述栅极绝缘层的图形，在所述源极之上形成包括所述有源层的图形，其中，所述栅极绝
20 缘层形成在所述第一栅极上方且在所述第一栅极和所述源极图形之间；

在所述有源层之上形成包括所述漏极的图形。

12、根据权利要求 11 所述的制备方法，所述阵列基板还包括纵横交叉的栅线和数据线，所述数据线包括隔着所述栅线相邻的第一数据线区域和电连接所述相邻的第一数据线区域的第二数据区域，其中，

25 在所述衬底基板上同层形成包括所述第一栅极、所述源极、所述栅线、所述数据线的第二数据区域的第一数据线区域的图形；

在所述源极之上形成包括所述有源层的图形之后，在所述栅极绝缘层对应所述第一数据线区域形成第一过孔的图形；并且

30 在所述有源层之上形成包括所述漏极、所述数据线的第二数据线区域的图形，且所述第二数据线区域通过所述第一过孔与所述相邻的第一数据线区

域电连接。

13、根据权利要求 11 或 12 所述的制备方法，其中，所述薄膜晶体管单元上方设置有第一透明导电层，其中，在所述有源层之上同层形成包括所述漏极和第一透明导电层的图形。

5 14、根据权利要求 11 所述的制备方法，还包括：在所述漏极的图形之上依次形成包括钝化层的图形和第二透明导电层的图形。

15、根据权利要求 11 所述的制备方法，所述阵列基板还包括形成阵列基板行驱动单元，所述阵列基板行驱动单元包括第二栅极和导电引线，其中，

10 在衬底基板上同层形成包括所述第一栅极、所述源极、所述栅线、所述数据线的第二数据线区域、所述第二栅极的图形；并且

在所述有源层之上形成包括所述漏极、所述第一透明导电层、所述数据线的第二数据线区域及所述导电引线的图形。

15 16、根据权利要求 14 所述的制备方法，其中，在所述漏极的图形之上依次形成包括钝化层的图形和第二透明导电层的图形，且在所述钝化层对应于所述导电引线的部分形成第二过孔的图形，所述第二透明导电层通过所述第二过孔与所述导电引线电连接。

20 17、根据权利要求 11 所述的制备方法，其中，在所述衬底基板上依次形成金属薄膜和半导体薄膜，通过第一次掩膜工艺刻蚀形成包括所述薄膜晶体管单元的第一栅极、源极和有源层、栅线、所述数据线的第二数据线区域以及所述阵列基板行驱动单元的第二栅极的图形；形成第一绝缘薄膜，通过第二次掩膜工艺刻蚀形成包括所述栅极绝缘层的图形，所述栅极绝缘层对应所述第一数据线区域形成所述第一过孔的图形；

25 形成第一透明导电薄膜，在所述有源层之上通过第三次掩膜工艺刻蚀形成包括所述薄膜晶体管单元的漏极和第一透明导电层、所述数据线的第二数据线区域以及所述阵列基板行驱动单元的导电引线的图形，所述第二数据线区域通过所述第一过孔与所述相邻的第一数据线区域电连接；

形成第二绝缘薄膜，在所述漏极的图形之上通过第四次掩膜工艺刻蚀形成包括钝化层的图形，所述钝化层对应于所述导电引线的部分形成第二过孔的图形；

30 形成第二透明导电薄膜，通过第五次掩膜工艺刻蚀形成包括所述第二透

明导电层的图形，所述第二透明导电层通过所述第二过孔与所述导电引线电连接。

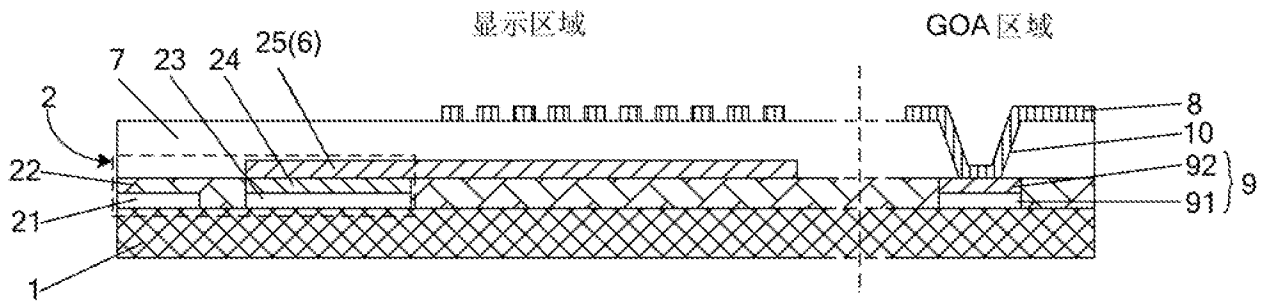


图 1

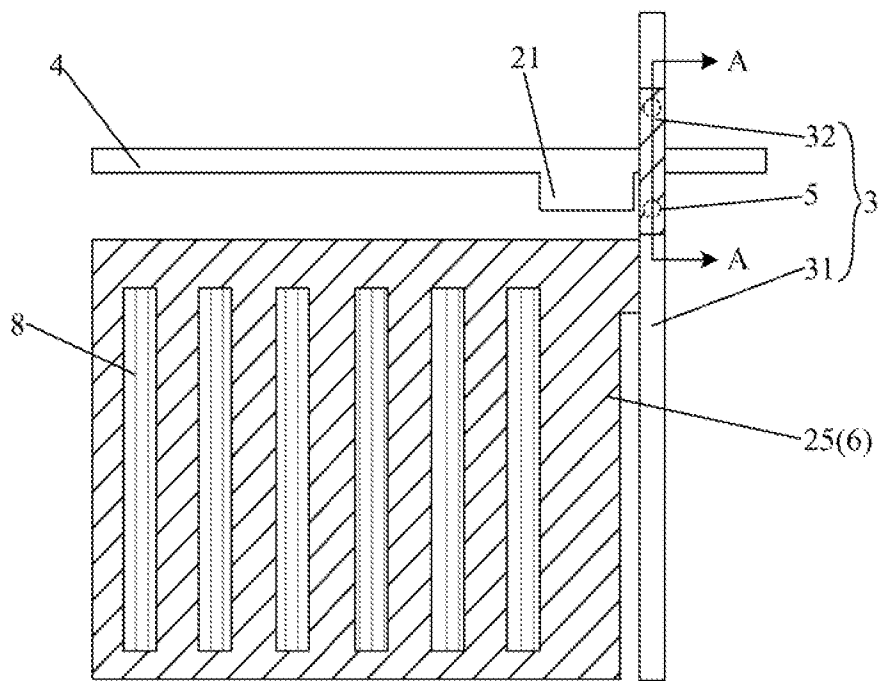


图 2

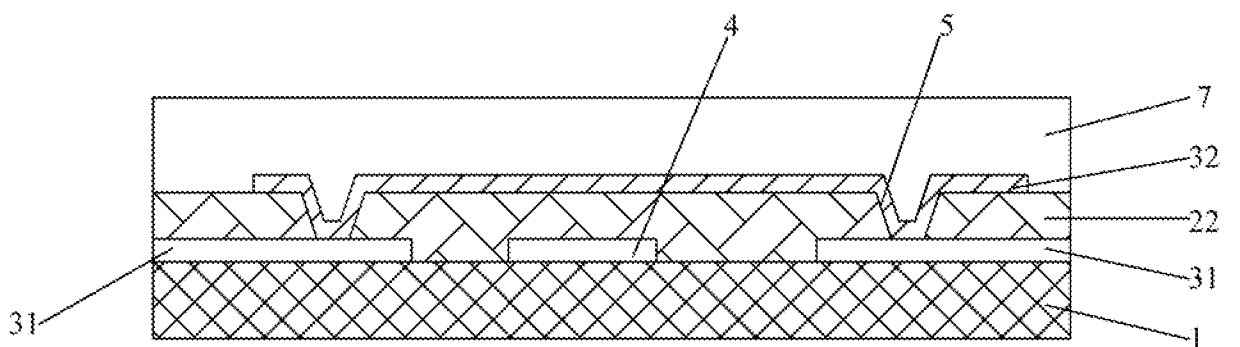


图 3

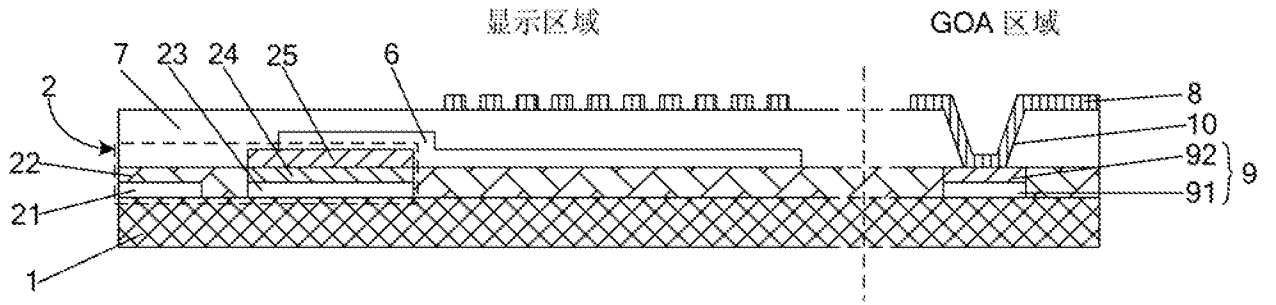


图 4

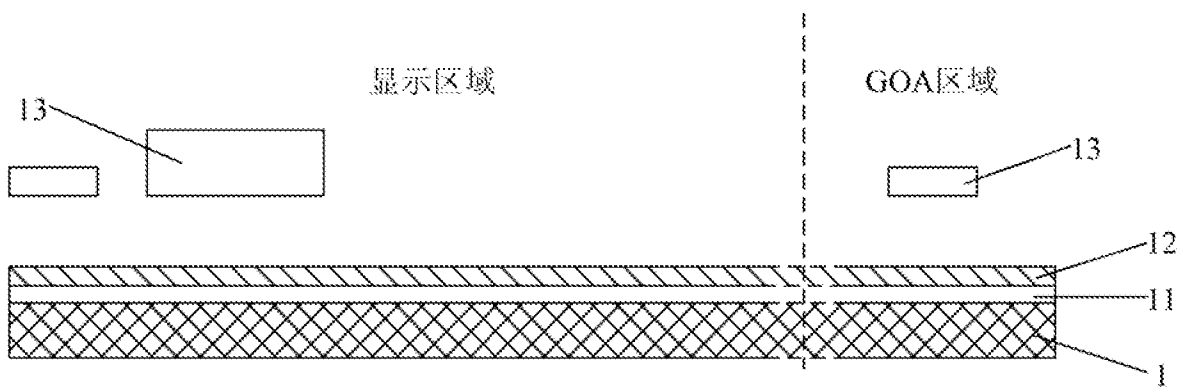


图 5a

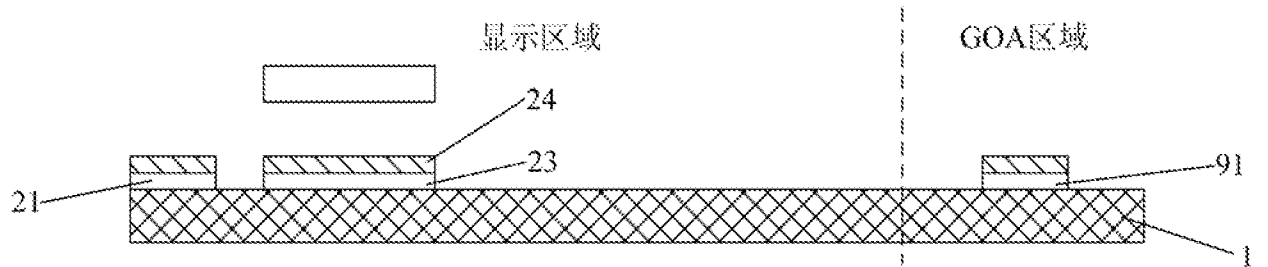


图 5b

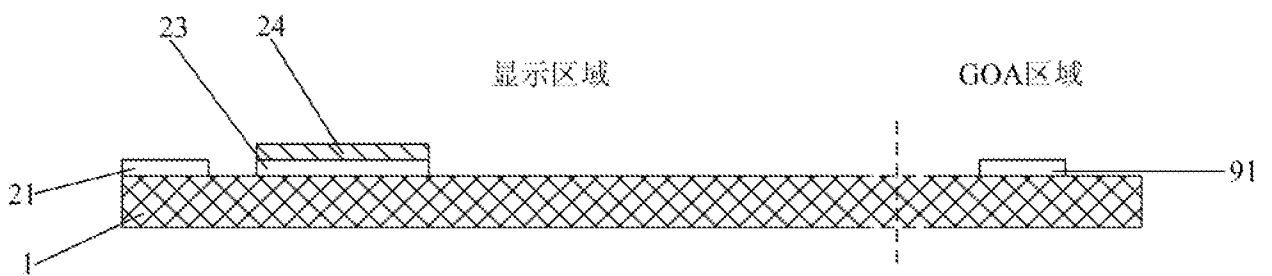


图 6

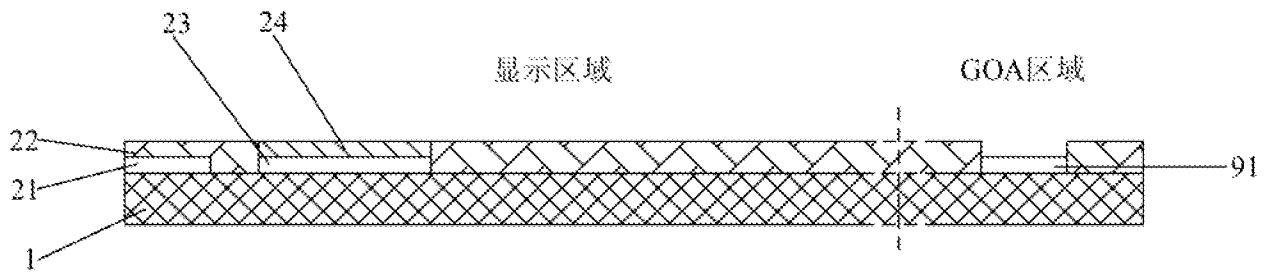


图 7

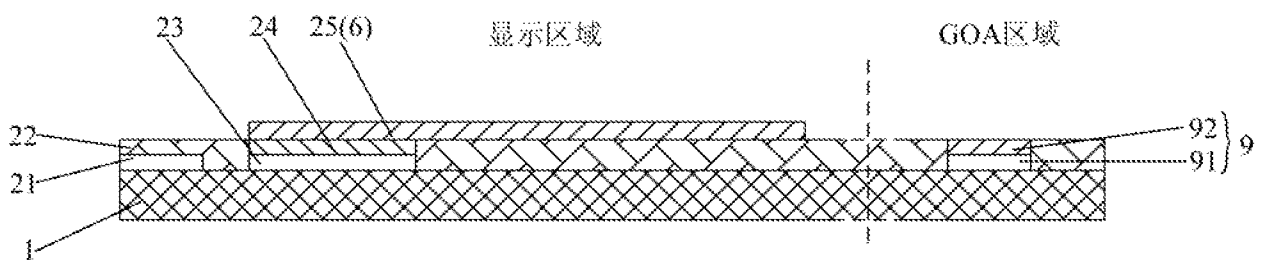


图 8

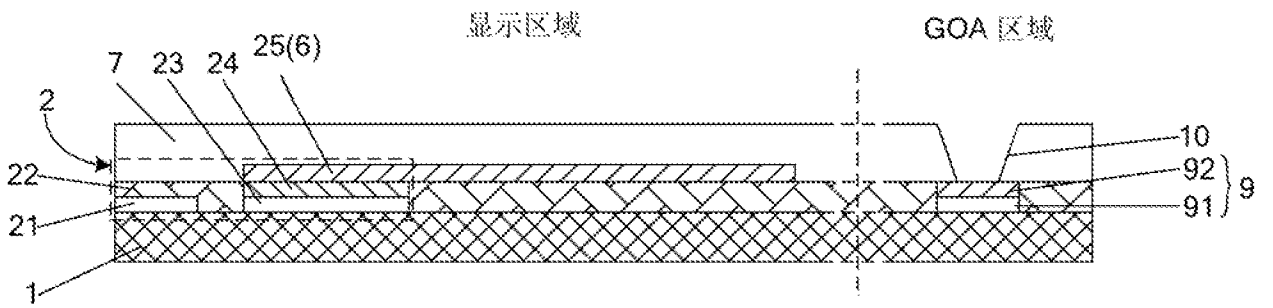


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/086376

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 29/786 (2006.01) i; H01L 21/77 (2006.01) i; G02F 1/1362 (2006.01) i; G02F 1/1368 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/--; H01L 21/--; H01L 27/--; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: FILM, thin film transistor, 5F110/QQ10, drain, H01L 29/786, 5F110/QQ16, 5F110/QQ17, LATERAL, ASIDE, G02F 1/1362, THIN, SOURCE, G02F 1/1368, COMMON+, TFT, H01L 29/10, driver, 5F110/EE21, 5F110/EE22, LAYER, H01L 29/786C, 5F110/EE25, overlap, insulat+, SIDE+, 5F110/HM12, same layer, 5F110/AA28, 5F110/HM13, 5F110/HM14, 5F110/CC09, PLANE, FT 5F110/EE21, H01L 29/786S, TRANSISTOR, GATE, REDUC+, SHORT+, 5F110/CC10, 5F110/EE36, 5F110/EE37, GOA, coincide, stack, CHANNEL, COPLANAR+, SAME, H01L 27/12, H01L 21/77, 5F110/QQ01, 5F110/GG24, 5F110/GG25, 5F110/AA04, 5F110/AA05, 5F110/GG28, 5F110/GG29, 5F110/AA07, array substrate row driving

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103309105 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 18 September 2013 (18.09.2013), description, paragraphs [0055]-[0106], and figures 1-9	1, 5-11, 13, 14, 16
Y	CN 103018991 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 April 2013 (03.04.2013), description, paragraphs [0034]-[0088], and figures 5a-9	1, 5-11, 13, 14, 16
Y	JP 2010045240 A (CITIZEN WATCH CO., LTD.), 25 February 2010 (25.02.2010), description, paragraphs [0029]-[0052], and figures 1-3	1, 5-11, 13, 14, 16
A	CN 202601619 U (BOE TECHNOLOGY GROUP CO., LTD.), 12 December 2012 (12.12.2012), the whole document	1-17

Further documents are listed in the continuation of Box C. See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">16 April 2014 (16.04.2014)</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">06 May 2014 (06.05.2014)</p>
<p>Name and mailing address of the ISA/CN:</p> <p>State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">LIU, Le</p> <p>Telephone No.: (86-10) 62411579</p>

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/086376

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103309105 A	18 September 2013	None	
CN 103018991 A	03 April 2013	None	
JP 2010045240 A	25 February 2010	None	
CN 202601619 U	12 December 2012	None	

A. 主题的分类
 H01L 27/12(2006.01)i; H01L 29/786(2006.01)i; H01L 21/77(2006.01)i; G02F 1/1362(2006.01)i; G02F 1/1368(2006.01)i
 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域
 检索的最低限度文献(标明分类系统和分类号)
 H01L 29/--; H01L 21/--; H01L 27/--; G02F
 包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))
 CNABS;VEN:FILM, 栅, 薄膜晶体管, 5F110/QQ10, 漏, H01L29/786, 源, 共面, 相同, 5F110/QQ16, 5F110/QQ17, LATERAL, ASIDE, G02F1/1362, THIN, SOURCE, G02F1/1368, COMMON+, TFT, H01L29/10, driver, 5F110/EE21, 5F110/EE22, LAYER, H01L29/786C, 5F110/EE25, 重叠, insulat+, SIDE+, 5F110/HM12, 同层, 5F110/AA28, 5F110/HM13, 5F110/HM14, 5F110/CC09, 共同, PLANE, FT 5F110/EE21, 层, H01L29/786S, TRANSISTOR, GATE, REDUC+, SHORT+, 5F110/CC10, 5F110/EE36, 5F110/EE37, GOA, 绝缘, 重合, 层叠, 面, CHANNEL, COPLANAR+, SAME, H01L27/12, H01L21/77, 5F110/QQ01, 5F110/GG24, 5F110/GG25, 5F110/AA04, 5F110/AA05, 5F110/GG28, 5F110/GG29, 5F110/AA07, 阵列基板行驱动

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 103309105A ((北京京东方光电科技有限公司)) 2013年 9月 18日 (2013 - 09 - 18) 说明书[0055]至[0106]段, 附图1至9	1, 5-11, 13, 14, 16
Y	CN 103018991A ((京东方科技集团股份有限公司)) 2013年 4月 03日 (2013 - 04 - 03) 说明书[0034]段至[0088]段, 附图5a至9	1, 5-11, 13, 14, 16
Y	JP 2010045240A ((CITIZEN WATCH CO LTD)) 2010年 2月 25日 (2010 - 02 - 25) 说明书[0029]至[0052]段, 附图1至3	1, 5-11, 13, 14, 16
A	CN 202601619U ((京东方科技集团股份有限公司)) 2012年 12月 12日 (2012 - 12 - 12) 全文	1-17

其余文件在C栏的续页中列出。

见同族专利附件。

* 引用文件的具体类型:

- “A” 认为不特别相关的表示了现有技术一般状态的文件
- “E” 在国际申请日的当天或之后公布的在先申请或专利
- “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)
- “O” 涉及口头公开、使用、展览或其他方式公开的文件
- “P” 公布日先于国际申请日但迟于所要求的优先权日的文件

- “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
- “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
- “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
- “&” 同族专利的文件

国际检索实际完成的日期 2014年 4月 16日	国际检索报告邮寄日期 2014年 5月 06日
-----------------------------	----------------------------

ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	受权官员 刘乐 电话号码 (86-10)62411579
---	------------------------------------

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/086376

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 103309105A	2013年 9月 18日	无	
CN 103018991A	2013年 4月 03日	无	
JP 2010045240A	2010年 2月 25日	无	
CN 202601619U	2012年 12月 12日	无	