



(51) Classification internationale des brevets :
G06F 9/46 (2006.01) **H04L 12/56** (2006.01)
G06F 15/80 (2006.01)

(21) Numéro de la demande internationale :
PCT/FR2009/000240

(22) Date de dépôt international :
9 mars 2009 (09.03.2009)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
08/01379 13 mars 2008 (13.03.2008) FR

(71) Déposant (pour tous les États désignés sauf US) : **MBDA FRANCE** [FR/FR]; 37 Bld de Montmorency, F-75016 Paris (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : **RACHET, Alain** [FR/FR]; 27 rue de Bures, F-78990 Elancourt (FR). **KATZ, Olivier** [FR/FR]; 9 rue Quincampoix, F-91640 Fontenay Les Briis (FR). **LEMAITRE, Frédéric** [FR/FR]; 12 Avenue du Maréchal Joffre, F-78340 Le Mesnil Saint Denis (FR). **FRANCES, Henri** [FR/FR]; 3 Allée Claude Bernard, F-91620 Nozay (FR).

(74) Mandataire : **CABINET BONNETAT**; 29 Rue de ST-Petersbourg, F-75008 Paris (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale (Art. 21(3))

[Suite sur la page suivante]

(54) Title : DATA ROUTING SYSTEM

(54) Titre : SYSTÈME DE ROUTAGE DE DONNÉES

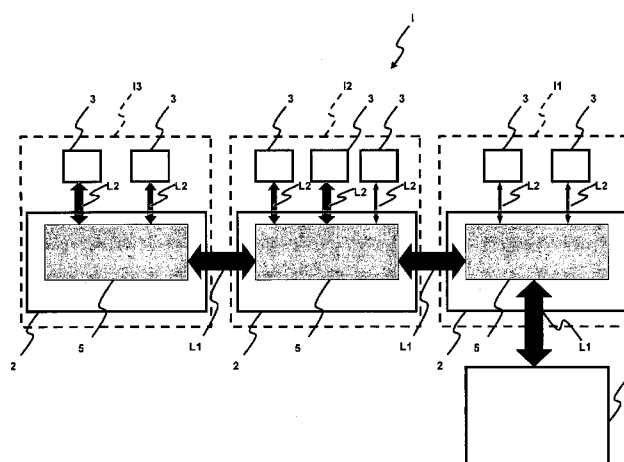


Fig. 1

(57) Abstract : According to the invention, the router (5) comprises wired logic functions that at least partially use the logic circuits of the main computer (2).

(57) Abrégé : Selon l'invention, le routeur (5) comporte des fonctions logiques câblées utilisant au moins en partie des circuits logiques du calculateur principal (2).



-
- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues (règle 48.2.h))

Système de routage de données.

La présente invention concerne un système de routage de données permettant l'échange de données entre plusieurs calculateurs électroniques par l'intermédiaire de liens de communication.

5 Quoique non exclusivement, le système de routage conforme à la présente invention est particulièrement bien adapté pour fonctionner dans un environnement temps réel.

On sait que, dans un tel environnement, pour échanger des données entre les différents calculateurs d'un même système de routage disposant de
10 liens de communication de nature hétérogène (c'est-à-dire ayant des standards électriques et des protocoles de communication associés différents), on intègre au sein de calculateurs appropriés du système un processeur dédié et son application associée. Chaque processeur dédié traite alors les entrées/sorties du calculateur dans lequel il est intégré et peut plus
15 particulièrement réaliser une adaptation en protocoles des données échangées.

Cependant, l'ajout d'un processeur dans un calculateur accroît sensiblement le volume de ce dernier, ce qui peut devenir contraignant, par exemple lorsqu'un encombrement réduit est exigé. En outre, le coût d'un tel
20 processeur et de son intégration dans le calculateur, ainsi que le coût de développement de l'application logicielle associée, augmentent considérablement le prix final du calculateur. De plus, le processeur en fonctionnement dissipe, au sein du calculateur, une puissance thermique supplémentaire qui peut nécessiter, le cas échéant, l'intégration d'un système
25 de refroidissement complémentaire (par exemple un ventilateur) dans le calculateur. Le débit de transmission de données accessible par les entrées/sorties du calculateur est également limité par le délai de traitement des données non négligeable par l'application logicielle associée au processeur.

La présente invention a donc pour objet de remédier à ces inconvénients.

A cette fin, selon l'invention, le système de routage de données comportant au moins un ensemble de transmission comprenant un calculateur principal apte à piloter un processus, au moins un routeur et au moins deux calculateurs secondaires connectés audit calculateur principal qui les commande, par l'intermédiaire de liens de communication, un protocole d'échange de données étant associé à chacun desdits liens de communication,

est remarquable :

- en ce que ledit routeur est piloté par ledit calculateur principal ;
- en ce que ledit routeur comporte des fonctions logiques câblées utilisant au moins une partie des circuits logiques dudit calculateur principal ; et
- en ce que ledit routeur comporte des moyens d'adaptation des protocoles, afin d'être apte à effectuer le transfert et l'adaptation en protocoles des données entre ledit calculateur principal et lesdits calculateurs secondaires, notamment lorsque lesdits liens de communication sont de nature hétérogène.

Ainsi, les routeurs des ensembles de transmission, par exemple intégrés dans les calculateurs principaux, utilisent une partie des ressources logiques (c'est-à-dire des portes logiques des circuits logiques) de ces calculateurs pour réaliser la gestion du transfert des données au niveau de leurs entrées/sorties. Le système de routage de l'invention fonctionne par conséquent sans intervention du ou des processeurs des calculateurs principaux, hormis lors de l'initialisation du système (bien qu'une initialisation purement matérielle soit envisageable), et indépendamment de l'application logicielle associée à chacun des processeurs des calculateurs principaux et secondaires.

En outre, puisque le transfert et l'adaptation en protocoles des données sont réalisés par des fonctions logiques câblées au sein des circuits logiques des calculateurs principaux et qu'aucune application logicielle

supplémentaire associée à un processeur n'est nécessaire, le délai de traitement des données au sein des routeurs est négligeable (au plus quelques μ s).

5 Par ailleurs, comme aucun processeur supplémentaire n'est intégré dans les calculateurs principaux, ces derniers ne subissent pas d'augmentation de volume et aucun dispositif de refroidissement n'est nécessaire.

10 De préférence, le système de routage comprend au moins deux tels ensembles de transmission, dont les calculateurs principaux sont interconnectés par l'intermédiaire d'un lien de communication série haut-débit, de sorte que le calculateur principal d'un desdits ensembles de transmission est apte à observer et commander les calculateurs principal et secondaires de l'autre ensemble.

15 Ainsi, un calculateur principal d'un ensemble de transmission peut piloter simultanément à distance les calculateurs principaux d'autres ensembles de transmission, ainsi que leurs calculateurs secondaires associés, lorsqu'ils sont connectés les uns aux autres par l'intermédiaire du lien de communication haut-débit.

20 En outre, ledit calculateur principal d'un tel ensemble de transmission est également connecté, par l'intermédiaire d'un lien de communication série haut-débit, à des moyens de test et d'analyse permettant notamment la mise au point et le contrôle desdits calculateurs principaux et secondaires de chacun des ensembles de transmission dudit système.

25 Avantageusement, le débit dudit lien de communication série haut-débit est supérieur au débit cumulé desdits liens de communication.

De préférence, ledit lien de communication série haut-débit est le bus Ethernet fonctionnant sous le protocole IP (en anglais « Internet Protocol »).

30 En effet, le bus Ethernet permet des distances de communication et des débits de transmission satisfaisants pour la plupart des applications embarquées temps réel.

En outre, le routeur de chacun des ensembles de transmission comporte des ports de communication interconnectés au moyen d'une matrice d'interconnexion, ladite matrice étant apte à assurer une diffusion automatique des données provenant d'un port de communication vers plusieurs autres ports de communication qui lui sont connectés. Une telle diffusion est également désignée multidiffusion.

Ainsi, plusieurs calculateurs destinataires du système de routage peuvent recevoir des données semblables provenant d'un même calculateur source.

Par ailleurs, au moins un desdits ports de communication dudit routeur comprend un contrôleur DMA (pour en anglais « Direct Access Memory ») d'accès direct à la mémoire en émission et un contrôleur DMA en réception.

Ainsi, grâce aux DMA de ces ports de communication, le transfert d'un message de données nécessite au plus une écriture en émission (armement du DMA d'émission) et une lecture en réception (lecture du sémaphore de réception) de la part du processeur du calculateur principal comportant le routeur.

De plus, chaque port de communication dudit routeur comprend de tels moyens d'adaptation des protocoles qui permettent d'assurer la cohérence des protocoles associés aux données échangées entre lesdits calculateurs de chacun des ensembles de transmission.

Ainsi, un mécanisme d'encapsulation/décapsulation des données peut par exemple être mis en œuvre par les moyens d'adaptation des protocoles pour effectuer une telle adaptation.

De plus, les données se présentant sous la forme de messages de données, chacun desdits ports de communication dudit routeur comprend des moyens de filtrage des adresses associées auxdits messages de données de sorte que ledit port transfère, sur le lien de communication qui lui est connecté, uniquement les messages possédant une adresse filtrée par lesdits moyens de filtrage.

Ainsi, grâce à la matrice d'interconnexion (qui assure une multidiffusion des messages) et au principe de filtrage des adresses des moyens de filtrage, un message peut être envoyé sans action de la source (autre qu'un choix adapté d'adresses vers un ou plusieurs destinataires), ce qui supprime au moins une partie de la charge logicielle liée au transfert des données.

Par ailleurs, lesdits ports de communication dudit routeur comprennent des moyens de datation des données traversant lesdits ports.

Ainsi, la datation des messages circulant dans le système de routage permet de contribuer à la mise au point du système de routage, notamment par l'intermédiaire des moyens de test et d'analyse.

Avantageusement, lesdits circuits logiques du calculateur principal de chacun des ensembles de transmission sont des circuits logiques programmables de type FPGA (pour en anglais « Field Programmable Gate Arrays »).

En effet, les fonctions câblées logiques du routeur sont facilement intégrables dans les circuits logiques FPGA récents qui offrent toutes des interfaces Mac Ethernet.

De préférence, le système de routage fonctionne dans un environnement de traitement de données temps réel.

Les figures du dessin annexé feront bien comprendre comment l'invention peut être réalisée. Sur ces figures, des références identiques désignent des éléments semblables.

La figure 1 représente schématiquement un exemple de réalisation particulier du système de routage de données conforme à la présente invention.

La figure 2 illustre schématiquement l'architecture d'un des routeurs de données hétérogènes mis en œuvre dans un des calculateurs principaux du système de routage de l'invention représenté sur la figure 1.

La figure 3 présente schématiquement l'architecture générique d'un port de communication utilisé par l'invention et intégré au routeur hétérogène de la figure 2 précitée.

Le système de routage de données conforme à la présente invention permet l'acheminement de données d'une source vers un ou plusieurs destinataires, par l'intermédiaire de liens de communication numériques. Ce système de routage fonctionne de préférence dans un environnement temps
5 réel contraint de traitement de données.

Dans un exemple de réalisation particulier conforme à la présente invention, les données sont échangées dans le système de routage sous la forme de messages (c'est-à-dire des blocs de données disposant d'un identifiant de début et d'un identifiant de fin). La structure de chaque message
10 est conforme au protocole associé au lien de communication par lequel transite le message depuis la source vers le ou les destinataires.

Comme le montre la figure 1, le système de routage I conforme à l'invention comprend :

- des ensembles de transmission I1, I2, I3 qui comportent chacun :
15
 - un calculateur principal 2, apte à piloter un processus (par exemple technique, industriel, etc...), connectés les uns aux autres par l'intermédiaire d'un lien de communication série haut-débit L1 (désigné bus principal) reposant sur un principe de connexion point-à-point ;
 - un routeur hétérogène 5 permettant le transfert et l'adaptation en pro-
20 tocoles des données au sein du système de routage I ;
 - des calculateurs secondaires 3 (par exemple des actionneurs, des capteurs, des enregistreurs, etc ...) connectés au calculateur principal au moyen de liens de communication numériques L2 (désignés bus secondaires) de nature hétérogène, le calculateur principal 2
25 commandant lesdits calculateurs secondaires 3 ;
- des moyens de test et d'analyse 4 du système de routage I connectés au calculateur principal 2 d'un ensemble de transmission I1, I2, I3 par l'intermédiaire du bus principal L1. Ces moyens de test et d'analyse 4 permettent notamment d'observer et de paramétrer le système de routage
30 I, ainsi que de contrôler à distance les calculateurs principaux 2 et secondaires 3.

Il est à noter que chacun des calculateurs principaux 2 et secondaires 3 peut être une source ou un destinataire de messages de données. Dans le système de routage I conforme à l'invention, on peut transmettre des données d'une source à un ou plusieurs destinataires même si :

- 5 – les destinataires sont connectés à des liens de communication de nature différente de celle du lien auquel est connectée la source ;
- les destinataires sont localisés à des distances de transmission incompatibles de l'emplacement de la source.

Dans l'exemple de réalisation, le bus principal L1 est avantageusement le bus Ethernet (par exemple en 100 Mb/s ou 1000 Mb/s) fonctionnant
10 sous le protocole IP qui permet le routage des données. Le bus Ethernet autorise des distances de transmission et des débits de transfert satisfaisant à la plupart des explications embarquées temps réel. Le bus principal L1 possède de préférence un débit de transfert supérieur au débit réel cumulé de
15 l'ensemble des bus secondaires L2 de nature hétérogène de manière à assurer une transmission temps réel sans perte de messages.

Il est à noter que lors d'échanges de données sur les bus secondaires L2, chaque groupe de messages de données destiné à un même groupe de destinataires possède un identifiant propre. Si le bus secondaire L2 est très
20 simple (par exemple le bus connu de la technique sous la dénomination RS422 sans protocole de communication particulier associé), il n'y a qu'un destinataire ou groupe de destinataires dont le point commun est le lien de communication physique lui-même (c'est-à-dire que tous les messages échangés sur ce lien seront routés de façon semblable). Si le bus secondaire
25 L2 est plus élaboré (c'est alors un système à plusieurs données), le protocole associé dispose naturellement au minimum d'un identifiant unique (voire d'information de routage) par message.

Dans un mode de réalisation préféré conforme à l'invention, un routeur hétérogène 5 est intégré dans chacun des calculateurs principaux 2.
30 Toutefois, on peut envisager dans une variante d'intégrer plusieurs routeurs dans un même calculateur principal.

Comme le montre la figure 2, les routeurs 5 comprennent des ports de communication 6 (décrits par la suite en relation avec la figure 3), servant d'interface de connexion aux bus principal L1 et secondaires L2, et une matrice d'interconnexion 7. Il est à noter que les ports 6 connectés au bus principal L1 sont des ports de chaînage permettant d'assurer la connexion point à point du bus principal L1.

Selon l'invention, chaque matrice d'interconnexion 7 est avantageusement réalisée, au moins en partie, au moyen des circuits logiques programmables (par exemple de types FPGA ou ASIC (pour en anglais « Application Specific Integrated Circuit »)) appartenant au calculateur principal 2 comprenant ladite matrice 7. Elle est déterminée lors de la réalisation de l'architecture du système de routage I. A cette fin, une interconnexion matérielle des différents ports de communication 6 est tout d'abord réalisée pour que les ports de communication susceptibles de s'échanger des données soient interconnectés physiquement les uns avec les autres. Comme le montre la figure 2, les flèches L3 symbolisent les interconnexions matérielles par lesquelles chaque port de communication peut recevoir des messages en provenance des autres ports de communication qui lui sont connectés. La flèche L4 symbolise quant à elle l'interconnexion matérielle par laquelle chaque port peut transférer des messages de données à la matrice d'interconnexion 11.

Ensuite, un paramétrage logiciel de la matrice 7 est effectué pour rendre effective au moins une partie des interconnexions matérielles réalisées. Il est à noter que, si l'interconnexion matérielle des ports de communication n'est pas modifiable une fois réalisée, le paramétrage logiciel de la matrice d'interconnexion 7 peut quant à lui être actualisé selon les évolutions du système de routage I.

Ainsi, chaque matrice d'interconnexion 7 assure :

- une diffusion automatique des messages provenant de chacun des ports de communication du routeur 5 vers les autres ports de communication

interconnectés à ce port de manière à être reçus par plusieurs calculateurs destinataires (multidiffusion) ;

- une partie de la régulation du trafic des messages en émettant vers les ports dits « intelligents » (par exemple les ports processeurs, décrits par la suite) des commandes d'arrêt de transmission (symbolisées par les flèches 15 en pointillés sur la figure 3 décrite ultérieurement) en cas d'engorgement des ports de communication du routeur 5 (les ports processeurs émettant préalablement des messages de congestion symbolisés par les flèches 16 en pointillés sur la figure 3).

Tel qu'illustré sur la figure 3, l'architecture simplifiée d'un port de communication 6 comprend notamment :

- des moyens de connexion 8 qui réalisent une interface directe avec le lien de communication (bus principal L1 ou secondaire L2) connecté audit port. Cette interface directe est assurée par un élément d'interface (connu de la technique sous la dénomination PHY ou driver de ligne selon sa complexité). Les moyens de connexion 8 permettent également un contrôle des couches protocolaires associées au lien de communication. Un tel contrôle (par exemple le calcul des coefficients CRC (pour en anglais « Cyclic Redundancy Check »), la gestion des erreurs bas niveau, etc ...) est par conséquent propre à chaque lien de communication ;
- des moyens d'adaptation des protocoles 9 qui permettent la mise en concordance du format des messages provenant du lien de communication avec le format des messages consommés par la matrice d'interconnexion 7. Ainsi, le format des messages échangés entre le port de communication 6 et la matrice d'interconnexion 7 est le même que le message soit entrant ou sortant. Dans l'exemple de réalisation de l'invention, le format des messages consommés et délivrés par la matrice 7 est de type IP/UDP (pour en anglais « User Datagram Protocol »). Une telle adaptation des protocoles peut être mise en œuvre par une technique d'encapsulation/décapsulation des données ;

- des moyens de datation des messages 10 mis en œuvre optionnellement ;
- des moyens de stockage temporaire 11 (par exemple des mémoires tampon) des messages entrants et sortants du port de communication.

5 Une gestion des mémoires tampon 11 permet notamment de gérer les collisions potentielles des messages échangés ;

- des moyens de gestion de la priorité 12 des mémoires tampon 11 ; et
- des moyens de filtrage 13 des adresses, associées aux messages échan-

10 gés, de manière à gérer la diffusion des messages sur les liens de communication du système de routage I. Ainsi, les moyens de filtrage 13 combinés à la matrice d'interconnexion 7 permettent à une source d'envoyer un message à destination de plusieurs destinataires donnés, sans action de la source autre qu'un choix adapté des adresses de ces destinataires.

15 Comme le montre la figure 3, les flèches L5 symbolisent les transferts de données entre les différents moyens précités du port de communication 6.

En outre, l'architecture d'un port de communication comprend également les moyens suivants (non représentés sur la figure 3) :

- des moyens de transfert des messages vers et depuis la mémoire du
- 20 processeur du calculateur principal 2 connecté à la matrice d'interconnexion 7 ;
- des moyens de gestion de l'état des mémoires tampon 11 ;
 - des moyens de destruction des messages en erreurs ; et
 - des moyens de destruction des messages qui ne sont pas destinés au
- 25 port de communication considéré.

Il est à noter que les ports de communication 6 ont besoin de paramètres pour fonctionner (par exemple la fréquence de fonctionnement du lien de communication connecté, le gap intermessage, etc ...). Ces paramètres sont par exemple chargés à la mise sous tension du calculateur

30 principal 2, soit par le processeur du calculateur qui agit alors comme

contrôleur du routeur 5 lors de cette phase, soit par une mémoire permanente (par exemple au sein du routeur 5) par l'intermédiaire d'un bus de paramétrisation 14 interne au routeur 5.

En outre, on peut distinguer deux types de ports de communication 6 :
5 les ports bus et les ports processeurs. Les différences entre ces deux types de ports portent essentiellement sur :

- le type de bus supporté. A titre d'exemple, les ports processeurs sont généralement connectés à des bus de types connus de la technique sous la dénomination PCI, PCI ex, Rapidio, PLB, amba, etc ..., alors que les
10 ports bus sont quant à eux habituellement connectés à tous les grands standards de bus série (par exemple RS422) ;

- la présence de contrôleurs DMA d'accès direct à la mémoire dans les ports processeurs. Ces contrôleurs DMA en réception et en émission permettent de recevoir et d'émettre des messages sans intervention
15 dynamique (autre que l'autorisation d'émettre ou d'acquitter les messages entrants) de la part du processeur du calculateur principal 2 comprenant le routeur 5. Un rangement différencié des messages entrants est également effectué par un contrôleur DMA en réception qui doit disposer d'une information supplémentaire sur ces messages (par exemple le
20 processus logiciel cible du processeur). A cette fin, en considérant des messages entrants conformes au protocole IP, on peut choisir la surcouche protocolaire UDP. Le principe du rangement différencié est alors le suivant :

- une information de processus conforme au protocole UDP (encore désigné socket UDP) associée à un message entrant est analysée par le
25 DMA en réception puis convertie en une adresse de rangement par l'intermédiaire d'une table de correspondance renseignée, par exemple, par le processeur du calculateur principal 2 lors de son initialisation. Il est à noter que lorsque l'information de processus n'est pas disponible,
30 un processus par défaut, qui correspond à une zone de rangement désignée corbeille, est associé au message entrant considéré ;

- la zone de rangement correspondant à l'adresse de rangement est protégée par un sémaphore. Lorsque ce sémaphore est désactivé, le message entrant est rangé dans la zone de rangement et le sémaphore est activé. Dans le cas contraire (le sémaphore est déjà activé), le processeur n'a pas lu le message précédent rangé dans la zone de rangement et le message considéré est disposé dans la corbeille, également protégée par un sémaphore. Un tel rangement active un compteur d'erreur ;
- aucune zone de rangement n'est libre, alors le message entrant est détruit et le compteur d'erreur est incrémenté ;

Il est à noter que, dans le cas où aucune information sur le processus logiciel cible associé au message n'est disponible, il est envisageable de modifier le contrôleur DMA en réception en utilisant des techniques de mise en mémoire tampon plus complexes (par exemple de type circulaire où le message entré n'est écrasé qu'un nombre de messages donné plus tard) de manière à surcharger le moins possible le processeur du calculateur. Par ailleurs, grâce aux contrôleurs DMA des ports processeurs, le transfert d'un message nécessite au plus une écriture en émission (l'armement du contrôleur DMA d'émission) et une lecture en réception (la lecture du sémaphore de réception), ce qui réduit notablement la charge logicielle liée au transfert de données ;

- le fait que le transfert de données en cours sur les ports processeurs peut toujours être suspendu sans pertes de données, alors que celui en cours sur les ports bus ne peut pas être interrompu (du moins lorsqu'ils sont connectés à la plupart des bus série actuels). On rappelle par ailleurs que les commandes d'arrêt de transmission (symbolisées par les flèches 15 sur la figure 3) et les messages de congestion (symbolisés par les flèches 16) ne sont généralement mis en œuvre que dans les ports processeurs.

Par ailleurs, on peut modifier l'architecture d'un port de communication 6 pour lui attribuer une fonction essentielle dans l'analyse du fonctionnement temps réel du processeur d'un calculateur principal 2. Un tel port

de communication ainsi modifié, désigné par la suite Port de Surveillance Temps Réel ou PTSR, dispose d'une connexion à la matrice d'interconnexion 7 du routeur 5 et d'une connexion (par exemple par un lien de communication très haut débit connu de la technique sous la dénomination PCI) au processeur du calculateur principal 2. Par l'intermédiaire des moyens de datation des messages 10 du port PTSR, les messages provenant du processeur sont datés avec une précision appropriée (par exemple la microseconde) et stockés dans une mémoire de taille adaptée à chaque application gérée par le processeur (par exemple 256 mots de 32 bits). Cette mémoire est périodiquement vidée dans le système de routage I à destination des moyens de test et d'analyse 4, la période dépendant de l'application exécutée par le processeur. Le contrôle de l'émission des messages sur le processeur est propre à chaque application. On peut citer, comme exemple de contrôle, la circulation d'un message particulier, l'utilisation d'une base de temps, le déclenchement d'un compteur de surveillance (désigné « watch dog » en anglais), etc ...

Ainsi, l'analyse des messages provenant du processeur permet, par exemple aux moyens de test et d'analyse 4, de disposer à distance et sans intrusion au sein du calculateur principal 2 d'une image des activités temps réel de ce processeur, de manière notamment à contribuer directement à la mise au point du système de routage I.

En outre, un des ports de communication du routeur 5, désigné port de test, connecté au bus principal L1 peut être dédié à la mise au point et à la validation du système de routage I. Les messages circulant au sein du système de routage I et datés automatiquement par les moyens de datation 10, lors de leur entrée dans le routeur, peuvent être reçus par ce port test sans action des sources (une multidiffusion automatique étant réalisée par les matrices de connexion 7 des différents routeurs 5 du système I) afin de réaliser une analyse des transferts de données dans le système I. Il est cependant possible de choisir les adresses de destination des messages ainsi

que les filtres d'adresses des moyens de filtrage 13 du port test de manière à sélectionner les messages les mieux adaptés à la validation du système I.

REVENDEICATIONS

1. Système de routage de données (I) comportant au moins un ensemble de transmission (I1, I2, I3) comprenant un calculateur principal (2) apte à piloter un processus, au moins un routeur (5) et au moins deux
5 calculateurs secondaires (3) connectés audit calculateur principal (2) qui les commande, par l'intermédiaire de liens de communication (L2), un protocole d'échange de données étant associé à chacun desdits liens de communication (L2),

caractérisé :

- 10 – en ce que ledit routeur (5) est piloté par ledit calculateur principal (2) ;
- en ce que ledit routeur (5) comporte des fonctions logiques câblées utilisant au moins une partie des circuits logiques dudit calculateur principal (2) ; et
- 15 – en ce que ledit routeur (5) comporte des moyens d'adaptation des protocoles, afin d'être apte à effectuer le transfert et l'adaptation en protocoles des données entre ledit calculateur principal (2) et lesdits calculateurs secondaires (3), notamment lorsque lesdits liens de communication (L2) sont de nature hétérogène.

2. Système de routage selon la revendication 1,

20 caractérisé en ce qu'il comprend au moins deux tels ensembles de transmission (I1, I2, I3), dont les calculateurs principaux (2) sont interconnectés par l'intermédiaire d'un lien de communication série haut-débit (L1), de sorte que le calculateur principal (2) d'un desdits ensembles de transmission (I1, I2, I3) soit apte à observer et commander les calculateurs principal et
25 secondaires de l'autre ensemble.

3. Système de routage selon l'une des revendications 1 ou 2,

caractérisé en ce que ledit calculateur principal (2) d'un tel ensemble de transmission (I1) est en outre connecté, par l'intermédiaire d'un lien de communication série haut-débit (L1), à des moyens de test et d'analyse (4)
30 permettant notamment la mise au point et le contrôle desdits calculateurs

principaux (2) et secondaires (3) de chacun des ensembles de transmission (I1, I2, I3) dudit système (I).

4. Système de routage selon l'une des revendications 2 ou 3, caractérisé en ce que le débit dudit lien de communication série haut-débit (L1) est supérieur au débit cumulé desdits liens de communication (L2).

5. Système de routage selon l'une quelconque des revendications 2 à 4, caractérisé en ce que ledit lien de communication série haut-débit (L1) est le bus Ethernet fonctionnant sous le protocole IP.

6. Système de routage selon l'une quelconque des revendications 1 à 5, caractérisé en ce que le routeur (5) de chacun des ensembles de transmission (I1, I2, I3) comporte des ports de communication (6) interconnectés au moyen d'une matrice d'interconnexion (7), ladite matrice étant apte à assurer une diffusion automatique des données provenant d'un port de communication (6) vers plusieurs autres ports de communication qui lui sont connectés.

7. Système de routage selon la revendication 6, caractérisé en ce qu'au moins un desdits ports de communication (6) dudit routeur (5) comprend un contrôleur DMA d'accès direct à la mémoire en émission et un contrôleur DMA en réception.

8. Système de routage selon l'une des revendications 6 ou 7, caractérisé en ce que chaque port de communication (6) dudit routeur (5) comprend de tels moyens d'adaptation des protocoles (9) qui permettent d'assurer la cohérence des protocoles associés aux données échangées entre lesdits calculateurs (2, 3) de chacun des ensembles de transmission (I1, I2, I3).

9. Système de routage selon l'une quelconque des revendications 6 à 8, caractérisé en ce que, les données se présentant sous la forme de messages de données, chacun desdits ports de communication (6) dudit routeur (5)

comprend des moyens de filtrage des adresses (13) associées auxdits messages de données de sorte que ledit port transfère, sur le lien de communication (L2) qui lui est connecté, uniquement les messages possédant une adresse filtrée par lesdits moyens de filtrage (13).

5 10. Système de routage selon l'une quelconque des revendications 6 à 9,

caractérisé en ce que lesdits ports de communication (6) dudit routeur (5) comprennent des moyens de datation (10) des données traversant lesdits ports.

10 11. Système de routage selon l'une quelconque des revendications 1 à 10,

caractérisé en ce que lesdits circuits logiques du calculateur principal (2) de chacun des ensembles de transmission (I1, I2, I3) sont des circuits logiques programmables de type FPGA.

15 12. Système de routage selon l'une quelconque des revendications 1 à 10,

caractérisé en ce qu'il fonctionne dans un environnement de traitement des données temps réel.

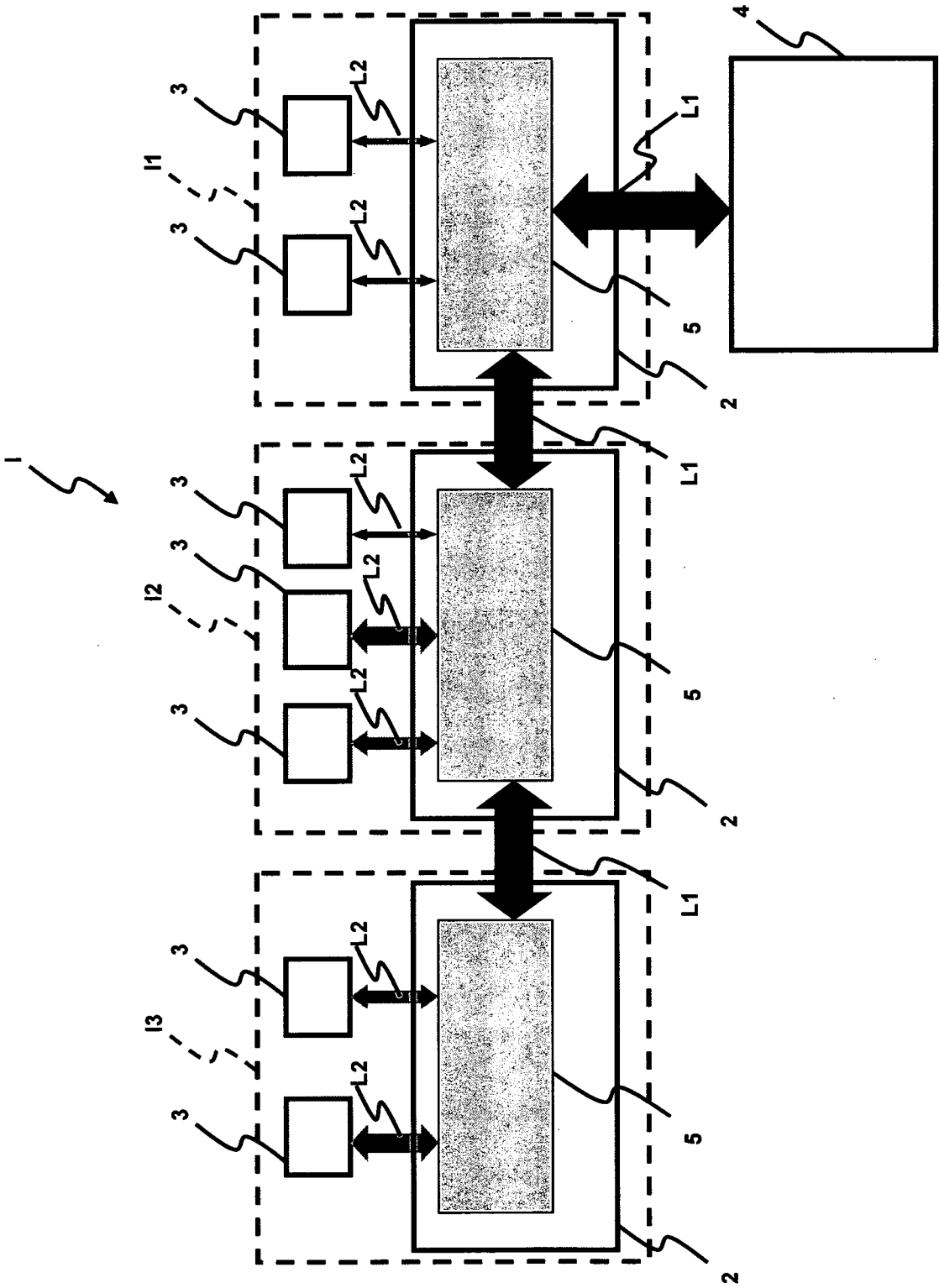


Fig. 1

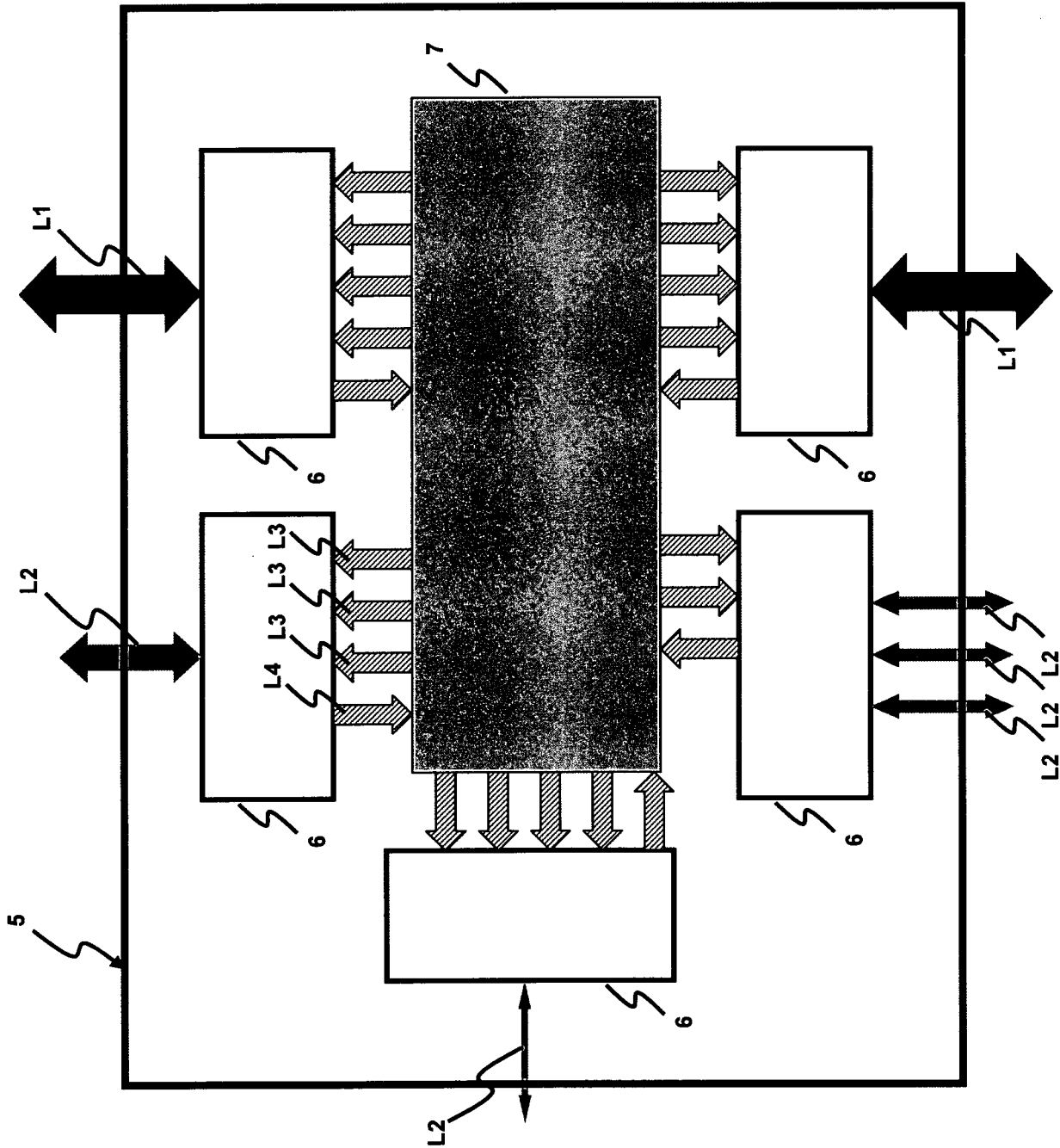


Fig. 2

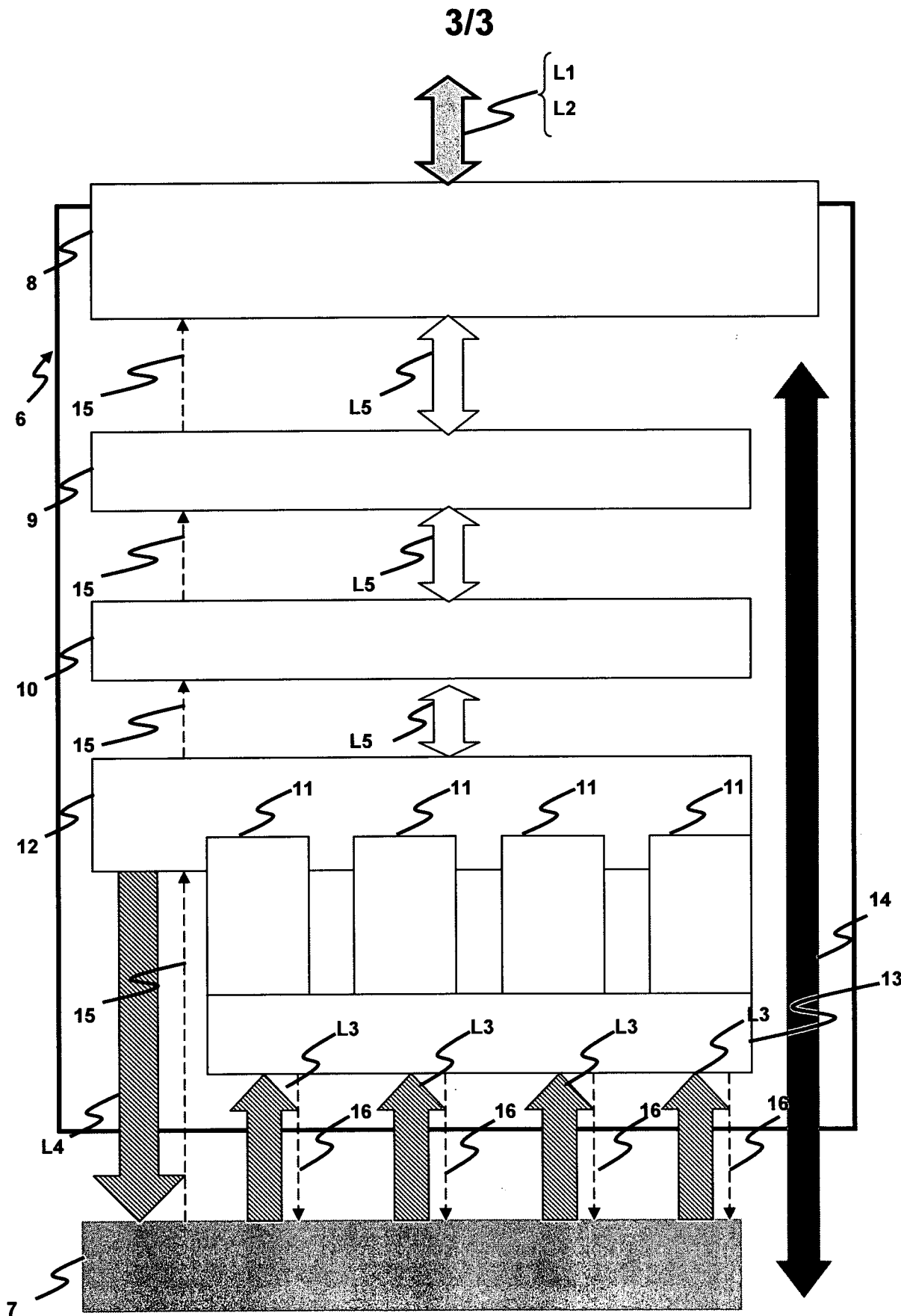


Fig. 3

INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2009/000240

A. CLASSIFICATION OF SUBJECT MATTER

INV. G06F9/46 G06F15/80 H04L12/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	ALEX KRASNOV ET AL: "RAMP Blue: A Message-Passing Manycore System in FPGAs" FIELD PROGRAMMABLE LOGIC AND APPLICATIONS, 2007. FPL 2007. INTERNATIONAL CONFERENCE ON, IEEE, PI, 1 August 2007 (2007-08-01), pages 54-61, XP031159048 ISBN: 978-1-4244-1059-0 the whole document	1-4,6, 8-12
A	EP 1 770 541 A (HONEYWELL INT INC [US]) 4 April 2007 (2007-04-04) abstract paragraphs [0014] - [0019]; figures 2,3 ----- -/--	1-12

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

31 août 2009

Date of mailing of the international search report

07/09/2009

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer

de Junca, Irène

INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2009/000240

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/091574 A (KONINKL PHILIPS ELECTRONICS NV [NL]; RADULESCU ANDREI [NL]; GOOSSENS K) 29 September 2005 (2005-09-29) page 6, line 28 - page 9, line 28; figures 1-3 page 10, lines 29-32; figure 4 -----	1-12
A	US 2004/017820 A1 (GARINGER NED D [US] ET AL) 29 January 2004 (2004-01-29) abstract paragraphs [0025] - [0029]; figure 1 paragraph [0065]; figure 8 paragraph [0117]; figure 1 paragraphs [0118], [0119]; figure 35 paragraph [0122]; figure 37 -----	1-12
A	FR 2 842 922 A (GENOD [FR]; ROUSSEAU DIDIER MARIE FRANCOIS [FR]) 30 January 2004 (2004-01-30) page 2, lines 8-35 page 3, lines 7-11, 29-31 page 6, line 5 - page 7, line 16; figure 1 page 7, line 31 - page 8, line 3; figure 2 page 9, line 17 - page 10, line 13; figure 4 page 13, line 29 - page 18, line 14 -----	1,6-9, 11,12
A	MARESCAUX ET AL: "Interconnection Networks Enable Fine-Grain Dynamic Multi-Tasking on FPGAs" LECTURE NOTES IN COMPUTER SCIENCE, SPRINGER VERLAG, BERLIN; DE, vol. 2438, 1 September 2002 (2002-09-01), pages 795-805, XP002319857 the whole document -----	1-12
A	DALLY W J ET AL: "Route packets, not wires: on-chip interconnection networks" PROCEEDINGS OF THE 38TH. ANNUAL DESIGN AUTOMATION CONFERENCE. (DAC). LAS VEGAS, NV, JUNE 18 - 22, 2001; [PROCEEDINGS OF THE DESIGN AUTOMATION CONFERENCE], NEW YORK, NY : ACM, US, vol. CONF. 38, 18 June 2001 (2001-06-18), pages 684-689, XP010552473 ISBN: 978-1-58113-297-7 the whole document -----	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2009/000240

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 1770541	A	04-04-2007	JP	2007129699 A	24-05-2007
			US	2007075734 A1	05-04-2007
WO 2005091574	A	29-09-2005	CN	1934831 A	21-03-2007
			JP	2007529808 T	25-10-2007
			US	2007186018 A1	09-08-2007
US 2004017820	A1	29-01-2004	AU	2003249187 A1	16-02-2004
			WO	2004012091 A2	05-02-2004
FR 2842922	A	30-01-2004	AU	2003273461 A1	16-02-2004
			WO	2004012092 A2	05-02-2004

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2009/000240

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

INV. G06F9/46 G06F15/80 H04L12/56

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

G06F H04L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	ALEX KRASNOV ET AL: "RAMP Blue: A Message-Passing Manycore System in FPGAs" FIELD PROGRAMMABLE LOGIC AND APPLICATIONS, 2007. FPL 2007. INTERNATIONAL CONFERENCE ON, IEEE, PI, 1 août 2007 (2007-08-01), pages 54-61, XP031159048 ISBN: 978-1-4244-1059-0 le document en entier	1-4,6,8-12
A	EP 1 770 541 A (HONEYWELL INT INC [US]) 4 avril 2007 (2007-04-04) abrégé alinéas [0014] - [0019]; figures 2,3 -/--	1-12

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *&* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

31 août 2009

Date d'expédition du présent rapport de recherche internationale

07/09/2009

Nom et adresse postale de l'administration chargée de la recherche internationale

 Office Européen des Brevets, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Fonctionnaire autorisé

de Junca, Irène

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2009/000240

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	WO 2005/091574 A (KONINKL PHILIPS ELECTRONICS NV [NL]; RADULESCU ANDREI [NL]; GOOSSENS K) 29 septembre 2005 (2005-09-29) page 6, ligne 28 - page 9, ligne 28; figures 1-3 page 10, ligne 29-32; figure 4 -----	1-12
A	US 2004/017820 A1 (GARINGER NED D [US] ET AL) 29 janvier 2004 (2004-01-29) abrégé alinéas [0025] - [0029]; figure 1 alinéa [0065]; figure 8 alinéa [0117]; figure 1 alinéas [0118], [0119]; figure 35 alinéa [0122]; figure 37 -----	1-12
A	FR 2 842 922 A (GENOD [FR]; ROUSSEAU DIDIER MARIE FRANCOIS [FR]) 30 janvier 2004 (2004-01-30) page 2, ligne 8-35 page 3, ligne 7-11, 29-31 page 6, ligne 5 - page 7, ligne 16; figure 1 page 7, ligne 31 - page 8, ligne 3; figure 2 page 9, ligne 17 - page 10, ligne 13; figure 4 page 13, ligne 29 - page 18, ligne 14 -----	1,6-9, 11,12
A	MARESCAUX ET AL: "Interconnection Networks Enable Fine-Grain Dynamic Multi-Tasking on FPGAs" LECTURE NOTES IN COMPUTER SCIENCE, SPRINGER VERLAG, BERLIN; DE, vol. 2438, 1 septembre 2002 (2002-09-01), pages 795-805, XP002319857 le document en entier -----	1-12
A	DALLY W J ET AL: "Route packets, not wires: on-chip interconnection networks" PROCEEDINGS OF THE 38TH. ANNUAL DESIGN AUTOMATION CONFERENCE. (DAC). LAS VEGAS, NV, JUNE 18 - 22, 2001; [PROCEEDINGS OF THE DESIGN AUTOMATION CONFERENCE], NEW YORK, NY : ACM, US, vol. CONF. 38, 18 juin 2001 (2001-06-18), pages 684-689, XP010552473 ISBN: 978-1-58113-297-7 le document en entier -----	1-12

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2009/000240

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
EP 1770541	A	04-04-2007	JP	2007129699 A	24-05-2007
			US	2007075734 A1	05-04-2007
WO 2005091574	A	29-09-2005	CN	1934831 A	21-03-2007
			JP	2007529808 T	25-10-2007
			US	2007186018 A1	09-08-2007
US 2004017820	A1	29-01-2004	AU	2003249187 A1	16-02-2004
			WO	2004012091 A2	05-02-2004
FR 2842922	A	30-01-2004	AU	2003273461 A1	16-02-2004
			WO	2004012092 A2	05-02-2004