



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	102001900966737
Data Deposito	30/10/2001
Data Pubblicazione	30/04/2003

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L		

Titolo

PROCEDIMENTO PER LA FABBRICAZIONE DI UNA FETTA SEMICONDUCTTRICE
INTEGRANTE DISPOSITIVI ELETTRONICI E UNA STRUTTURA PER IL DISACCOPIAMENTO
ELETTROMAGNETICO.

D E S C R I Z I O N E

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: COMBI Chantal, FIORITO Matteo, MOTTURA Marta,
VISALLI Giuseppe, VIGNA Benedetto

30 OTT. 2001

*** **

2001 000 038

La presente invenzione si riferisce ad un procedimento per la fabbricazione di una fetta semiconduttrice integrante dispositivi elettronici e una struttura per il disaccoppiamento elettromagnetico.

Come è noto, l'integrazione di dispositivi elettronici in un'unica fetta di materiale semiconduttore richiede particolari accorgimenti, per diminuire gli effetti di accoppiamento elettromagnetico dovuti alle capacità e mutue induttanze parassite che si possono formare fra le regioni in cui sono realizzati i componenti attivi e/o passivi e il substrato della fetta. Tali capacità e mutue induttanze parassite, infatti, alterano le caratteristiche dei dispositivi e determinano un aumento della potenza complessivamente dissipata. Inoltre, il problema dell'accoppiamento elettromagnetico con il substrato è particolarmente significativo nel caso dei componenti passivi puri, ossia di quei

CERBARO Elena
(iscrizione Albo nr 426/BM)

componenti progettati per avere un comportamento di tipo esclusivamente capacitivo, induttivo o resistivo in un'ampia banda di frequenza.

Le soluzioni che sono state fino ad oggi proposte prevedono l'impiego di strati dielettrici di passivazione che separano le regioni comprendenti i componenti dal substrato. Tuttavia, i procedimenti di fabbricazione attualmente disponibili presentano dei limiti che, in pratica, non consentono di realizzare strati dielettrici con caratteristiche di isolamento soddisfacenti.

Una prima soluzione, ad esempio, consiste nel crescere su una superficie della fetta uno strato di ossido termico dello spessore di alcuni di micron. In questo caso, però, il tempo necessario per realizzare la fase di ossidazione è estremamente lungo, a causa della scarsa diffusività dei reagenti, e il procedimento è troppo lento per essere sfruttato industrialmente. In alternativa, è stato proposto di utilizzare strati spessi di ossido deposto, che possono essere realizzati in tempi leggermente più brevi. Tuttavia, il miglioramento che si ottiene non è ancora sufficiente e, inoltre, le caratteristiche dielettriche dell'ossido deposto sono inferiori a quelle dell'ossido termico.

Secondo una diversa soluzione, vengono impiegate fette semiconduttrici di tipo SOI (dall'inglese "Sili-

CERBARO Elena
Iscrizione Albo nr 426/BMI

con-On-Insulator"), ossia fette incorporanti uno strato di ossido sepolto che separa il substrato da una regione di silicio monocristallino o policristallino in cui vengono realizzati i componenti. Le fette SOI hanno innanzi tutto lo svantaggio di essere molto costose, in quanto la loro preparazione richiede l'impiego di procedimenti complessi; in secondo luogo, gli strati di ossido sepolto delle fette SOI attualmente disponibili non sono abbastanza spessi per poter garantire un adeguato isolamento elettromagnetico fra il substrato e i componenti.

Un'ulteriore soluzione prevede di realizzare strati dielettrici in materiali polimerici. In questo modo, si possono raggiungere spessori anche molto elevati e sufficienti a ridurre considerevolmente l'accoppiamento elettromagnetico. Inoltre, possono essere realizzati dispositivi passivi sospesi sopra al substrato (cosiddetti ad "air bridge"), al fine soprattutto di minimizzare gli accoppiamenti parassiti di tipo capacitivo. La realizzazione di strati polimerici spessi è però svantaggiosa perché richiede l'utilizzo di tecnologie e fasi di lavorazione non standard nella microelettronica. Anche in questo caso, quindi, il costo di produzione dei dispositivi è molto elevato. Inoltre, i dispositivi sospesi non possono essere passivati, richiedono l'uti-

CERBARO Elena
libreria Albo nr 426/BM

lizzo incapsulamenti ("packaging") a cavità e sono scarsamente riproducibili.

Il problema dell'accoppiamento elettromagnetico, poi, affligge in modo particolare gli induttori, tanto che essi non vengono normalmente integrati su fette semiconduttrici. Infatti, proprio a causa dell'accoppiamento elettromagnetico tra le spire e il substrato, attualmente non si riescono a realizzare induttori con elevato fattore di merito. D'altra parte, l'impiego di soluzioni alternative, quali l'utilizzo di substrati altamente resistivi, la realizzazione di cavità sotto-stanti gli induttori o il ricorso a tecniche di litografia tridimensionale presentano gli inconvenienti già descritti (tecnologie non standard o non compatibili con la fabbricazione di circuiti integrati, costi elevati, incapsulamento).

Scopo della presente invenzione è realizzare un procedimento per la fabbricazione di una fetta semiconduttrice, che sia privo degli inconvenienti descritti.

Secondo la presente invenzione viene realizzato un procedimento per la fabbricazione di una fetta semiconduttrice integrante dispositivi elettronici e una struttura per il disaccoppiamento elettromagnetico, come definito nella rivendicazione 1.

Per una migliore comprensione dell'invenzione, ne

CERBARO Elena
(iscrizione Albo nr 426/BM)

vengono ora descritte alcune forme di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra una sezione trasversale attraverso una fetta di materiale semiconduttore, in una fase iniziale di fabbricazione secondo una prima forma di attuazione della presente invenzione;

- la figura 2 è una vista in pianta dall'alto della fetta di figura 1, in una successiva fase di lavorazione;

- la figura 3 mostra una sezione trasversale della fetta di figura 2 secondo un piano di traccia III-III;

- la figura 4 mostra la stessa vista di figura 3 in una successiva fase di fabbricazione della fetta;

- la figura 5 è una vista in pianta dall'alto della fetta di figura 4;

- la figura 6 mostra la stessa vista di figura 4, in una successiva fase di fabbricazione della fetta;

- la figura 7 è una vista in pianta dall'alto della fetta di figura 6;

- le figure 8-11 mostrano la stessa vista di figura 6, in successive fasi di fabbricazione della fetta;

- la figura 12 è una vista in pianta dall'alto della fetta di figura 11;

- la figura 13 mostra la stessa vista di figura

11, in una successiva fase di fabbricazione della fetta;

- la figura 14 è una vista in pianta dall'alto di una fetta di materiale semiconduttore, in una fase iniziale di fabbricazione, in una seconda forma di attuazione della presente invenzione;

- la figura 15 mostra una sezione trasversale della fetta di figura 14 secondo un piano di traccia XV-XV;

- la figura 16 mostra la stessa vista di figura 15, in una successiva fase di fabbricazione della fetta;

- la figura 17 è una vista in pianta dall'alto della fetta di figura 16;

- le figure 18-20 mostrano la stessa vista di figura 16, in successive fasi di fabbricazione della fetta; e

- le figure 21-23, mostrano sezioni trasversali attraverso una fetta di materiale semiconduttore in successive fasi di fabbricazione, in una terza forma di realizzazione della presente invenzione.

Nella forma di realizzazione di seguito descritta, il procedimento oggetto della presente invenzione viene utilizzato per realizzare un induttore ad elevato fattore di merito. Ciò non si deve però considerare limi-

tativo, in quanto il procedimento può essere vantaggiosamente impiegato per la realizzazione di dispositivi di vario tipo, sia attivi, sia passivi.

Con riferimento alle figure 1-13, una fetta 1 di materiale semiconduttore, ad esempio silicio monocristallino, comprende un substrato 2, avente una densità di drogaggio ad esempio pari a 10^{19} atomi/cm³.

Inizialmente, viene eseguito un attacco "trench" profondo. A tal fine, uno strato di ossido viene depositato su una prima faccia 4 della fetta 1 e viene successivamente definito, mediante un processo fotolitografico, in modo da formare una maschera "trench" 5, parzialmente scoprente una regione 7 in cui dovrà essere in seguito realizzata una struttura isolante (figura 1). Successivamente (figure 2 e 3), le porzioni della fetta 1 lasciate scoperte dalla maschera "trench" 5 vengono attaccate in modo anisotropo fino a una prefissata profondità D (ad esempio 100 μ m), preferibilmente mediante attacco in plasma; la maschera "trench" 5 viene quindi rimossa. Più in dettaglio, in questa fase vengono scavate una pluralità di trincee rettilinee 9 adiacenti, aventi profondità D e larghezza W, pari ad esempio a 2,5 μ m. Le trincee rettilinee 9 sono aperte sulla prima faccia 4 della fetta 1, si estendono fra loro parallele e definiscono a coppie pareti 8 affian-

CERBARO Elena
(iscrizione Albo nr 426/BMI)

cate e aventi spessore S' pari alla larghezza W , in modo da formare una griglia 10 presentante in pianta un inviluppo preferibilmente rettangolare o quadrato. Inoltre, le pareti 8 e le trincee rettilinee 9 si estendono ininterrottamente fra lati opposti della griglia 10, tranne che in una porzione di bordo 10a e in una porzione centrale 10b della griglia 10 stessa. In particolare, durante la fase di attacco "trench" una prima trincea anulare 11 e una seconda trincea anulare 12, anch'esse aventi larghezza W e profondità D , vengono aperte nella porzione di bordo 10a e, rispettivamente, nella porzione centrale della griglia 10. La prima e la seconda trincea anulare 11, 12, delimitano internamente una prima e, rispettivamente, una seconda regione conduttiva 14, 15, continue e aventi diametro ad esempio pari a $80\text{ }\mu\text{m}$. Inoltre, la prima e la seconda trincea anulare 11, 12 interrompono le pareti 8 e le trincee rettilinee 9 formate nella porzione di bordo 10a e nella porzione centrale 10b della griglia 10.

Successivamente (figure 4 e 5), viene eseguita una fase di ossidazione termica, in cui le pareti 8 vengono completamente ossidate. Poiché l'ossido termico cresce sostanzialmente per metà all'interno del silicio e per metà verso l'esterno e, inoltre, la larghezza W delle trincee 9, 11, 12 è uguale allo spessore S delle pareti

8, in questa fase le trincee rettilinee 9, e le trincee anulari 11, 12 vengono completamente riempite di ossido di silicio. Durante la fase di ossidazione termica, si forma anche uno strato di ossido superficiale, che viene in seguito asportato, così da scoprire la prima faccia 4 della fetta 1 e, in particolare, la prima e la seconda regione conduttiva 14, 15. In questo modo, all'interno della fetta 1 viene formata una struttura isolante 17 di ossido di silicio di forma sostanzialmente parallelepipedica. In particolare, la struttura isolante 17 ha altezza pari alla profondità D delle trincee 9, 11, 12 e, in pianta, presenta forma sostanzialmente coincidente con l'involuppo della griglia 10. Inoltre, la struttura isolante 17 è attraversata, in direzione ortogonale alla prima faccia 4, dalla prima e dalla seconda regione conduttiva 14, 15, che formano rispettive vie conduttive passanti ("vias").

Mediante fasi di lavorazione standard e in modo noto al tecnico del ramo, circuiti integrati 18, qui schematicamente rappresentati mediante componenti attivi e passivi, vengono poi realizzati nel substrato 2, in prossimità della faccia 4.

In seguito, un germe 21 di materiale conduttivo, ad esempio rame, viene depositato sulla prima faccia 4 della fetta 1, in modo da ricoprirla completamente per

uno spessore di circa 100-200 nm e contattare la prima e la seconda regione conduttiva 14, 15 (figura 6). Successivamente, uno strato di resist viene depositato sullo strato di germe 21 e viene definito in modo da formare una matrice 24 avente un'apertura 25 spiraliforme. In particolare, l'apertura 25 forma un prefissato numero di spire e presenta un'estremità esterna 25a, in corrispondenza della prima regione conduttiva 14, e un'estremità interna 25b, in corrispondenza della seconda regione conduttiva 15 (figura 7).

Quindi, un induttore 26 di rame viene cresciuto galvanicamente all'interno dell'apertura 25, a contatto con porzioni scoperte 21' dello strato di germe 21 (figura 8). Preferibilmente, una sezione trasversale dell'induttore 26 ha una prima dimensione L1, perpendicolare alla prima faccia 4 della fetta 1, maggiore di una seconda dimensione L2, parallela alla prima faccia 4.

La matrice 24 viene poi rimossa e porzioni 21" dello strato di germe 21 non coperte dall'induttore 26 vengono selettivamente asportate, come mostrato in figura 9. Preferibilmente, in questa fase viene effettuato un attacco a secco, in quanto più facilmente controllabile e meno sensibile a eventuali variazioni del tempo di attacco.

Al termine di questa fase, la fetta 1 comprende il

CERBARO Elena
(iscrizione Albo nr 426/BMI)

substrato 2, di silicio monocristallino, la struttura isolante 17, formata all'interno del substrato 2 e affiorante sulla prima faccia 4, i circuiti integrati 18 e l'induttore 26.

In seguito, la fetta 1 viene capovolta (figura 10) e una prima porzione 2' del substrato 2, compresa fra la struttura isolante 17 e una seconda faccia 20 della fetta 1 opposta alla prima faccia 4, viene completamente asportata mediante fresatura. Al termine di questa fase, quindi, la struttura isolante 17 e la prima e la seconda regione conduttiva 14, 15 vengono scoperte e affiorano dalla seconda faccia 20' opposta alla prima faccia 4 (figura 11). Più in dettaglio, la struttura isolante 17 è circondata da una porzione residua 2" del substrato 2 e lo spessore della fetta 1 è sostanzialmente pari alla profondità D; inoltre, le regioni conduttive 14, 15, che attraversano da parte a parte la struttura isolante 17 in direzione ortogonale alla prima faccia 4, sono elettricamente isolate dalla porzione residua 2" del substrato 2. Di conseguenza, anche l'induttore 26, che è portato interamente dalla struttura isolante 17 ed è direttamente collegato solo alle regioni conduttive 14, 15, è elettricamente isolato dalla porzione residua 2" del substrato 2. Inoltre, nella forma di attuazione dell'invenzione qui descritta,

CERBARO Elena
Licenzia Albo nr 426/BMJ

l'induttore 26 e i circuiti elettronici 18 sono realizzati su una stessa faccia della fetta 1, in particolare sulla prima faccia 4.

Successivamente (figure 11 e 12), sulla seconda faccia 20' della fetta 1 vengono realizzate linee conduttive 29 per alimentare l'induttore 26 tramite la prima e la seconda regione conduttiva 14, 15. Più in dettaglio, uno strato di adesione in materiale conduttivo viene depositato e definito in modo da formare piste 31, contattanti la prima e, rispettivamente, la seconda regione conduttiva 14, 15; poi, mediante stampaggio di materiale metallico, vengono realizzati contatti sporgenti 32 ("bumps") aderenti alle piste 31; infine la fetta viene nuovamente capovolta per eventuali ulteriori fasi di lavorazione (ad esempio, la fetta 1 può essere saldata a un'altra fetta, non mostrata, tramite i contatti sporgenti 32, secondo una tecnica cosiddetta di "wafer bonding").

In una variante del procedimento oggetto della presente invenzione, l'induttore 26 viene inglobato in uno strato isolante 35 di materiale dielettrico, ad esempio ossido di silicio, che viene depositato prima della realizzazione delle linee conduttive 29 (figura 13).

Secondo un'ulteriore variante, l'induttore 26 e i circuiti integrati 18 vengono realizzati sulle opposte

facce 1, 20' della fetta 1. In questo caso, la fetta 1 viene fresata subito dopo aver realizzato la struttura isolante 17 e prima di fabbricare i circuiti integrati 18 e l'induttore 26.

Il procedimento descritto presenta i seguenti vantaggi. In primo luogo, la struttura isolante 17, di ossido termico, ha di per sé ottime caratteristiche dielettriche, che permettono di disaccoppiare l'induttore 26 dalle porzioni conduttive della fetta 1 (porzione residua 2" del substrato 2). Inoltre, il substrato 2 sottostante la struttura isolante 17 viene completamente rimosso e quindi non si possono verificare dispersioni né accoppiamenti induttivi legati alle correnti di Eddy, che sono invece normalmente presenti quando un substrato conduttivo rimane. Anche l'accoppiamento elettromagnetico fra le linee conduttive 29 e l'induttore 26 è sostanzialmente nullo, in quanto lo spessore della struttura isolante 17 è molto elevato (nell'esempio 100 μm).

In secondo luogo, per realizzare la struttura isolante 17 vengono utilizzate esclusivamente fasi di lavorazione standard della fabbricazione di circuiti integrati. Di conseguenza, il procedimento è, da un lato, compatibile con la realizzazione di circuiti integrati nella porzione residua 2" del substrato 2 e, dall'al-

tro, presenta un costo contenuto e tempi di esecuzione accettabili. In particolare, per formare la struttura isolante 17 non sono richieste fasi di ossidazione termica prolungate, in quanto è sufficiente consumare le pareti 8 e riempire le trincee 9, 11, 12, che misurano pochi micron di spessore.

Inoltre, grazie all'elevato livello di disaccoppiamento, è possibile realizzare induttori integrati aventi alto fattore di merito e ingombro ridotto.

Secondo una diversa forma di attuazione dell'invenzione, il procedimento viene impiegato nella fabbricazione di un dispositivo di potenza, in particolare un transistor bipolare, integrato in una fetta di materiale semiconduttore insieme con altri componenti elettronici attivi e passivi.

Come mostrato nelle figure 14-19, una fetta 40 di silicio monocristallino, ad esempio di tipo N, comprende un substrato 41, nel quale vengono inizialmente aperte una pluralità di trincee 42 affiancate, mediante un attacco "trench" profondo. Le trincee 42, aventi profondità D' pari ad esempio a 100 μm , si sviluppano sostanzialmente lungo rispettive linee poligonali chiuse concentriche, preferibilmente quadrate o rettangolari, sono aperte su una prima faccia 44 della fetta 40 e a coppie definiscono pareti 43. Le trincee 42 e le pa-

CERBARO Elena
Riv. ione Albo nr 426/BWJ

reti 43 presentano larghezza W' e, rispettivamente, spessore S' fra loro uguali (pari ad esempio a $2,5 \mu\text{m}$) e formano una griglia 45 a cornice (figure 14 e 15).

Successivamente, le pareti 43 vengono completamente ossidate mediante ossidazione termica. Dato che la larghezza W' delle trincee 42 è uguale allo spessore S' delle pareti 43 e, come accennato in precedenza, l'ossido termico cresce sostanzialmente per metà all'interno del silicio e per metà verso l'esterno, in questa fase le trincee 42 vengono completamente riempite di ossido di silicio (figure 16 e 17). Di conseguenza, al termine dell'ossidazione termica viene formata una struttura isolante 45 di ossido di silicio, avente forma a cornice e altezza sostanzialmente pari alla profondità D' delle trincee 42 e delle pareti 43.

Successivamente, la fetta 40 viene sottoposta a fasi di lavorazione standard della microelettronica per la realizzazione di componenti elettronici integrati. In particolare (figura 18), in una regione conduttiva interna 46, delimitata dalla struttura isolante 45, viene realizzato un transistor di potenza 48, qui di tipo bipolare laterale, e in una regione conduttiva esterna 47, circondante la struttura isolante 45, viene realizzato un circuito di pilotaggio 50 del transistor di potenza 48, qui schematicamente rappresentato me-

dian­te componenti elettronici attivi e passivi. Il transistore di potenza 48 può essere realizzato nel seguente modo: inizialmente, nella porzione conduttiva interna 46 viene formata una sacca di tipo P, destinata a formare la base 51 del transistore di potenza 48; quindi, all'interno della base 51 viene formata una regione di emettitore 52, di tipo N+, e, contemporaneamente, viene realizzata una regione di collettore 53, anch'essa di tipo N+, annegata nella porzione conduttiva interna 46 lateralmente alla base 51; viene poi cresciuto termicamente uno stato di isolamento 55 di ossido di silicio, che viene selettivamente attaccato al di sopra della base 51, della regione di emettitore 52 e della regione di collettore 53; infine, nelle aperture così realizzate vengono formati rispettivi contatti di base 56, di emettitore 57 e di collettore 58.

La fetta 40 viene poi capovolta (figura 19) e viene fresata, in modo da rimuovere completamente una porzione 41' del substrato 41 compresa fra la struttura isolante 45 e una seconda faccia 49 della fetta 40, opposta alla prima faccia 44. Si ottiene così la struttura mostrata in figura 20, dove la fetta 40 è stata nuovamente capovolta. In pratica, al termine di questa fase la struttura isolante 45 separa fra loro la porzione conduttiva interna 46 e la porzione conduttiva esterna

47 della fetta 40, isolandole elettricamente e magneticamente.

Secondo un'ulteriore forma di realizzazione dell'invenzione, che verrà di seguito illustrata con riferimento alle figure 21-23, una fetta 60 di silicio monocristallino, comprendente un substrato 61, viene inizialmente attaccata mediante un attacco "trench" profondo (figura 21). In questa fase, vengono scavate trincee 62, fra loro adiacenti e a coppie definenti pareti conduttive 63. Inoltre, le trincee 62, qui rettilinee, sono aperte su una prima faccia 65 della fetta 60, hanno profondità D'' , pari ad esempio a $100\text{ }\mu\text{m}$, e presentano una larghezza W'' non minore di uno spessore S'' delle pareti conduttive 63. Preferibilmente, il rapporto W''/S'' fra la larghezza W'' delle trincee 62 e lo spessore S'' delle pareti conduttive 63 è compreso fra 1 e 2.

In seguito (figura 22), la fetta 60 viene ossidata termicamente. In questa fase, le pareti conduttive 63 si ossidano completamente, formando pareti isolanti 66, e le trincee 62 vengono parzialmente riempite di ossido di silicio. Infatti, come spiegato in precedenza, l'ossido termico cresce sostanzialmente per metà all'interno del silicio e per metà verso l'esterno. Inoltre, anche pareti di fondo 68 delle trincee 62 si

CERBARO Elena
Iscrizione Albo nr 426/BMI

ossidano e viene così formata una base 69, anch'essa di ossido di silicio, che collega inferiormente le pareti isolanti 66. In pratica, al termine della fase di ossidazione nella fetta 60 viene formata una struttura isolante 70, comprendente la base 69, dalla quale si estendono di sbalzo e le pareti isolanti 66.

Al fine di migliorare le proprietà di disaccoppiamento della struttura isolante 70, uno strato dielettrico 71, ad esempio di ossido di silicio, viene successivamente deposto sulla prima faccia 65 della fetta 60 e riempie le trincee 62', chiudendole. Dato che la profondità delle trincee 62' è molto maggiore della loro larghezza, in questa fase l'ossido deposto può non riempire completamente le trincee 62' stesse. Si possono così formare sacche d'aria 73 sepolte, che non pregiudicano l'isolamento fornito dalla struttura isolante 70 e dallo strato dielettrico 71.

Lo strato dielettrico 71 viene quindi attaccato e rimosso dalla la prima faccia 65 della fetta 60, che viene nuovamente scoperta.

Il procedimento viene poi portato a termine, sostanzialmente come già descritto in precedenza. In particolare, circuiti integrati 76, illustrati schematicamente in figura 23 mediante componenti attivi e passivi, vengono realizzati nel substrato 61; un componente

CERBARO Elena
Iscrizione Albo nr 426/BW

elettrico, ad esempio un induttore 75, viene realizzato sopra alla struttura isolante 70; e una porzione 61' del substrato 61, compresa fra la struttura isolante 70 e una seconda faccia 74 della fetta 60, opposta alla prima faccia 65, viene asportato mediante fresatura.

Risulta infine evidente che al descritto possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione.

In particolare, il procedimento può essere utilizzato per la fabbricazione di dispositivi elettronici di altro tipo, quali, ad esempio, transistori di potenza verticali di tipo MOS.

Inoltre, la struttura isolante incorporata nella fetta semiconduttrice può avere forma diversa (ad esempio può essere circolare o anulare) e può essere realizzata a partire da una griglia di altro tipo. Ad esempio, la griglia potrebbe essere formata da celle sostanzialmente quadrate affiancate, aventi lato pari a circa 8-10 μm e delimitate da pareti spesse circa 5 μm . Inoltre, anche l'involuppo della griglia e quindi la forma della struttura isolante possono essere diversi rispetto agli esempi illustrati.

CERBARO Elena
Riscrizione Albo nr 426/BW

R I V E N D I C A Z I O N I

1. Procedimento per la fabbricazione di una fetta semiconduttrice integrante dispositivi elettronici e una struttura per il disaccoppiamento elettromagnetico, comprendente la fase di:

- predisporre una fetta (1; 40; 60) di materiale semiconduttore, avente un substrato (2; 41; 61);

caratterizzato dal fatto di comprendere le fasi di:

- formare una pluralità di prime trincee (9; 42; 62) adiacenti, aperte su una prima faccia (4; 44; 65) di detta fetta (1; 40; 60), aventi una profondità (D; D'; D'') e una larghezza (W; W', W'') e definenti pareti (8; 43, 63);

- mediante ossidazione termica, ossidare completamente dette pareti (8; 43; 63) e riempire almeno parzialmente dette prime trincee (9; 42; 62), in modo da realizzare una struttura isolante (17; 45; 70) di materiale dielettrico; e

- rimuovere una porzione (2'; 41'; 61') di detto substrato compresa fra detta struttura isolante (17; 45; 70) e una seconda faccia (20; 48; 74) di detta fetta (1; 40; 60), opposta a detta prima faccia (4; 44; 65).

2. Procedimento secondo la rivendicazione 1, ca-

CERBARO Elena
[iscrizione Albo nr 426/BM]

ratterizzato dal fatto che detta fase di ossidare e riempire è seguita dalla fase di deporre uno strato di materiale dielettrico (71) per chiudere dette prime trincee (62).

3. Procedimento secondo la rivendicazione 2, caratterizzato dal fatto che dette pareti (63) presentano uno spessore (S'') e dal fatto che il rapporto fra detta larghezza (W'') e detto spessore (S'') è compreso sostanzialmente fra 1 e 2.

4. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che, in detta fase di ossidare e riempire, dette prime trincee (9; 42) vengono riempite completamente.

5. Procedimento secondo la rivendicazione 4, caratterizzato dal fatto che dette pareti (8; 43) presentano uno spessore (S ; S') sostanzialmente pari a detta larghezza (W ; W').

6. Procedimento secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detta fase di rimuovere comprende fresare detto substrato (2; 41).

7. Procedimento secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che dette prime trincee (9) sono sostanzialmente rettilinee e dal fatto che detta struttura isolante (17) presenta

CERBARO Elena
(Rivendicazioni 426/427 nr 426/BM)

forma parallelepipedica e ha altezza sostanzialmente pari a detta profondità (D).

8. Procedimento secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere la fase di realizzare vie conduttive passanti (14, 15) attraversanti detta struttura isolante (17) in direzione ortogonale a detta prima faccia (4).

9. Procedimento secondo la rivendicazione 8, caratterizzato dal fatto che detta fase di realizzare vie conduttive passanti (14, 15) comprende realizzare una prima via conduttiva passante (14) in una porzione di bordo (10a) di detta struttura isolante (17) e una seconda via conduttiva passante (15) in una porzione centrale (10b) di detta struttura isolante (17).

10. Procedimento secondo la rivendicazione 9, caratterizzato dal fatto che detta fase di realizzare vie conduttive passanti comprende le fasi di:

- aprire seconde trincee (11, 12) di forma anulare, delimitanti internamente rispettive regioni conduttive; e

- riempire dette seconde trincee (11, 12) mediante ossidazione termica.

11. Procedimento secondo la rivendicazione 10, caratterizzato dal fatto che detta fase di aprire seconde trincee (11, 12) è eseguita contemporaneamente a detta

CERBARO Elena
iscrizione Albo nr 426/BAM

fase di aprire prime trincee (9) e detta fase di riempire dette seconde trincee (11, 12) è eseguita contemporaneamente a detta fase di riempire dette prime trincee (9).

12. Procedimento secondo una qualsiasi delle rivendicazioni 4-7, caratterizzato dal fatto di comprendere la fase di realizzare componenti elettrici passivi (26) portati da detta struttura isolante (17).

13. Procedimento secondo la rivendicazione 12, caratterizzato dal fatto che detta fase di realizzare componenti elettrici passivi comprende realizzare un induttore (26).

14. Procedimento secondo la rivendicazione 13, caratterizzato dal fatto che detta fase di realizzare detto induttore (26) comprende le fasi di:

- deporre uno strato di germe (21) ricoprente una fra dette prima e seconda faccia (4, 20') di detta fetta (1);

- formare una matrice (24) di resist a contatto con detto strato di germe (21), detta matrice (24) presentando un'apertura (25) spiraliforme, avente una prima estremità (25a), in corrispondenza di detta prima via conduttiva passante (14), e una seconda estremità (25b), in corrispondenza di detta seconda via conduttiva passante (15);

CERBARO Elena
Iscrizione Albo nr 426/BMI

- crescere galvanicamente detto induttore (26) all'interno di detta apertura (25);

- rimuovere detta matrice (24); e

- asportare selettivamente porzioni di detto strato di germe (21) non coperte da detto induttore (26).

15. Procedimento secondo la rivendicazione 14, caratterizzato dal fatto di comprendere la fase di realizzare un circuito integrato in una porzione residua (2") di detto substrato (2), circondante detta struttura isolante (17).

16. Procedimento secondo la rivendicazione 15, caratterizzato dal fatto che detto induttore (26) e detto circuito integrato sono realizzati su una stessa faccia di detta fetta (1).

17. Procedimento secondo la rivendicazione 15, caratterizzato dal fatto che detto induttore (26) e detto circuito integrato (18) sono realizzati su opposte facce di detta fetta (1).

18. Procedimento secondo la rivendicazione 16 o 17, caratterizzato dal fatto di comprendere la fase di deporre uno strato isolante (35) di materiale dielettrico, inglobante detto induttore (26).

19. Procedimento secondo una qualsiasi delle rivendicazioni 15-18, caratterizzato dal fatto di comprendere la fase di realizzare linee conduttive (29)

CERBARO Elena
(iscrittione Albo nr 426/BW)

collegate a detto induttore (26) attraverso dette vie conduttive passanti (14, 15).

20. Procedimento secondo una qualsiasi delle rivendicazioni 1-6, caratterizzato dal fatto che dette prime trincee (42) si sviluppano sostanzialmente lungo rispettive linee chiuse concentriche e dal fatto che detta struttura isolante (45) presenta forma a cornice.

21. Procedimento secondo la rivendicazione 20, caratterizzato dal fatto di comprendere le fasi di:

- realizzare un dispositivo integrato di potenza (48) in una prima porzione conduttiva (46) di detta fetta (1) interna a detta struttura isolante (45); e

- realizzare un circuito integrato (50) in una seconda porzione conduttiva (47) di detta fetta (1) circondante detta struttura isolante (45).

22. Procedimento secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detta profondità (D ; D' ; D'') è sostanzialmente pari a $100\text{ }\mu\text{m}$ e detta larghezza (W ; W' ; W'') è sostanzialmente pari a $2,5\text{ }\mu\text{m}$.

23. Dispositivo integrato fabbricato secondo una qualsiasi delle rivendicazioni 15-19, caratterizzato dal fatto di comprendere:

un substrato (2'') di una fetta (1) semiconduttrice;

una struttura isolante (17), circondata da detto substrato (2") e affiorante su opposte facce (4, 20') di detta fetta (1);

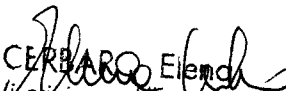
un induttore (26), portato da detta struttura isolante (17); e

una prima via conduttiva passante (14) e una seconda via conduttiva passante (15), attraversanti detta struttura isolante (17) in direzione ortogonale a dette facce (4, 20') di detta fetta (1) ed elettricamente collegate a detto induttore (26).

24. Dispositivo secondo la rivendicazione 23, caratterizzato dal fatto che detta struttura isolante è realizzata in ossido di silicio.

25. Procedimento per la fabbricazione di una fetta semiconduttrice integrante dispositivi elettronici e una struttura per il disaccoppiamento elettromagnetico, sostanzialmente come descritto con riferimento alle figure annesse.

p.i.: STMICROELECTRONICS S.R.L.


CERBARO Elena
Iscrizione Albo nr 426/BMT

CERBARO Elena
Iscrizione Albo nr 426/BMT



2001 10

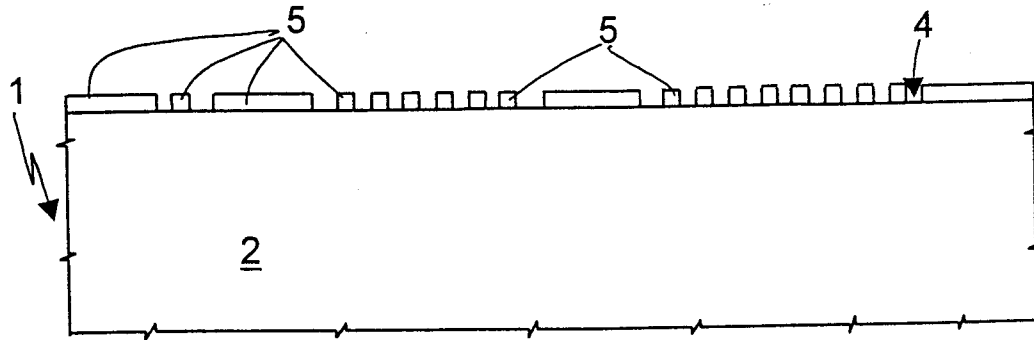


Fig.1

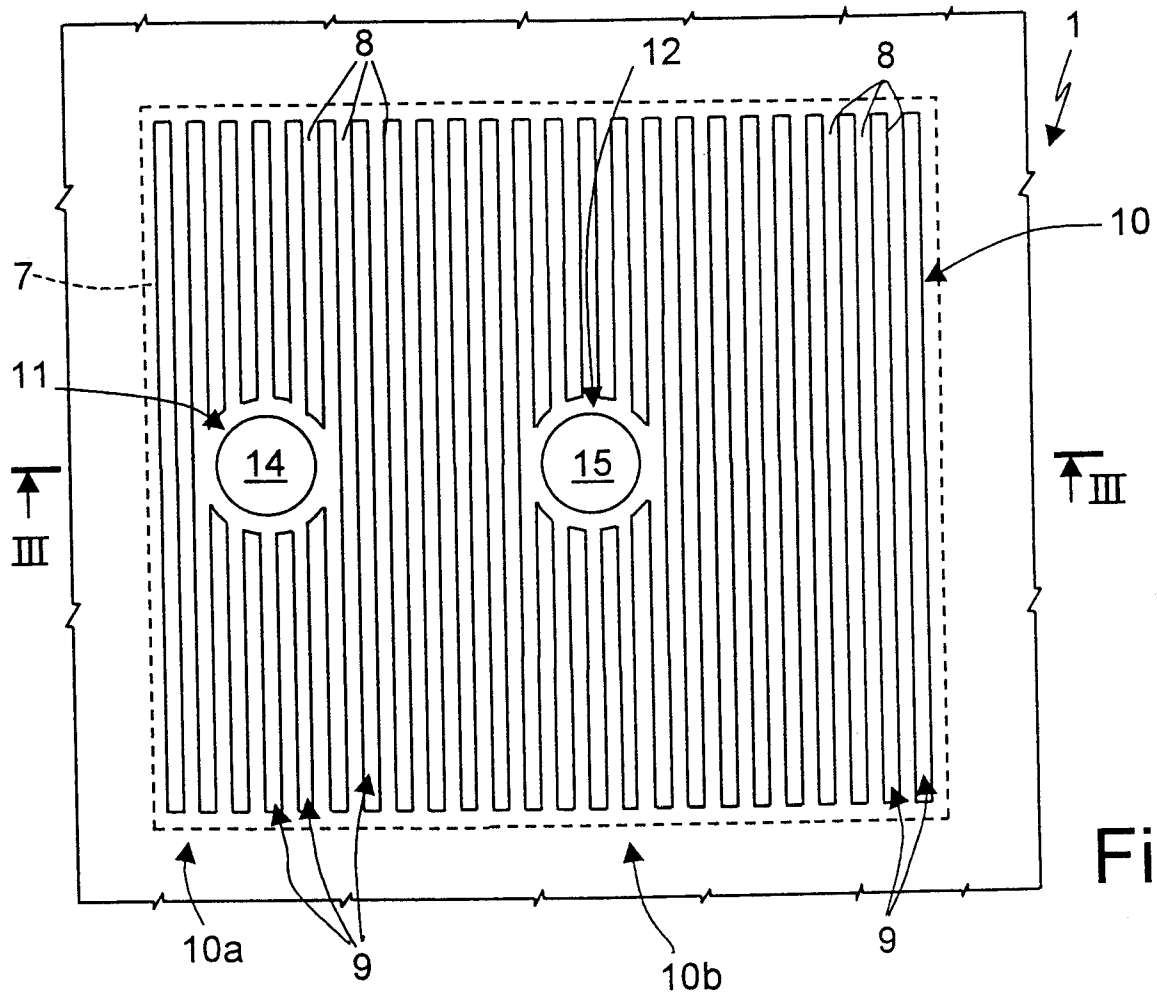


Fig.2

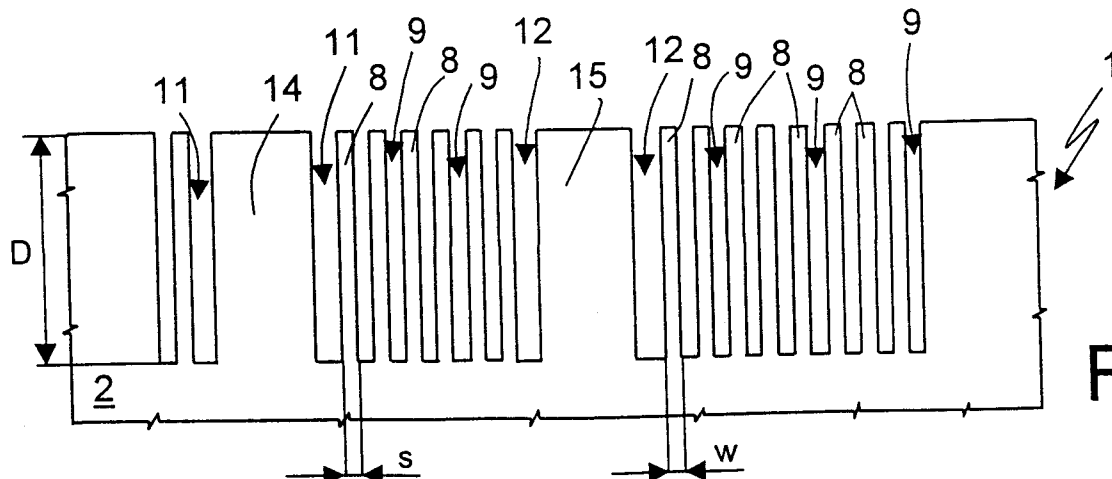
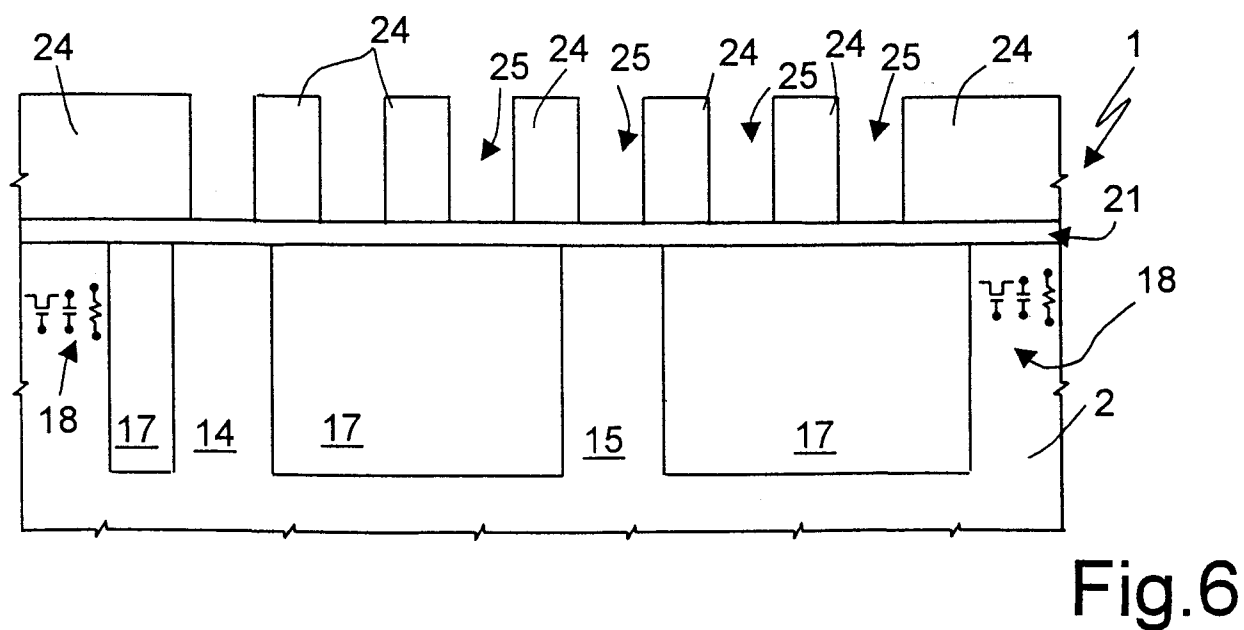
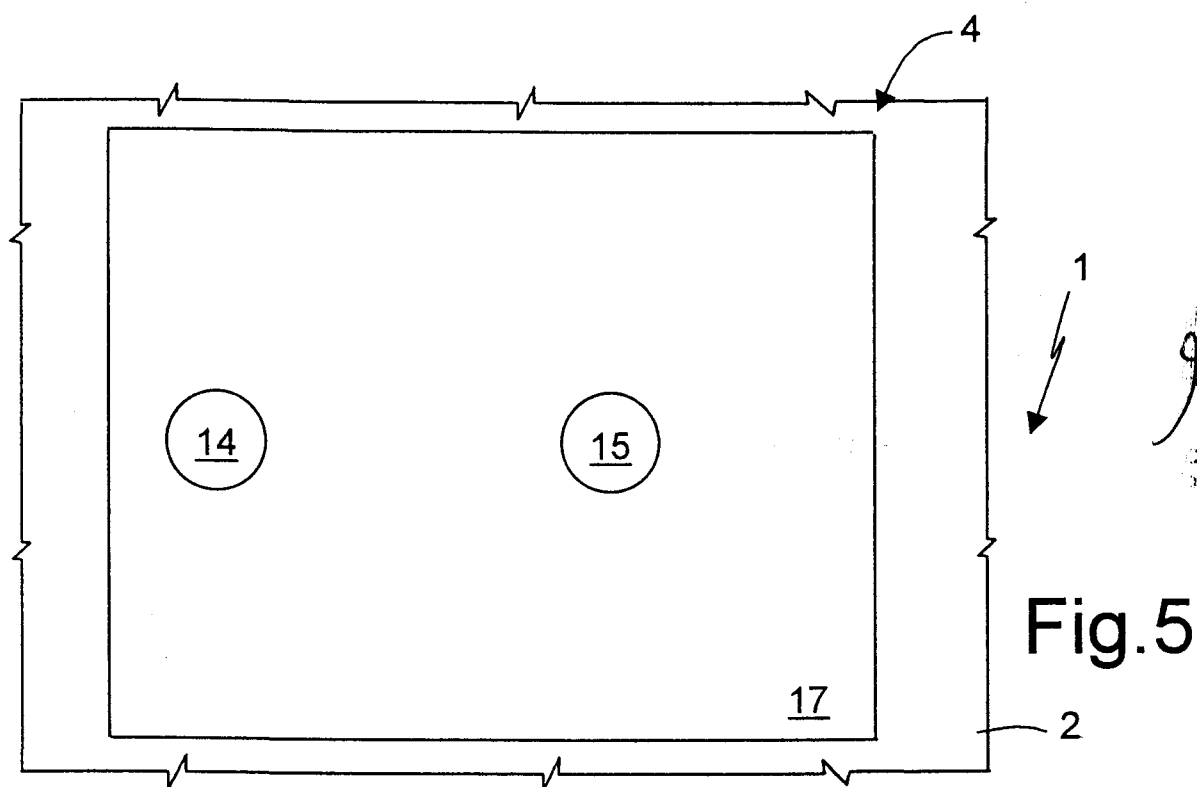
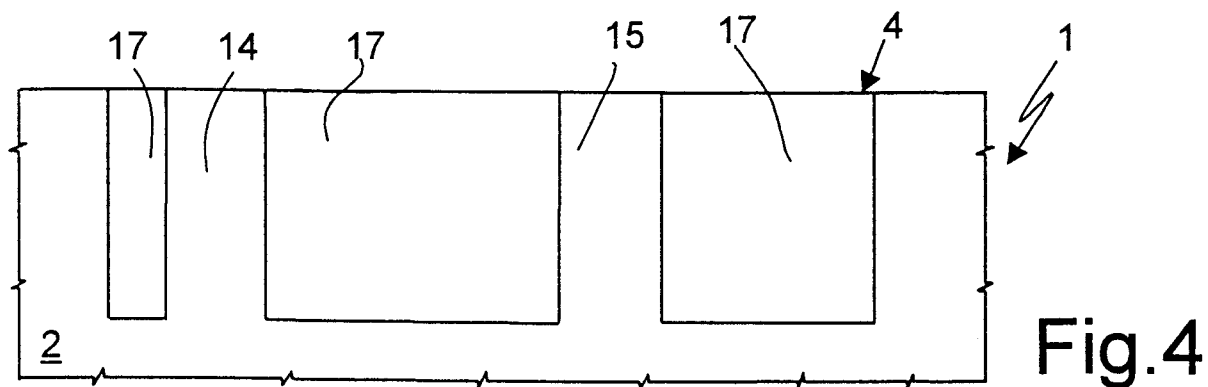
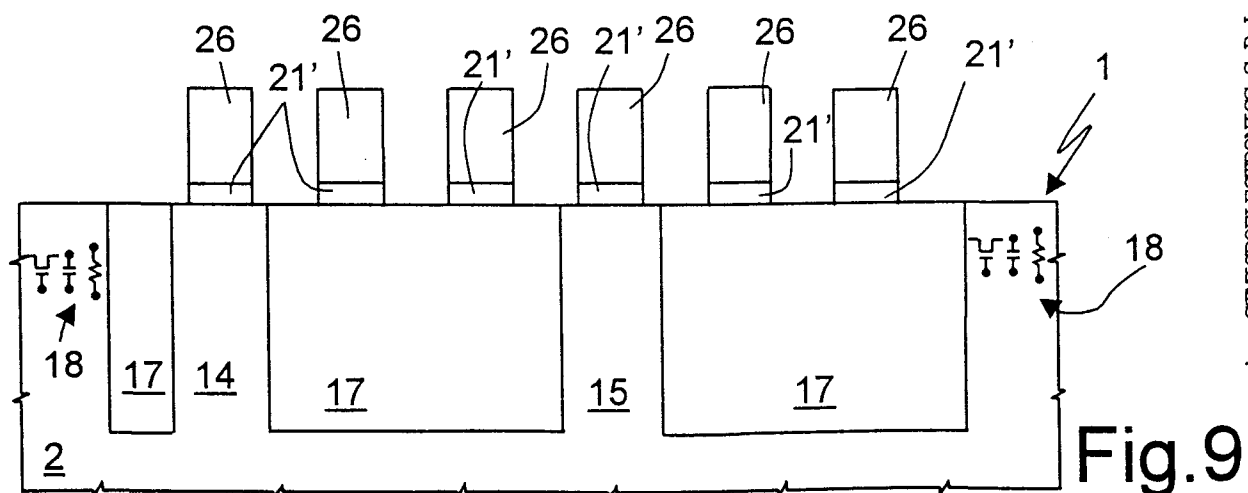
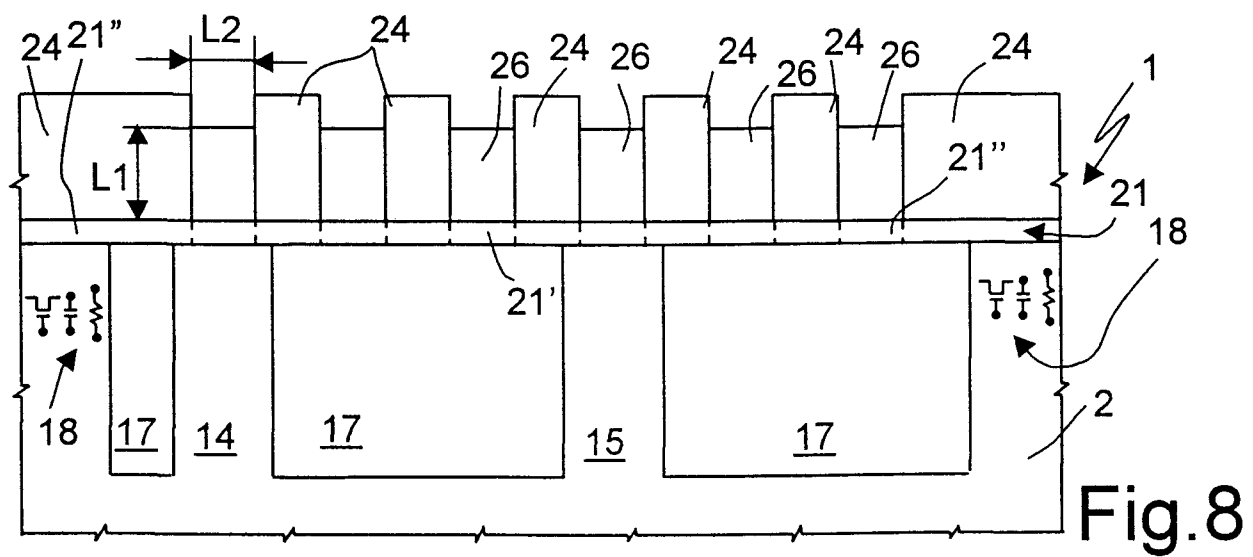
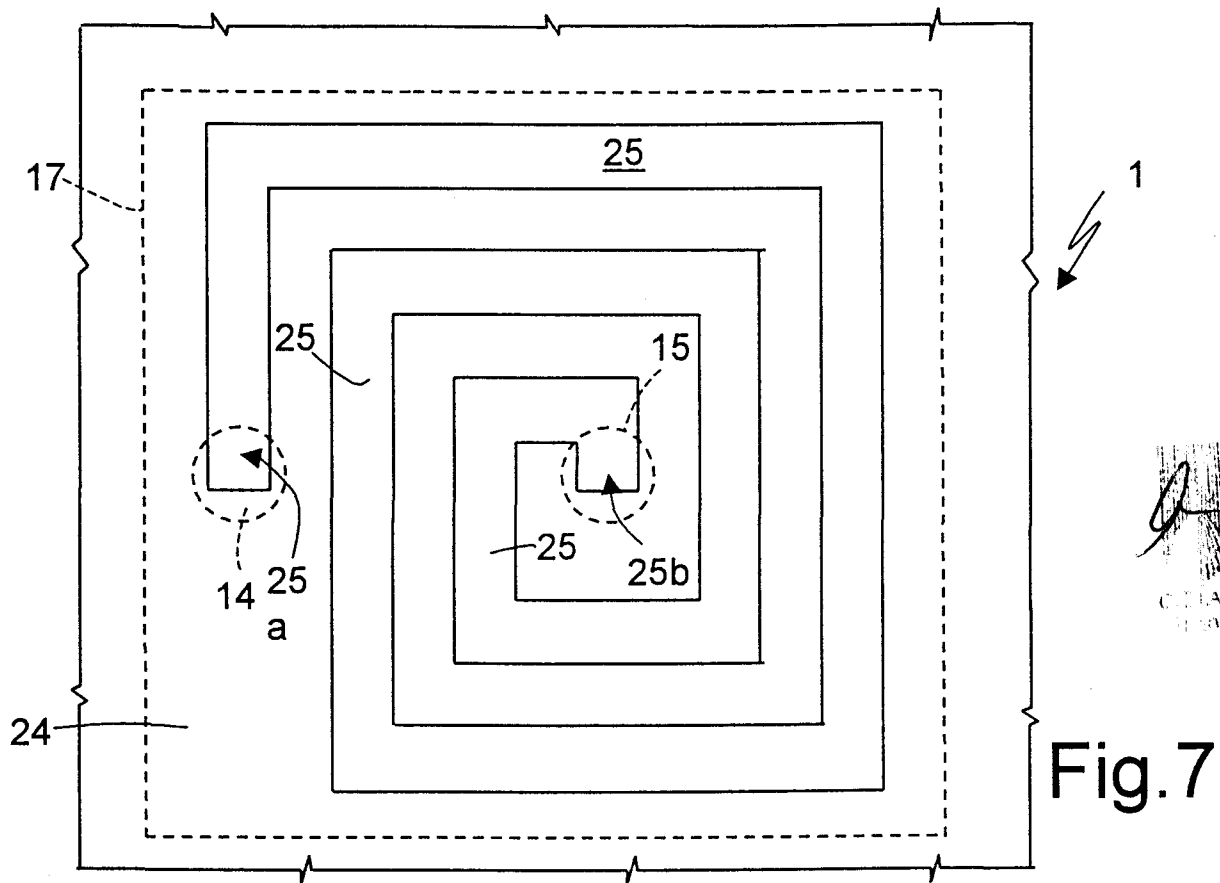
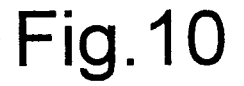


Fig.3







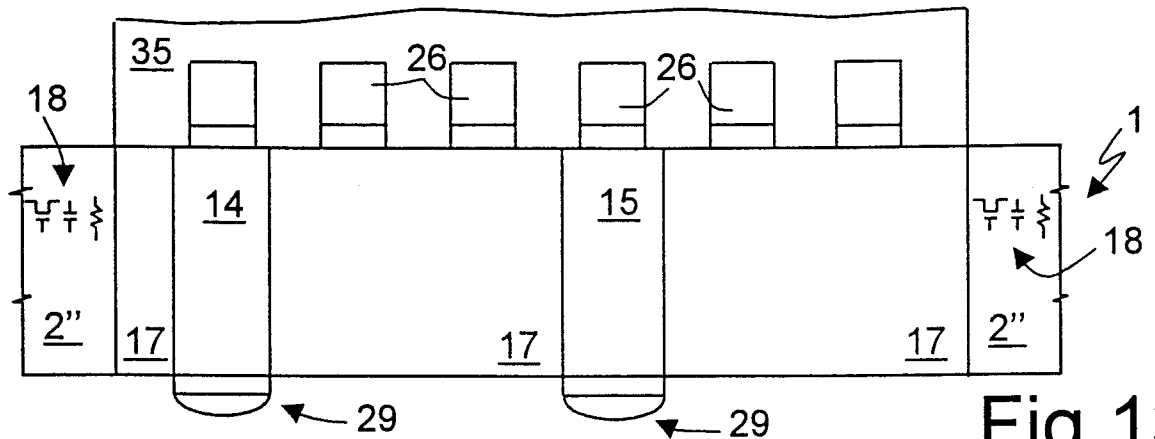


Fig. 13

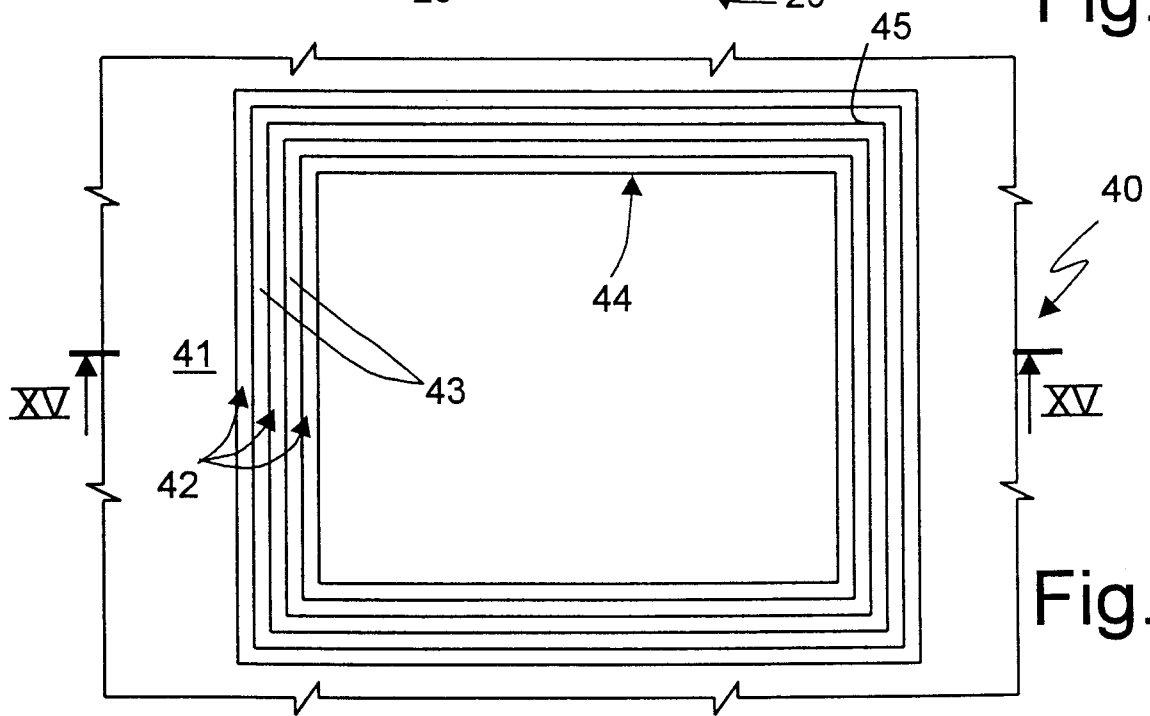


Fig. 17

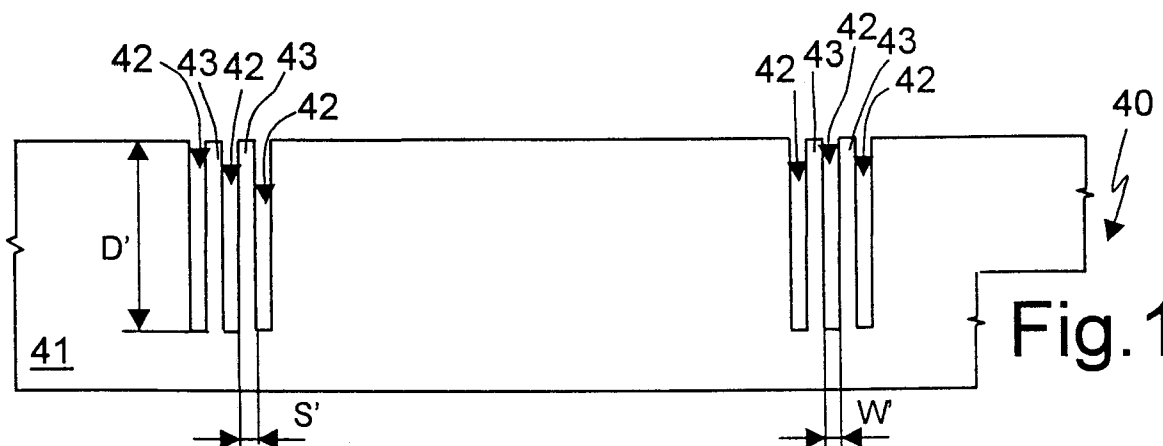


Fig. 15

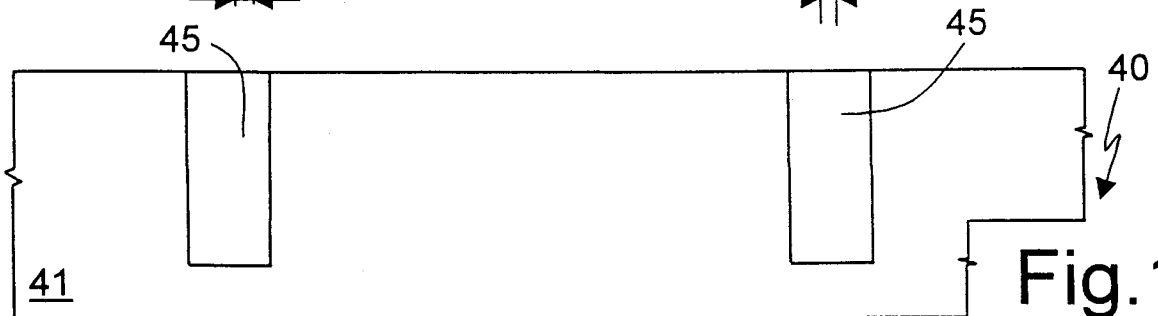


Fig. 16

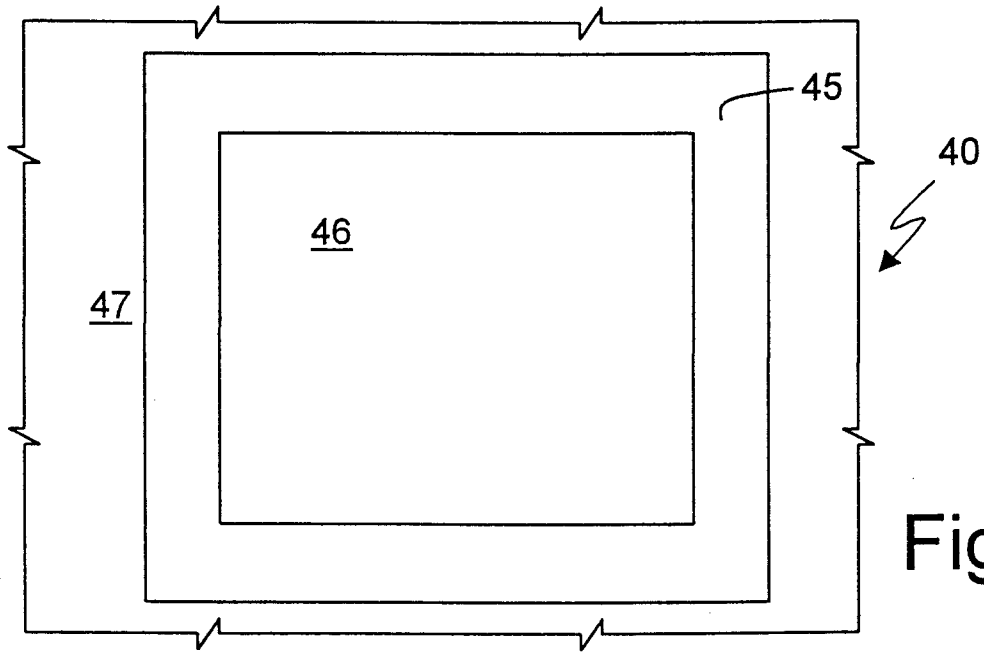


Fig.17

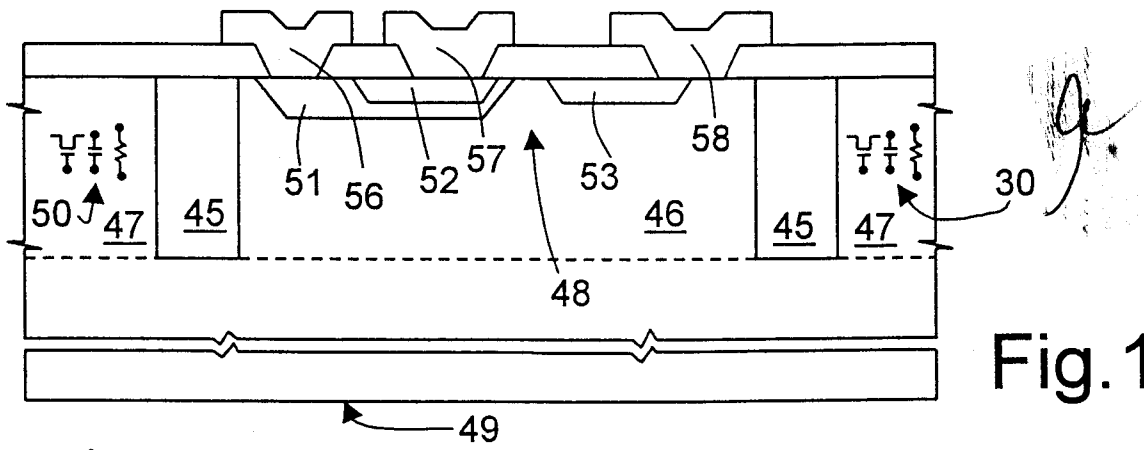


Fig.18

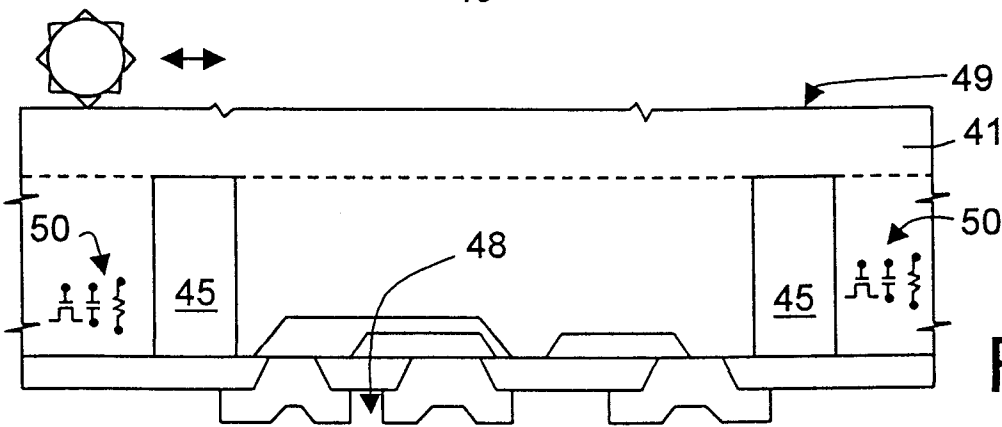


Fig.19

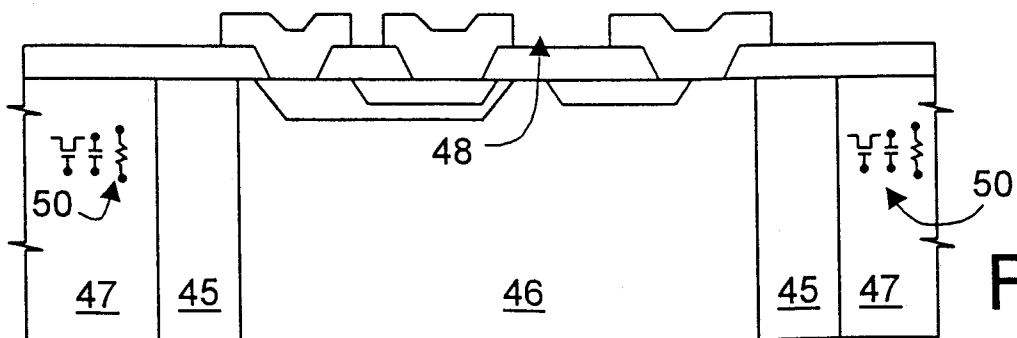


Fig.20

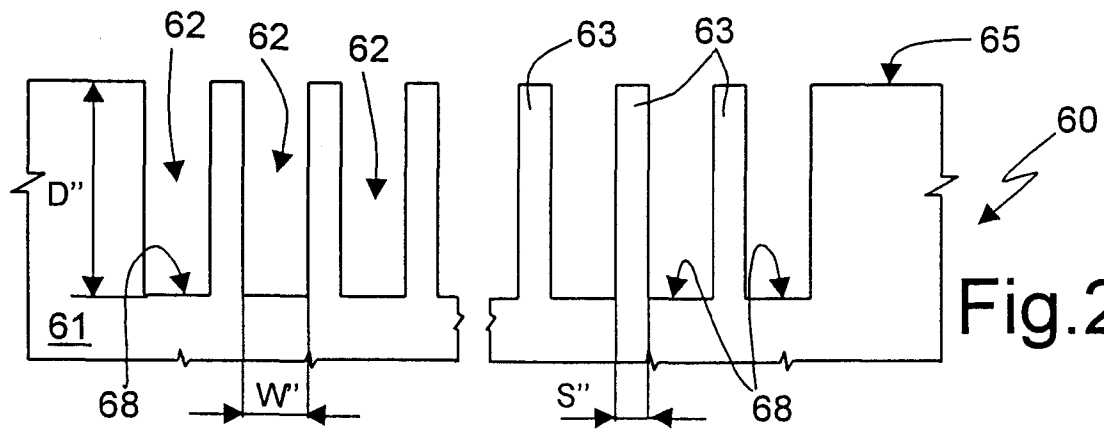


Fig. 21

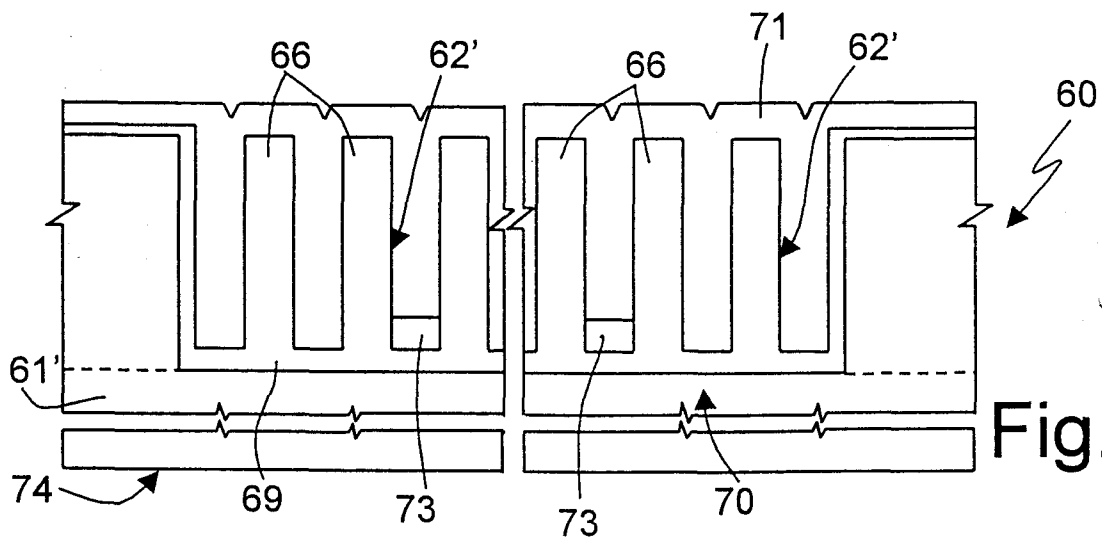


Fig. 22

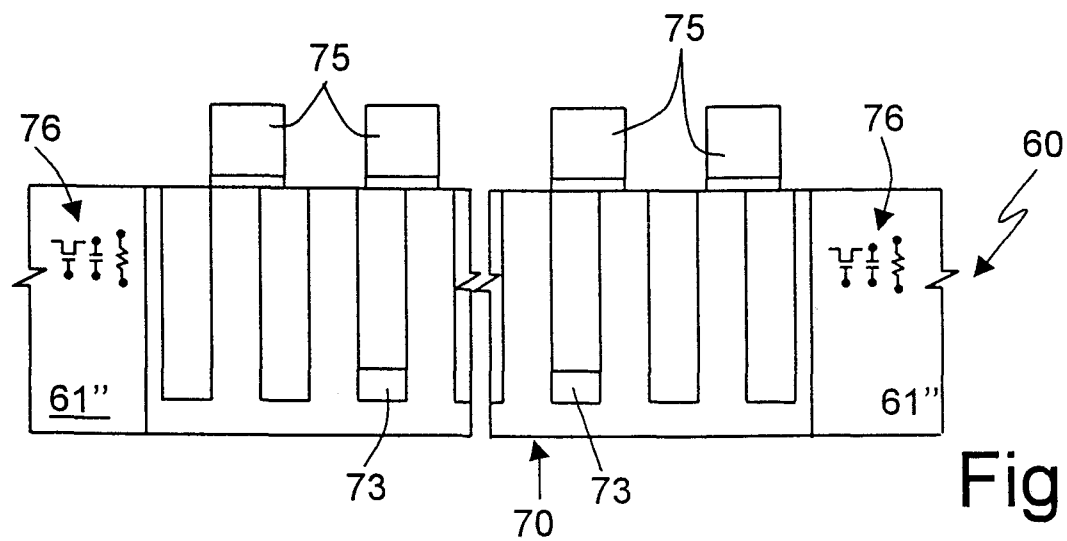


Fig. 23