

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3904828号  
(P3904828)

(45) 発行日 平成19年4月11日(2007.4.11)

(24) 登録日 平成19年1月19日(2007.1.19)

(51) Int.C1.

F 1

<b>G02F</b>	<b>1/1343</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/1343</b>
<b>G02F</b>	<b>1/1333</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/1333 505</b>
<b>G02F</b>	<b>1/1368</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/1368</b>
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	<b>G09F</b>	<b>9/30 349D</b>

請求項の数 14 (全 13 頁)

(21) 出願番号 特願2000-372786 (P2000-372786)  
 (22) 出願日 平成12年12月7日 (2000.12.7)  
 (65) 公開番号 特開2002-174821 (P2002-174821A)  
 (43) 公開日 平成14年6月21日 (2002.6.21)  
 審査請求日 平成16年1月29日 (2004.1.29)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100083552  
 弁理士 秋田 収喜  
 (72) 発明者 阿武 恒一  
 千葉県茂原市早野3300番地 株式会社  
 日立製作所 ディスプレイグループ内  
 (72) 発明者 佐々木 亨  
 千葉県茂原市早野3300番地 株式会社  
 日立製作所 ディスプレイグループ内  
 審査官 白石 光男

最終頁に続く

(54) 【発明の名称】 液晶表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

液晶を介して互いに対向配置される基板と、  
 前記基板のうち一方の基板の液晶側の各画素領域に、他方の基板を介して入射される外  
 来光を反射させる画素電極とを備え、

前記画素電極はその表面に凸部が散在されて形成されているとともに、  
 前記各凸部は前記画素電極を平面的に観た場合に異なる形状のものが2種以上あり、  
 前記画素電極の表面に形成される凸部は、前記画素電極の下層側に位置づけられる島状  
 の多層の材料層によって形成され、  
 前記島状の多層の各材料層は、その一の層の形状の中心位置が他の層の形状の中心位置  
 に対してずれていることを特徴とする液晶表示装置。

## 【請求項 2】

前記島状の多層の材料層の層の数が互いに異なる前記凸部が存在することを特徴とする  
請求項 1に記載の液晶表示装置。

## 【請求項 3】

前記島状の多層の各材料層は、その一の層の平面形状が他の島状の多層の材料層の一の  
 層の平面形状と異なるものが存在することを特徴とする請求項 1 または 2 に記載の液晶表  
 示装置。

## 【請求項 4】

前記島状の多層の各材料層は、その側壁に形成されるテープにて角度の異なるものが存

10

20

在することを特徴とする請求項 1 から 3 の何れかに記載の液晶表示装置。

**【請求項 5】**

前記一方の基板の液晶側の面に形成された複数のゲート信号線と、

前記一方の基板の液晶側の面に前記ゲート信号線と交差して形成された複数のドライン信号線とを備え、

前記画素領域は、隣接して配置される前記ゲート信号線と隣接して配置される前記ドライン信号線とで囲まれた領域であり、

前記画素領域に片側の前記ゲート信号線からの走査信号の供給によって駆動される薄膜トランジスタを備え、

前記画素電極は、前記薄膜トランジスタを介して片側の前記ドライン信号線からの映像信号が供給されることを特徴とする請求項 1 から 4 の何れかに記載の液晶表示装置。 10

**【請求項 6】**

前記画素電極は前記画素領域の大部分に形成されていることを特徴とする請求項 5 に記載の液晶表示装置。

**【請求項 7】**

前記画素電極は前記画素領域の一部分に形成されていることを特徴とする請求項 5 に記載の液晶表示装置。

**【請求項 8】**

前記一方の基板の液晶側の面に形成された複数のゲート信号線と、

前記一方の基板の液晶側の面に前記ゲート信号線と交差して形成された複数のドライン信号線とを備え、 20

前記画素領域は、隣接して配置される前記ゲート信号線と隣接して配置される前記ドライン信号線とで囲まれた領域であり、

前記画素領域に片側の前記ゲート信号線からの走査信号の供給によって駆動される薄膜トランジスタを備え、

前記画素電極は、前記薄膜トランジスタを介して片側の前記ドライン信号線からの映像信号が供給され、

前記島状の多層の材料層は、前記ゲート信号線と同一の材料層、前記薄膜トランジスタのゲート絶縁膜と同一の材料層、前記ドライン信号線と同一の材料層、前記薄膜トランジスタを被う保護膜と同一の材料層のうち少なくとも 2 つの材料層の積層体によって形成されていることを特徴とする請求項 1 から 7 の何れかに記載の液晶表示装置。 30

**【請求項 9】**

前記保護膜は有機材料、あるいは無機材料と有機材料の順次積層体を含むことを特徴とする請求項 8 に記載の液晶表示装置。

**【請求項 10】**

前記島状の多層の材料層は、無機材料により形成されていることを特徴とする請求項 1 から 9 の何れかに記載の液晶表示装置。

**【請求項 11】**

前記島状の多層の材料層は、前記画素電極よりも下層に位置づけられる他の構成要素と同一の無機材料により形成されていることを特徴とする請求項 1 から 10 の何れかに記載の液晶表示装置。 40

**【請求項 12】**

前記画素電極と前記島状の多層の材料層との間に、有機材料の層、あるいは無機材料と有機材料の順次積層体を有することを特徴とする請求項 1 から 11 の何れかに記載の液晶表示装置。

**【請求項 13】**

1 つの前記凸部を形成する前記島状の多層の材料層の中に、第 1 の層と、平面的に観た場合に前記第 1 の層と同一でも相似でもない形状を有する第 2 の層とを有することを特徴とする請求項 1 から 12 の何れかに記載の液晶表示装置。

**【請求項 14】**

前記第1の層の形状の中心位置が前記第2の層の形状の中心位置からずれていることを特徴とする請求項13に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に、入射した外来光の反射光を用いて表示を行ういわゆる反射型と称されるタイプ又は透過型と反射型を兼ねたタイプのアクティブ・マトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】

アクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面にたとえばx方向に延在しy方向に並設されるゲート信号線とy方向に延在しx方向に並設されるドレイン信号線とで囲まれる領域を画素領域とし、これら各画素領域に、片側のゲート信号線からの走査信号の供給により駆動する薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備えている。

【0003】

この画素電極は、他方の基板の液晶側の面に形成された対向電極との間に該映像信号に対応した強さの電界を発生せしめ、液晶の光透過率を制御するようになっている。

【0004】

そして、このような液晶表示装置は、該画素電極を前記他方の基板（観察者側に位置づけられる基板）を介して入射される外来光を反射させる材料（たとえばA1）で構成することによって、いわゆる反射型として用いるものが知られている。

【0005】

また、画素電極の下層側に島状の材料層を散在的に位置づけさせて、該材料層の凸部を該画素電極の表面に顕在させるようにし、均一で光散乱性の良好な反射特性を有するものも知られている（特開2000-98375号公報、特開平11-337961号公報参照）。

【0006】

【発明が解決しようとする課題】

しかしながら、このように構成された液晶表示装置は、画素電極の下層側に形成される島状の各材料層が、平面的に観察した場合にすべて同一の形状（相似的なものも含む）からなるため、これら各材料層によって該画素電極の表面に顕在された凸部の側面は全て同一のテーパ角を有するようになる。

【0007】

このため、画素電極の凸部の側面にて反射する光同士は互いに干渉し、これによって発生する干渉光が、表示品質の向上において不都合を生じせしめることが指摘されるに至った。

本発明は、このような事情に基づいてなされたものであり、その目的は、干渉光の発生を抑制できる液晶表示装置を提供することにある。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0009】

本発明による液晶表示装置は、たとえば、液晶を介して互いに対向配置される基板のうち一方の基板の液晶側の各画素領域に他方の基板を介して入射される外来光を反射させる画素電極を備え、

この画素電極はその表面に凸部が散在されて形成されているとともに、前記各凸部は該画素電極を平面的に観た場合に異なる形状のものが2種以上あることを特徴とするものであ

10

20

30

40

50

る。

【0010】

このように構成された液晶表示装置は、画素電極の表面に形成された凸部において、該画素電極を平面的に観た場合に異なる形状のものを2種以上存在させることによって、該画素電極の凸部の側面にて反射する光同士は互いに干渉し難くなる。

このため、表示品質の向上が図れる。

【0011】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0012】

10

実施例1.

図2は本発明による液晶表示装置の画素の一実施例を示す平面図である。また、図2のI-I線における断面図を図1に示している。

【0013】

図2は、マトリクス状に配置された多数の画素のうちの一つを示すもので、この画素の左右および上下のそれぞれに配置される他の画素も同様の構成となっている。

【0014】

まず、図2において、透明基板SUB1の液晶側の面に図中x方向に延在しy方向に並設されるゲート信号線GLが形成されている。

【0015】

20

このゲート信号線GLはたとえばアルミニウム(A1)から形成され、その表面は陽極酸化されてA1の酸化膜AOが形成されている。その後の熱処理によってヒロックが生じたとえばドレイン信号線DLとの電気的ショート等が発生するのを回避するためである。

【0016】

そして、隣接する一対のゲート信号線GLと後述の隣接する一対のドレイン信号線DLとで囲まれる領域となる画素領域内には、幾つかの島状のA1層が形成されている。

【0017】

このA1層は後に説明する他の島状の材料層とで積層されて画素領域内に凸部PRを形成する層であり、この実施例では第1凸部PR1と称する。また、後の説明でいう第n凸部PRn(n=1, 2, 3, ...)とは積層体から構成される凸部PRの一つの材料層を示すことを意味する。

30

【0018】

なお、画素領域内に形成される前記凸部PRは、この実施例では図2に示すように規則正しく整列されたものとして形成されている。しかし、第1凸部PR1からなるA1層はこれら各凸部PRを形成すべき位置に全て形成する必要はなく、ある凸部PRには該第1凸部PR1が形成され、他の凸部PRには該第1凸部PR1が形成されていないというようになっている。

【0019】

また、前記第1凸部PR1のうち幾つかの第1凸部PR1に重畳するようにしてたとえばITO(Indium-Tin-Oxide)膜からなる第2凸部PR2が形成されている。この第2凸部PR2はこの実施例では第1凸部PR1に対して中心がずれて形成されている。このようにした理由は他の凸部PRと比較して平面的に観た形状をなるべく異ならしめるようとする趣旨からである。

40

【0020】

このため、凸部PRを形成しようとする個所であって、第1凸部PR1が形成されていない領域において前記第2凸部PR2が形成されている部分もある。

【0021】

そして、ゲート信号線GL、第1凸部PR1、第2凸部PR2をも被って透明基板SUB1の面にたとえばSiNからなる絶縁膜GIが形成されている。

【0022】

50

この絶縁膜 G I は、後述のドイレン信号線 D L に対してはゲート信号線 G L との層間絶縁膜としての機能、後述の薄膜トランジスタ T F T に対してはそのゲート絶縁膜としての機能、後述の容量素子 C a d d に対してはその誘電体膜としての機能を有するようになっている。

【 0 0 2 3 】

このため、この絶縁膜 G I は各画素領域の全域にわたって形成されるのが通常であるが、この実施例では、画素領域内の凸部 P R の形成領域にて選択的に形成され、その周囲の部分はエッティングがなされたものとして形成されている（図 1 参照）。このようにした理由は、画素領域内に形成する各凸部 P R において、この絶縁膜 G I をもその一部すなわち第 3 凸部 P R 3 として構成しようとせんがためである。

10

【 0 0 2 4 】

そして、画素領域の左下においてゲート信号線 G L と重畠する前記絶縁膜 G I 上において、たとえば a - S i からなる i 型（真性：導電型決定不純物がドープされていない）の半導体層 A S が形成されている。

【 0 0 2 5 】

この半導体層 A S は、その上面にソース電極およびドレイン電極を形成することによって、前記ゲート信号線 G L の一部をゲート電極とする M I S 型の薄膜トランジスタ T F T の半導体層となるものである。

【 0 0 2 6 】

ここで、この半導体層 A S においても、この実施例では、画素領域内の凸部 P R の形成領域にて選択的に形成されている（図 1 参照）。前記絶縁膜 G I と同様に各凸部 P R において該半導体層 A S を第 4 凸部 P R 4 として構成しようとせんがためである。

20

【 0 0 2 7 】

薄膜トランジスタ T F T のソース電極 S D 1 およびドレイン電極 S D 2 は、前記絶縁膜 G I 上に形成されるドレイン信号線 D L と同時に形成されるようになっている。

【 0 0 2 8 】

すなわち、図中 y 方向に延在され x 方向に並設されるドレイン信号線 D L が形成され、このドレイン信号線 D L の一部を前記半導体層 A S の上面にまで延在させて形成することにより、その延在部は薄膜トランジスタ T F T のドレイン電極 S D 2 として形成される。

【 0 0 2 9 】

一方、ソース電極 S D 1 は画素領域内の大部分の領域にわたって形成される画素電極 P I X と一体に形成されるようになっている。

30

【 0 0 3 0 】

ドレイン信号線 D L (ドレイン電極) と画素電極 P I X (ソース電極) は、いずれも同一の材料層で形成され、この実施例の場合、クロム (C r) とアルミニウム (A l) の順次積層体によって形成されている。下層としてクロムを用いたのは半導体層 A S との接続を考慮し、また上層としてアルミニウムを用いたのは反射電極として機能させる画素電極 P I X の反射効率を考慮したためである。

【 0 0 3 1 】

そして、このようにして形成された画素電極 P I X の表面には前記凸部 P R の形状がほぼそのままに表面に顕在化するようになる。そして、これら各凸部 P R は層の数の異なるものもあり、また平面的に観た形状の異なるものもあるよう構成されていることから、反射光の方向がランダムになり、これらが干渉し合うようなことはなくなる。したがって、表示の品質を向上させることができる効果を奏する。

40

【 0 0 3 2 】

なお、ドレイン電極 S D 2、ソース電極 S D 1 の半導体層 A S との界面には不純物がドープされた半導体層が形成され、この半導体層はコンタクト層として機能するようになっている。

【 0 0 3 3 】

前記半導体層 A S を形成した後、その表面に不純物がドープされた膜厚の薄い半導体層を

50

形成し、ドレイン電極 S D 2 およびソース電極 S D 1 を形成した後に、前記各電極をマスクとして、それから露出された不純物がドープされた半導体層をエッチングすることにより、上述した構成とすることができる。

【 0 0 3 4 】

そして、このようにドレイン信号線 D L および画素電極 P I X 等が形成された透明基板 S U B 1 の表面には、該ドレイン信号線 D L 等をも被ってたとえば S i N からなる保護膜 P S V が形成されている。

この保護膜 P S V は薄膜トランジスタ T F T の液晶との直接の接触を回避するため等に設けられるものである。

【 0 0 3 5 】

一方、図示していないが、この透明基板 S U B と液晶を介して対向配置される透明基板の液晶側の面には、各画素領域を画するようにしてブラックマトリクス（図 2 において点線枠 B M で示している）が形成されている。

【 0 0 3 6 】

このブラックマトリクス B M は、外来の光が薄膜トランジスタ T F T に照射するのを回避させるためと、表示のコントラストを良好にするために設けられている。

【 0 0 3 7 】

さらに、ブラックマトリクス B M の開口部（光が透過する領域となり、実質的な画素領域となる）には各画素領域に対応した色を有するカラーフィルタが形成されている。

【 0 0 3 8 】

このカラーフィルタは、たとえば y 方向に並設される各画素領域において同色のフィルタが用いられ、x 方向の各画素領域毎にたとえば赤（ R ）、緑（ G ）、青（ B ）のフィルタが順番に繰り返されて配列されている。

【 0 0 3 9 】

以下、このように構成される液晶表示装置の製造方法の一実施例を図 3 ( a ) ないし ( e ) を用いて説明する。

【 0 0 4 0 】

工程 1 . ( 図 3 ( a ) )

まず、透明基板 S U B 上に、 A 1 層をたとえばスパッタリング方法を用いて約 3 0 0 n m の厚さに形成する。ホトリソグラフィ技術を用いてホトレジスト樹脂膜によるマスクパターンを該 A 1 層上に形成する（以下、ホト工程と称す）。

【 0 0 4 1 】

磷酸、塩酸、硝酸の混合溶液で該 A 1 を選択エッチングした後、該ホトレジスト樹脂膜を剥離する。

【 0 0 4 2 】

これによって残存した A 1 層のパターンによって、ゲート信号線 G L 、および画素電極の表面に顕在させる複数の散在された第 1 凸部 P R 1 を形成する。

【 0 0 4 3 】

工程 2 . ( 図 3 ( b ) )

パターンングされた A 1 層の表面を酒石酸溶液中で陽極酸化し、これにより厚さ約 1 8 0 n m の陽極酸化膜 A O を形成する。

【 0 0 4 4 】

その後、透明基板 S U B の表面に、 I T O ( Indium-Tin-Oxide ) 膜をたとえばスパッタリング方法により厚さ約 1 0 0 n m で形成し、ホト工程を経て、該 I T O 膜を王水溶液で選択エッチングする。

【 0 0 4 5 】

残存された I T O 膜は前記 A 1 による第 1 凸部 P R 1 のうち幾つかの第 1 凸部 P R 1 上の第 2 凸部 P R 2 として形成され、あるいは前記第 1 凸部 P R 1 の形成されていない部分において第 2 凸部 P R 2 として形成される。

【 0 0 4 6 】

10

20

30

40

50

## 工程 3 . ( 図 3 ( c ) )

透明基板 S U B の表面に、窒化シリコン膜 S i N をたとえれば C V D 方法を用いて厚さ約 240 nm に堆積する。この窒化シリコン膜 S i N は絶縁膜 G I として構成される。

## 【 0 0 4 7 】

次に、非晶質シリコン層を C V D 方法により厚さ約 200 nm に堆積させた後、燐 ( P ) を約 1 % ドーピングした n ( + ) 非晶質シリコン層を厚さ約 35 nm に堆積する。これら非晶質シリコン層および n ( + ) 非晶質シリコン層の順次積層体は半導体層 A S として構成される。

## 【 0 0 4 8 】

ホト工程後、6 フッ化硫黄ガスを用いて前記半導体層 A S と絶縁膜 G I を一括ドライエッティングする。 10

## 【 0 0 4 9 】

この場合、上層の半導体層のエッティング速度の方が、下層の絶縁膜のエッティング速度よりも速いため、絶縁膜の端部が約 4 ° の順テーパ角となるのに対して、半導体層の端部は約 70 ° の順テーパ角となる。

## 【 0 0 5 0 】

この際のホト工程を経る半導体層 A S と絶縁膜 G I のドライ選択エッティングにおいては、前記第 1 凸部 P R 1 ( あるいは第 2 凸部 P R 2 ) 上に重畳されるように絶縁膜 G I と半導体層 A S の積層体からなる第 3 凸部 P R 3 、および第 4 凸部 P R 4 が形成されるようになる。 20

## 【 0 0 5 1 】

同図では、これら第 3 凸部 P R 3 、第 4 凸部 P R 4 は全ての第 1 凸部 P R 1 ( あるいは第 2 凸部 P R 2 ) 上に重畳して形成されているが、これに限定されることはなく、第 1 凸部 P R 1 ( あるいは第 2 凸部 P R 2 ) のうち選択された幾つかのものに重畳して形成するようにもよい。

## 【 0 0 5 2 】

## 工程 4 . ( 図 3 ( d ) )

透明基板 S U B の表面に、クロム ( C r ) をたとえればスパッタリング方法を用いて厚さ約 30 nm に堆積し、さらにアルミニウム ( A l ) を厚さ約 200 nm に堆積する。これら C r と A l の積層体はドレイン信号線 D L ( 薄膜トランジスタ T F T のドレイン電極 S D 1 、ソース電極 S D 2 ) あるいは画素電極 P I X として構成される。 30

## 【 0 0 5 3 】

ホト工程後、燐酸、塩酸、硝酸の混合溶液を用いて A l を選択エッティングし、硝酸セリウム第二アンモン溶液を用いて C r を選択エッティングする。

## 【 0 0 5 4 】

そして、半導体層 A S 上のドレイン電極 S D 1 およびソース電極 S D 2 から露出された n ( + ) 非晶質シリコン層を 6 フッ化硫黄ガスを用いてドライエッティングによって除去する。

## 【 0 0 5 5 】

## 工程 5 . ( 図 3 ( e ) )

透明ガラス基板の表面に、窒化シリコン ( S i N ) をたとえれば C V D 方法を用いて厚さ約 300 nm に堆積する。この S i N 膜は保護膜 P S V として構成される。 40

## 【 0 0 5 6 】

ホト工程後、6 フッ化硫黄ガスを用いてドライエッティングによりパターニングする。このパターニングは、図示されていないが、画素領域の集合からなる表示部の領域外においてゲート信号線 G L あるいはドレイン信号線 D L の端子を露出するための孔開けとなる。

## 【 0 0 5 7 】

## 実施例 2 .

図 4 は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 2 と対応した図となっている。図 5 は図 4 の V - V 線における断面図を示している。 50

## 【0058】

図2の構成と比較して異なる構成は、薄膜トランジスタTFTのソース電極SD2(ドレイン電極SD1、ドレイン信号線DLも同様)と画素電極PIXは保護膜PSVを介して異なる層に位置づけられ、該画素電極PIXは保護膜PSVに形成されたコンタクト孔CHを通してソース電極SD2に接続されていることにある。

## 【0059】

このような構成においても画素電極PIXの下層側には多数の平面的形状の異なる凸部PRが形成されており、該凸部PRが画素電極PIXの表面に顕在化されている。

## 【0060】

以下、このようにして構成される液晶表示装置の製造方法の一実施例を図6を用いて説明する。 10

なお、この製造方法は、実施例1(図3)に示す構成の製造方法において、工程5(図3(e))までは同じとなっているため、それ以降の工程について説明する。

## 【0061】

## 工程6.(図6(a))

透明基板SUBの表面に形成された保護膜PSVに、ホト工程を経てソース電極SD2の延長部の一部を露出させて、コンタクト孔CHを形成する。

## 【0062】

## 工程7.(図6(b))

透明基板SUBの表面に、クロム(Cr)をたとえばスパッタリング方法を用いて厚さ約30nmに堆積し、さらにアルミニウム(Al)を厚さ約200nmに堆積する。これらCrとAlの積層体は画素電極PIXとして構成される。 20

## 【0063】

ホト工程後、磷酸、塩酸、硝酸の混合溶液を用いてAlを選択エッチングし、硝酸セリウム第二アンモン溶液を用いてCrを選択エッチングする。

## 【0064】

ここで、この工程7で保護膜PSVの上面に画素電極PIXを形成することにより、実施例1で形成されたクロムとアルミニウムとの順次積層体は画素電極としての機能が損なわれるようになる。 30

## 【0065】

この積層体をそのまま残存させても液晶表示装置として何ら弊害はないが、凸部PRの形成領域において島状に選択的に形成するようにしてもよい。

## 【0066】

すなわち、ドレイン信号線DL(ドレイン電極SD1)、ソース電極を形成する際に、その金属層(CrとAlの順次積層体)によって、第5凸部PR5を形成することによって、該凸部PRの形状に変化をもたせることができる。図7はこのようにした場合の構成図である。

## 【0067】

## 工程8.(図6(c))

透明ガラス基板の表面に、窒化シリコン(SiN)をたとえばCVD方法を用いて厚さ約300nmに堆積する。このSiN膜は保護膜PSV1として構成される。 40

## 【0068】

ホト工程後、6フッ化硫黄ガスを用いてドライエッチングによりパターニングする。このパターニングは、図示されていないが、画素領域の集合からなる表示部の領域外においてゲート信号線GLあるいはドレイン信号線DLの端子を露出するための孔開けとなる。

## 【0069】

上述したように、画素電極PIXの下層に位置づけられる各凸部PRは、該画素電極PIXを平面的に観察した場合に、少なくとも2種の形状のものが含まれているように構成したものである。

## 【0070】

50

ここで、形状の異なる各凸部のそれぞれの態様を図8ないし図10を用いて説明をする。各図は、多数散在する凸部PRのうちたとえば隣接する3個を選択し、それら3個の凸部PRの形状を示しており、各図(a)は平面図を、(b)は(a)のb-b線における断面図を示している。

【0071】

また、各図では、円形形状の材料を主として用いて凸部PRを形成しているがこの形状に限らず、矩形、多角形あるいはその他の特殊な形状であってもよいことはいうまでもない。

【0072】

まず、図8は、各凸部PRは2層の材料層からなるとともに、一層目の凸部も二層目の凸部も円形形状からなっている。

【0073】

ここで、二層目の凸部は一層目の凸部に対して中心をずらして配置させていることにある。

【0074】

このように構成することにより、各凸部を比較した場合、それらの側壁におけるテーパ角が異なり、また同じであったとしても方向が異なるようにテーパが配置されることになる。

【0075】

また、図9は、各凸部PRにおいて、一層の材料からなるもの、二層の材料からなるもの、三層の材料からなるものがあり、それらが混在して配置されている。

【0076】

このように構成しても、各凸部PRを比較した場合、それらの側壁におけるテーパ角が異なるようになる。

【0077】

さらに、図10は、各凸部PRが2層の材料層からなるとともに、二層目の材料はそれぞれ形状が異なったものとなっている。

【0078】

このように構成しても、各凸部を比較した場合、それらの側壁におけるテーパ角が異なるようになる。

そして、本願発明の実施において、上述した基本的な各構成を組み合わせるようにして形成してもよいことはいうまでもない。

【0079】

上述した実施例では、画素電極PIX上の下層に形成する保護膜PSVはSiN等の無機膜としたものであるが、たとえば樹脂膜等の有機膜であってもよく、また、無機膜と有機膜との順次積層体であってもよい。そして、これらを凸部PRにおける島状の材料層として形成する場合、該凸部PRはその頂部が滑らかな形状となることから、それが顕在化された画素電極PIXの表面に反射する光は方向がばらつき拡散性がよくなる効果を奏する。

【0080】

上述した実施例1では、表示領域の画素電極PIX上に保護膜PSV、実施例2では表示領域の画素電極PIX上に保護膜PSV1を設けているが、少なくともTFT部を被膜する構成としても、本願発明の効果は変わらない。

【0081】

なお、各実施例に示した液晶表示装置は各画素においてその大部分の領域に反射電極からなる画素電極を形成したものである。しかし、各画素においてほぼ半分の領域に透明電極からなる画素電極と残りの他の部分の領域に反射電極からなる画素電極を形成し、いわゆる透過型と反射型を兼ねた液晶表示装置においても適用できることはいうまでもない。

【0082】

【発明の効果】

10

20

30

40

50

以上説明したことから明らかなように、本発明による液晶表示装置によれば、干渉光の発生を抑制できるようになる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施例を示す要部構成図で、図2のI-I線における断面図である。

【図2】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図3】本発明による液晶表示装置の製造方法の一実施例を示す工程図である。

【図4】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図5】図4のV-V線における断面図である。

【図6】本発明による液晶表示装置の製造方法の他の実施例を示す工程図である。 10

【図7】本発明による液晶表示装置の他の実施例を示す要部断面図である。

【図8】本発明による液晶表示装置の他の実施例を示す説明図である。

【図9】本発明による液晶表示装置の他の実施例を示す説明図である。

【図10】本発明による液晶表示装置の他の実施例を示す説明図である。

【符号の説明】

S U B ..... 透明基板、 G L ..... ゲート信号線、 D L ..... ドレンイン信号線、 T F T ..... 薄膜トランジスタ、 P I X ..... 画素電極、 P R ..... 凸部、 P R 1 ..... 第1凸部、 P R 2 ..... 第2凸部、 P R 3 ..... 第3凸部、 P R 4 ..... 第4凸部、 P R 5 ..... 第5凸部。

【図1】

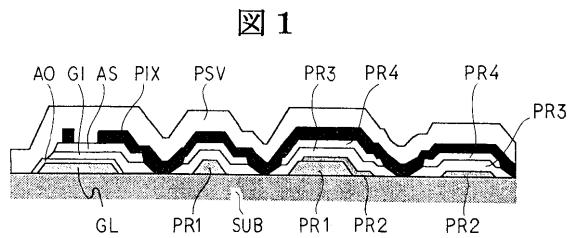
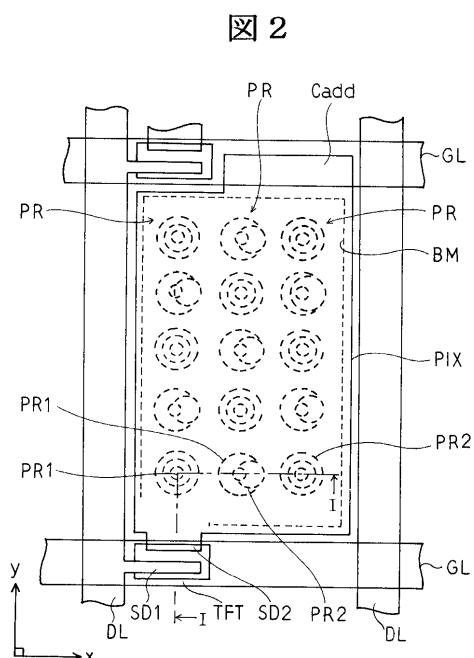


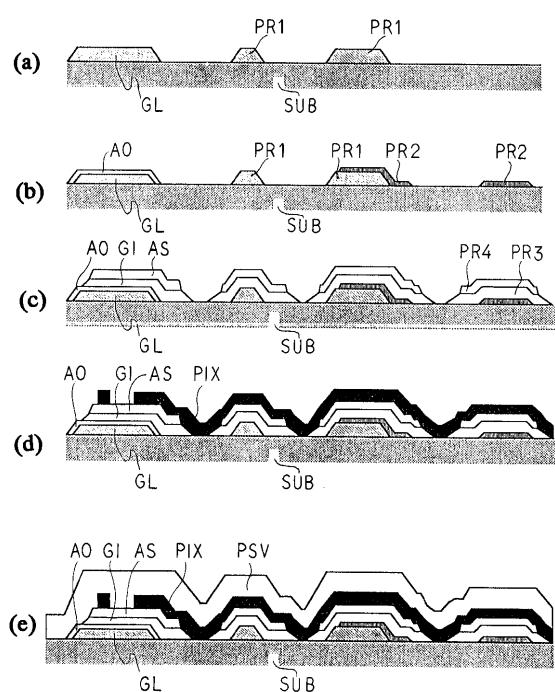
図1

【図2】



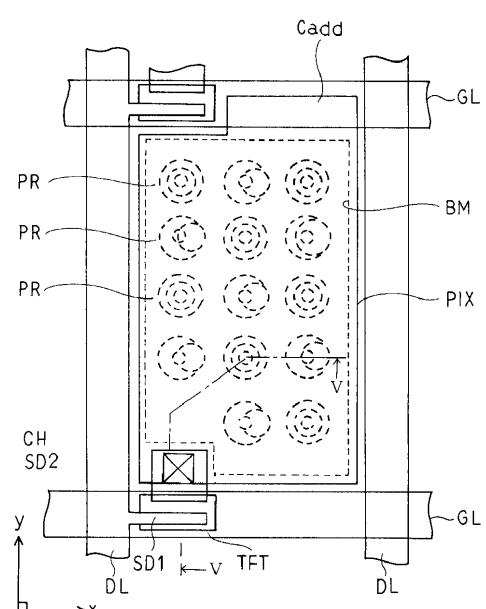
【図3】

図3



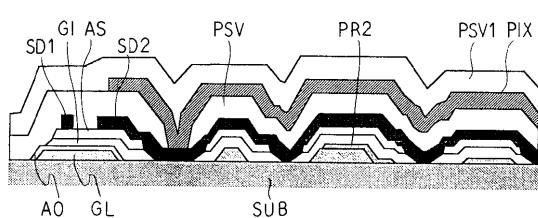
【図4】

図4



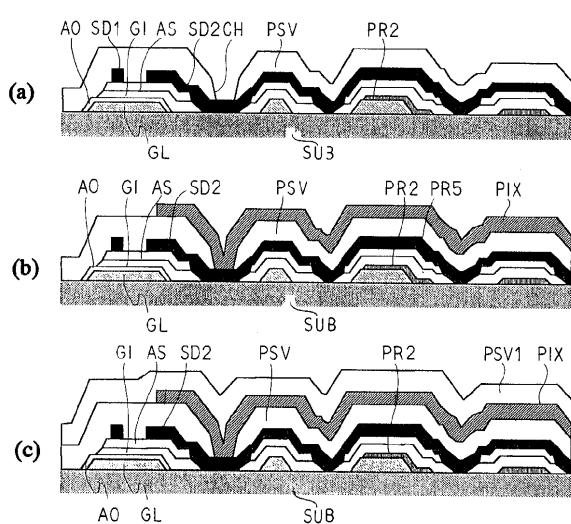
【図5】

図5



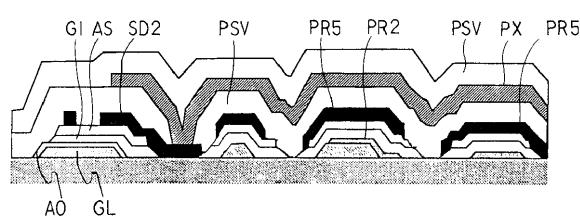
【図6】

図6



【図7】

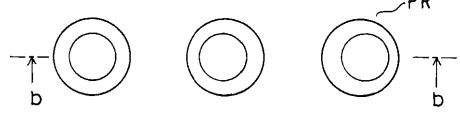
図7



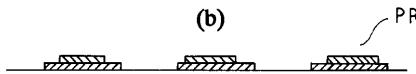
【図8】

図8

(a)

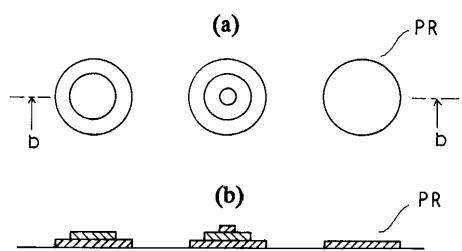


(b)



【図9】

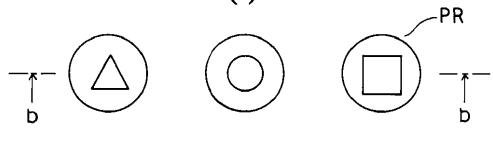
図9



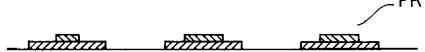
【図10】

図10

(a)



(b)



---

フロントページの続き

(56)参考文献 特開平08-095071(JP,A)  
特開2000-180610(JP,A)  
特開平11-281972(JP,A)  
特開平11-258596(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1333

G02F 1/1368

G09F 9/30