

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月24日(24.03.2022)



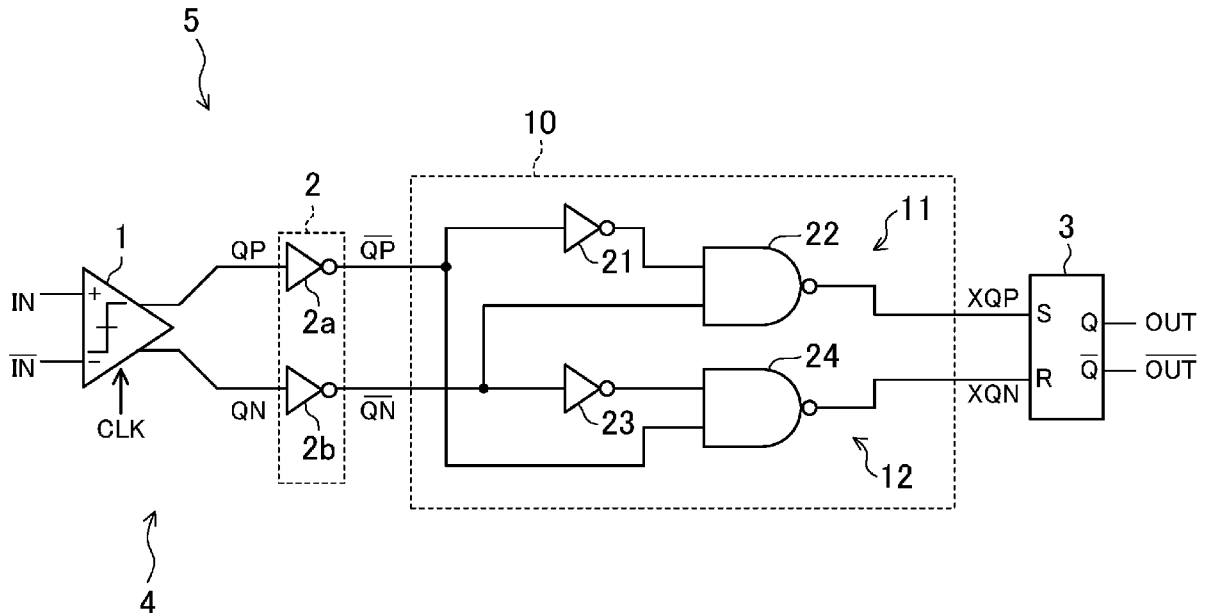
(10) 国際公開番号

WO 2022/059068 A1

- (51) 国際特許分類:
H03M 1/36 (2006.01) *H03K 5/08* (2006.01)
H03K 3/037 (2006.01)
- (21) 国際出願番号: PCT/JP2020/034920
- (22) 国際出願日: 2020年9月15日(15.09.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者:吉田 一貴(YOSHIDA Itsuki); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- 森江 隆史(MORIE Takashi); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: COMPARATOR CIRCUIT AND A/D CONVERTER

(54) 発明の名称: 比較回路およびA/Dコンバータ



(57) Abstract: A comparator circuit (5) outputs digital signals (XQP, XQN) corresponding to differential signals (IN, /IN) to a flip-flop (3) having a prescribed prohibition input. A conversion circuit (4) differentially amplifies the differential signals (IN, /IN) and converts these signals into signals (/QP, /QN) that are complementary digital signals. A logic circuit (10) performs a prescribed logic operation, and when logic values of the signals (/QP, /QN) are different from each other, outputs the digital signals (XQP, XQN) corresponding to the logic value of the signals (/QP, /QN) and when the logical

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

values of the signals (/QP, /QN) are the same, outputs digital signals (XQP, XQN) having the same values other than the prescribed prohibited inputs.

(57) 要約：比較回路（5）は、差動信号（IN, /IN）に応じたデジタル信号（XQP, XQN）を、所定の禁止入力を有するフリップフロップ（3）に出力する。変換回路（4）は、差動信号（IN, /IN）を差動増幅し、相補デジタル信号である信号（/QP, /QN）に変換する。論理回路（10）は所定の論理演算を行い、信号（/QP, /QN）の論理値が互いに異なるときは、信号（/QP, /QN）の論理値に応じたデジタル信号（XQP, XQN）を出力する一方、信号（/QP, /QN）の論理値が同じときは、所定の禁止入力以外であって互いに同じ値を有するデジタル信号（XQP, XQN）を出力する。

明 細 書

発明の名称： 比較回路およびA Dコンバータ

技術分野

[0001] 本開示は、差動信号に応じたデジタル信号を出力する比較回路に関する。

背景技術

[0002] 差動信号に応じたデジタル信号を出力する比較回路は、差動信号を構成する2つの入力電圧を比較し、その大小に応じて、出力となるデジタル信号の値を切り換える。このような比較回路は、例えばA Dコンバータ等において用いられる。

[0003] 近年、半導体集積回路の高速化に伴い、A Dコンバータに対して、高速かつ正確にアナログ信号をデジタル信号に変換することが要求されている。したがって、A Dコンバータに用いられる比較回路は、差動信号を高速かつ正確に比較判定することが必要となる。

[0004] 特許文献1では、差動入力信号を論理ゲートによりパルス信号へ変換し出力する差動—シングル変換回路において、論理ゲートの閾値電圧の変動に影響されないようにするため、論理ゲートの後段にエッジ検出回路を挿入した構成が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-333206号公報

発明の概要

発明が解決しようとする課題

[0006] ここで、従来の比較回路では、入力される差動信号に電位差がないとき、差動増幅によって得られる差動出力信号がともに中間電位となり、これにより、当該比較回路から出力されるデジタル信号が同じ値を有する場合がある。そして、比較回路の出力段に設けられた論理ゲートの閾値電圧のばらつきによって、当該比較回路から出力されるデジタル信号が「1 1」になったり

「00」になったりする。この場合、比較回路の後段にフリップフロップがある場合に、当該フリップフロップに禁止入力を与えられてしまう可能性があり、好ましくない。

[0007] 本開示は、差動信号に応じたデジタル信号を出力する比較回路について、差動信号に電位差がない場合でも、後段のフリップフロップに禁止入力を出力しないようにすることを目的とする。

課題を解決するための手段

[0008] 本開示の態様では、差動信号を入力とし、当該差動信号に応じた第1および第2デジタル信号を、所定の禁止入力を有するフリップフロップに出力する比較回路は、前記差動信号を差動増幅し、相補デジタル信号である第1および第2信号に変換する変換回路と、前記第1および第2信号を入力として所定の論理演算を行い、前記第1および第2デジタル信号を出力する論理回路とを備え、前記論理回路は、前記第1および第2信号が互いに異なる論理値を有するときは、前記第1および第2信号の論理値に応じた前記第1および第2デジタル信号を出力する一方、前記第1および第2信号が同じ論理値を有するときは、前記所定の禁止入力以外であって、互いに同じ値を有する前記第1および第2デジタル信号を出力する。

[0009] この態様によると、比較回路において、入力された差動信号は、変換回路によって差動増幅され、相補デジタル信号である第1および第2信号に変換される。論理回路は、所定の論理演算を行い、第1および第2信号が互いに異なる論理値を有するときは、第1および第2信号の論理値に応じた第1および第2デジタル信号を出力する。一方、第1および第2信号が同じ論理値を有するときは、後段のフリップフロップの所定の禁止入力以外であって、互いに同じ値の第1および第2デジタル信号を出力する。すなわち、変換回路から出力される第1および第2信号が同じ論理値を有するときは、第1および第2デジタル信号として、フリップフロップの所定の禁止入力以外の信号が出力される。このため、差動信号に電位差がなく、変換回路から出力される第1および第2信号が同じ論理値になっても、後段のフリップフロップ

に禁止入力が入力されることを回避することができる。

発明の効果

[0010] 本開示によると、差動信号に応じたデジタル信号を出力する比較回路について、差動信号に電位差がない場合でも、後段のフリップフロップに禁止入力を出力しないようにすることができる。

図面の簡単な説明

[0011] [図1]第1実施形態に係る比較回路を含む構成を示す回路図

[図2] (a), (b) はフリップフロップの回路構成例

[図3]図1の比較回路における論理回路の論理演算を示す真理値表

[図4]図1の比較回路における比較器の回路構成例

[図5] (a), (b) は第1実施形態に係る比較回路の動作例

[図6] (a), (b) は変形例に係る比較回路の動作例

[図7]第2実施形態に係る比較回路を含む構成を示す回路図

[図8] (a) は遅延回路がない比較回路の動作例、(b) は遅延回路がある第2実施形態に係る比較回路の動作例

[図9] (a) は遅延回路がない比較回路の動作例、(b) は遅延回路がある第2実施形態に係る比較回路の動作例

[図10] (a), (b) は第3実施形態に係る比較回路を含む構成を示す回路図

[図11]第4実施形態に係る比較回路を含む構成を示す回路図

[図12]各実施形態に係る比較回路を用いたADコンバータの構成例

発明を実施するための形態

[0012] 以下、実施の形態について、図面を参照して説明する。なお、以下に示す回路構成図では、本開示に関わる構成要素を中心にして簡略化して図示を行っている。このため例えば、直接的に接続されているように図示された構成要素が、実際の回路構成では、その間に他の構成要素が配置されており、間接的に接続されている場合がある。

[0013] また、以下の説明において、信号の「ハイ」「ロー」または「1」「0」

は、信号の高電位側および低電位側の論理レベルを意味する。また、トランジスタの「オン」「オフ」は、トランジスタが導通状態であるか非導通状態であることを意味する。

[0014] (第1実施形態)

図1は第1実施形態に係る比較回路を含む構成を示す回路図である。図1において、比較回路5は、差動信号IN、 $\overline{IN}$ を入力とし、差動信号IN、 $\overline{IN}$ に応じたデジタル信号XQP、XQNをRSフリップフロップ3に出力する。比較回路5は、比較器1、論理ゲート2、および、論理回路10を備える。比較器1は、アナログ/デジタル変換機能を有する回路であり、差動信号IN、 $\overline{IN}$ を差動増幅し、相補デジタル信号である信号QP、QNに変換する。論理ゲート2は、インバータ2a、2bを有し、比較器1から出力された信号QP、QNを反転させて、信号 $\overline{QP}$ 、 $\overline{QN}$ として出力する。比較器1および論理ゲート2が、本開示に係る変換回路4を構成する。論理回路10は、論理ゲート2から出力された信号 $\overline{QP}$ 、 $\overline{QN}$ を入力として論理演算を行い、デジタル信号XQP、XQNを出力する。

[0015] RSフリップフロップ3は、デジタル信号XQPをS入力として受けるとともに、デジタル信号XQNをR入力として受け、Q出力から信号OUTを出力するとともに、 $\overline{Q}$ 出力から信号 $\overline{OUT}$ を出力する。本実施形態では、RSフリップフロップ3は、「00」(S=0, R=0)が禁止入力になっている。図2(a)、(b)はRSフリップフロップ3の回路構成例である。図2(a)はNANDゲートを用いたNAND型、図2(b)はNORゲートを用いたNOR型である。

[0016] 論理回路10は、信号 $\overline{QP}$ 、 $\overline{QN}$ を受けてデジタル信号XQPを出力する第1回路11と、信号 $\overline{QP}$ 、 $\overline{QN}$ を受けてデジタル信号XQNを出力する第2回路12とを備える。第1回路11は、信号 $\overline{QP}$ を受けるインバータ21と、信号 $\overline{QN}$ とインバータ21の出力信号とを入力とするNANDゲート22とを備える。第2回路12は、信号 $\overline{QN}$ を受けるインバータ23と、信号 $\overline{QP}$ とインバータ23の出力信号とを入力とするNAND

ゲート24とを備える。

[0017] 図3は論理回路10が行う論理演算を表す真理値表である。図3に示すように、信号/QP, /QNの論理値が互いに異なるときは、デジタル信号XQP, XQNは信号/QP, /QNの論理値と同じ値になる。一方、信号/QP, /QNの論理値が同じときは、デジタル信号XQP, XQNの値は、「11」になる。すなわち、論理回路10が出力するデジタル信号XQP, XQNの値は、「00」になることはない。

[0018] 比較器1は、比較動作を行う前、すなわちクロック信号CLKがローであるときは、ハイすなわち電圧VDDを出力する。そして、クロック信号CLKが立ち上がりハイになると、比較器1は比較動作を開始する。比較動作では、比較器1は、信号INの電位が信号/I Nよりも高いとき、信号QPとしてハイ、信号QNとしてローを出力する。このとき、論理ゲート2は、信号/QP, /QNとして「01」を出力する。一方、信号INの電位が信号/I Nよりも低いとき、比較器1は、信号QPとしてロー、信号QNとしてハイを出力する。このとき、論理ゲート2は、信号/QP, /QNとして「10」を出力する。

[0019] 図4は比較器1の回路構成例である。図4はクロック入力付きラッチ型比較器の回路構成を示している。

[0020] 図4において、差動入力回路部100は、3個のNMOSトランジスタA1~A3を備える。トランジスタA1~A3のゲートには、それぞれ、クロック信号CLK、信号IN、信号/I Nが与えられる。

[0021] 差動ラッチ回路部200は、2個のNMOSトランジスタB1, B2および6個のPMOSトランジスタB3~B8を備える。トランジスタB1, B3は、ドレイン同士およびゲート同士が接続されている。トランジスタB2, B4は、ドレイン同士およびゲート同士が接続されている。トランジスタB1, B2のソースは、それぞれ、差動入力回路部100のトランジスタA2, A3のドレインと接続されている（ノードN3, N4）。トランジスタB3, B4のソースは電源端子VDDと接続されている。トランジスタB1

、B3のゲートとトランジスタB2、B4のドレインとは接続されており、出力ノードN1になっている。トランジスタB1、B3のドレインとトランジスタB2、B4のゲートとは接続されており、出力ノードN2になっている。出力ノードN1、N2から、それぞれ、信号QP、QNが出力される。トランジスタB5、B6は、電源端子VDDと、ノードN3、N4との間にそれぞれ接続されている。トランジスタB7、B8は、電源端子VDDと、ノードN2、N1との間にそれぞれ接続されている。トランジスタB5～B8のゲートに、クロック信号CLKが与えられる。

[0022] 図4の回路構成は、クロック信号CLKがハイになると比較動作を開始する。このとき、トランジスタA1はオンし、トランジスタB5～B8はオフする。例えば信号INの電位が信号／INよりも高いとき、トランジスタA2を流れる電流はトランジスタA3を流れる電流よりも大きい。これにより、ノードN3の電位はノードN4よりも先にローに遷移する。このとき、ノードN2の電位がノードN1よりも先に低下してローに遷移すると、トランジスタB4がオンになり、電源端子VDDからノードN1に電流が流れ、ノードN1の電位はハイに遷移する。すなわち、信号QPとしてハイ、信号QNとしてローが出力される。同様に、信号／INの電位が信号INよりも高いとき、信号QPとしてロー、信号QNとしてハイが出力される。

[0023] なお、比較器1の回路構成は、図4に示すものに限られるものではない。例えば、図4の構成において、トランジスタB5、B6を省いた構成としてもよい。また、差動ラッチ回路部を、差動入力回路部の横に接続する構成としてもよい。あるいは、比較器1は、ヒステリシス型比較器としてもよい。

[0024] ここで、差動信号IN、／INに電位差がない場合、比較器1は、信号QP、QNとしてともに中間電位を出力する。このとき、論理ゲート2は、自己の閾値電圧と、比較器1から出力される中間電位との大小関係によって、信号／QP、／QNとして「00」または「11」を出力する。ところが、論理ゲート2の閾値電圧は、製造工程等の要因によってばらつく。このため、差動信号IN、／INに電位差がないとき、論理ゲート2から出力される

信号／ＱＰ，／ＱＮは、「００」または「１１」になり、一意に定まらない。本実施形態では、論理回路１０を設けることによって、ＲＳフリップフロップ３に禁止入力「００」が入力されることを回避している。

[0025] 図５は本実施形態に係る比較回路の動作例を示す波形図であり、（ａ）は論理ゲート２の閾値電圧が比較器１から出力される中間電位よりも高い場合、（ｂ）は論理ゲート２の閾値電圧が比較器１から出力される中間電位よりも低い場合である。

[0026] 図５（ａ）に示すように、論理ゲート２の閾値電圧が比較器１から出力される中間電位よりも高い場合、比較器１から中間電位が出力されているとき、その中間電位は論理ゲート２の閾値電圧よりも低いため、論理ゲート２の出力（／ＱＰ，／ＱＮ）は「１１」になる。このとき、論理回路１０の出力（ＸＱＰ，ＸＱＮ）は、図３の真理値表にあるとおり、「１１」になる。また、図５（ｂ）に示すように、論理ゲート２の閾値電圧が比較器１から出力される中間電位よりも低い場合、比較器１から中間電位が出力されているとき、その中間電位は論理ゲート２の閾値電圧よりも高いため、論理ゲート２の出力（／ＱＰ，／ＱＮ）は「００」になる。このとき、論理回路１０の出力（ＸＱＰ，ＸＱＮ）は、図３の真理値表にあるとおり、「１１」になる。すなわち、論理ゲート２の閾値電圧にばらつきがあっても、差動信号ＩＮ，／ＩＮに電位差がなく比較器１から中間電位が出力されているときに、論理回路１０の出力（ＸＱＰ，ＸＱＮ）がＲＳフリップフロップ３の禁止入力「００」になることはない。

[0027] 以上のように本実施形態によると、比較回路５において、入力された差動信号ＩＮ，／ＩＮは、変換回路４によって差動増幅され、相補デジタル信号である信号／ＱＰ，／ＱＮに変換される。論理回路１０は、所定の論理演算を行い、信号／ＱＰ，／ＱＮが互いに異なる論理値を有するときは、信号／ＱＰ，／ＱＮの論理値に応じたデジタル信号ＸＱＰ，ＸＱＮを出力する。一方、信号／ＱＰ，／ＱＮが同じ論理値を有するときは、論理回路１０は「１１」を出力する。すなわち、信号／ＱＰ，／ＱＮが同じ論理値を有するとき

は、デジタル信号 XQP 、 XQN として、フリップフロップ3の禁止入力「00」以外であって、互いに同じ値である「11」が出力される。このため、差動信号 IN 、 $/IN$ に電位差がなく、変換回路4から出力される信号 $/QP$ 、 $/QN$ が同じ論理値になっても、後段のフリップフロップ3に禁止入力が入力されることを回避することができる。

[0028] <変形例>

上述した実施形態では、比較器1は、比較動作を行う前は、ハイすなわち電圧 VDD を出力するものとした。ただし、比較器1は、比較動作を行う前は、ローすなわちグラウンド GND を出力するものとしてもよい。例えば、図4の回路構成について、電源 VDD とグラウンド GND を反転し、NMOSトランジスタをPMOSトランジスタに置き換えるとともに、PMOSトランジスタをNMOSトランジスタに置き換える。この回路構成では、比較動作を行う前は、ローが出力される。

[0029] この場合でも、論理回路10を設けたことによって、RSフリップフロップ3の入力は、禁止入力「00」にならない。

[0030] 図6は本変形例に係る比較回路の動作例を示す波形図であり、(a)は論理ゲート2の閾値電圧が比較器1から出力される中間電位よりも高い場合、(b)は論理ゲート2の閾値電圧が比較器1から出力される中間電位よりも低い場合である。

[0031] 図6(a)に示すように、論理ゲート2の閾値電圧が比較器1から出力される中間電位よりも高い場合、比較器1から中間電位が出力されているとき、その中間電位は論理ゲート2の閾値電圧よりも低いため、論理ゲート2の出力($/QP$ 、 $/QN$)は「11」になる。このとき、論理回路10の出力(XQP 、 XQN)は、図3の真理値表にあるとおり、「11」になる。また、図6(b)に示すように、論理ゲート2の閾値電圧が比較器1から出力される中間電位よりも低い場合、比較器1から中間電位が出力されているとき、その中間電位は論理ゲート2の閾値電圧よりも高いため、論理ゲート2の出力($/QP$ 、 $/QN$)は「00」になる。このとき、論理回路10の出

力 (X Q P, X Q N) は、図 3 の真理値表にあるとおり、「1 1」になる。

[0032] (第 2 実施形態)

図 7 は第 2 実施形態に係る比較回路を含む構成を示す回路図である。図 7 において、論理回路 1 0 A の構成が、図 1 に示す論理回路 1 0 と異なっている。すなわち、論理回路 1 0 A において、信号 / Q P, / Q N を受けてデジタル信号 X Q P を出力する第 1 回路 1 1 A が、インバータ 2 1 および N A N D ゲート 2 2 に加えて、遅延回路 2 5 を備えており、信号 / Q P, / Q N を受けてデジタル信号 X Q N を出力する第 2 回路 1 2 A が、インバータ 2 3 および N A N D ゲート 2 4 に加えて、遅延回路 2 6 を備えている。遅延回路 2 5 は、信号 / Q N を遅延させて N A N D ゲート 2 2 に入力させる。遅延回路 2 6 は、信号 / Q P を遅延させて N A N D ゲート 2 4 に入力させる。遅延回路 2 5, 2 6 は、例えば、C M O S スイッチやユニティゲインバッファなどによって実現すればよい。

[0033] 論理回路 1 0 A が行う論理演算は、図 1 に示す論理回路 1 0 と同じであり、図 3 の真理値表が示すとおりである。すなわち、信号 / Q P, / Q N の論理値が互いに異なるときは、デジタル信号 X Q P, X Q N は信号 / Q P, / Q N の論理値と同じ値になる。一方、信号 / Q P, / Q N の論理値が同じときは、デジタル信号 X Q P, X Q N の値は、「1 1」になる。すなわち、論理回路 1 0 A が出力するデジタル信号 X Q P, X Q N の値は、「0 0」になることはない。

[0034] さらに、本実施形態では、N A N D 入力の片側経路に遅延回路 2 5, 2 6 を追加することによって、N A N D ゲートの入力経路差を低減している。これにより、信号 X Q P, X Q N の一方または両方に微少なパルスが発生することを抑えている。微少なパルスが発生する場合としては、例えば、インバータ 2 1 の遅延ばらつきにより N A N D ゲート 2 2 の 2 つの入力にタイミングずれが生じた場合や、インバータ 2 3 の遅延ばらつきにより N A N D ゲート 2 4 の 2 つの入力にタイミングずれが生じた場合がある。また、比較器 1 内のラッチ回路のインバータ能力のばらつきによって、信号 Q P, Q N の電

圧降下の速さに差が生じ、信号／ＱＰ，／ＱＮの立ち上がりのタイミングがずれた場合がある。

[0035] 図８はＮＡＮＤゲート２２，２４の２つの入力にタイミングずれが生じた場合における比較回路の動作例を示す。図８（ａ）は遅延回路なし、図８（ｂ）は遅延回路あり、すなわち本実施形態に係る比較回路の場合である。 α ， β はＮＡＮＤゲート２２の入力、 γ ， δ はＮＡＮＤゲート２４の入力である。

[0036] 図８（ａ）に示すように、遅延回路がない場合は、信号／ＱＰ，／ＱＮがともに立ち上がったとき、インバータ２１により、入力 α の立ち下がりを入力 β の立ち上がりよりも遅れる。このため、ＮＡＮＤゲート２２の出力ＸＱＰに微小パルスが発生する可能性がある。また、インバータ２３により、入力 γ の立ち下がりを入力 δ の立ち上がりよりも遅れる。このため、ＮＡＮＤゲート２４の出力ＸＱＮに微小パルスが発生する可能性がある。この結果、デジタル信号ＸＱＰ，ＸＱＮの値が一時的に「００」になる可能性があり、これがＲＳフリップフロップ３の禁止入力となるため、回路の誤動作を引き起こす可能性がある。

[0037] 一方、図８（ｂ）に示すように、本実施形態に係る比較回路では、遅延回路２５を設けたため、入力 β の立ち上がりが遅延しており、これにより、ＮＡＮＤゲート２２の出力ＸＱＰに微小パルスが発生することが抑制されている。また、遅延回路２６を設けたため、入力 δ の立ち上がりが遅延しており、これにより、ＮＡＮＤゲート２４の出力ＸＱＮに微小パルスが発生することが抑制されている。この結果、デジタル信号ＸＱＰ，ＸＱＮの値が「００」になる可能性が回避される。

[0038] 図９は信号／ＱＰ，／ＱＮの立ち上がりのタイミングがずれた場合における比較回路の動作例を示す。図９（ａ）は遅延回路なし、図９（ｂ）は遅延回路あり、すなわち本実施形態に係る比較回路の場合である。 α ， β はＮＡＮＤゲート２２の入力、 γ ， δ はＮＡＮＤゲート２４の入力である。

[0039] 図９では、比較器１の出力ＱＰ，ＱＮについて、出力ＱＮの方が出力ＱＰ

よりも立ち下がりが速いものとしている。これにより、信号／ＱＰの立ち上がりが信号／ＱＮの立ち上がりよりも遅れている。図９（ａ）に示すように、遅延回路がない場合は、入力 α の立ち下がりを入力 β の立ち上がりよりも遅れる。このため、ＮＡＮＤゲート２２の出力ＸＱＰに微小パルスが発生する可能性がある。一方、図９（ｂ）に示すように、本実施形態に係る比較回路では、遅延回路２５を設けたために、入力 β の立ち上がりが遅延し、ＮＡＮＤゲート２２の出力ＸＱＰに微小パルスが発生することが抑制されている。

[0040] また、図示は省略するが、比較器１の出力ＱＰ，ＱＮについて、出力ＱＰの方が出力ＱＮよりも立ち下がりが速い場合には、信号／ＱＮの立ち上がりが信号／ＱＰの立ち上がりよりも遅れることになる。この場合、遅延回路がないときは、ＮＡＮＤゲート２４の出力ＸＱＮに微小パルスが発生する可能性がある。ところが、本実施形態に係る比較回路では、遅延回路２６を設けたため、入力 δ の立ち上がりが遅延し、ＮＡＮＤゲート２４の出力ＸＱＮに微小パルスが発生することが抑制される。

[0041] 以上のように本実施形態によると、論理回路１０Ａにおいて、ＮＡＮＤゲート２２，２４の一方の入力側に遅延回路２５，２６を設けることによって、ＮＡＮＤゲート２２，２４の出力ＸＱＰ，ＸＱＮに微小パルスが発生することを抑制することができる。これにより、後段のフリップフロップ３に禁止入力が入力されることをより確実に回避することができる。

[0042] なお、本実施形態において、第１実施形態と同様に、比較器１は、比較動作を行う前はローを出力するものとしてもかまわない。

[0043] （第３実施形態）

図１０（ａ），（ｂ）は第３実施形態に係る比較回路を含む構成を示す回路図である。図１０（ａ）の構成では、論理回路３０は、ＮＯＲゲートを用いている。すなわち、論理回路３０は、信号／ＱＰ，／ＱＮを受けてデジタル信号ＸＱＰを出力する第１回路３１と、信号／ＱＰ，／ＱＮを受けてデジタル信号ＸＱＮを出力する第２回路３２とを備える。第１回路３１は、信号

／ＱＮを受けるインバータ４１と、信号／ＱＰとインバータ４１の出力信号とを入力とするＮＯＲゲート４２と、ＮＯＲゲート４２の出力を受けるインバータ４３とを備える。第２回路３２は、信号／ＱＰを受けるインバータ４４と、信号／ＱＮとインバータ４４の出力信号とを入力とするＮＯＲゲート４５と、ＮＯＲゲート４５の出力を受けるインバータ４６とを備える。

[0044] 論理回路３０が行う論理演算は、図１に示す論理回路１０と同じであり、図３の真理値表が示すとおりである。すなわち、信号／ＱＰ、／ＱＮの論理値が互いに異なるときは、デジタル信号ＸＱＰ、ＸＱＮは信号／ＱＰ、／ＱＮの論理値と同じ値になる。一方、信号／ＱＰ、／ＱＮの論理値が同じときは、デジタル信号ＸＱＰ、ＸＱＮの値は、「１１」になる。すなわち、論理回路３０が出力するデジタル信号ＸＱＰ、ＸＱＮの値は、「００」になることはない。

[0045] また、論理回路３０は、ＮＯＲゲート４２、４５の後段にインバータ４３、４６が設けられているため、ＮＯＲゲート４２、４５の出力波形が鈍った場合でも、デジタル信号ＸＱＰ、ＸＱＮとして鋭い矩形パルスを出力することができる。

[0046] 図１０（ｂ）の構成では、論理回路３０Ａは、図１０（ａ）の論理回路３０の構成に遅延回路４７、４８が加えられている。遅延回路４７は、信号／ＱＰを遅延させてＮＯＲゲート４２に入力させる。遅延回路４８は、信号／ＱＮを遅延させてＮＯＲゲート４５に入力させる。遅延回路４７、４８は、例えば、ＣＭＯＳスイッチやユニティゲインバッファなどによって実現すればよい。

[0047] 図１０（ｂ）の構成では、第２実施形態と同様に、ＮＯＲ入力の片側経路に遅延回路４７、４８を追加することによって、ＮＯＲゲートの入力経路差を低減している。これにより、信号ＸＱＰ、ＸＱＮの一方または両方に微少なパルスが発生することを抑えることができる。

[0048] （第４実施形態）

図１１は第４実施形態に係る比較回路を含む構成を示す回路図である。図

11の構成では、論理回路50は、EXORゲートを用いている。すなわち、論理回路50は、信号/QP, /QNを受けるEXORゲート51と、信号/QNとEXORゲート51の出力信号とを入力とするNANDゲート52と、信号/QPとEXORゲート51の出力信号とを入力とするNANDゲート53とを備える。

[0049] 論理回路50が行う論理演算は、図1に示す論理回路10と同じであり、図3の真理値表が示すとおりである。すなわち、信号/QP, /QNの論理値が互いに異なるときは、デジタル信号XQP, XQNは信号/QP, /QNの論理値と同じ値になる。一方、信号/QP, /QNの論理値が同じときは、デジタル信号XQP, XQNの値は、「11」になる。すなわち、論理回路50が出力するデジタル信号XQP, XQNの値は、「00」になることはない。

[0050] また、上述した第1実施形態では、論理回路10において、NANDゲート22, 24の一方の入力側にインバータ21, 23がそれぞれ設けられている。このため、インバータ21, 23の製造ばらつきに起因して、NANDゲート22, 24に入力される信号のタイミングがずれる可能性があり、これにより、デジタル信号XQP, XQNの遷移タイミングがばらつく可能性がある。これに対して本実施形態では、NANDゲート52, 53の一方の入力は、EXORゲート51の出力であり共通している。このため、本実施形態によると、デジタル信号XQP, XQNの遷移タイミングのばらつきが抑制される。

[0051] <ADコンバータの構成>

上述した各実施形態に係る比較回路は、例えばADコンバータに利用することができる。図12は逐次比較型ADコンバータの構成例である。図12に示す逐次比較型ADコンバータは、比較回路61と、SARロジック回路62と、容量DAC（デジタルアナログ変換器）63, 64とを備える。比較回路61は、上述した各実施形態に係る比較回路によって実現される。また、SARロジック回路62は、上述した各実施形態で示したRSフリップ

フリップフロップ3を含んでいる。

[0052] 容量DAC63, 64は、差動入力信号IN, /INをサンプリングする。比較回路61は、サンプリングされた信号の大小を比較し、いずれが大きいかを示すデジタル信号XQP, XQNを出力する。SARロジック回路62は、比較回路61から出力されたデジタル信号XQP, XQNに応じた信号を容量DAC63, 64に送る。これにより、容量DAC63, 64の出力電圧はシフトし、次ビットの比較に移行する。このような動作を全ビットに対して行った後、SARロジック回路62から出力コードが出力される。

[0053] なお、上述した各実施形態に係る比較回路を備えるADコンバータの構成は、図12に示したものに限られるものではない。

[0054] なお、上述した各実施形態では、比較回路が備える論理回路は、信号/QP, /QNが互いに異なる論理値を有するときは、デジタル信号XQP, XQNとして、信号/QP, /QNと同じ値を有する信号を出力する構成とした。これに代えて、比較回路が備える論理回路は、信号/QP, /QNが互いに異なる論理値を有するときは、デジタル信号XQP, XQNとして、信号/QP, /QNの論理を反転させた信号を出力する構成にしてもかまわない。すなわち、論理回路は、信号/QP, /QNが「01」のときデジタル信号XQP, XQNとして「10」を出力し、信号/QP, /QNが「10」のときデジタル信号XQP, XQNとして「01」を出力する構成にしてもかまわない。

[0055] また、上述した各実施形態では、比較回路の出力を受けるフリップフロップ3は、「00」が禁止入力であるものとしたが、フリップフロップは「11」が禁止入力になる場合もある。この場合は、比較回路における論理回路の論理演算を、「11」が出力されないものにすればよい。例えば、図1の論理回路10において、NANDゲート22, 24の出力側にそれぞれインバータを設けたり、図10の論理回路30, 30Aにおいて、インバータ43, 46を省いたりすればよい。

[0056] なお、本開示は、上述の各実施形態で示した構成に限定されるものではない。

く、多くの変形が、本開示の技術的思想内で当該技術分野において通常の知識を有する者により可能である。また、本開示の趣旨を逸脱しない範囲で、複数の実施形態における各構成要素を任意に組み合わせてもよい。

産業上の利用可能性

[0057] 本開示では、差動信号に応じたデジタル信号を出力する比較回路について、後段のフリップフロップに禁止入力を出力しないようにできるので、例えば、LSIの性能向上に有効である。

符号の説明

[0058] 1 比較器
2 論理ゲート
3 フリップフロップ
4 変換回路
5, 5A 比較回路
10, 10A 論理回路
11, 11A 第1回路
12, 12A 第2回路
21, 23 インバータ
22, 24 NANDゲート
25, 26 遅延回路
30, 30A 論理回路
31, 31A 第1回路
32, 32A 第2回路
41, 43, 44, 46 インバータ
42, 45 NORゲート
47, 48 遅延回路
50 論理回路
51 EXORゲート
52, 53 NANDゲート

6 1 比較回路

I_N , $\overline{I_N}$ 差動信号

$\overline{Q_P}$, $\overline{Q_N}$ 第1および第2信号

X_{Q_P} , X_{Q_N} 第1および第2デジタル信号

請求の範囲

- [請求項1] 差動信号を入力とし、当該差動信号に応じた第1および第2デジタル信号を、所定の禁止入力を有するフリップフロップに出力する比較回路であって、
- 前記差動信号を差動増幅し、相補デジタル信号である第1および第2信号に変換する変換回路と、
- 前記第1および第2信号を入力として所定の論理演算を行い、前記第1および第2デジタル信号を出力する論理回路とを備え、
- 前記論理回路は、前記第1および第2信号が互いに異なる論理値を有するときは、前記第1および第2信号の論理値に応じた前記第1および第2デジタル信号を出力する一方、前記第1および第2信号が同じ論理値を有するときは、前記所定の禁止入力以外であって、互いに同じ値を有する前記第1および第2デジタル信号を出力することを特徴とする比較回路。
- [請求項2] 請求項1記載の比較回路において、
- 前記論理回路は、
- 前記第1および第2信号を受けて、前記第1デジタル信号を出力する第1回路と、
- 前記第1および第2信号を受けて、前記第2デジタル信号を出力する第2回路とを備え、
- 前記第1回路は、
- 前記第1信号を受ける第1インバータと、
- 前記第2信号と、前記第1インバータの出力信号とを入力とする第1NANDゲートとを備え、
- 前記第2回路は、
- 前記第2信号を受ける第2インバータと、
- 前記第1信号と、前記第2インバータの出力信号とを入力とする第2NANDゲートとを備える

ことを特徴とする比較回路。

[請求項3]

請求項2記載の比較回路において、

前記第1回路は、前記第2信号を遅延させて前記第1NANDゲートに入力させる第1遅延回路を備え、

前記第2回路は、前記第1信号を遅延させて前記第2NANDゲートに入力させる第2遅延回路を備える

ことを特徴とする比較回路。

[請求項4]

請求項1記載の比較回路において、

前記論理回路は、

前記第1および第2信号を受けて、前記第1デジタル信号を出力する第1回路と、

前記第1および第2信号を受けて、前記第2デジタル信号を出力する第2回路とを備え、

前記第1回路は、

前記第2信号を受ける第1インバータと、

前記第1信号と、前記第1インバータの出力信号とを入力とする第1NORゲートと、

前記第1NORゲートの出力を受ける第2インバータとを備え、

前記第2回路は、

前記第1信号を受ける第3インバータと、

前記第2信号と、前記第3インバータの出力信号とを入力とする第2NORゲートと、

前記第2NORゲートの出力を受ける第4インバータとを備える

ことを特徴とする比較回路。

[請求項5]

請求項4記載の比較回路において、

前記第1回路は、前記第1信号を遅延させて前記第1NORゲートに入力させる第1遅延回路を備え、

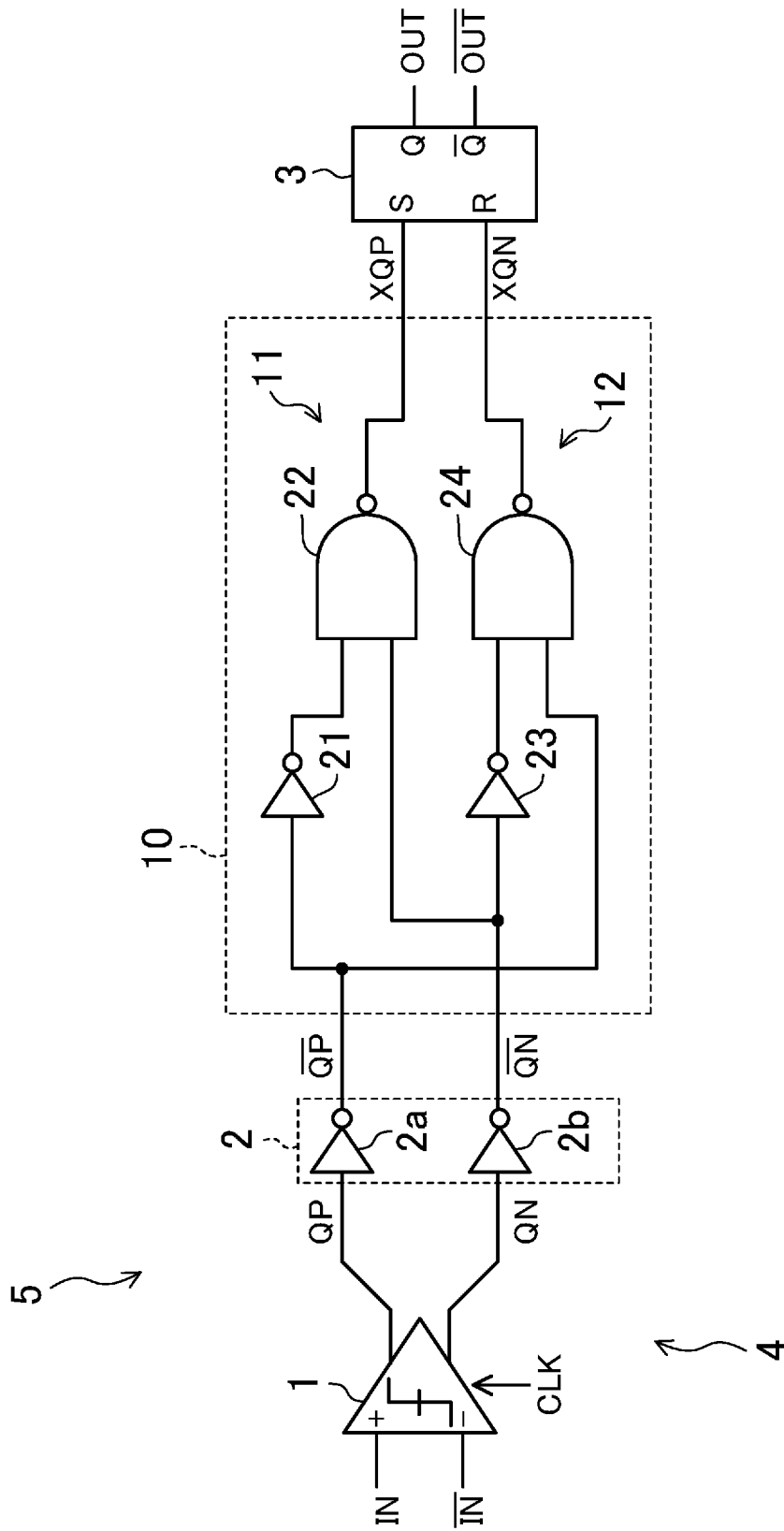
前記第2回路は、前記第2信号を遅延させて前記第2NORゲート

に入力させる第2遅延回路を備える
ことを特徴とする比較回路。

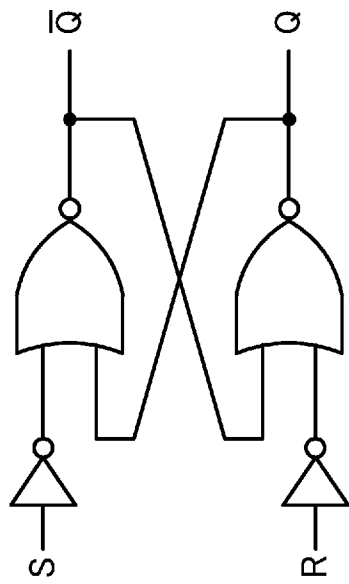
[請求項6] 請求項1記載の比較回路において、
前記論理回路は、
前記第1および第2信号を入力とするE X O Rゲートと、
前記第2信号と、前記E X O Rゲートの出力信号とを入力とする第
1 N A N Dゲートと、
前記第1信号と、前記E X O Rゲートの出力信号とを入力する第2
N A N Dゲートとを備える
ことを特徴とする比較回路。

[請求項7] 請求項1記載の比較回路を備えたA Dコンバータ。

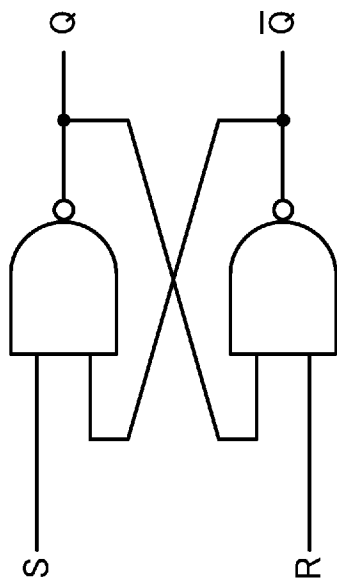
[図1]



[図2]



(b)NOR型



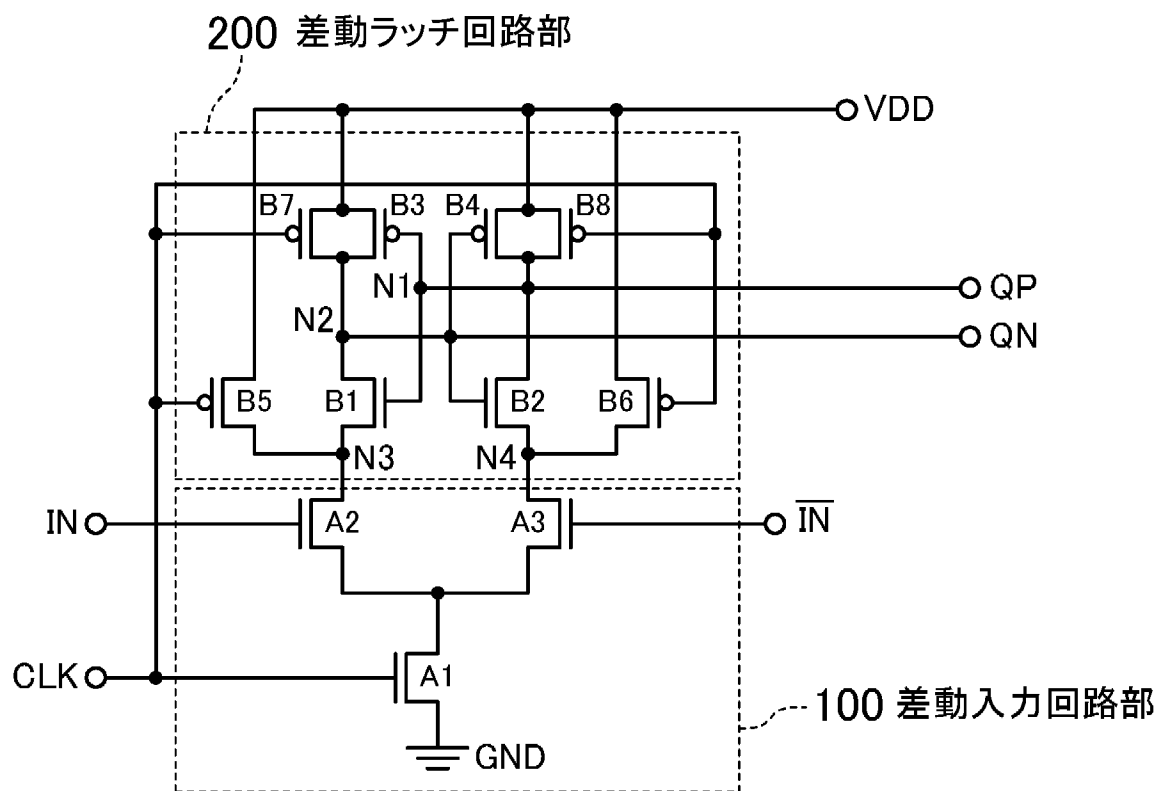
(a)NAND型

[図3]

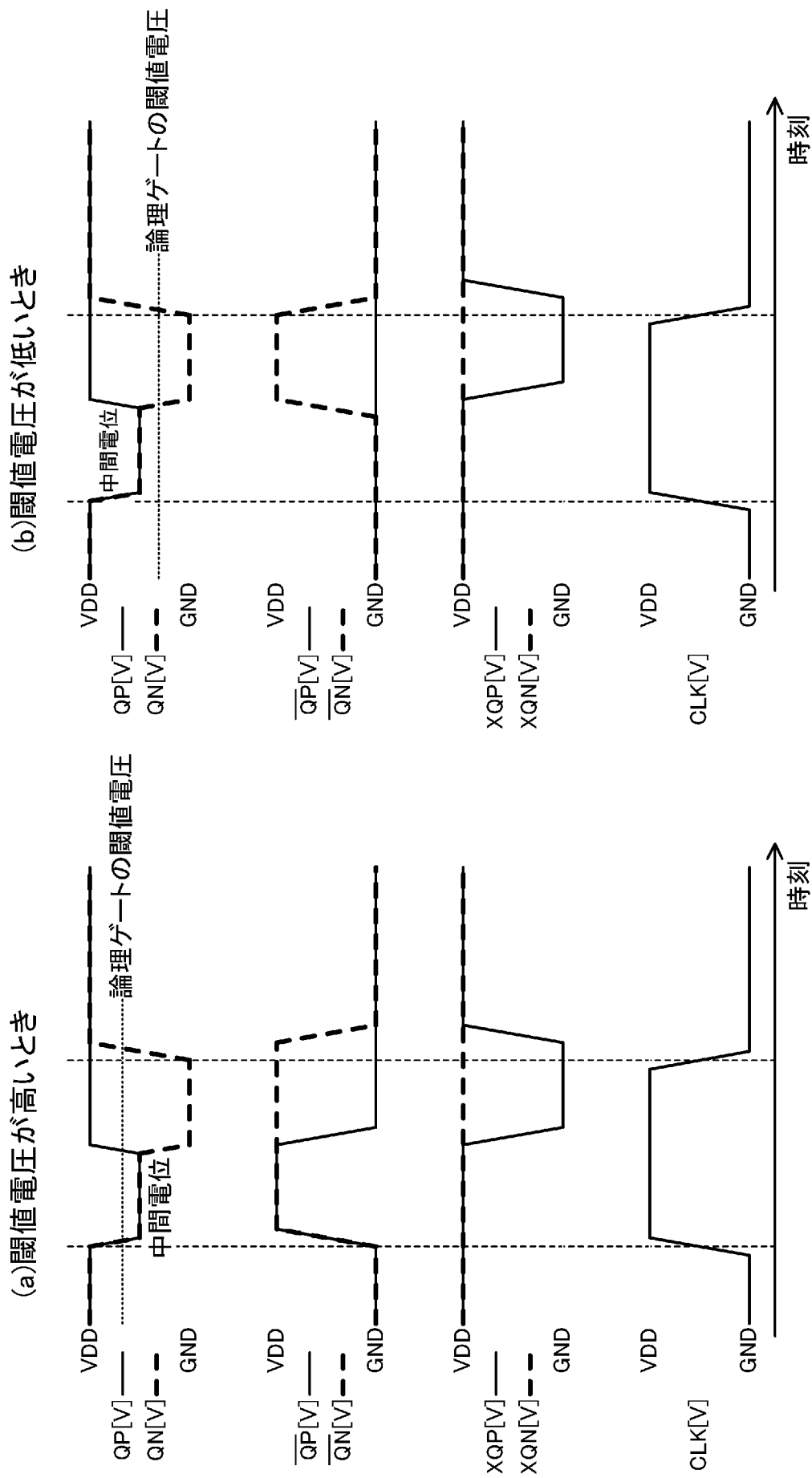
真理値表

$\overline{QP}$	$\overline{QN}$	XQP	XQN
0	0	1	1
0	1	0	1
1	0	1	0
1	1	1	1

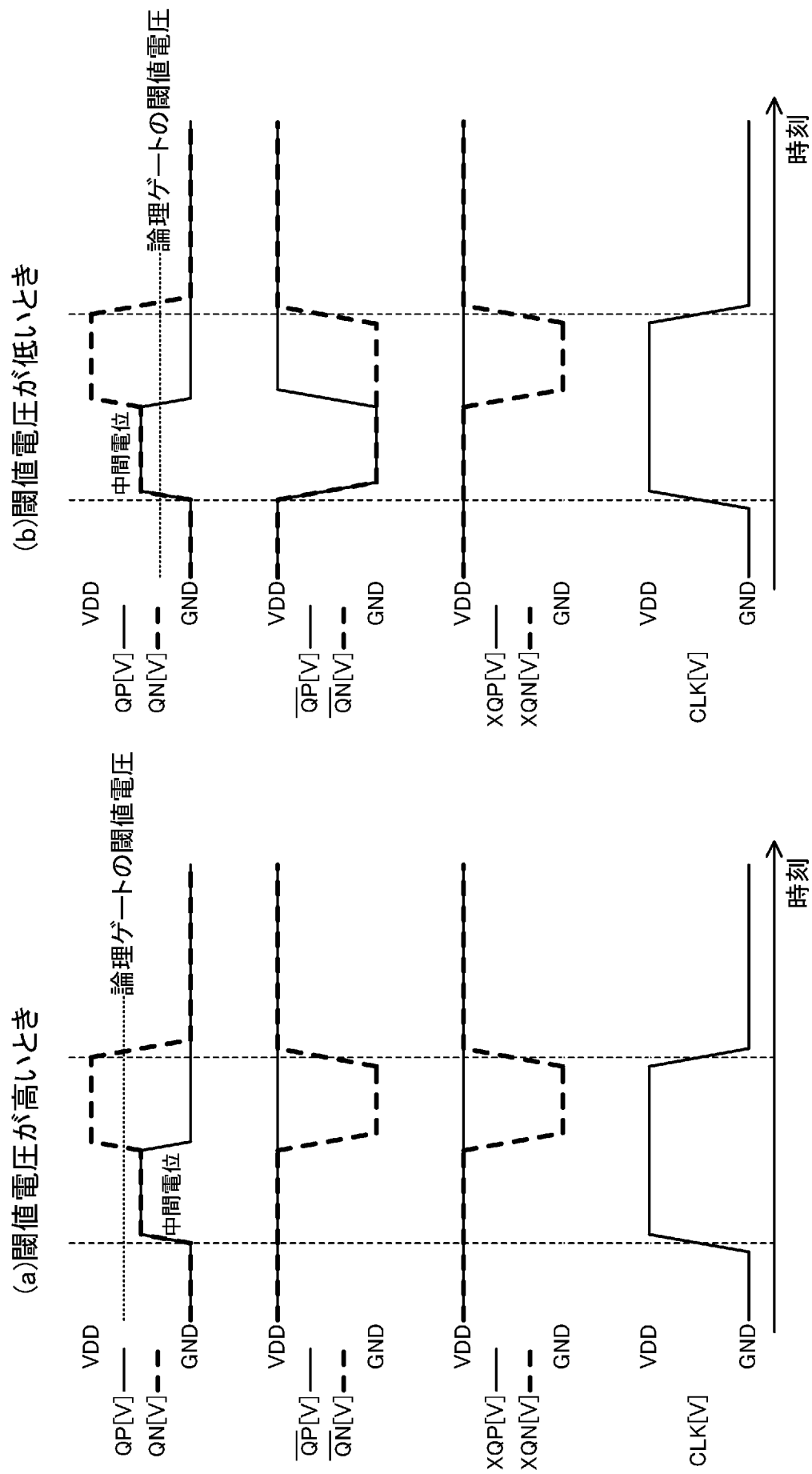
[図4]



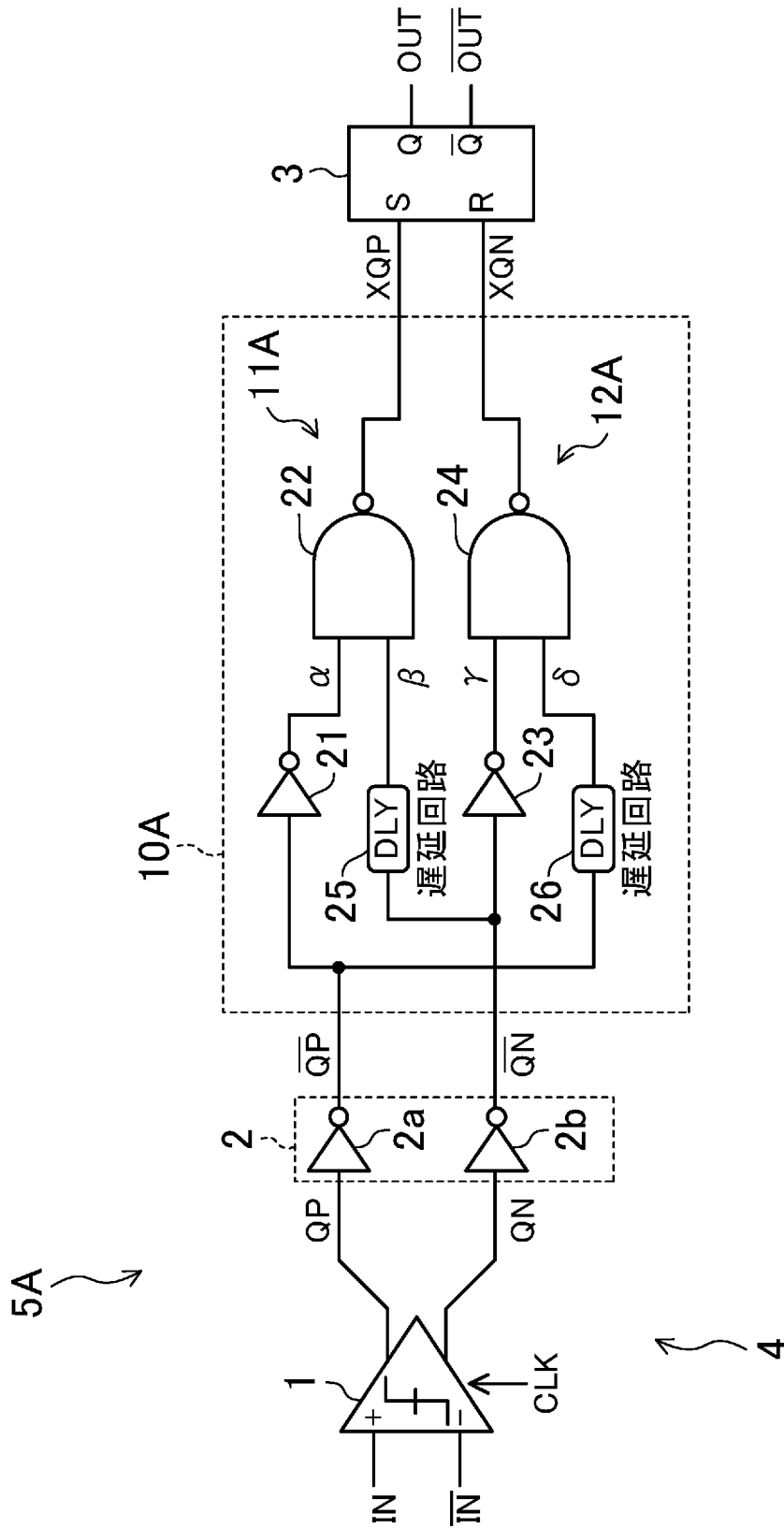
[図5]



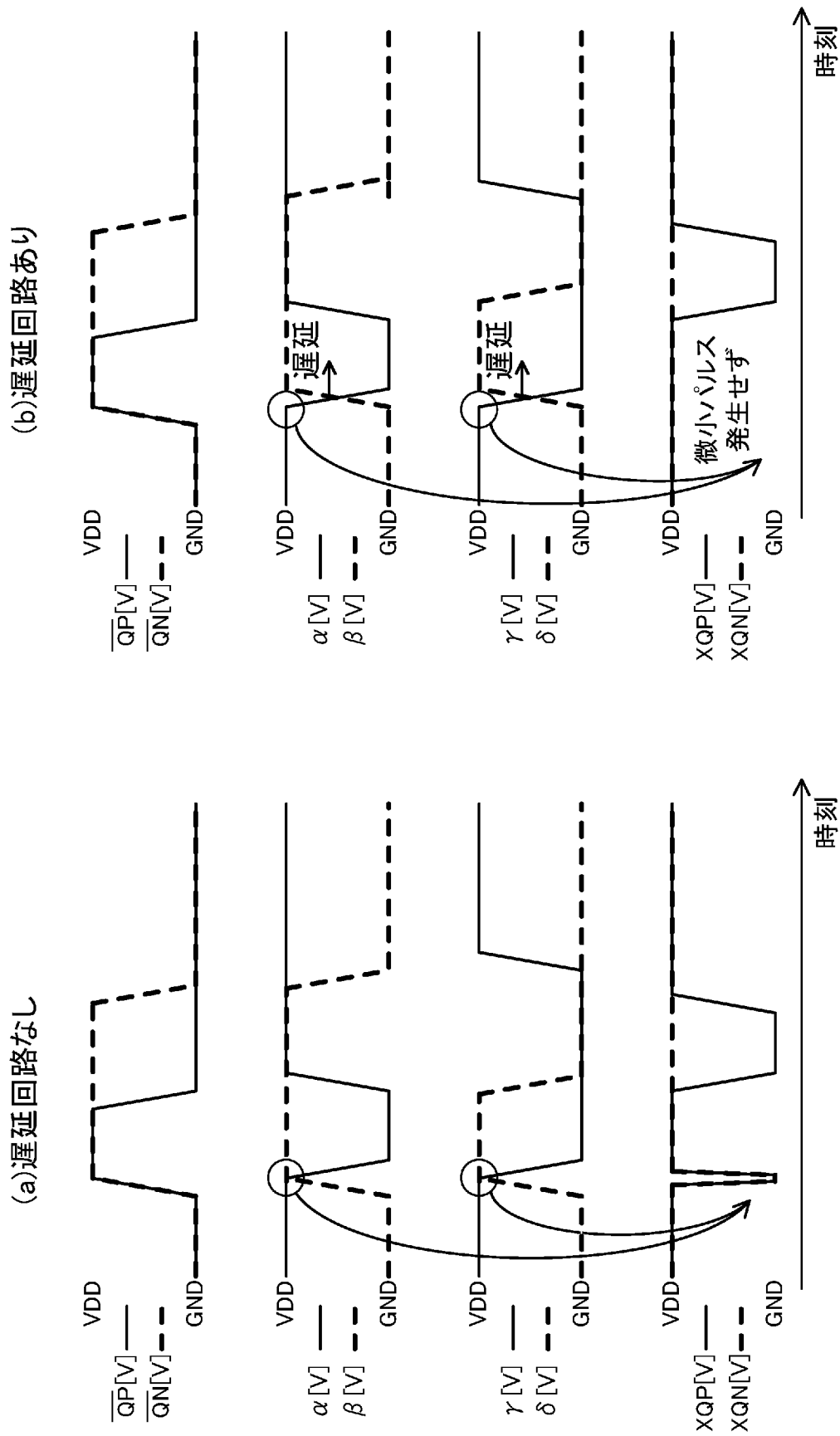
[図6]



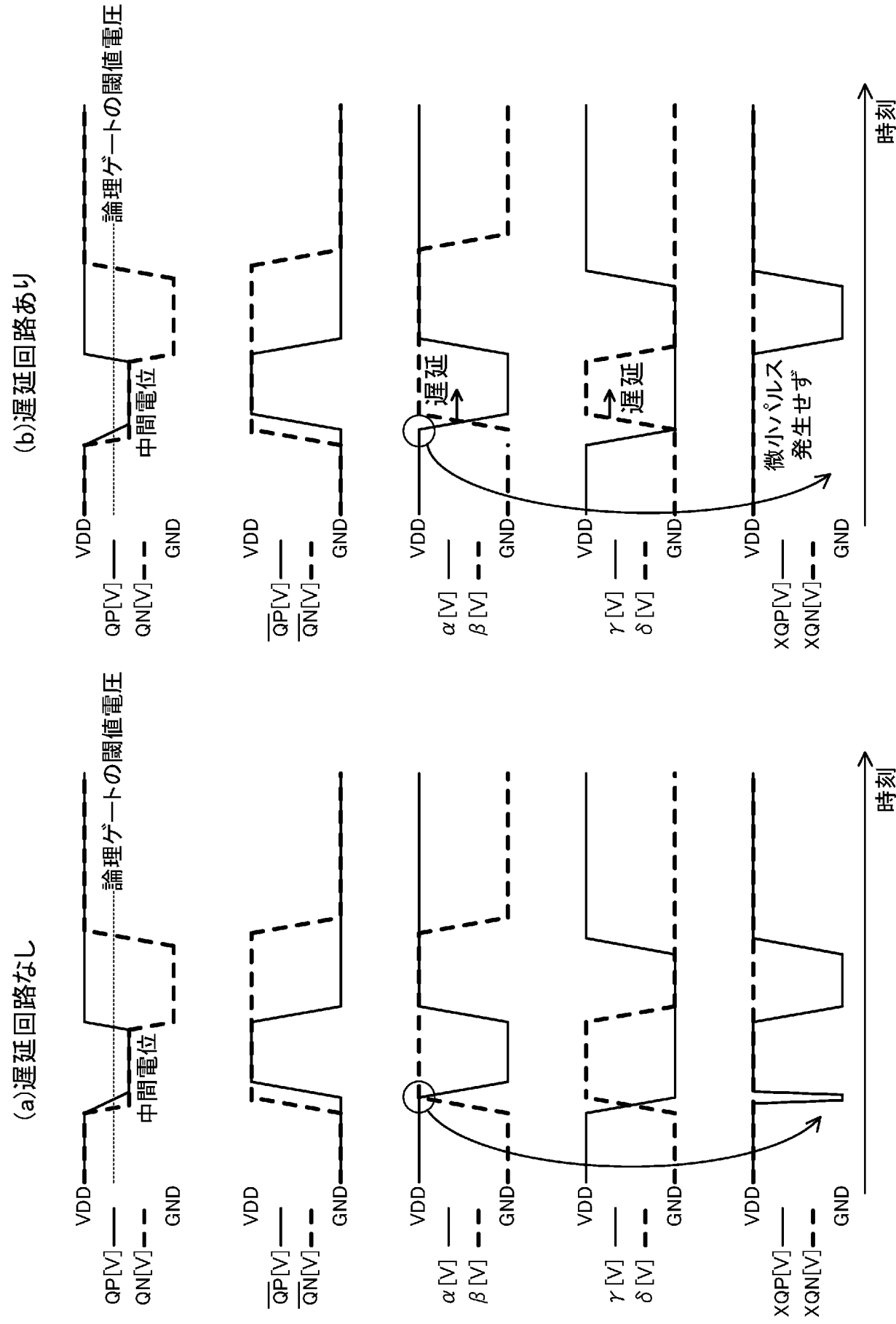
[図7]



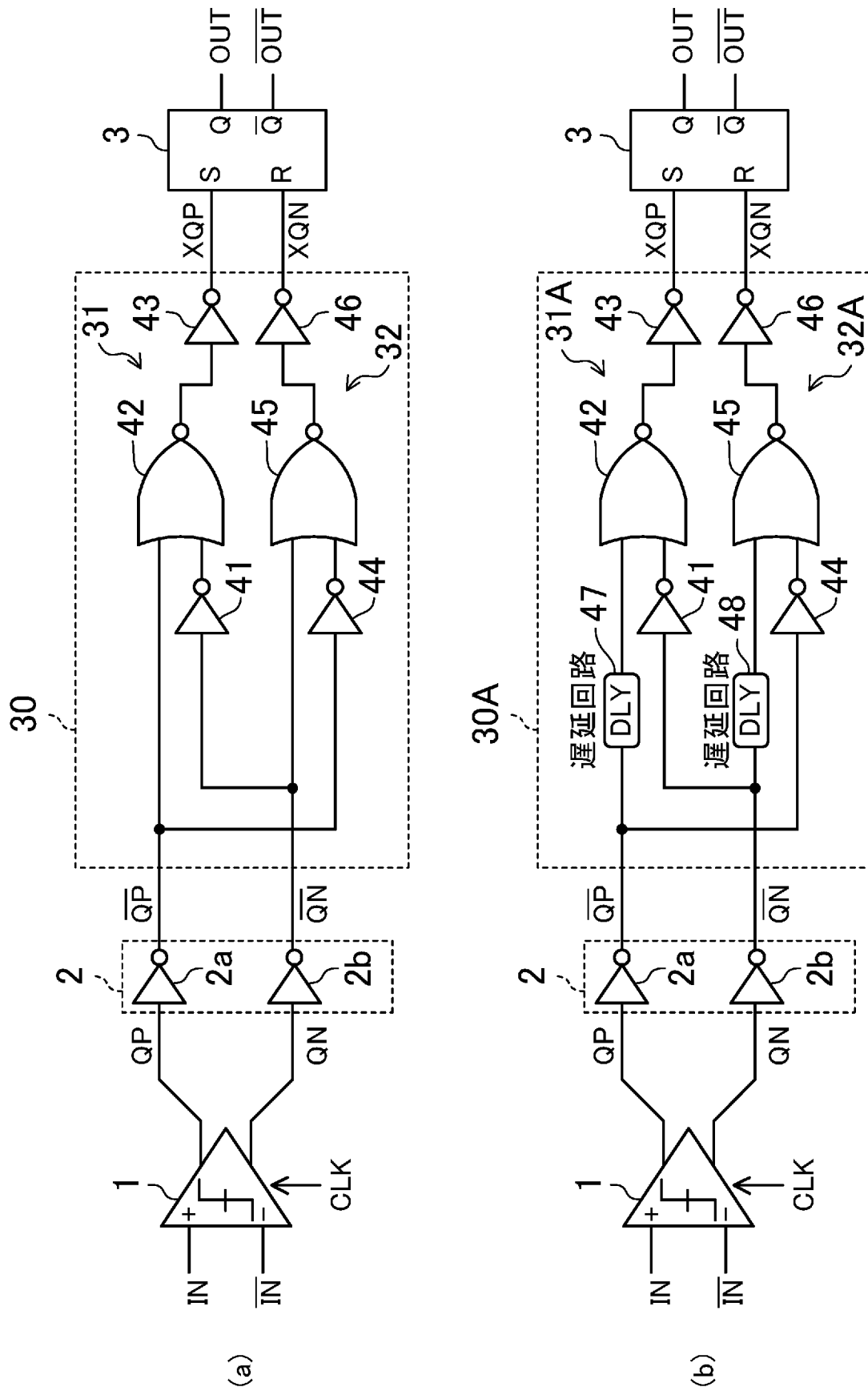
[図8]



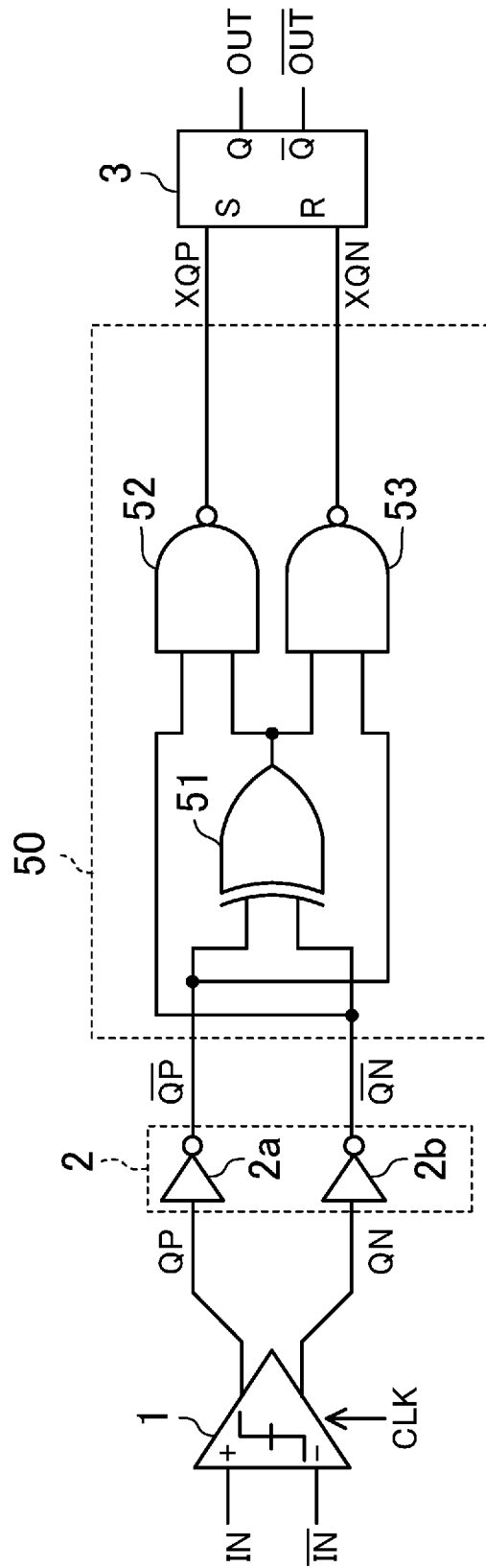
[図9]



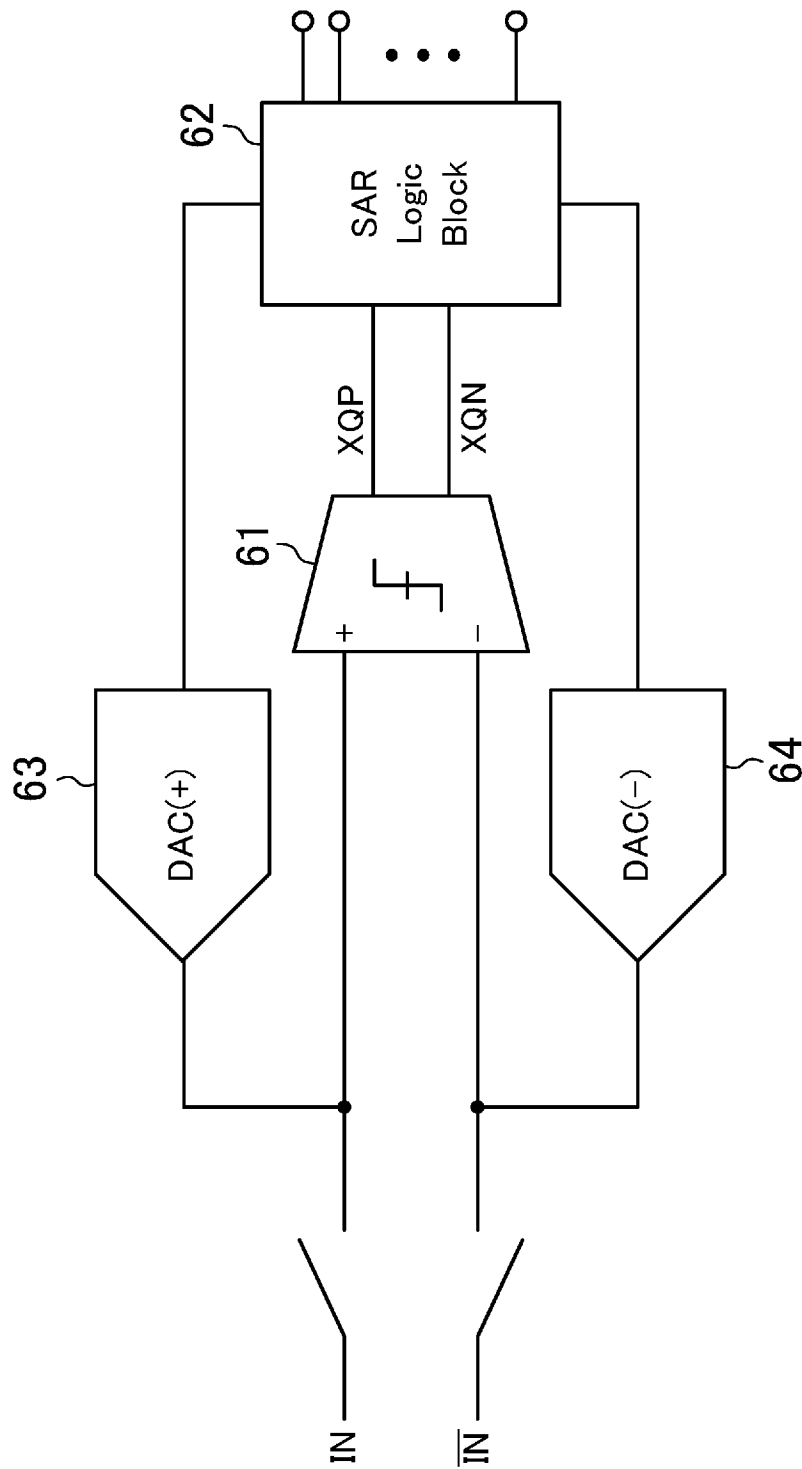
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/034920

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03M1/36 (2006.01) i, H03K3/037 (2006.01) i, H03K5/08 (2006.01) i
FI: H03K5/08 E, H03M1/36, H03K3/037

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03M1/36, H03K3/037, H03K5/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-244521 A (KEIO UNIVERSITY) 10 December 2012, paragraphs [0002]-[0018], fig. 1-3	1-7
Y	JP 58-10916 A (TOKYO SHIBAURA ELECTRIC CO., LTD.) 21 January 1983, p. 1, lower right column, line 1 to p. 3, lower left column, line 6, fig. 1-6, tables 1-4	1-7
Y	JP 2002-314392 A (MITSUBISHI ELECTRIC CORP.) 25 October 2002, paragraphs [0002]-[0018], fig. 1, 5, 6	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05.10.2020

Date of mailing of the international search report
20.10.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/034920

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 113991/1976 (Laid-open No. 33355/1978) (YAMATAKE-HONEYWELL CO., LTD.) 23 March 1978, p. 1, line 15 to p. 5, line 9, fig. 1, 2	1-7
Y	JP 9-200017 A (MITSUBISHI ELECTRIC CORP.) 31 July 1997, paragraphs [0002]-[0011], [0074]-[0082], fig. 5-8	1-7
Y	JP 3-91314 A (FUJI ELECTRIC CO., LTD.) 16 April 1991, p. 1, lower right column, line 6 to p. 2, upper right column, line 16, p. 3, upper right column, line 14 to lower right column, line 17, fig. 3-6	1-7
Y	JP 2016-46775 A (ROHM CO., LTD.) 04 April 2016, paragraphs [0048], [0049], fig. 6	4-5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/034920

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2012-244521 A	10.12.2012	(Family: none)	
JP 58-10916 A	21.01.1983	(Family: none)	
JP 2002-314392 A	25.10.2002	(Family: none)	
JP 53-33355 U1	23.03.1978	(Family: none)	
JP 9-200017 A	31.07.1997	US 5917359 A column 1, line 10 to column 2, line 28, column 12, line 62 to column 14, line 14, fig.5-8 DE 19636753 A1	
JP 3-91314 A	16.04.1991	(Family: none)	
JP 2016-46775 A	04.04.2016	US 2016/0065205 A1 paragraphs [0061], [0062], fig. 6	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 1/36(2006.01)i; H03K 3/037(2006.01)i; H03K 5/08(2006.01)i FI: H03K5/08 E; H03M1/36; H03K3/037														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H03M1/36; H03K3/037; H03K5/08														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2012-244521 A（学校法人慶應義塾）10.12.2012（2012 - 12 - 10） 段落[0002]-[0018], 図1-3	1-7												
Y	JP 58-10916 A（東京芝浦電気株式会社）21.01.1983（1983 - 01 - 21） 第1頁右下欄第1行-第3頁左下欄第6行, 第1-6図, 表1-4	1-7												
Y	JP 2002-314392 A（三菱電機株式会社）25.10.2002（2002 - 10 - 25） 段落[0002]-[0018], 図1, 5-6	1-7												
Y	日本国実用新案登録出願51-113991号（日本国実用新案登録出願公開53-33355号）の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（山武ハネウエル株式会社）23.03.1978（1978-03-23）第1頁第15行-第5頁第9行, 第1-2図	1-7												
Y	JP 9-200017 A（三菱電機株式会社）31.07.1997（1997 - 07 - 31） 段落[0002]-[0011], [0074]-[0082], 図5-8	1-7												
Y	JP 3-91314 A（富士電機株式会社）16.04.1991（1991 - 04 - 16） 第1頁右下欄第6行-第2頁右上欄第16行, 第3頁右上欄第14行-同頁右下欄第17行, 第3-6図	1-7												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 05.10.2020	国際調査報告の発送日 20.10.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 渡井 高広 5W 1208 電話番号 03-3581-1101 内線 3576													

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-46775 A (ローム株式会社) 04.04.2016 (2016 - 04 - 04) 段落[0048]-[0049], 図6	4-5

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/034920

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-244521	A	10.12.2012	(ファミリーなし)	
JP	58-10916	A	21.01.1983	(ファミリーなし)	
JP	2002-314392	A	25.10.2002	(ファミリーなし)	
JP	53-33355	U1	23.03.1978	(ファミリーなし)	
JP	9-200017	A	31.07.1997	US 5917359 A	
				第1欄第10行-第2欄第28行, 第12欄第62行-第14欄第14 行, FIG. 5-8	
				DE 19636753 A1	
JP	3-91314	A	16.04.1991	(ファミリーなし)	
JP	2016-46775	A	04.04.2016	US 2016/0065205 A1	
				段落[0061]-[0062], FIG. 6	