

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4450737号
(P4450737)

(45) 発行日 平成22年4月14日(2010.4.14)

(24) 登録日 平成22年2月5日(2010.2.5)

(51) Int.Cl.

F I

H03K 19/173 (2006.01)

H03K 19/173 I O I

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2005-4403 (P2005-4403)	(73) 特許権者	000005223
(22) 出願日	平成17年1月11日(2005.1.11)		富士通株式会社
(65) 公開番号	特開2006-197023 (P2006-197023A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成18年7月27日(2006.7.27)	(74) 代理人	100070150
審査請求日	平成19年7月10日(2007.7.10)		弁理士 伊東 忠彦
(出願人による申告)平成15年度、通信・放送機構、 「第4世代移動体通信システム実現のための研究開発」 委託研究、産業再生法第30条の適用を受ける特許出願		(72) 発明者	依田 勝洋
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	杉山 巖
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	宮島 郁美

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

再構成可能に相互結合される複数の演算ユニットを含むリコンフィギュラブル回路と、
所定の処理を実行するよう構成される固定のロジック回路及びパラメータ設定により処理仕様を変更可能に構成されるパラメータ付専用ハードウェアの少なくとも一方である処理回路と、

該リコンフィギュラブル回路と該処理回路とに結合される接続変更可能なネットワークと、

該ネットワークを該ネットワーク以外と結合するために該ネットワークに接続される少なくとも2つのインターフェース

を含み、該ネットワークは、

複数の信号線と、

該複数の信号線のうちから所定数の信号線を選択するセレクタ

を含み、該セレクタにより選択された信号線のみを該インターフェースの1つに接続することを特徴とする半導体集積回路。

【請求項2】

該リコンフィギュラブル回路、該処理回路、及び該ネットワークを1つのセットとし、別のリコンフィギュラブル回路、別の処理回路、及び別のネットワークを含むセットを更に少なくとも1セット含み、該複数のセットの複数のネットワークを該インターフェースを介して直列に結合するとともに、両端に位置する該ネットワークについては該インター

フェースを介して該半導体集積回路の外部に結合可能に構成することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

該リコンフィギュラブル回路と該処理回路とに結合されるバスと、
該バスに結合されるプロセッサ

を更に含むことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】

該ネットワークの接続を制御する制御回路を更に含み、該制御回路は該プロセッサからの指示に応じて該ネットワークの接続を設定するよう構成されることを特徴とする請求項 3 記載の半導体集積回路。

10

【請求項 5】

該リコンフィギュラブル回路は該プロセッサからの設定データに応じて該複数の演算ユニットの演算内容を設定することを特徴とする請求項 3 記載の半導体集積回路。

【請求項 6】

該プロセッサと外部システムとを結合するためのシステムインターフェースを更に含むことを特徴とする請求項 3 記載の半導体集積回路。

【請求項 7】

該ネットワークは該リコンフィギュラブル回路と該処理回路とを相互結合するクロスバーを含むことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 8】

20

該パラメータ付専用ハードウェアは、

特定の処理を実行する専用ハードウェアと、

該専用ハードウェアの動作及び処理仕様を規定するデータを保持する設定レジスタを含むことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 9】

該処理回路は、該半導体集積回路の外部との信号のやり取りのためのインターフェースを更に含むことを特徴とする請求項 1 記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は一般に半導体集積回路に関し、詳しくは再構成可能な半導体集積回路に関する。

【背景技術】

【0002】

通信分野において、ソフトウェア無線とは、通信方式に関わる処理の大部分をソフトウェアで実行することにより、変調方式等が異なる様々な無線通信に対して 1 台の無線機で対応可能とするものである。ソフトウェアを書き換えることにより通信方式を変更することができるので、新しい通信方式が登場したら新しいソフトウェアを書き込むことにより、ハードウェアを交換することなく通信方式の更新ができる。

【0003】

40

通信分野に限られることなく全ての分野で一般に、専用 LSI を用いれば、高い性能且つ少ない消費電力で特定の処理を実行するシステムを実現することが出来る。但し、仕様を変更して異なる処理を実行しようとする、設計及び製造を全てやり直す必要があり、専用 LSI は仕様変更可能性が極めて低い構成である。

【0004】

仕様変更可能性が高い構成としては、プロセッサによりソフトウェアを実行し、仕様の変更はソフトウェアを書き換えることで実現する構成が挙げられる。この場合、仕様変更可能性は極めて高いが、プロセッサは汎用処理を実行可能なように構成されているために冗長性が高く、処理性能が低くなってしまう。

【0005】

50

仕様変更可能性を提供しながらもハードウェアによる処理を実現する技術として、FPGA (Field Programmable Gate Array) がある。FPGAは、メモリへのコンフィギュレーションデータの書き込みによって論理素子間の接続を自由に再構成可能とすることにより、ゲート単位での変更を可能な構成とするものである。FPGAはハードウェアの冗長性が高いために、回路規模の面では例えば専用LSIの10倍程度の大きさになってしまい、コストが高く消費電力も大きい。また専用LSIと比較すれば、処理速度は低いものとなる。

【0006】

ダイナミックリコンフィギュラブルLSI (動的再構成可能型半導体集積回路) は、再構成可能な回路を提供しながらも、高い処理性能を提供することができる手段として注目を集めている。ダイナミックリコンフィギュラブルLSIは、複数の演算器をアレイ状に配列し、縦横に配置したバスでこれら演算器を接続する構成となっている。演算器アレイ部の周辺には、演算器アレイ部に関するコンフィギュレーション情報を格納するコンフィギュレーションメモリや、動的再構成の切替えを制御する制御部等が設けられる。

【0007】

ダイナミックリコンフィギュラブルLSIでは、再構成可能な構造の基本要素は演算器であり、単一ゲート程度を基本要素とするFPGAと比較すると、格段に大きな粒度 (変更可能な単位の大きさ) になっている。また演算器をアレイ上に並べることにより、並列に演算を実行することが可能となり、複素演算や積和演算等の重い演算処理を高速に行うことができる。

【発明の開示】

【発明が解決しようとする課題】

【0008】

ソフトウェア無線の分野においても、上記のようなFPGAやダイナミックリコンフィギュラブルLSI等の再構成可能な回路を用いることで、各種通信方式を変更可能な形で実現することができる。しかしダイナミックリコンフィギュラブルLSIは、処理の重い演算に対しては高い性能を発揮するが、粒度が大きいために、例えばデコード結果に基づいて条件分岐する等の細かい制御動作を効率よく実現することが難しいという難点がある。逆にFPGAでは、粒度が小さいので細かい制御を実現することは容易であるが、演算スピードという点において満足のいくものではない。

【0009】

以上を鑑みて、本発明は、細かい制御及び重い演算の両方について高い性能を有した再構成可能な半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明による半導体集積回路は、再構成可能に相互結合される複数の演算ユニットを含むリコンフィギュラブル回路と、所定の処理を実行するよう構成される固定のロジック回路及びパラメータ設定により処理仕様を変更可能に構成されるパラメータ付専用ハードウェアの少なくとも一方である処理回路と、リコンフィギュラブル回路と処理回路とに結合される接続変更可能なネットワークと、ネットワークを当該ネットワーク以外と結合するために当該ネットワークに接続される少なくとも2つのインターフェースを含み、該ネットワークは、複数の信号線と、該複数の信号線のうちから所定数の信号線を選択するセレクタを含み、該セレクタにより選択された信号線のみを該インターフェースの1つに接続することを特徴とする。

【0011】

更に、本発明の別の構成によれば、該リコンフィギュラブル回路、該処理回路、及び該ネットワークを1つのセットとし、それらセットを少なくとも2セット含み、該複数のセットの複数のネットワークを該インターフェースを介して直列に結合するとともに、両端に位置するインターフェースに関しては外部に結合可能な構成とすることを特徴とする。

【発明の効果】

【 0 0 1 2 】

本発明の少なくとも１つの実施例によれば、半導体集積回路は、細かい制御が必要な処理についてはロジック回路により容易に制御を実現することが可能であるとともに、複素演算や積和演算等の重い演算処理についてはリコンフィギュラブル回路及びパラメータ付専用ハードウェアにより高速な演算を実行することが可能である。また特に設計変更することなく半導体集積回路内部に設ける処理セットの数を増やすことが可能であるとともに、半導体集積回路のチップ同士を接続することで全体の処理セットの数を増やすことも可能である。このようにして処理セットの数を増やすことにより、全体の処理性能を必要に応じて高めることができる。

【 発明を実施するための最良の形態 】

10

【 0 0 1 3 】

以下に本発明の実施例を添付の図面を用いて詳細に説明する。

【 0 0 1 4 】

図１は、本発明による半導体集積回路の構成の一例を示すブロック図である。図１の半導体集積回路１０は、ダイナミックリコンフィギュラブル回路１１、ユーザロジック１２、パラメータ付専用ハードウェア１３、制御回路１４、ネットワーク１５、拡張Ｉ／Ｏ１６、内部Ｉ／Ｏ１７、バス１８、及びプロセッサ１９を含む。

【 0 0 1 5 】

図１の構成では、ダイナミックリコンフィギュラブル回路１１、ユーザロジック１２、パラメータ付専用ハードウェア１３、及びネットワーク１５からなる処理セットが、半導体集積回路１０のチップ内部に２セット設けられている。この処理セットの数は２に限定されるものではなく、１つ又は３つ以上の処理セットが１つのチップ内部に設けられてよい。１つのチップ内に複数の処理セットが設けられる場合、隣接する処理セット間は、図１に示されるように内部Ｉ／Ｏ１７により接続される。

20

【 0 0 1 6 】

ダイナミックリコンフィギュラブル回路１１は、縦横にアレイ状に配置された複数の演算ユニット２０、各演算ユニット２０を接続する縦横に配置されたバス２１、及び複数の演算ユニット２０からなるアレイ部分のコンフィギュレーション情報を格納する設定レジスタ１１ａを含む。プロセッサ１９からバス１８を介してコンフィギュレーション情報を設定レジスタ１１ａに書き込むことで、複数の演算ユニット２０からなるアレイ部分に所望のデータ処理を実行させることができる。

30

【 0 0 1 7 】

ユーザロジック１２は、特定の処理を実行するための専用ハードウェアであり、設定レジスタ１２ａを含む。ユーザロジック１２には、複数の処理内容に対応した複数のハードウェア機能が設けられてよい。プロセッサ１９からバス１８を介して設定レジスタ１２ａにデータ設定することによって、ユーザロジック１２の動作条件等を制御することができる。

【 0 0 1 8 】

パラメータ付専用ハードウェア１３は、所定の処理を実行するために専用に設計・製造されたハードウェアであり、処理内容そのものを変更することはできないが、例えば処理のデータ数や精度等のパラメータを変更可能なように構成されている。このパラメータの情報は、設定レジスタ１３ａに格納される。プロセッサ１９がバス１８を介してこれらのパラメータを設定レジスタ１３ａに格納することにより、パラメータ付専用ハードウェア１３に所定の動作を所望の仕様に従い実行させることができる。

40

【 0 0 1 9 】

パラメータ付専用ハードウェア１３は、例えば帯域制限フィルタであり、変更可能なパラメータはフィルタの係数及びタップ数である。或いはパラメータ付専用ハードウェア１３は、例えばＦＦＴ演算器であり、変更可能なパラメータはＦＦＴ演算のポイント数である。また或いはパラメータ付専用ハードウェア１３は、例えばビタビ復号器であり、変更可能なパラメータは拘束長、符号化率、及び生成多項式である。

50

【 0 0 2 0 】

制御回路 1 4 は、ネットワーク 1 5 の信号線の接続を制御することにより、ダイナミックリコンフィギュラブル回路 1 1、ユーザロジック 1 2、及びパラメータ付専用ハードウェア 1 3 間（処理マクロ間）の相互結合関係を所望の状態に設定する。また制御回路 1 4 は更に、ネットワーク 1 5 の信号線の接続を制御することにより、隣接する処理セットの間の相互結合関係を所望の状態に設定する。ネットワーク 1 5 の信号線の接続に関する情報は、設定レジスタ 1 4 a に格納される。プロセッサ 1 9 がバス 1 8 を介して信号接続に関する情報を設定レジスタ 1 3 a に格納することにより、半導体集積回路 1 0 内での各処理マクロ間の相互結合関係を接続変更可能に設定することができる。

【 0 0 2 1 】

ネットワーク 1 5 は、例えば入力側の任意の一点を出力側の任意の一点に接続することができるクロスバー構成でよい。これにより、ネットワーク 1 5 に結合される複数の処理マクロのうちで、任意の 1 つの出力を任意の 1 つの入力に供給することができる。2 つの隣接するネットワーク 1 5 間は内部 I / O 1 7 で互いに接続され、一方のネットワーク 1 5 に接続される処理マクロと他方のネットワーク 1 5 に接続される処理マクロとの間での信号のやり取りが可能とされる。

【 0 0 2 2 】

この際、あるネットワーク 1 5 の信号線の全てを隣接するネットワーク 1 5 に繋げたのでは、n 個の処理セットを設けた場合、単一の処理セットを設けた場合と比較して、ネットワーク 1 5 の信号線の数が増え、n 倍となってしまう。即ち、n セット分の処理マクロを 1 つのネットワーク 1 5 で相互結合するのと何ら違いが無いことになる。

【 0 0 2 3 】

そこで本願発明では、あるネットワーク 1 5 の信号線のうちで選択したもののみを隣接するネットワーク 1 5 に繋げる構成とする。この構成により、n 個の処理セットを設けた場合であっても、単一の処理セットを設けた場合とそれ程変わらない数に信号線数を抑制することができる。従って、ネットワークの信号線数の増大を抑えながらも、半導体集積回路 1 0 内に所望の数の処理セットを設けることができる。

【 0 0 2 4 】

また 2 つの拡張 I / O 1 6 により、ネットワーク 1 5 は半導体集積回路 1 0 の外部と通信が可能な構成となっている。これにより、図 1 に示される半導体集積回路 1 0 を任意の個数連結することが可能となり、必要に応じた処理性能を容易に提供することができる。この際の拡張 I / O 1 6 によるチップ間の相互接続についても、上記の内部 I / O 1 7 によるチップ内の相互接続と同様に、ネットワーク 1 5 の信号線のうちで選択したもののみを外部に接続する構成とすればよい。

【 0 0 2 5 】

上記のような構成の半導体集積回路 1 0 は、細かい制御が必要な処理についてはユーザロジック 1 2 により容易に実現することが可能であるとともに、ダイナミックリコンフィギュラブル回路 1 1 及びパラメータ付専用ハードウェア 1 3 により高速な演算を実行することが可能である。また特に設計変更することなく半導体集積回路 1 0 内部に設ける処理セットの数を増やすことが可能であるとともに、半導体集積回路 1 0 のチップ同士を接続することで全体の処理セットの数を増やすことも可能である。このようにして処理セットの数を増やすことにより、全体の処理性能を必要に応じて高めることができる。なおこのように処理セットの数に関して拡張性があるので、細かい制御が必要な処理については、リソースとして余裕のあるダイナミックリコンフィギュラブル回路 1 1 部分において実現してもよい。

【 0 0 2 6 】

なお上記説明では、複数の演算ユニットで構成されたダイナミックリコンフィギュラブル回路 1 1 のみが再構成可能な部分として設けられる構成を示したが、ダイナミックリコンフィギュラブル回路 1 1 に加える、もしくは代えて、FPGA 等の任意の再構成可能な回路を設けてもよい。

10

20

30

40

50

【 0 0 2 7 】

図 2 は、ネットワーク 1 5 の構成の一例を示す図である。図 2 のネットワーク 1 5 は、外部拡張用の信号線 3 1、セット間接続用の信号線 3 2、セット内接続用の信号線 3 3、及びセクタ 4 1 乃至 4 6 を含む。セクタ 4 1 乃至 4 6 は、制御回路 1 4 により制御されてよい。図 2 の例では、外部拡張用の信号線 3 1 は 1 本、セット間接続用の信号線 3 2 は 2 本、セット内接続用の信号線 3 3 は 4 本であるが、これらの数に限定されるものではない。

【 0 0 2 8 】

外部拡張用の信号線 3 1 は、拡張 I / O 1 6 を介して半導体集積回路 1 0 の外部に接続され、外部から供給される信号を受け取る。セクタ 4 1 は、セット間接続用の信号線 3 2 及びセット内接続用の信号線 3 3 のうちの 1 本を選択して半導体集積回路 1 0 外部に接続し、信号を外部に出力する。拡張 I / O 1 6 は、インターフェース用の信号駆動バッファ等を含むものであり、論理的には図に点線で示されるように単に信号を素通りさせる機能しかない。

10

【 0 0 2 9 】

セット間接続用の信号線 3 2 は、内部 I / O 1 7 を介して半導体集積回路 1 0 内部の隣接するネットワーク 1 5 に接続され、このネットワーク 1 5 から供給される信号を受け取る。セクタ 4 6 は、外部拡張用の信号線 3 1 及びセット内接続用の信号線 3 3 のうちの 2 本を選択して隣接するネットワーク 1 5 に接続し、信号を隣接するネットワーク 1 5 に供給する。内部 I / O 1 7 は、インターフェース用の信号駆動バッファ等を含むものであり、論理的には図に点線で示されるように単に信号を素通りさせる機能しかない。

20

【 0 0 3 0 】

セクタ 4 2 乃至 4 5 は、各処理マクロ 3 0 に対して 1 つずつ設けられる。セクタ 4 2 乃至 4 5 は、外部拡張用の信号線 3 1、セット間接続用の信号線 3 2、及びセット内接続用の信号線 3 3 のうちの 1 本を選択して、選択した信号線の信号を対応する処理マクロ 3 0 に供給する。各処理マクロ 3 0 の出力は、セット内接続用の信号線 3 3 のうちの対応する 1 本に接続されており、この 1 本はセクタ 4 2 乃至 4 5 のうちの対応するセクタには入力されていない。これは、自らの出力を自らの入力として供給する必要が無いからである。

【 0 0 3 1 】

図 2 に示すように、セクタ 4 6 により、ネットワーク 1 5 の信号線のうちで選択したもののみを隣接するネットワーク 1 5 に繋げる構成とする。この構成により、処理セットの数が変化した場合であっても、ネットワーク 1 5 の信号線の数に固定することができる（図 2 の例では 7 本）。従って、ネットワークの信号線数の増大を抑えながらも、半導体集積回路 1 0 内に所望の数の処理セットを設けることができる。

30

【 0 0 3 2 】

また同様に、セクタ 4 1 により、ネットワーク 1 5 の信号線のうちで選択したもののみを拡張用として外部に繋げる構成とする。この構成により、ネットワークの信号線数の増大を抑えながらも、任意の数の半導体集積回路 1 0 を連結して、所望の数の処理セットを含むように拡張することができる。

40

【 0 0 3 3 】

図 3 は、複数の半導体集積回路 1 0 を連結して拡張した構成の一例を示す図である。図 3 において、図 1 と同一の要素は同一の番号で参照し、その説明は省略する。

【 0 0 3 4 】

図 3 では、2 つの半導体集積回路 1 0 が互いに接続され、合計で 4 つの処理セットが連結されている。これら 4 つの処理セットは全体で 1 つの回路として動作することが可能であり、処理セットの数に応じた処理性能を提供することができる。図 3 に示される 2 つの半導体集積回路 1 0 に更に半導体集積回路 1 0 を接続していくことが可能であり、原理的には無制限に半導体集積回路 1 0 の数を増やして処理性能を高めていくことができる。

【 0 0 3 5 】

50

以下に半導体集積回路 10 の応用例として、IEEE 802.11a 及び IEEE 802.11b の両方に対応した端末装置を本発明の半導体集積回路 10 により構成する例について説明する。

【0036】

図 4 は、IEEE 802.11a の受信機能構成を示すブロック図である。また図 5 は、IEEE 802.11a の送信機能構成を示すブロック図である。

【0037】

図 4 に示されるように、IEEE 802.11a の受信機能は、ADC インターフェース 51、帯域制限フィルタ 52、シンボル同期パケット検出 53、広帯域キャリア周波数誤差検出 54、広帯域キャリア周波数補正 55、狭帯域キャリア周波数補正 56、FFT ウィンドウ 57、FFT 58、伝送路推定 & 補正 59、残留キャリアサンプリング周波数誤差補正 60、デマップ・デインターリーブ・デパンクチャ 61、ピタビ 62、デスクランブル 63、MAC インターフェース 64、及びシグナルデコード 65 を含む。また図 5 に示されるように、IEEE 802.11a の送信機能は、MAC インターフェース 70、スクランブル畳み込み符号化 71、パンクチュア 72、インターリーブ 73、マッピング 74、パイロット挿入 75、IFFT 76、プリアンブル挿入 77、フィルタ 78、及び DAC インターフェース 79 を含む。

【0038】

IEEE 802.11a は 5 GHz 帯の周波数帯域を使用し、OFDM (Orthogonal Frequency Division Multiplexing: 直交周波数分割多重) を変調方式として、最大 54 Mbps という高速な通信を行なうことができる。図 4 及び図 5 に示される IFFT 部分及び FFT 部分は、OFDM 変調処理及び OFDM 復調処理を行う部分である。また MAC インターフェース部 64 及び 70 は、MAC (Media Access Control) 制御部を介してホスト装置との信号のやり取りを行う部分である。また ADC インターフェース 51 は ADC (Analog-to-Digital Converter) から信号を受けるインターフェースであり、DAC インターフェース 79 は DAC (Digital-to-Analog Converter) へ信号を供給するインターフェースである。

【0039】

図 6 は、IEEE 802.11b の受信機能構成を示すブロック図である。また図 7 は、IEEE 802.11b の送信機能構成を示すブロック図である。

【0040】

図 6 に示されるように、IEEE 802.11b の受信機能は、ADC インターフェース 91、帯域制限フィルタ 92、トラッキング補正・シンボル同期・パケット検出・フレーム同期 93、逆拡散 94、DBPSK・DQPSK 復調 95、CCK 96、デスクランブル 97、シグナルデコード 98、及び MAC インターフェース 99 を含む。また図 6 に示されるように、IEEE 802.11b の送信機能は、MAC インターフェース 100、スクランブル 101、DBPSK・DQPSK・CCK 変調 102、拡散 103、帯域制限フィルタ 104、及び DAC インターフェース 105 を含む。

【0041】

IEEE 802.11b は 2.4 GHz 帯の周波数帯域を使用し、直接系列スペクトル拡散 (DS-SS) を伝送方式とし、CCK (Complementary Code Keying) 等を変調方式として、11 Mbps の速度で通信を行なうことができる。図 6 及び図 7 に示される拡散 103 及び逆拡散 94 は、直接系列スペクトル拡散及び逆拡散を行う部分であり、DBPSK・DQPSK・CCK 変調 102 及び DBPSK・DQPSK 復調 95 が変調及び復調を行う部分である。また MAC インターフェース部 99 及び 100 は、MAC (Media Access Control) 制御部を介してホスト装置との信号のやり取りを行う部分である。また ADC インターフェース 91 は ADC (Analog-to-Digital Converter) から信号を受けるインターフェースであり、DAC インターフェース 105 は DAC (Digital-to-Analog Converter) へ信号を供給するインターフェースである。

【0042】

図 8 は、図 4 及び図 5 に示す I E E E 8 0 2 . 1 1 a の機能と図 6 及び図 7 に示す I E E E 8 0 2 . 1 1 b の機能とを、本発明の半導体集積回路 1 0 により実現した構成を示す図である。図 8 において、図 1 と同一の要素は同一の番号で参照し、その説明は省略する。

【 0 0 4 3 】

図 8 に示す半導体集積回路 1 0 は、上位システムインターフェース 1 1 0 を含む。上位システムインターフェース 1 1 0 は、プロセッサ 1 9 と上位システムとのインターフェースを提供するものである。また半導体集積回路 1 0 は、P L L (Phase-Locked Loop) 1 1 1 及び分周器 1 1 2 を含む。これらは半導体集積回路 1 0 で使用する内部クロック信号を発生するために設けられている。

10

【 0 0 4 4 】

図 8 に示す半導体集積回路 1 0 には、3 つの処理セット (即ち 3 つのネットワーク 1 5) が設けられている。処理マクロ 1 1 - 1 乃至 1 1 - 3 はダイナミックリコンフィギュラブル回路であり、処理マクロ 1 2 - 1 乃至 1 2 - 5 はユーザロジックであり、処理マクロ 1 3 - 1 乃至 1 3 - 3 はパラメータ付専用ハードウェアである。

【 0 0 4 5 】

図 8 に示す例では、ダイナミックリコンフィギュラブル回路 1 1 - 1 は、図 4 の広帯域キャリア周波数補正 5 5 の機能又は図 6 の逆拡散 9 4 の機能の何れかを、I E E E 8 0 2 . 1 1 a 及び I E E E 8 0 2 . 1 1 b の切換えに応じて、再構成可能な形で実現する。ダイナミックリコンフィギュラブル回路 1 1 - 2 は、図 4 の狭帯域キャリア周波数補正 5 6 の機能又は図 7 の D B P S K ・ D Q P S K ・ C C K 変調 1 0 2 及び拡散 1 0 3 の機能の何れかを、I E E E 8 0 2 . 1 1 a 及び I E E E 8 0 2 . 1 1 b の切換えに応じて、再構成可能な形で実現する。ダイナミックリコンフィギュラブル回路 1 1 - 3 は、図 4 の伝送路推定補正 5 9 及び図 5 のパンクチュア 7 2、インターリーブ 7 3、マッピング 7 4、パイロット挿入 7 5 の機能又は図 6 の D B P S K ・ D Q P S K 復調 9 5 の機能の何れかを、I E E E 8 0 2 . 1 1 a 及び I E E E 8 0 2 . 1 1 b の切換えに応じて、再構成可能な形で実現する。

20

【 0 0 4 6 】

またユーザロジック 1 2 - 1 乃至 1 2 - 5 として、トラッキング補正・シンボル同期・パケット検出・フレーム同期 9 3、シンボル同期パケット検出 5 3、広帯域キャリア周波数誤差検出 5 4、残留キャリアサンプリング周波数誤差補正 6 0、プリアンプル挿入 7 7、A D C インターフェース 5 1 及び 9 1、D A C インターフェース 7 9 及び 1 0 5 等が実現される。更にパラメータ付専用ハードウェア 1 3 - 1 乃至 1 3 - 3 としては、帯域制限フィルタ 5 2 及び 9 2、F F T 5 8、I F F T 7 6、C C K 9 6、デマップ・デインターリーブ・デパンクチャ 6 1、ピタビ 6 2、スクランブル畳み込み符号化 7 1 等が実現される。

30

【 0 0 4 7 】

図 8 に示すような機能割り当てにおいては、まず基本的にパラメータ付専用ハードウェア 1 3 で処理可能な機能はパラメータ付専用ハードウェア 1 3 に割り当てる。次に、それ以外の処理で積和演算等の重い演算を多く含む処理はダイナミックリコンフィギュラブル回路 1 1 に割り当てる。その他の残りの処理については、ユーザロジック 1 2 に割り当てる。基本的には、固定的で変更のできないユーザロジック 1 2 の規模は成るべく小さくして、ダイナミックリコンフィギュラブル回路 1 1 や F P G A 等の再構成可能な回路部分を優先的に利用することが望ましい。

40

【 0 0 4 8 】

図 9 は、図 8 に示す半導体集積回路 1 0 を使用するシステム構成を示す図である。図 9 のシステムは、上位システム 1 2 0、A D C / D A C 1 2 1、図 8 の半導体集積回路 1 0 である L S I 1 2 2、M A C 1 2 3、及びバス 1 2 4 を含む。上位システム 1 2 0 が、A D C / D A C 1 2 1、L S I 1 2 2、及び M A C 1 2 3 とバス 1 2 4 を介して制御信号をやり取りすることで、これらの装置を制御する。図 8 に示す A D / D A インターフェース

50

12-4がADC/DAC121と接続され、LSI122とADC/DAC121とのデータ信号のやり取りを実現する。また図8に示すMACインターフェース12-5がMAC123と接続され、LSI122とMAC123とのデータ信号のやり取りを実現する。

【0049】

上位システム120が、バス124を介してLSI122を制御することにより、LSI122をIEEE802.11a及びIEEE802.11bの何れかの通信機能に設定することができる。また上位システム120が、バス124を介してADC/DAC121、LSI122、及びMAC123を制御することで、所定の送受信動作を実行することができる。

10

【0050】

図10は、本発明の半導体集積回路10の別の応用例として、IEEE802.11gに対応した端末装置を半導体集積回路10により構成した例を示す図である。

【0051】

図10の構成は、AD/DA変換器131、本発明の半導体集積回路10であるLSI132-1乃至132-n、MAC133、本発明の半導体集積回路10であるLSI134-1乃至134-n、及びAD/DA変換器135を含む。半導体集積回路10であるLSI132-1乃至132-nはIEEE802.11aの機能を実現するように設定され、LSI134-1乃至134-nはIEEE802.11bの機能を実現するように設定される。AD/DA変換器131及び135からMAC133に向かう矢印の経路が受信信号の経路であり、MAC133からAD/DA変換器131及び135に向かう矢印の経路が送信信号の経路である。

20

【0052】

これによりIEEE802.11gに対応した端末装置を本発明の半導体集積回路10により構成することができる。なお図10の構成では、LSI132-1乃至132-n及びLSI134-1乃至134-nはそれぞれn個示されているが、この数は任意でよい(図8の構成では1つの半導体集積回路10でIEEE802.11a, bの機能を実現している)。

【0053】

図11は、本発明の半導体集積回路10の別の応用例として、送受信が同時に行われない無線方式を半導体集積回路10により構成した例を示す図である。

30

【0054】

図11の構成は、本発明の半導体集積回路10であるLSI141乃至143を直列に連結したものとなっている。受信時には、アンテナ側から供給された受信信号が、マスター装置であるLSI141及び拡張用のスレーブ装置であるLSI142及び143により順に処理されて、所定の信号処理で得られた受信データが上位層に供給される。送信時には、上位層から供給された送信データが、LSI143、142、及び141により順に処理されて、送信信号としてアンテナ側に供給される。

【0055】

このように複数の半導体集積回路10を拡張I/O16を介して直列に接続させることで、全体の信号処理性能を向上させることができる。また無線LANのように送受信が同時に実行されない無線方式の場合、図11のように一列の半導体集積回路10を受信用と送信用とに交互に使い分けることができる。

40

【0056】

図12は、本発明の半導体集積回路10の別の応用例として、送受信が同時に行われる無線方式を半導体集積回路10により構成した例を示す図である。

【0057】

図12の構成は、ADC/DAC151、本発明の半導体集積回路10であるLSI152乃至154、及びMAC155を含む。LSI152乃至154は、拡張I/O16を介して直列に連結したものとなっている。図12において、Tは送信データの流れ、R

50

は受信データの流れ、Fはフィードバックの制御情報の流れである。

【0058】

携帯電話のように常に受信を行いつつ送信を行うような通信方式の場合、上位層側からアンテナ側への制御情報（フィードバック）が多く存在する。図12の構成では、内部I/O17を利用して半導体集積回路10（LSI152乃至154）を直列に接続させることで、フィードバック及び送受信同時処理に対応するとともに、信号処理性能を拡張することが可能である。

【0059】

図13は、本発明の半導体集積回路10の別の応用例として、マルチアンテナ構成の端末を半導体集積回路10により構成した例を示す図である。図13の構成は、本発明の半導体集積回路10であるLSI161乃至167を含む。

10

【0060】

この例では、マルチアンテナ構成を実現するために、半導体集積回路10の複数の拡張I/O16を利用してMIMO（Multi Input Multi Output）を構成している。MIMOは、マトリクス演算（図13のように信号の流れを示す矢印がクロスするような演算）を実行するものである。本発明の半導体集積回路10には2つの拡張I/O16が設けられており、図1や図2に示すように、各拡張I/O16は入力部と出力部とを有している。従って各半導体集積回路10は、2つの入力と2つの出力とを有していることになる。これらの入出力を図13のように接続することにより、本発明の半導体集積回路10を用いてMIMOを構成することが可能となる。

20

【0061】

図14は、本発明の半導体集積回路10の別の応用例として、並列処理を半導体集積回路10により実現する例を示す図である。図13の構成は、本発明の半導体集積回路10であるLSI171乃至180を含む。

【0062】

アンテナ側から見た1段目から2段目において、LSI171の2つの出力がLSI172及びLSI173に供給される。2段目から3段目において、LSI172の2つの出力がLSI174及びLSI175に供給され、LSI173の2つの出力がLSI176及びLSI177に供給される。従って3段目において、LSI174乃至177の4つの半導体集積回路10が並列に処理を実行する構成となっている。

30

【0063】

HARQ（Hybrid Automatic Repeat Request）は、例えば3GPP（3rd Generation Partnership Project）の拡張版であるHSDPA（High Speed Down Link Packet Access）方式で使用されている。この方式は、一旦受信したデータが誤っていた場合にはそれを保持し、符号化方式を変えて再送を行い、再送データを前回データと合わせて復号することにより性能を向上させる方式である。この場合、アンテナと上位層との中間地点において大きな処理性能が必要となる。図14に示す構成では、中間地点（3段目）において半導体集積回路10を並列に配置することで、このような処理要求に対応することができる。

【0064】

40

図15は、本発明の半導体集積回路10において拡張I/O16を他のデバイスとの通信に使用する例である。図15の構成は、半導体集積回路10及びFPGA等のリコンフィギュラブルデバイス190を含む。リコンフィギュラブルデバイス190は半導体集積回路10の内部I/O17に接続されている。またリコンフィギュラブルデバイス190の内部には、ユーザロジック12の論理を実現する評価用ロジック191及び評価用ロジック192が構成されている。

【0065】

このような構成において、半導体集積回路10のユーザロジック12の動作を停止させ、評価用ロジック191及び評価用ロジック192をユーザロジック12の代わりに動作させる。これにより、ユーザロジック12の動作チェック、評価、設計の見直しなどを効

50

率的に行うことが可能となる。このように拡張 I / O 1 6 は、半導体集積回路 1 0 同士を繋げる以外にも、他の様々な用途に使用することが可能である。

【 0 0 6 6 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【図面の簡単な説明】

【 0 0 6 7 】

【図 1】本発明による半導体集積回路の構成の一例を示すブロック図である。

【図 2】ネットワークの構成の一例を示す図である。

【図 3】複数の半導体集積回路を連結して拡張した構成の一例を示す図である。

10

【図 4】I E E E 8 0 2 . 1 1 a の受信機能構成を示すブロック図である。

【図 5】I E E E 8 0 2 . 1 1 a の送信機能構成を示すブロック図である。

【図 6】I E E E 8 0 2 . 1 1 b の受信機能構成を示すブロック図である。

【図 7】I E E E 8 0 2 . 1 1 b の送信機能構成を示すブロック図である。

【図 8】図 4 及び図 5 に示す I E E E 8 0 2 . 1 1 a の機能と図 6 及び図 7 に示す I E E E 8 0 2 . 1 1 b の機能とを、本発明の半導体集積回路により実現した構成を示す図である。

【図 9】図 8 に示す半導体集積回路を使用するシステム構成を示す図である。

【図 1 0】本発明の半導体集積回路の別の応用例として、I E E E 8 0 2 . 1 1 g に対応した端末装置を半導体集積回路により構成した例を示す図である。

20

【図 1 1】本発明の半導体集積回路の別の応用例として、送受信が同時に行われない無線方式を半導体集積回路により構成した例を示す図である。

【図 1 2】本発明の半導体集積回路の別の応用例として、送受信が同時に行われる無線方式を半導体集積回路により構成した例を示す図である。

【図 1 3】本発明の半導体集積回路の別の応用例として、マルチアンテナ構成の端末を半導体集積回路により構成した例を示す図である。

【図 1 4】本発明の半導体集積回路の別の応用例として、並列処理を半導体集積回路により実現する例を示す図である。

【図 1 5】本発明の半導体集積回路において拡張 I / O を他のデバイスとの通信に使用する例を示す図である。

30

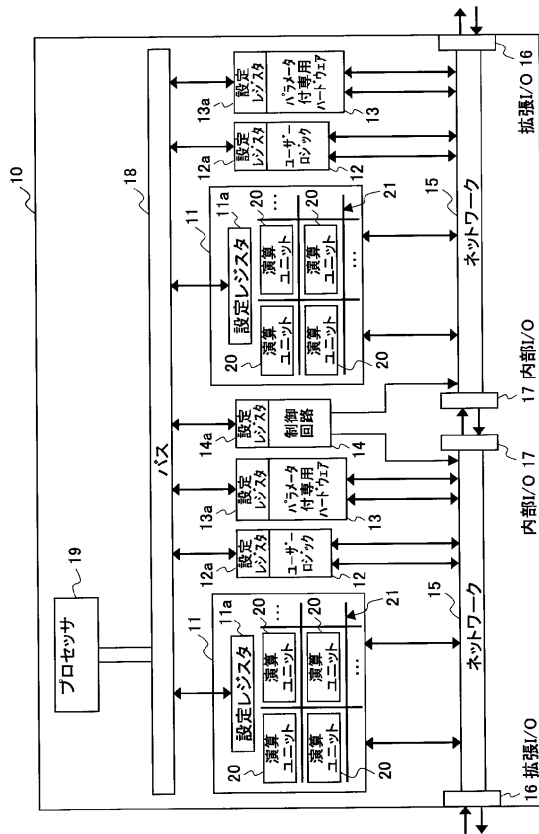
【符号の説明】

【 0 0 6 8 】

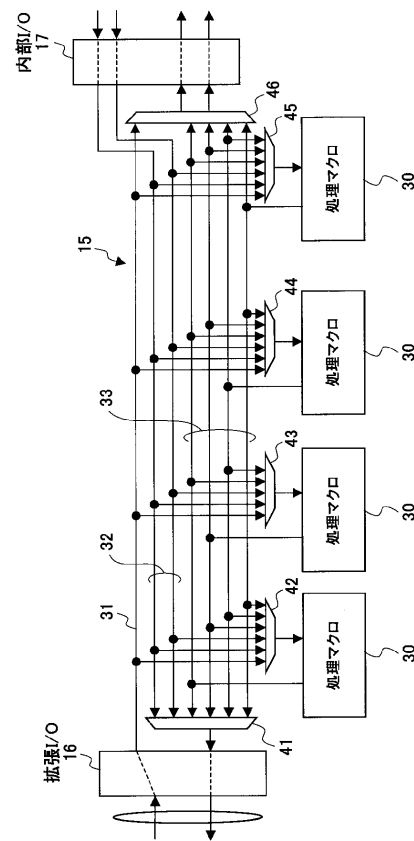
- 1 0 半導体集積回路
- 1 1 ダイナミックリコンフィギュラブル回路
- 1 2 ユーザロジック
- 1 3 パラメータ付専用ハードウェア
- 1 4 制御回路
- 1 5 ネットワーク
- 1 6 拡張 I / O
- 1 7 内部 I / O
- 1 8 バス
- 1 9 プロセッサ

40

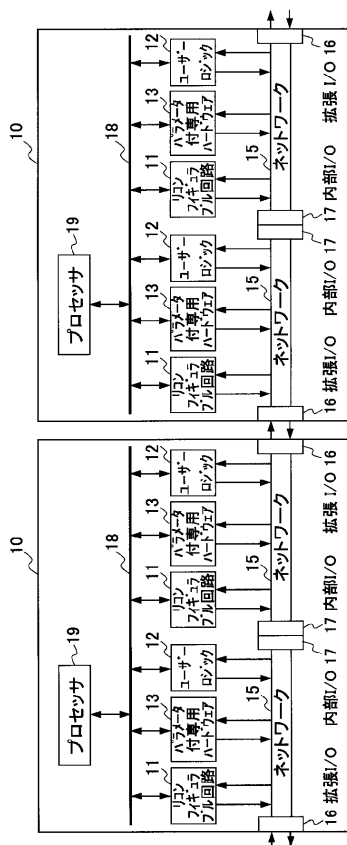
【図 1】



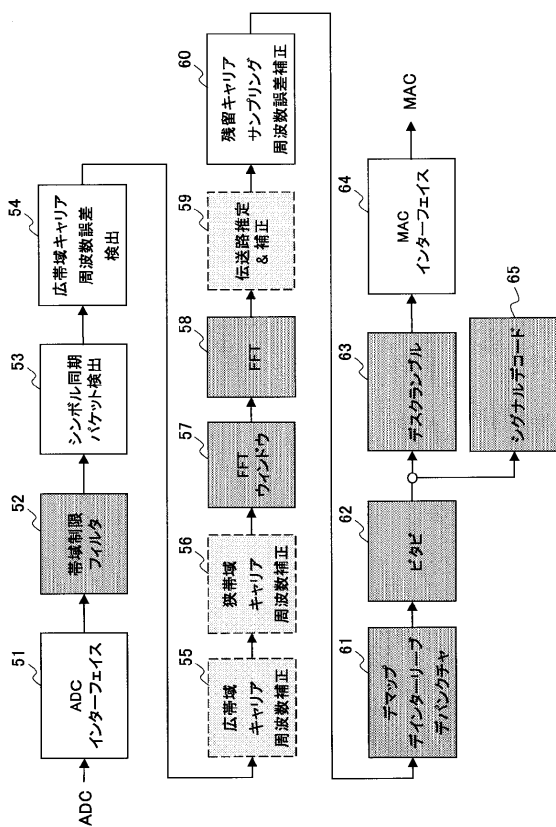
【図 2】



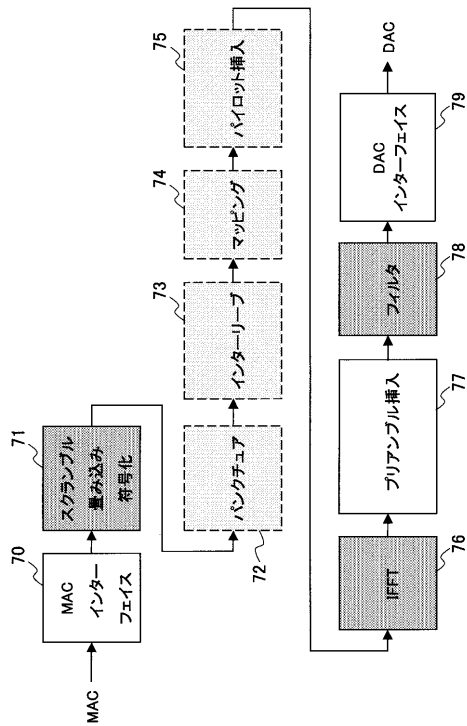
【図 3】



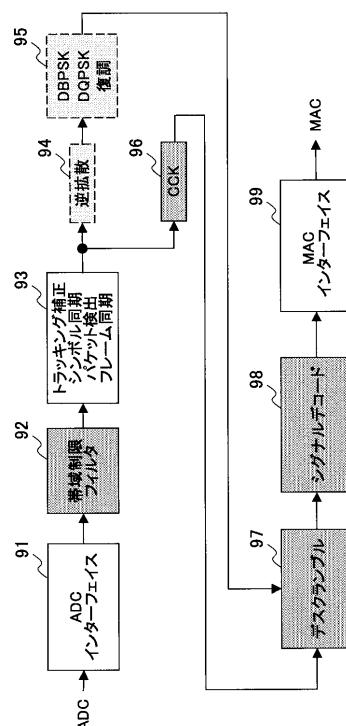
【図 4】



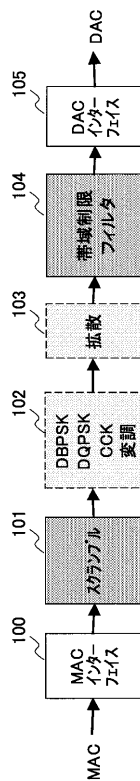
【 図 5 】



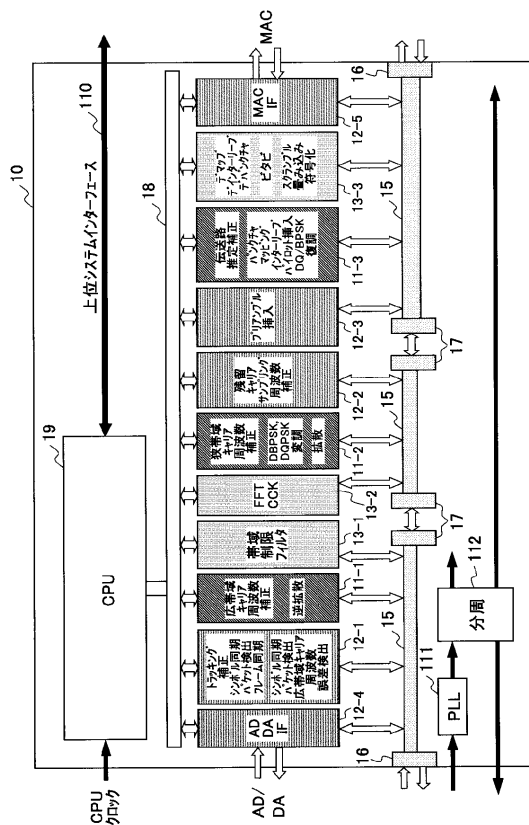
【 図 6 】



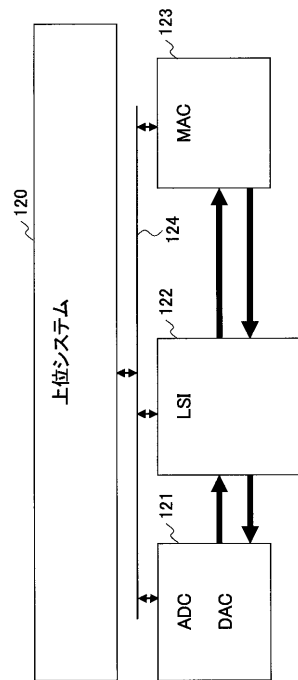
【 圖 7 】



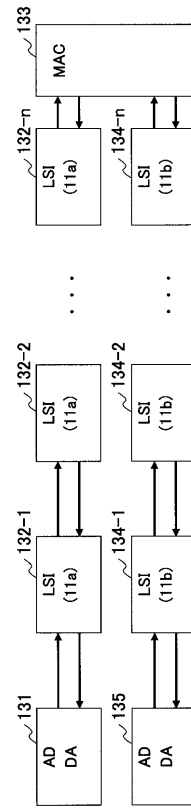
【 図 8 】



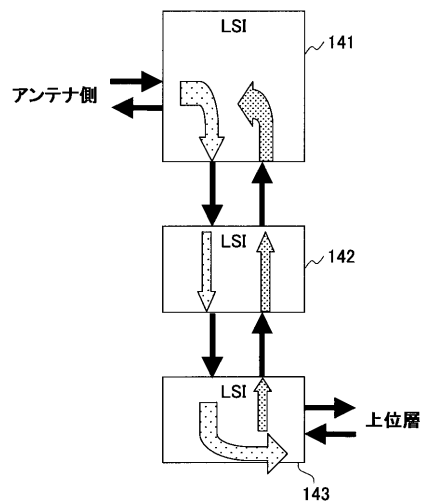
【図 9】



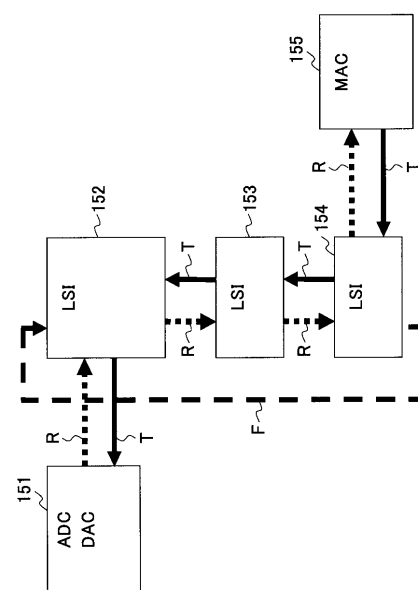
【図 10】



【図 11】



【図 12】



フロントページの続き

(56)参考文献 特表2000-509948(JP,A)
特開2003-218212(JP,A)
特開平11-015866(JP,A)
特開平10-056376(JP,A)
特開2000-049287(JP,A)
特開2002-208638(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/098-19/23

G06F15/16-15/177, 15/78