



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월05일  
(11) 등록번호 10-1470113  
(24) 등록일자 2014년12월01일

- (51) 국제특허분류(Int. Cl.)  
*G11C 19/00* (2006.01) *G09G 3/20* (2006.01)  
*G09G 3/36* (2006.01)

(21) 출원번호 10-2012-7030473  
(22) 출원일자(국제) 2011년01월28일  
    심사청구일자 2012년11월21일  
(85) 번역문제출일자 2012년11월21일  
(65) 공개번호 10-2013-0014570  
(43) 공개일자 2013년02월07일  
(86) 국제출원번호 PCT/JP2011/051797  
(87) 국제공개번호 WO 2011/135879  
    국제공개일자 2011년11월03일  
(30) 우선권주장  
    JP-P-2010-104273 2010년04월28일     일본(JP)

(73) 특허권자  
**샤프 가부시키가이샤**  
일본 오사카후 오사까시 아베노구 나가이께조 22  
밤 22고

(72) 발명자  
시마다 준야  
일본 545-8522 오사까후 오사까시 아베노꾸 나가  
이께즈 22방 22고 샤프 가부시키가이샤 내  
다나카 신야  
일본 545-8522 오사까후 오사까시 아베노꾸 나가  
이께즈 22방 22고 샤프 가부시키가이샤 내  
(뒤면에 계속)

(74) 대리인  
장수길, 박충범, 이중희

(56) 선행기술조사문현  
US20080186298 A1

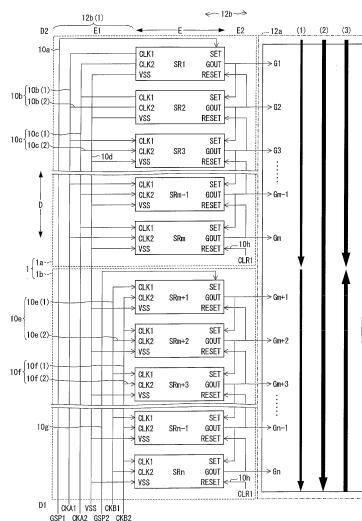
심사관 : 한선경

#### (54) 발명의 명칭 시프트 레지스터 회로 및 표시 장치 및 시프트 레지스터 회로의 구동 방법

(57) 요약

복수의 시프트 레지스터 단(SR1, SR2, …, SRn)이 종속 접속된 제 i 회로부 (1a, 1b)( $i$ 는  $1 \leq i \leq N$ (N은 2 이상의 정수)의 정수의 각각)이며, 각 상기 제 i 회로부(1a, 1b)는 상기 제 i 회로부(1a, 1b)의 각각에 전용 공급 배선(10b, 10c, 10e, 10f)에 의해 각 상기 시프트 레지스터 단(SR1, SR2, …, SRn)을 구동하는 구동 신호(CKA1, CKA2, CKB1, CKB2)가 공급되는 상기 제 1 회로부(1a, 1b)와, 상기 공급 배선(10b, 10c, 10e, 10f)을 구비하고 있다.

대표도 - 도1



(72) 발명자

**기쿠치 데츠오**

일본 545-8522 오사까후 오사까시 아베노구 나가이  
께초 22방 22고 샤프 가부시키가이샤 내

**야마사키 치카오**

일본 545-8522 오사까후 오사까시 아베노구 나가이  
께초 22방 22고 샤프 가부시키가이샤 내

**요시다 마사히로**

일본 545-8522 오사까후 오사까시 아베노구 나가이  
께초 22방 22고 샤프 가부시키가이샤 내

---

**호리우치 사토시**

일본 545-8522 오사까후 오사까시 아베노구 나가이  
께초 22방 22고 샤프 가부시키가이샤 내

**오가사와라 이사오**

일본 545-8522 오사까후 오사까시 아베노구 나가이  
께초 22방 22고 샤프 가부시키가이샤 내

## 특허청구의 범위

### 청구항 1

복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수의 각각)이며, 각 상기 제 i 회로부는 상기 제 i 회로부 각각에 전용 공급 배선에 의해 각 상기 시프트 레지스터 단을 구동하는 구동 신호가 공급되는 상기 제 i 회로부와,

상기 공급 배선을 구비하고 있고,

어떤 상기 제 i 회로부의 상기 구동 신호는, 다른 상기 제 i 회로부의 동작 기간 내에 휴지 기간을 갖고 있는 것을 특징으로 하는 시프트 레지스터 회로.

### 청구항 2

제 1 항에 있어서,

회로의 형성 면에 있어서, 시프트 방향을 따르는 방향을 제 1 방향이라고 하고, 상기 제 1 방향과 직교하는 방향을 제 2 방향이라고 했을 때,

상기 제 i 회로부를, 상기 시프트 레지스터 단의 수가  $i$ 마다 임의로 정해진 것으로 하여, 상기 제 1 방향으로 보아 1개씩 배열되도록 구비하고,

각 상기 제 i 회로부에 대응하는 상기 구동 신호의 공급 배선이, 대응하는 상기 제 i 회로부에 대하여 모든  $i$ 에 대해서 상기 제 2 방향의 어느 같은 한쪽에 있는 제 1 영역에 배치되고, 또한 모든  $i$ 에 대해서 상기 제 1 방향의 어느 같은 한쪽으로부터, 대응하는 상기 제 i 회로부를 향해서 배치되어 있는 것을 특징으로 하는 시프트 레지스터 회로.

### 청구항 3

제 2 항에 있어서,

상기 공급 배선은, 상기 제 1 방향을 따라 연장하는 메인 배선과, 상기 메인 배선으로부터 대응하는 상기 제 i 회로부를 향해서 개별로 분기해서 상기 제 i 회로부에 접속된 브랜치 배선을 구비하고 있는 것을 특징으로 하는 시프트 레지스터 회로.

### 청구항 4

제 3 항에 있어서,

상기 제 1 방향의 어느 같은 한쪽으로부터 상기 제 1 방향을 따르는 방향으로 보아 떨어진 위치에 있는 상기 제 i 회로부에 대응하는 상기 공급 배선의 상기 메인 배선일수록, 상기 제 1 영역의 상기 제 i 회로부로부터 떨어진 위치에 배치되어 있는 것을 특징으로 하는 시프트 레지스터 회로.

### 청구항 5

제 1 항에 있어서,

회로의 형성면에 있어서, 시프트 방향을 따르는 방향을 제 1 방향이라고 하고, 상기 제 1 방향과 직교하는 방향을 제 2 방향이라고 했을 때,

상기 제 i 회로부를, 상기 시프트 레지스터 단의 수가  $i$ 마다 임의로 정해진 것으로 하여, 상기 제 1 방향으로 보아 1개씩 배열되도록 구비하고,

각 상기 제 i 회로부에 대응하는 상기 구동 신호의 공급 배선이, 대응하는 상기 제 i 회로부에 대하여 모든  $i$ 에 대해서 상기 제 2 방향의 어느 같은 한쪽에 있는 제 1 영역에 배치되고,

또한 상기 제 1 방향으로 늘어선 모든 상기 i 회로부에서의 상기 제 1 방향의 양단 중, 어느 일방측의 단에 타 방측의 단보다 가까운 위치에 설치된 상기 제 i 회로부의 구동 신호의 공급 배선은 상기 일방측으로부터 대응하

는 상기 제 i 회로부를 향해서 배치되고,

상기 타방측의 단에 상기 일방측의 단보다 가까운 위치에 설치된 상기 제 i 회로부의 구동 신호의 공급 배선은 상기 타방측으로부터 대응하는 상기 제 i 회로부를 향해서 배치되어 있는 것을 특징으로 하는 시프트 레지스터 회로.

### 청구항 6

제 5 항에 있어서,

상기 공급 배선은, 상기 제 1 방향을 따라 연장하는 메인 배선과, 상기 메인 배선으로부터 대응하는 상기 제 i 회로부를 향해서 개별로 분기해서 상기 제 i 회로부에 접속된 브랜치 배선을 구비하고 있는 것을 특징으로 하는 시프트 레지스터 회로.

### 청구항 7

삭제

### 청구항 8

제 1 항에 있어서,

상기 휴지 기간을 갖는 어떤 상기 구동 신호의, 상기 휴지 기간으로 이행하기 직전의 최후의 펄스가, 어떤 상기 제 i 회로부의 시프트 펄스로서 입력되는 것을 특징으로 하는 시프트 레지스터 회로.

### 청구항 9

제 1 항에 있어서,

어떤 상기 제 i 회로부( $i=j$ ,  $j$ 는  $1 \leq j \leq N$ ( $N$ 은 2 이상의 정수)의 정수)의 최종단의 상기 시프트 레지스터 단이 출력하는 시프트 펄스가, 다른 상기 제 i 회로부( $i \neq j$ ,  $j$ 는  $1 \leq j \leq N$ ( $N$ 은 2 이상의 정수)의 정수)의 초단의 상기 시프트 레지스터 단에 시프트 펄스로서 입력되는 것을 특징으로 하는 기재된 시프트 레지스터 회로.

### 청구항 10

제 1 항에 있어서,

아몰퍼스 실리콘, 다결정 실리콘, CG 실리콘, 미결정 실리콘 및 아몰퍼스 산화물 반도체 중 적어도 어느 하나를 사용해서 형성되어 있는 것을 특징으로 하는 시프트 레지스터 회로.

### 청구항 11

제 1 항 내지 제 6 항 및 제 8 항 내지 제 10 항 중 어느 한 항의 시프트 레지스터 회로를 구비하고 있는 것을 특징으로 하는 표시 장치.

### 청구항 12

제 11 항에 있어서,

화면이 제 1 화면과 제 2 화면으로 2 분할되고 있고, 각 상기 제 i 회로부가 상기 제 1 화면용 혹은 상기 제 2 화면용으로 할당되어 있고,

상기 제 1 화면에 대응하는 데이터 신호를 공급하는 제 1 데이터 신호선 구동 회로와,

상기 제 2 화면에 대응하는 데이터 신호를 공급하는 제 2 데이터 신호선 구동 회로를 구비하고 있는 것을 특징으로 하는 표시 장치.

### 청구항 13

시프트 레지스터 회로를, 복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수) 각각으로 이루어지는 것으로서, 상기 제 i 회로부 각각에 전용 공급 배선에 의해, 각 상기 시프트 레지스터 단을 구동하는 구동 신호를 공급하고,

어떤 상기 제 i 회로부의 상기 구동 신호는, 다른 상기 제 i 회로부의 동작 기간 내에 휴지 기간을 갖고 있는 것을 특징으로 하는 시프트 레지스터 회로의 구동 방법.

## 명세서

### 기술 분야

[0001] 본 발명은, 표시 패널에 모놀리식으로 들어간 시프트 레지스터 회로에 관한 것이다.

### 배경 기술

[0002] 최근, 게이트 드라이버를 액정 패널 위에 아몰퍼스 실리콘으로 형성해 비용 삭감을 도모하는 게이트 모놀리식화가 진행되고 있다. 게이트 모놀리식은, 게이트 드라이버 프리(gate driver-free), 패널 내장 게이트 드라이버, 게이트 인(gate in) 패널 등으로도 칭해진다.

[0003] 도 13에, 게이트 모놀리식에 의해 형성되는 게이트 드라이버를 구성하는 시프트 레지스터 회로(100)의 구성예를 도시한다.

[0004] 당해 시프트 레지스터 회로(100)에 있어서는, 각 단(시프트 레지스터 단, SR<sub>k</sub>( $k$ 는  $1 \leq k \leq n$ 의 자연수))이, 세트 단자(SET), 출력 단자(GOUT), 리셋 단자(RESET), Low 전원 입력 단자(VSS) 및 클록 입력 단자(CLK1 · CLK2)를 구비하고 있다. 각 단(SR<sub>k</sub>( $k \geq 2$ ))에 있어서, 세트 단자(SET)에는 전단(SR<sub>k-1</sub>)의 출력 신호(G<sub>k-1</sub>)가 입력된다. 초단(SR1)의 세트 단자(SET)에는 게이트 스타트 펄스 신호(GSP)가 입력된다. 각 단(SR<sub>k</sub>( $k \geq 1$ ))에 있어서, 출력 단자(GOUT)는, 액티브 에어리어(101)에 배치된 대응하는 주사 신호선에 출력 신호(G<sub>k</sub>)를 출력한다. 각 단(SR<sub>k</sub>( $k \leq n-1$ ))에 있어서, 리셋 단자(RESET)에는, 다음 단(SR<sub>k+1</sub>)의 출력 신호(G<sub>k+1</sub>)가 입력된다. 최종단(SR<sub>n</sub>)의 리셋 단자(RESET)에는 클리어 신호(CLR)가 입력된다.

[0005] Low 전원 입력 단자(VSS)에는, 각 단(SR<sub>k</sub>)에 있어서의 저전위측의 전원 전압인 Low 전원 전압(VSS)가 입력된다. 클록 입력 단자(CLK1)과 클록 단자(CLK2) 중 어느 한쪽에 클록 신호(CKA1)가 입력되는 동시에 다른 쪽에 클록 신호(CKA2)가 입력되고, 인접하는 단 사이에서 클록 입력 단자(CLK1)에 입력되는 클록 신호와 클록 입력 단자(CLK2)에 입력되는 클록 신호가 교대로 바꿔 들어가게 되어 있다.

[0006] 클록 신호(CKA1)과 클록 신호(CKA2)는, 도 14에 도시하는, 액티브 클록 펄스 기간(여기서는 High 레벨 기간)이 서로 겹치지 않는 상보적인 위상 관계를 갖고 있다. 클록 신호(CKA1 · CKA2)의 High 레벨측(액티브측)의 전압은 VGH이며, Low 레벨측(비액티브측)의 전압은 VGL이다. Low 전원 전압(VSS)은 클록 신호(CKA1 · CKA2)의 Low 레벨측의 전압 VGL과 같다. 이 예에서는, 클록 신호(CKA1)와 클록 신호(CKA2)가 서로 역상의 관계에 있지만, 한쪽 클록 신호의 액티브 클록 펄스 기간이, 다른 쪽 클록 신호의 비액티브 기간 내에 포함되는 관계(즉, 클록 둑티가 1/2 미만)도 가능하다.

[0007] 게이트 스타트 펄스 신호(GSP)는, 1 프레임 기간(1F)의 최초의 클록 펄스 기간에 액티브가 되는 신호이다. 클리어 신호(CLR)는, 1 프레임 기간(1F)의 최후의 클록 펄스 기간에 액티브(여기서는 High)가 되는 신호이다.

[0008] 도 15에, 도 13의 시프트 레지스터 회로(100)의 각 단(SR<sub>k</sub>)의 구성예를 도시한다.

[0009] 각 단(SR<sub>k</sub>)은, 5개의 트랜지스터(T1 · T2 · T3 · T4 · T5) 및 용량(C1)을 구비하고 있다. 상기 트랜지스터는 모두 n 채널형의 TFT이다.

[0010] 트랜지스터(T1)에 있어서, 게이트 및 드레인은 세트 단자(SET)에, 소스는 트랜지스터(T5)의 게이트에 각각 접속되어 있다. 각 단(SR<sub>k</sub>)의 출력 트랜지스터인 트랜지스터(T5)에 있어서, 드레인은 클록 입력 단자(CLK1)에, 소스는 출력 단자(GOUT)에 각각 접속되어 있다. 즉, 트랜지스터(T5)는 전송 게이트로서, 클록 입력 단자(CLK1)에 입력되는 클록 신호의 통과 및 차단을 행한다. 용량(C1)은, 트랜지스터(T5)의 게이트와 소스와의 사이에 접속되어 있다. 트랜지스터(T5)의 게이트에 접속된 노드를 netA라고 칭한다.

[0011] 트랜지스터(T3)에 있어서, 게이트는 리셋 단자(RESET)에, 드레인은 노드(netA)에, 소스는 Low 전원 입력 단자(VSS)에 각각 접속되어 있다. 트랜지스터(T4)에 있어서, 게이트는 리셋 단자(RESET)에, 드레인은 출력 단자(GOUT)에, 소스는 Low 전원 입력 단자(VSS)에 각각 접속되어 있다.

[0012] 트랜지스터(T2)에 있어서, 게이트는 클록 단자(CLK2)에, 드레인은 출력 단자(GOUT)에, 소스는 Low 전원 입력 단자(VSS)에 각각 접속되어 있다.

- [0013] 다음으로, 도 16을 사용하여, 각 단(SRk)의 동작에 대해서 설명한다.
- [0014] 1 프레임 기간의 최초에, 시프트 레지스터 회로(100)의 시프트 펄스로서 게이트 스타트 펄스 신호(GSP)가 초단(SR1)의 세트 단자(SET)에 입력된다. 시프트 레지스터 회로(100)는, 종속 접속된 각 단(SRk)이 이 시프트 펄스를 순서대로 전달함으로써, 출력 신호(Gk)의 액티브 펄스를 출력한다.
- [0015] 각 단(SRk)에 있어서, 세트 단자(SET)에 시프트 펄스가 입력될 때까지는, 트랜지스터(T4 · T5)가 하이 임피던스 상태임과 아울러, 트랜지스터(T2)가 클록 입력 단자(CLK2)로부터 입력되는 클록 신호가 High 레벨이 될 때마다 ON 상태로 되고, 출력 단자(GOUT)는 Low를 보유 지지하는 기간이 된다.
- [0016] 세트 단자(SET)에 시프트 펄스가 입력되면, 단(SRk)은 출력 신호(Gk)의 액티브 펄스인 게이트 펄스를 생성하는 기간이 되고, 트랜지스터(T1)가 ON 상태로 되어서 용량(C1)을 충전한다. 용량(C1)이 충전됨으로써, 게이트 펄스의 High 레벨을 VGH, 트랜지스터(T1)의 임계값 전압을 Vth로 하여, 노드(netA)의 전위가 VGH-Vth까지 상승한다. 이 결과, 트랜지스터(T5)가 ON 상태로 되어, 클록 입력 단자(CLK1)로부터 입력된 클록 신호가 트랜지스터(T5)의 소스에 드러나는데, 클록 입력 단자(CLK1)에 클록 펄스(High 레벨)가 입력된 순간에 용량(C1)의 부스트 랩 효과에 의해 노드(netA)의 전위를 밀어 올릴 수 있으므로, 트랜지스터(T5)는 큰 오버 드라이브 전압을 얻게 된다. 이에 의해, 클록 입력 단자(CLK1)에 입력된 클록 펄스의 VGH의 대략 전체 진폭이 단(SRk)의 출력 단자(GOUT)에 전송되어 출력되어, 게이트 펄스가 된다.
- [0017] 세트 단자(SET)로의 시프트 펄스의 입력이 종료되면, 트랜지스터(T1)이 OFF 상태로 된다. 그리고, 노드(netA) 및 단(SRk)의 출력 단자(GOUT)가 플로팅이 되는 것에 의한 전하의 보유 지지를 해제하기 위해서, 다음 단(SRk+1)의 게이트 펄스가 리셋 펄스로서 리셋 단자(RESET)에 입력된다. 이에 의해 트랜지스터(T3 · T4)가 ON 상태로 되고, 노드(netA) 및 출력 단자(GOUT)가 Low 전원 전압(VSS)에 접속된다. 따라서, 트랜지스터(T5)가 OFF 상태로 된다. 리셋 펄스의 입력이 종료하면, 단(SRk)이 게이트 펄스를 생성하는 기간은 종료되고, 출력 단자(GOUT)는 다시 Low를 보유 지지하는 기간이 된다.
- [0018] 이와 같이 하여, 도 17에 도시한 바와 같이, 각 게이트 라인에 출력 신호(Gk)의 게이트 펄스가 순차 출력되어 간다.
- [0019] 상기와 같은 게이트 모놀리식 기술에 의한 시프트 레지스터 회로는, 특허 문헌 1 등에도 기재되어 있다.

## 선행기술문헌

### 특허문헌

- [0020] (특허문헌 0001) 일본 공개 특허 공보 「일본 특허 출원 공개 2005-50502(2005년2월24일 공개)」

## 발명의 내용

### 해결하려는 과제

- [0021] 그러나, 표시 장치의 대형화 및 고정세화에 의해, 표시 패널을 구동하는 신호 배선끼리의 크로스 용량이나, 시프트 레지스터 단(SRk)의 출력에 접속되는 부하가 증대되고 있다. 게이트 펄스를 생성하는 전원에 접속되는 전부하가 저부하일 경우에는, 도 18의 (a)에 도시한 바와 같이 게이트 펄스의 형상이 상당히 사각형 펄스에 가깝다. 크로스 용량이나 부하가 증대하면, 도 18의 (b)에 도시한 바와 같이, 배선 지연에 의해 게이트 펄스의 파형에 변형이 발생한다. 게이트 펄스의 파형이 둔해지면, High 기간의 감소 및 회소 TFT의 동작 타이밍의 어긋남 등이 일어나기 때문에, 이를 해소하려고 하면, 시프트 레지스터 회로(100)에 사용되는 트랜지스터의 사이즈(채널 폭(W)/채널 길이(L))를 크게 하거나, 도 18의 (c)에 도시한 바와 같이, 본래 게이트 펄스(105)로 동작시키고 싶은 곳을 진폭이 큰 게이트 펄스(106)대신에 공급하거나 함으로써, 게이트 펄스의 충분한 High 기간과 정확한 펄스 타이밍을 확보하는 등의 수단을 취할 수 밖에 없다.

- [0022] 이와 같은, 게이트 펄스를 생성하는 전원에 대한 부하에 대해서 이하에 설명한다.

- [0023] 도 13에 도시한 바와 같이, 시프트 레지스터 회로(100)를 구동하는 신호의 배선으로서, 게이트 스타트 펄스 신호(GSP)의 배선(100a), 클록 신호(CKA1)의 배선(100b), 클록 신호(CKA2)의 배선(100c), Low 전원 전압(VSS)의 배선(100d) 및 클리어 신호(CLR)의 배선(100e) 등 복수의 배선이 표시 패널 위에 형성되어 있다.

- [0024] 이들 배선(100a~100e) 중 특히 배선(100b~100d)은, 각 전원 혹은 각 신호원으로부터 각 시프트 레지스터 단(SRk)의 근방까지 도달하도록 둘러쳐진 메인 배선과, 메인 배선으로부터 개개의 시프트 레지스터 단(SRk)으로 끌어 들여진 브랜치 배선을 갖고 있다. 도 13에는, 일례로서, 배선(100b)의 메인 배선(100b(1)) 및 브랜치 배선(100b(2))과, 배선(100c)의 메인 배선(100c(1)) 및 브랜치 배선(100c(2))을 도시했다.
- [0025] 따라서, 메인 배선과 브랜치 배선을 갖는 배선(100b · 100c) 각각은, 다른 배선과 교차하는 지점을 갖게 되고, 이 결과, 배선 간의 크로스 용량을 갖는다. 이는 다른 배선에 대해서도 같다. 또한, 배선(100b · 100c) 각각은 자신의 배선 용량도 갖고 있다. 특히, 크로스 용량의 형성 지점은, 패널의 고정세화에 수반하는 회소 행수의 증대에 비례해서 커진다. 또한, 각 회소 행을 동일 색의 회소로 구성할 경우에는, 각 색에 대하여 회소 행이 필요하기 때문에, 행수가 매우 많아지고, 크로스 용량의 형성 지점이 현저하게 증가한다.
- [0026] 이와 같은 배선(100b · 100c) 각각은, 클록 입력 단자(CLK1)을 통해서 접속된 시프트 레지스터 단(SRk)이 게이트 펠스를 출력할 때에, 대응하는 게이트 라인(GLk)에 접속된다. 즉, 클록 전원은 게이트 펠스를 생성하는 전원이며, 배선(100b · 100c)의 배선 용량 및 크로스 용량은 게이트 펠스를 생성하는 전원의 부하가 된다.
- [0027] 도 19에, 도 13의 액티브 에어리어(101)에 있어서의 각 화소(PIX)의 등가 회로를 도시한다.
- [0028] 각 화소(PIX)는, 게이트 라인(GLk)과 소스 라인(SLj(j는 자연수))과의 각 교점에 대응하여 설치되어 있다. 화소(PIX)는, 선택 소자인 TFT(110), 액정 용량(C1c) 및 보유 지지 용량(Ccs)를 구비하고 있다. TFT(110)의 게이트는 게이트 라인(GLk)에, 소스는 소스 라인(SLj)에, 드레인(110d)은 회소 전극(111)에 각각 접속되어 있다. 액정 용량(C1c)은, 회소 전극(111)과 공통 전극(COM)과의 사이에 액정 층이 배치되어 구성되어 있다. 보유 지지 용량(Ccs)은, 드레인(111d)과 보유 지지 용량 라인(CSL)과의 사이에 절연막이 배치되어 구성되어 있다.
- [0029] 게이트 라인(GLk)은, 시프트 레지스터 단(SRk)의 출력 단자(GOUT)에 접속되어 있고, 도 15에서 알 수 있듯이, 트랜지스터(T5)가 ON 상태로 되는 기간에 도 13의 클록 신호(CKA1 혹은 CKA2)를 통해서 클록 전원에 접속된다. 즉, 게이트 라인(GLk)은 클록 전원의 부하가 된다. 또한, 게이트 라인(GLk)은, 시프트 레지스터 단(SRk)의 리셋 시에 Low 전원 전압(VSS)의 전원에 접속된다. 즉, 게이트 라인(GLk)은 Low 전원 전압(VSS)의 전원의 부하가 된다.
- [0030] 또한, 게이트 라인(GLk)에는, 소스 라인(SLj)과의 교차 지점에 있어서 양쪽 배선 간의 크로스 용량(Csgx)이 접속되어 있다. 이 크로스 용량(Csgx)에는, TFT(110)가 ON일 때에, 액정 용량(C1c) 및 보유 지지 용량(Ccs)이 연결된다. 즉, 크로스 용량(Csgx), 액정 용량(C1c) 및 보유 지지 용량(Ccs)은, 클록 전원 및 Low 전원 전압(VSS)의 전원의 부하가 된다. 이것에는, 소스 라인(SLj)에 접속된 전회소(PIX)의 것도 포함된다.
- [0031] 또한, 게이트 라인(GLk)에는, TFT(110)의 기생 용량인 게이트 · 소스 간 용량(Cgs) 및 게이트 · 드레인 간 용량(Cgd)이 접속되어 있다. 게이트 · 드레인 간 용량(Cgd)에는, 게이트 라인(GLk)과 회소 전극(111)과의 사이에 형성된 기생 용량도 포함되어 있다. 즉, 게이트 · 소스 간 용량(Cgs) 및 게이트 · 드레인 간 용량(Cgd)은, 클록 전원 및 Low 전원 전압(VSS)의 전원의 부하가 된다.
- [0032] 도 19에 도시되는 이러한 부하는 표시 영역 내의 부하이다.
- [0033] 다음으로, 도 20에, 클록 신호(CKA1 · CKA2)의 배선(100b · 100c)과, 시프트 레지스터 단(SRk) 내의 트랜지스터와의 접속 상태를 도시한다.
- [0034] 배선(100b · 100c)은, 예를 들어, 도 15의 구성의 시프트 레지스터 단(SRk)이면 클록 입력 단자(CKA · CKB)에 접속되어 있다. 따라서, 배선(100b · 100c)에는, 트랜지스터(T2 · T5)의 게이트 · 소스 간 용량이나 게이트 · 드레인 간 용량인 기생 용량(115 · 116 · 117 · 118)이 접속되어 있다.
- [0035] 이상과 같은 부하 용량이 모두, 게이트 펠스를 생성하는 전원에 접속되기 때문에, 게이트 펠스 파형의 변형은 상당히 커진다. 변형이 커져서 게이트 펠스의 High 기간이 짧아지면, 액정 용량(C1c)을 충분히 충전할 수 있을 만큼의 기간을 확보할 수 없고, 표시의 고정세화에 지장을 초래한다. 따라서, 변형을 개선하기 위해서 트랜지스터의 사이즈를 크게 하려고 하면, 트랜지스터(T5)로 나타나는 출력 트랜지스터는, 큰 전류 공급 능력을 구비시키기 위해서 원래 매우 큰 채널 폭을 갖고 있기 때문에 매우 큰 사이즈가 되어버린다. 게이트 모노리식 기술에서는 캐리어 이동도가 작은 소자(특히, 아몰퍼스 실리콘)를 사용하고 있기 때문에, 특히 큰 사이즈가 필요해진다. 이는, 표시 패널의 프레임 폭 협소화에 반한다. 또한, 큰 사이즈의 소자는 그 어딘가에 제조 결함이 발생할 확률이 높아지므로, 패널 제조의 고 수율화에 있어서 장애가 된다.
- [0036] 또한, 도 18의 (c)와 같이 진폭이 큰 게이트 펠스(106)를 공급하기 위해서 클록 신호(CKA1 · CKA2)의 진폭을 크

게 하려고 하면, 클록 전원 전압을 상승시키게 되므로, 저소비전력화 및 고속 동작화를 위해서 전원 전압의 저감이 도모되고 있는 현 실정에 반한다.

[0037] 이와 같은 사정으로부터, 게이트 펠스 파형의 변형에 대하여 현실적으로 취할 수 있는 대처 방법으로서는, 최저한의 전류 공급 능력을 확보 가능한 만큼의 트랜지스터 사이즈의 불충분한 증대하나, 소비 전력을 최대한 억제하기 위한 전원 전압의 불충분한 상승밖에 행할 수 없다. 전자의 방법에서는, 트랜지스터의 전류 공급 능력이 구비하는 마진이 작아져서 구동할 수 있는 부하의 상한이 낮아진다. 후자의 방법에서는, 게이트 펠스를 생성하는 전원 전압에, 트랜지스터를 충분히 구동할 수 있는 만큼의 마진이 없어져 버린다.

[0038] 이상과 같이, 종래의 시프트 레지스터 회로에는, 충분한 동작 마진을 확보할 수 없다고 하는 문제가 있었다.

[0039] 본 발명은, 상기 종래의 문제점을 감안해 이루어진 것이며, 그 목적은, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로 및 그것을 구비한 표시 장치 및 시프트 레지스터 회로의 구동 방법을 실현하는 것에 있다.

### 과제의 해결 수단

[0040] 본 발명의 시프트 레지스터 회로는,

[0041] 복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수의 각각)이며, 각 상기 제 i 회로부는 상기 제 i 회로부의 각각에 전용 공급 배선에 의해 각 상기 시프트 레지스터 단을 구동하는 구동 신호가 공급되는 상기 제 i 회로부와,

[0042] 상기 공급 배선을 구비하고 있는 것을 특징으로 하고 있다.

[0043] 상기 발명에 따르면, 구동 신호의 공급 배선의 다른 배선과의 교차 지점이 크게 감소하므로, 구동 신호의 공급 배선 1개당 크로스 용량을 큰폭으로 감소시키는 것이 가능해진다. 또한, 구동 신호의 공급 배선 1개당 시프트 레지스터 단의 접속수가 크게 감소하므로, 시프트 레지스터 단과의 접속부에 있어서의 기생 용량의 합계가 대폭 감소한다. 이에 의해, 구동 신호원으로부터 구동 신호의 공급 배선에 공급되는 구동 신호의 파형, 따라서 시프트 레지스터 단의 출력 신호의 파형을, 종래보다도 변형이 작은 파형으로 할 수 있다. 따라서, 구동 신호원의 전압 범위를 크게 하는 것 및 트랜지스터 사이즈(채널 폭)를 크게 하는 것을 행하지 않더라도, 부하의 충전율을 높일 수 있고, 그만큼 시프트 레지스터 단의 동작 마진을 크게 할 수 있다.

[0044] 이상에 의해, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로를 실현할 수 있다고 하는 효과를 발휘한다.

[0045] 본 발명의 시프트 레지스터 회로의 구동 방법은,

[0046] 시프트 레지스터 회로를, 복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수) 각각으로 이루어지는 것으로서, 상기 제 i 회로부 각각에 전용 공급 배선에 의해, 각 상기 시프트 레지스터 단을 구동하는 구동 신호를 공급하는 것을 특징으로 하고 있다.

[0047] 상기 발명에 따르면, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로의 구동 방법을 실현할 수 있다고 하는 효과를 발휘한다.

### 발명의 효과

[0048] 본 발명의 시프트 레지스터 회로는,

[0049] 복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수의 각각)이며, 각 상기 제 i 회로부는 상기 제 i 회로부의 각각에 전용 공급 배선에 의해 각 상기 시프트 레지스터 단을 구동하는 구동 신호가 공급되는 상기 제 i 회로부와,

[0050] 상기 공급 배선을 구비하고 있다.

[0051] 이상에 의해, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로를 실현할 수 있다고 하는 효과를 발휘한다.

[0052] 본 발명의 시프트 레지스터 회로의 구동 방법은,

[0053] 시프트 레지스터 회로를, 복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수) 각각으로 이루어지는 것으로서, 상기 제 i 회로부의 각각에 전용 공급 배선에 의해, 각 상기 시프

트 레지스터 단을 구동하는 구동 신호를 공급한다.

[0054] 이상에 의해, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로의 구동 방법을 실현할 수 있다고 하는 효과를 발휘한다.

### 도면의 간단한 설명

[0055] 도 1은 본 발명의 실시 형태를 도시하는 것이며, 제 1 실시예에 있어서의 시프트 레지스터 회로의 구성을 도시하는 블록도이다.

도 2는 도 1의 시프트 레지스터 회로의 신호를 설명하는 타이밍 차트이다.

도 3은 본 발명의 실시 형태를 도시하는 것이며, 제 2 실시예에 있어서의 시프트 레지스터 회로의 구성을 도시하는 블록도이다.

도 4는 도 3의 시프트 레지스터 회로의 신호를 설명하는 타이밍 차트이다.

도 5는 본 발명의 실시 형태를 도시하는 것이며, 제 3 실시예에 있어서의 시프트 레지스터 회로의 구성을 도시하는 블록도이다.

도 6은 도 5의 시프트 레지스터 회로의 신호를 설명하는 타이밍 차트이다.

도 7은 본 발명의 실시 형태를 도시하는 것이며, 제 4 실시예에 있어서의 시프트 레지스터 회로의 구성을 도시하는 블록도이다.

도 8은 도 7의 시프트 레지스터 회로의 신호를 설명하는 타이밍 차트이다.

도 9는 본 발명의 실시 형태를 도시하는 것이며, 제 5 실시예에 있어서의 시프트 레지스터 회로의 구성을 도시하는 블록도이다.

도 10은 도 9의 시프트 레지스터 회로의 신호를 설명하는 타이밍 차트이다.

도 11은 본 발명의 실시 형태를 도시하는 것이며, 표시 장치의 구성을 도시하는 블록도이다.

도 12는 본 발명의 실시 형태를 도시하는 것이며, 표시 장치의 게이트 스캔 방향 및 데이터 신호의 공급 방향을 설명하는 도이며, (a) 내지 (c)는 각각 공급 방향의 다양성을 도시하는 도이다.

도 13은 종래 기술을 도시하는 것이며, 시프트 레지스터의 구성을 도시하는 블록도이다.

도 14는 도 13의 시프트 레지스터 회로의 신호를 설명하는 타이밍 차트이다.

도 15는 도 13의 시프트 레지스터 단의 구성을 도시하는 회로도이다.

도 16은 도 15의 시프트 레지스터 단의 동작을 도시하는 타이밍 차트이다.

도 17은 도 13의 시프트 레지스터 회로의 동작을 도시하는 타이밍 차트이다.

도 18은 종래 기술을 도시하는 것이며, 변형을 설명하는 과정도이며, (a)는 변형이 작은 과정을 도시하는 과정도, (b)는 변형이 큰 과정을 도시하는 과정도, (c)는 변형을 개선하기 위한 과정도이다.

도 19는 종래 기술을 도시하는 것이며, 회소 주변의 기생 용량을 설명하는 회로도이다.

도 20은 종래 기술을 도시하는 것이며, 구동 신호의 공급 배선과 시프트 레지스터 단과의 접속부에 있어서의 기생 용량을 설명하는 회로도이다.

### 발명을 실시하기 위한 구체적인 내용

[0056] 본 발명의 실시 형태에 대해서 도 1 내지 도 12를 사용해서 설명하면, 이하와 같다.

도 11에, 본 실시 형태에 관한 표시 장치인 액정 표시 장치(11)의 구성을 도시한다.

[0058] 액정 표시 장치(11)는, 표시 패널(12), 플렉시블 프린트 기판(13) 및 컨트롤 기판(14)을 구비하고 있다.

[0059] 표시 패널(12)은, 클래스 기판 위에 아몰퍼스 실리콘을 사용해서 제작되는 TFT를 사용하여, 액티브 에어리어(표시 영역, 12a), 복수의 게이트 라인(주사 신호선, GL…), 복수의 소스 라인(데이터 신호선, SL…) 및 게이트 드라이버(주사 신호선 구동 회로, 15)가 들어간 액티브 매트릭스형의 표시 패널이다. 다결정 실리콘, CG 실리콘,

미결정 실리콘, 아몰퍼스 산화물 반도체(IGZO 등) 등을 사용해서 제작되는 TFT를 사용해서 표시 패널(12)을 제작할 수도 있다. 액티브 에어리어(12a)는, 복수의 회소(PIX….)가 매트릭스 형상으로 배치된 영역이다. 회소(PIX)는, 회소의 선택 소자인 TFT(21), 액정 용량(CL) 및 보조 용량(Cs)을 구비하고 있다. TFT(21)의 게이트는 게이트 라인(GL)에 접속되어 있고, TFT(21)의 소스는 소스 라인(SL)에 접속되어 있다. 액정 용량(CL) 및 보조 용량(Cs)은 TFT(21)의 드레인에 접속되어 있다.

[0060] 복수의 게이트 라인(GL….)은 게이트 라인(GL1 · GL2 · GL3 · … · GLn)으로 이루어지고, 각각 게이트 드라이버(주사 신호선 구동 회로, 15)의 출력에 접속되어 있다. 복수의 소스 라인(SL….)은 소스 라인(SL1 · SL2 · SL3 · … · SLm)으로 이루어지고, 각각 후술하는 소스 드라이버(16)의 출력에 접속되어 있다. 또한, 도시하지 않지만, 회소(PIX….)의 각 보조 용량(Cs)에 보조 용량 전압을 부여하는 보조 용량 배선이 형성되어 있다.

[0061] 게이트 드라이버(15)는, 표시 패널(12) 위에서 액티브 에어리어(12a)에 대하여 게이트 라인(GL….)이 연장되는 방향의 일방 측에 인접하는 영역에 설치되어 있고, 내부에 구비하는 시프트 레지스터 회로에 의해 게이트 라인(GL….)의 각각에 순차 게이트 펄스(주사 펄스)를 공급한다. 또한, 다른 게이트 드라이버가, 표시 패널(12) 위에서 액티브 에어리어(12a)에 대하여 게이트 라인(GL….)이 연장되는 방향의 타방 측에 인접하는 영역에 설치되고, 상기 게이트 드라이버(15)와 서로 다른 게이트 라인(GL)을 주사하도록 되어 있어도 된다. 이를 게이트 드라이버는 표시 패널(12)에, 아몰퍼스 실리콘, 다결정 실리콘, CG 실리콘, 미결정 실리콘, 아몰퍼스 산화물 반도체(IGZO: In-Ga-Zn-O 등) 중 적어도 하나를 사용하여, 액티브 에어리어(12a)와 모놀리식으로 들어가 있어, 게이트 모놀리식, 게이트 드라이버 프리, 패널 내장 게이트 드라이버, 게이트 인 패널 등으로 칭해지는 기술에 의해 제작된 게이트 드라이버는 모두 게이트 드라이버(15)에 포함될 수 있다.

[0062] 플렉시블 프린트 기판(13)은, 소스 드라이버(16)를 구비하고 있다. 소스 드라이버(16)는 소스 라인(SL….) 각각에 데이터 신호를 공급한다. 컨트롤 기판(14)은 플렉시블 프린트 기판(13)에 접속되어 있고, 게이트 드라이버(15) 및 소스 드라이버(16)에 필요한 신호나 전원을 공급한다. 컨트롤 기판(14)으로부터 출력된 게이트 드라이버(15)로 공급하는 신호 및 전원은, 플렉시블 프린트 기판(13)을 통해서 표시 패널(12) 위에서 게이트 드라이버(15)로 공급된다.

[0063] 표시 패널(12)에 있어서의 액티브 에어리어(12a)의 외측 영역은 프레임 영역(12b)으로 되어 있다. 게이트 드라이버(15)는 이 프레임 영역(12b)에 들어가 있으며, 플렉시블 프린트 기판(13)은 이 프레임 영역(12b)에 접속되어 있다.

[0064] 게이트 드라이버(15)와 같이 게이트 드라이버를 게이트 모놀리식 기술로 구성할 경우에는, 1 행분의 회소(PIX….)를 모두 같은 색 회소로 구성해, 게이트 드라이버(15)가 RGB 색마다 게이트 라인(GL….)을 구동하기에 적합하다. 이 경우에는, 소스 드라이버(16)를 색마다 준비할 필요가 없어, 소스 드라이버(16)나 플렉시블 프린트 기판(13)의 규모를 축소할 수 있으므로 유리하다.

[0065] 다음으로, 상기 구성의 액정 표시 장치(11)에 있어서 게이트 드라이버(15)에 구비되는 시프트 레지스터 회로의 구성에 대해서, 각 실시예를 들어서 설명한다. 또한, 이하에 서술하는 시프트 레지스터 회로의 각 단(시프트 레지스터 단, SRk)의 구성은 임의여도 좋고, 예를 들어, 도 15에 도시한 회로 등이 적용가능하므로, 그 설명은 생략한다.

## 실시예 1

[0067] 도 1에, 본 실시예의 시프트 레지스터 회로(1)의 구성을 도시한다.

[0068] 시프트 레지스터 회로(1)는, 제 1 회로부(1a), 제 2 회로부(1b) 및 배선(10a · 10b · 10c · 10d · 10e · 10f · 10g · 10h)을 구비하고 있다.

[0069] 제 1 회로부(1a)는, 각 단(시프트 레지스터 단, SRk( $k$ 는  $1 \leq k \leq m$ 의 자연수))이 종속 접속된 구성이다. 각 단(SRk)은, 세트 단자(SET), 출력 단자(GOUT), 리셋 단자(RESET), Low 전원 입력 단자(VSS) 및 클록 입력 단자(CLK1 · CLK2)를 구비하고 있다. 각 단(SRk( $k \geq 2$ ))에 있어서, 세트 단자(SET)에는 전단(SRk-1)의 출력 신호(Gk-1)가 입력된다. 제 1 회로부(1a)의 초단(SR1)의 세트 단자(SET)에는 게이트 스타트 펄스 신호(GSP1)가 입력된다. 각 단(SRk( $1 \leq k \leq m$ ))에 있어서, 출력 단자(GOUT)는, 액티브 에어리어(12a)에 배치된 대응하는 게이트 라인(GLk)에 출력 신호(Gk)를 출력한다. 각 단(SRk( $k \leq m-1$ ))에 있어서, 리셋 단자(RESET)에는, 다음 단(SRk+1)의 출력 신호(Gk+1)가 입력된다. 제 1 회로부(1a)의 최종단(SRm)의 리셋 단자(RESET)에는 클리어 신호(CLR1)가 입력된다.

- [0070] Low 전원 입력 단자(VSS)에는, 각 단(SRk)에 있어서의 저전위측의 전원 전압인 Low 전원 전압(VSS)이 입력된다. 클록 입력 단자(CLK1)와 클록 단자(CLK2) 중 한쪽에 클록 신호(CKA1)가 입력되는 동시에 다른 쪽에 클록 신호(CKA2)가 입력되고, 인접하는 단 사이에서 클록 입력 단자(CLK1)에 입력되는 클록 신호와 클록 입력 단자(CLK2)에 입력되는 클록 신호가 교대로 바꿔 들어가게 되어 있다.
- [0071] 클록 신호(CKA1)와 클록 신호(CKA2)는, 도 2에 도시하는 바와 같은, 액티브 클록 펄스 기간(여기서는 High 레벨 기간)이 서로 겹치지 않는 상보적인 위상 관계를 갖고 있다. 클록 신호(CKA1 · CKA2)의 High 레벨측(액티브측)의 전압은 VGH이고, Low 레벨측(비액티브측)의 전압은 VGL이다. Low 전원 전압(VSS)은 클록 신호(CKA1 · CKA2)의 Low 레벨측의 전압 VGL과 같다. 이 예에서는 클록 신호(CKA1)와 클록 신호(CKA2)가 서로 역상 관계에 있지만, 한쪽 클록 신호의 액티브 클록 펄스 기간이, 다른 쪽의 클록 신호의 비액티브 기간 내에 포함되는 관계(즉, 클록 듀티가 1/2 미만)도 가능하다.
- [0072] 게이트 스타트 펄스 신호(GSP1)은, 1 프레임 기간(1F) 즉 다음에 설명하는 기간(t1)의 최초의 클록 펄스 기간에 액티브가 되는 신호이다. 클리어 신호(CLR1)는, 제 1 회로부(1a) 및 제 2 회로부(1b)의 각 최종단을 리셋하도록, 1 프레임 기간(1F)에 2회 액티브(여기서는 High)가 되는 신호이다.
- [0073] 제 2 회로부(1b)는, 각 단(시프트 레지스터 단, SRk( $m+1 \leq k \leq n$ 의 자연수)이 종속 접속된 구성이다. 각 단(SRk)은, 세트 단자(SET), 출력 단자(GOUT), 리셋 단자(RESET), Low 전원 입력 단자(VSS) 및 클록 입력 단자(CLK1 · CLK2)를 구비하고 있다. 각 단(SRk,  $m+2 \leq k \leq n$ )에 있어서, 세트 단자(SET)에는 전단(SRk-1)의 출력 신호(Gk-1)가 입력된다. 제 2 회로부(1b)의 초단(SR1)의 세트 단자(SET)에는 게이트 스타트 펄스 신호(GSP2)가 입력된다. 각 단(SRk,  $m+1 \leq k \leq n$ )에 있어서, 출력 단자(GOUT)는, 액티브 에어리어(12a)에 배치된 대응하는 게이트 라인(GLk)에 출력 신호(Gk)를 출력한다. 각 단(SRk,  $m+1 \leq k \leq n-1$ )에 있어서, 리셋 단자(RESET)에는, 다음 단(SRk+1)의 출력 신호(Gk+1)가 입력된다. 제 2 회로부(1b)의 최종단(SRn)의 리셋 단자(RESET)에는 클리어 신호(CLR1)가 입력된다.
- [0074] Low 전원 입력 단자(VSS)에는, 전술한 Low 전원 전압(VSS)이 입력된다. 클록 입력 단자(CLK1)와 클록 단자(CLK2) 중 한쪽에 클록 신호(CKB1)가 입력되는 동시에 다른 쪽에 클록 신호(CKB2)가 입력되어, 인접하는 단 사이에서 클록 입력 단자(CLK1)에 입력되는 클록 신호와 클록 입력 단자(CLK2)에 입력되는 클록 신호가 교대로 바꿔 들어가게 되어 있다.
- [0075] 클록 신호(CKB1)와 클록 신호(CKB2)는, 도 2에 도시하는 바와 같은, 액티브 클록 펄스 기간(여기서는 High 레벨 기간)이 서로 겹치지 않는 상보적인 위상 관계를 갖고 있다. 클록 신호(CKB1 · CKB2)의 High 레벨측(액티브측)의 전압은 VGH이고, Low 레벨측(비액티브측)의 전압은 VGL이다. 여기에서는 클록 신호(CKB1)는 클록 신호(CKA1)와 동상이며, 클록 신호(CKB2)는 클록 신호(CKA2)와 동상이다. Low 전원 전압(VSS)은 클록 신호(CKB1 · CKB2)의 Low 레벨측의 전압 VGL과 같다. 이 예에서는 클록 신호(CKB1)와 클록 신호(CKB2)가 서로 역상 관계에 있지만, 한쪽 클록 신호의 액티브 클록 펄스 기간이, 다른 쪽의 클록 신호의 비액티브 기간 내에 포함되는 관계(즉, 클록 듀티가 1/2 미만)도 가능하다.
- [0076] 게이트 스타트 펄스 신호(GSP2)는, 1 프레임 기간(1F)에 있어서, 제 1 회로부(1a)의 주사 기간(t1)이 종료한 후에 이어지는 기간(t2)의 최초의 클록 펄스 기간에 액티브가 되는 신호이다. 클리어 신호(CLR1)는, 제 1 회로부(1a)에 대해서 전술한 것과 공통이다.
- [0077] 상기 제 1 회로부(1a)와 상기 제 2 회로부(1b) 각각에 있어서의 시프트 펄스의 시프트 방향을 따르는 방향을 방향 D(제 1 방향)라고 하면, 제 1 회로부(1a)와 제 2 회로부(1b)는, 프레임 영역(12b)에 있어서 방향 D로 늘어선 상태에 있다.
- [0078] 또한, 프레임 영역(12b)에는, 게이트 스타트 펄스 신호(GSP1)의 상기 배선(10a), 클록 신호(CKA1)의 상기 배선(10b), 클록 신호(CKA2)의 상기 배선(10c), Low 전원 전압(VSS)의 상기 배선(10d), 클록 신호(CKB1)의 상기 배선(10e), 클록 신호(CKB2)의 상기 배선(10f), 게이트 스타트 펄스 신호(GSP2)의 상기 배선(10g) 및 클리어 신호(CLR1)의 상기 배선(10h) 등의 복수의 배선이 형성되어 있다.
- [0079] 이를 배선(10a~10g) 중 특히 배선(10b~10f)은, 각 전원 혹은 각 신호원으로부터 각 시프트 레지스터 단(SRk)의 근방까지 도달하도록 둘러쳐진 메인 배선과, 메인 배선으로부터 개개의 시프트 레지스터 단(SRk)으로 끌어 들어진 브랜치 배선을 갖고 있다. 도 1에는, 일례로서, 배선(10b)의 메인 배선(10b(1)) 및 브랜치 배선(10b(2)), 배선(10c)의 메인 배선(10c(1)) 및 브랜치 배선(10c(2)), 배선(10e)의 메인 배선(10e(1)) 및 브랜치 배선(10e(2)), 배선(10f)의 메인 배선(10f(1)) 및 브랜치 배선(10f(2))을 도시했다.

- [0080] 여기서, 회로의 형성 면에 있어서 방향 D와 직교하는 방향을 방향 E(제2 방향)라고 하면, 제 1 회로부(1a)에 전용의, 클록 신호(구동 신호, CKA1 · CKA2)의 공급 배선에 순서대로 대응하는 배선(10b · 10c)과, 제 2 회로부(1b)에 전용의, 클록 신호(CKB1 · CKB2)의 공급 배선에 순서대로 대응하는 배선(10e · 10f)은, 제 1 회로부(1a) 및 제 2 회로부(1b)의 양쪽에 대하여 방향 E의 같은 일방측이 되는 E1측(제 2 방향의 소정측)에 있는 영역(제 1 영역, 12b(1))에 있어서, 방향 D의 같은 일방측이 되는 D1측(제 1 방향의 소정측)으로부터, 대응하는 제 1 회로부(1a) 또는 제 2 회로부(1b)를 향해서 배치되어 있다.
- [0081] 여기서는, E1측은 표시 패널(12)의 외측에 상당하지만, 시프트 레지스터 회로(1)가 표시 장치에 탑재되지 않을 경우에, 상기 E1측 대신에 E1측과 반대측의 E2측으로 하는 등, 제 2 방향의 소정측은 일반적으로 방향 E의 어느 한쪽이면 된다. 또한, 여기서는, D1측은 구동 신호원인 클록 신호원이 있는 측에 상당하지만, 제 1 방향의 소정측은 일반적으로 방향 D의 어느 한쪽이면 된다.
- [0082] 여기서는 배선(10a~10h) 전부가, 도 11에 설명한 바와 같이, 표시 패널(12)밖으로부터 둘러쳐진다. 이 경우에, 배선(10a~10h)은, 예를 들어 배선(10a~10g)에 대해서, 도 1에 명시한 바와 같이, 시프트 레지스터 회로(1)가 형성되어 있는 방향 D에 있어서의 같은 D1측으로부터 시프트 레지스터 회로(1)와의 각 접속 지점을 향해서 연신되어 있다.
- [0083] 또한, 이 경우에, 도 1에 도시한 바와 같이, 제 1 회로부(1a)로의 배선(10b · 10c)을, 제 2 회로부(1b)로의 배선(10e · 10f)보다도 표시 패널(12)의 외측에 배치하도록 하면, 배선(10b · 10c)과 배선(10e · 10f)과의 교차 지점이 없어진다. 이 구성은, 시프트 레지스터 회로(1)를 D1측에서 D 방향으로 보아 멀리에 있는 제 i 회로부( $i=1,2$ )에 대응하는 공급 배선의 메인 배선일수록, 영역(12b(1))의 E1측에 배치되어 있는 것에 상당한다. 이에 의해, 배선(10b · 10c) 및 배선(10e · 10f)가, 메인 배선과 브랜치 배선으로 구성되는 것에 기초하여, 대응하는 시프트 레지스터 단(SRK)에 접속될 때에 발생하는 다른 배선과의 교차 지점이, 도 13의 배선(100b · 100c)의 경우보다도 감소한다.  $m=(1/2)n$ 이면 교차 지점은 2분의 1이 된다.
- [0084] 이와 같이, 본 실시예의 구성에서는, 배선(10b · 10c)과 배선(10e · 10f)과의, 다른 배선과의 교차 지점이 크게 감소하므로, 구동 신호의 공급 배선 1개당 크로스 용량을 대폭 감소시키는 것이 가능해진다. 또한, 구동 신호의 공급 배선 1개당 시프트 레지스터 단(SRK)의 접속 수가 크게 감소하므로, 도 20에 도시한 바와 같은, 시프트 레지스터 단(SRK)과의 접속부에 있어서의 기생 용량의 합계가 대폭 감소한다. 이에 의해, 클록 전원으로부터 구동 신호의 공급 배선에 공급되는 구동 신호(여기서는 클록 신호)의 과형, 따라서 시프트 레지스터 단(SRK)의 출력 신호의 과형을, 도 18의 (a)와 같이, 종래보다도 변형이 작은 과형으로 할 수 있다. 따라서, 클록 전원의 전압 범위를 크게 하는 것 및 트랜ジ스터 사이즈(채널 폭)를 크게 하는 것을 행하지 않더라도, 회소(PIX)의 선택기간을 충분히 확보해서 충전율을 높일 수 있고, 그만큼 시프트 레지스터 단(SRK)의 동작 마진을 크게 할 수 있다.
- [0085] 이상에 의해, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로 및 그것을 구비한 표시 장치 및 시프트 레지스터 회로의 구동 방법을 실현할 수 있다.
- [0086] 도 2에, 상기 구성의 시프트 레지스터 회로(1)의 동작을 도시한다.
- [0087] 여기서는,  $m=(1/2)n$ 으로 하고 있고, 기간(t1)은 1 프레임 기간(1F)의 전반의 2분의 1의 기간에 상당하고, 기간(t2)은 1 프레임 기간(1F)의 후반의 2분의 1의 기간에 상당한다. 클리어 신호(CLR1)는, 기간(t1)의 최후의 클록 펄스 기간과 기간(t2)의 최후의 클록 펄스 기간에 액티브 된다.
- [0088] 이에 의해, 도 1 중에 (1)로 도시한 바와 같이, 1 프레임 기간(1F)을 지나, 게이트 스캔은, 우선, 제 1 회로부(1a)에 있어서 D2측에서 D1측으로의 방향으로 행해지고, 계속해서, 제 2 회로부(1b)에 있어서 D2측에서 D1측으로의 방향으로 행해진다. 이때에, 소스 드라이버(16)로부터의 데이터 신호의 공급 방향은, 도 1 중에 (2)로 도시하는 D2측에서 D1측으로의 일방향(D1측에서 D2측으로의 일방향이어도 좋다)으로의 공급과, (3)에 도시하는 바와 같은 D2측에서 D1측으로의 방향과 D1측에서 D2측으로의 방향과의 양 방향의 공급이 가능하다.
- [0089] 또한, 구동 신호로서 클록 신호를 들었지만 이에 한하지 않고, 똑같은 주기성을 갖지 않는 시프트 레지스터 단(SRK)의 구동 신호이어도 좋다.
- [0090] 또한, 시프트 레지스터 회로(1)가 제 i 회로부( $i=1,2$ )로 구성되는 예를 들었지만, 이에 한정되지 않고, 복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부 ( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수의 각각)를 구비한 시프트 레지스터 회로이어도 좋다. 이때, 회로의 형성 면에 있어서, 시프트 방향을 따르는 방향을 제 1 방향이라

고 하고, 상기 제 1 방향과 직교하는 방향을 제 2 방향이라고 했을 때, 당해 시프트 레지스터 회로는, 제 i 회로부의 각각에 전용 공급 배선에 의해 공급되는 구동 신호에 의해 각 상기 시프트 레지스터 단이 구동되는 상기 제 i 회로부를, 상기 시프트 레지스터 단의 수가 i마다 임의로 정해진 것으로 하여, 상기 제 1의 방향으로 보아 1개씩 나열되도록 구비하고 있다. 그리고, 각 상기 제 i 회로부에 대응하는 상기 구동 신호의 공급 배선이, 상기 제 i 회로부마다 설치되어 있다. 혹은, 또한, 대응하는 상기 제 i 회로부보다도 모든 i에 대해서 상기 제 2 방향의 어느 쪽인가 같은 일방측이 되는 제 2 방향의 소정측에 있는 제 1 영역에 있어서, 모든 i에 대해서 상기 제 1 방향의 어느 쪽인가 같은 일방측이 되는 제 1 방향의 소정측으로부터, 대응하는 상기 제 i 회로부를 향해서 배치된다.

[0091] 또한, 이상의 예에서는 구동 신호원이 D2측이라는 일방측에만 설치되어 있지만, 이에 한정되는 일은 없고, D1측과 D2측 각각에 분산되어서 있어도 된다. 이 경우에, D2측(제 1 방향의 소정측과 반대측)보다도 D1측(제 1 방향의 소정측)에 가까운 제 i 회로부의 구동 신호의 공급 배선은 D1측으로부터 배치하고, D1측보다도 D2측에 가까운 제 i 회로부의 구동 신호의 공급 배선은 D2측으로부터 배치하도록 하면, 공급 배선의 길이가 시프트 레지스터 회로(1)의 D1측과 D2측으로 균형이 맞춰진 길이가 되므로, 구동 신호의 과형, 따라서 시프트 레지스터 단(SR<sub>k</sub>)의 출력 신호의 과형의 변형에 차가 발생하기 어렵다.

[0092] 즉, 제 1 방향의 어느 한쪽이 되는 제 1 방향의 소정측 가까이 설치된 제 i 회로부의 구동 신호의 공급 배선은 제 1 방향의 소정측으로부터 대응하는 제 i 회로부를 향해서 배치되고, 제 1 방향의 소정측과 반대측 가까이 설치된 제 i 회로부의 구동 신호의 공급 배선은 제 1 방향의 소정측과 반대측으로부터 대응하는 제 i 회로부를 향해서 배치되어 있으면 된다.

### [0093] 실시예2

[0094] 도 3에, 본 실시예의 시프트 레지스터 회로(1)의 구성을 도시한다.

[0095] 도 3의 시프트 레지스터 회로(1)는 도 1의 시프트 레지스터 회로(1)와 같은 구성인데, 도 1의 클록 신호(CKA1 · CKA2 · CKB1 · CKB2), 게이트 스타트 펄스 신호(GSP1 · GSP2), 클리어 신호(CLR1) 대신에, 기재 순으로, 클록 신호(구동 신호, CKA12 · CKA22 · CKB12 · CKB22), 게이트 스타트 펄스 신호(GSP12 · GSP22), 클리어 신호(CLR2)가 입력된다.

[0096] 도 4에 도시한 바와 같이, 클록 신호(CKA12 · CKA22 · CKB12 · CKB22)는, 클록 신호(CKA1 · CKA2 · CKB1 · CKB2)에 대하여 드티비가 같고 주기가 2배다. 게이트 스타트 펄스 신호(GSP1 · GSP2)는 1 프레임 기간(1F)의 최초의 클록 펄스 기간에 액티브가 된다. 클리어 신호(CLR2)는, 1 프레임 기간(1F)의 최후의 클록 펄스 기간에 액티브가 된다.

[0097] 이에 의해, 도 3의 (1)에 도시한 바와 같이, 제 1 회로부(1a)와 제 2 회로부(1b)로 동시에 주사를 행할 수 있다. 게이트 스캔은, 제 1 회로부(1a) 및 제 2 회로부(1b)의 양쪽에 대해서 D2측에서 D1측으로 향하는 방향으로 행해도 좋고, 제 1 회로부(1a)에 대해서는 D2측에서 D1측으로, 제 2 회로부(1b)에 대해서는 D1측에서 D2측으로 각각 향하는 방향으로 행해도 된다. 제 2 회로부(1b)에 대해서는 D1측에서 D2측으로 게이트 스캔할 때에는, 도 3에 있어서, 제 2 회로부(1b)의 초단의 시프트 레지스터 단(SR<sub>m+1</sub>)에 게이트 스타트 펄스 신호(GSP22)를 입력하는 대신에, 종속 접속 순서를 반전한 상태로 제 2 회로부(1b)의 시프트 레지스터 단(SR<sub>n</sub>)에 게이트 스타트 펄스 신호(GSP22)를 입력하고, D1측에서 D2측으로 시프트 펄스를 시프트 시킨다. 이 경우에는, 클리어 신호(CLR2)를 제 2 회로부(1b)의 시프트 레지스터 단(SR<sub>m+1</sub>)의 리셋 단자(RESET)에 입력한다.

[0098] 또한, 이상의 게이트 스캔을 행할 때에, 소스 드라이버(16)로부터의 데이터 신호의 공급 방향은, 도 3의 (2)에 도시한 바와 같이, 제 1 회로부(1a)에 대해서는 D2측에서 D1측으로 향하는 방향으로, 제 2 회로부(1b)에 대해서는 D1측에서 D2측으로 향하는 방향으로 행한다.

[0099] 즉, 제 1 회로부(1a)는 상하로 분할된 화면 중 윗 화면을 구동하고, 제 2 회로부(1b)는 상하로 분할된 화면 중 아래 화면을 구동한다. 이는 후술하는 도 12의 (c)의 구성에 대응하고 있다.

[0100] 본 실시예의 구성에 따르면, 클록 신호의 주기가 길고, 상하로 분할된 화면 각각을, 상하 사이에서 독립적으로 할당된 제 i 회로부에 의해 구동하므로, 회소(PIX)의 선택기간을 길게 확보할 수 있다. 따라서, 본 실시예의 구성은, 특히 고정세 · 고속 표시에 적합하다.

### [0101] 실시예3

- [0102] 도 5에, 본 실시예의 시프트 레지스터 회로(1)의 구성을 도시한다.
- [0103] 도 5의 시프트 레지스터 회로(1)는 도 1의 시프트 레지스터 회로(1)와 같은 구성인데, 도 1의 클록 신호(CKA1 · CKA2 · CKB1 · CKB2), 클리어 신호(CLR1) 대신에, 기재 순으로, 클록 신호(구동 신호, CKA13 · CKA23 · CKB13 · CKB23), 클리어 신호(CLR3)이 입력된다.
- [0104] 도 6에 도시한 바와 같이, 클록 신호(CKA13 · CKA23)는, 클록 신호(CKA1 · CKA2)의 기간(t2)을 비 액티브 레벨로 유지하는 휴지 기간으로 한 신호이다. 클록 신호(CKB13 · CKB23)는, 클록 신호(CKB1 · CKB2)의 기간(t1)을 비 액티브 레벨로 유지하는 휴지 기간으로 한 신호이다. 클리어 신호(CLR3)는, 1 프레임 기간(1F)의 최후의 클록 펄스 기간에만 액티브 레벨이 되는 신호이다.
- [0105] 도 6의 (1)에 도시한 바와 같이, 게이트 스캔은, 기간(t1)에 있어서 D2측에서 D1측으로 향하는 방향으로 행하고, 기간(t2)에 있어서 D2측에서 D1측으로 향하는 방향으로 행한다.
- [0106] 이와 같이, 본 실시예에서는, 어떤 제 i 회로부의 구동 신호는, 다른 제 i 회로부의 동작 기간 내에 휴지 기간을 갖고 있다. 이에 의해, 클록 신호(CKA13 · CKA23)은 제 1 회로부(1a)의 동작 기간인 기간(t1)에만 배선(10b · 10c)의 충방전을 행하고, 클록 신호(CKB13 · CKB23)는 제 2 회로부(1b)의 동작 기간인 기간(t2)에만 배선(10e · 10f)의 충방전을 행한다. 따라서, 휴지 기간 분만큼, 구동 신호의 각 공급 배선에서의 충방전에 수반하는 전력 손실이 감소하고, 과형의 변형이 한층 더 경감된다. 또한, 휴지 기간에, 대응하는 제 i 회로부의 동작이 정지하는 것에 의한 저소비전력화도 도모할 수 있다.
- [0107] **실시예4**
- [0108] 도 7에, 본 실시예의 시프트 레지스터 회로(2)의 구성을 도시한다.
- [0109] 도 7의 시프트 레지스터 회로(2)는, 제 1 회로부(2a) 및 제 2 회로부(2b)를 구비하고 있다.
- [0110] 제 1 회로부(2a)는, 도 1의 제 1 회로부(1a)에 있어서, 최종단의 시프트 레지스터 단(SRm)의 리셋 단자(RESET)에, 클리어 신호(CLR) 대신에 제 2 회로부(2b)의 초단의 시프트 레지스터 단(SRm+1)의 출력 신호(Gm+1)가 입력되는 구성이다. 제 2 회로부(2b)는, 도 1의 제 2 회로부(1b)에 있어서, 게이트 스타트 펄스 신호(GSP2) 대신에, 시프트 레지스터 단(SRm)의 출력 신호(Gm)가 초단의 시프트 레지스터 단(SRm+1)의 세트 단자(SET)에 입력되는 동시에, 상술한 바와 같이 초단의 시프트 레지스터 단(SRm+1)의 출력 신호(Gm+1)가 시프트 레지스터 단(SRm)의 리셋 단자(RESET)에 입력되는 구성이다.
- [0111] 또한, 제 1 회로부(2a)의 초단의 시프트 레지스터 단(SR1)의 세트 단자(SET)에는, 게이트 스타트 펄스 신호(GSP1)와 같은 게이트 스타트 펄스 신호(GSP3)가 입력된다. 또한, 도 1의 클록 신호(CKA1 · CKA2 · CKB1 · CKB2), 클리어 신호(CLR) 대신에, 기재 순으로, 클록 신호(구동 신호, CKA13 · CKA23 · CKB13 · CKB23), 클리어 신호(CLR3)가 입력된다.
- [0112] 도 8에 도시한 바와 같이, 클록 신호(CKA13 · CKA23)는, 클록 신호(CKA1 · CKA2)의 기간(t2)을 비 액티브 레벨로 유지하는 휴지 기간으로 한 신호이다. 클록 신호(CKB13 · CKB23)는, 클록 신호(CKB1 · CKB2)의 기간(t1)을 비 액티브 레벨로 유지하는 휴지 기간으로 한 신호이다. 클리어 신호(CLR3)는, 1 프레임 기간(1F)의 최후 클록 펄스 기간에만 액티브 레벨로 되는 신호이며, 제 2 회로부(2b)의 최종단의 시프트 레지스터 단(SRn)의 리셋 단자에만 입력된다.
- [0113] 도 7의 (1)에 도시한 바와 같이, 게이트 스캔은, 기간(t1)에 있어서 D2측에서 D1측으로 향하는 방향으로 행하고, 기간(t2)에 있어서 D2측에서 D1측으로 향하는 방향으로 행한다.
- [0114] 이에 의해, 클록 신호(CKA13 · CKA23)는 제 1 회로부(2a)의 동작 기간인 기간(t1)에만 배선(10b · 10c)의 충방전을 행하고, 클록 신호(CKB13 · CKB23)는 제 2 회로부(2b)의 동작 기간인 기간(t2)에만 배선(10e · 10f)의 충방전을 행한다. 따라서, 구동 신호의 각 공급 배선에서의 충방전에 수반하는 전력 손실이 크게 감소하고, 과형의 변형이 한층 더 경감된다.
- [0115] 또한, 제 1 회로부(2a)가 기간(t2)에 동작을 정지하고, 제 2 회로부(2b)가 기간(t1)에 동작을 정지하는 분만큼 저소비전력화된다.
- [0116] 또한, 어떤 제 i 회로부의 최종단 시프트 레지스터 단이 출력하는 시프트 펄스가, 다른 제 i 회로부의 초단의 시프트 레지스터 단에 시프트 펄스로서 입력됨으로써, 스타트 펄스 신호(여기서는 게이트 스타트 펄스 신호)수가 감소한다. 따라서, 스타트 펄스 신호를 공급하는 전력이 삭감되는 동시에, 스타트 펄스 신호를 공급하는 배

선이 감소해서 면적 절약화를 도모할 수 있다.

### [0117] 실시예5

[0118] 도 9에, 본 실시예의 시프트 레지스터 회로(3)의 구성을 도시한다.

[0119] 도 9의 시프트 레지스터 회로(3)는, 제 1 회로부(3a) 및 제 2 회로부(3b)를 구비하고 있다.

[0120] 제 1 회로부(3a)는, 도 1의 제 1 회로부(1a)와 같은 구성이다. 제 1 회로부(2a)의 초단의 시프트 레지스터 단(SR1)의 세트 단자(SET)에는, 게이트 스타트 펄스 신호(GSP1)와 같은 게이트 스타트 펄스 신호(GSP4)가 입력된다. 제 2 회로부(3b)는, 도 1의 제 2 회로부(1b)에 있어서, 게이트 스타트 펄스 신호(GSP2) 대신에, 다음에 설명하는 클록 신호(CKA14)가 입력되는 구성이다.

[0121] 또한, 도 1의 클록 신호(CKA1 · CKA2 · CKB1 · CKB2), 클리어 신호(CLR) 대신에, 기재 순으로, 클록 신호(구동 신호, CKA14 · CKA24 · CKB14 · CKB24), 클리어 신호(CLR3)가 입력된다.

[0122] 도 10에 도시한 바와 같이, 클록 신호(CKA14)는, 클록 신호(CKA1)의 기간(t1)에는 동작하는 동시에, 기간(t2)의 최초의 클록 펄스(CKZ)의 기간을 액티브 레벨로서 동작하는 한편, 기간(t2)의 나머지 기간을 비 액티브 레벨로 유지하는 휴지 기간으로 한 신호이다. 클록 신호(CKA24)는, 클록 신호(CKA2)의 기간(t2)을 비 액티브 레벨로 유지하는 휴지 기간으로 한 신호이다. 클록 신호(CKB14 · CKB24)는, 클록 신호(CKB1 · CKB2)의 기간(t1)을 비 액티브 레벨로 유지하는 휴지 기간으로 한 신호이다. 클리어 신호(CLR3)는, 1 프레임 기간(1F)의 최후의 클록 펄스 기간에만 액티브 레벨로 되는 신호이다.

[0123] 도 9의 (1)에 도시한 바와 같이, 게이트 스캔은, 기간(t1)에 있어서 D2측에서 D1측으로 향하는 방향으로 행하고, 기간(t2)에 있어서 D2측에서 D1측으로 향하는 방향으로 행한다. 이때, 기간(t1)에서는 제 2 회로부(1b)는 클록 신호(CKB14 · CKB24)가 휴지하고 있는 것에 의해 동작을 정지하고 있지만, 기간(t2)로 이행했을 때에, 제 2 회로부(3b)의 초단의 시프트 레지스터 단(SR<sub>m+1</sub>)에 클록 신호(CKA14)의 클록 펄스(CKZ)가 게이트 스타트 펄스 신호로서 세트 단자(SET)에 입력된다. 이에 의해, 제 2 회로부(3b)는 시프트 동작을 개시한다.

[0124] 또한, 도 9에 있어서, 제 2 회로부(3b)의 초단의 시프트 레지스터 단(SR<sub>m+1</sub>)에 클록 신호(CKA14)의 펄스를 입력하는 대신에, 종속 접속 순서를 반전한 상태에서 제 2 회로부(3b)의 시프트 레지스터 단(SR<sub>n</sub>)에 클록 신호(CKA14)의 클록 펄스(CKZ)를 입력해서 D1측에서 D2측으로 시프트 펄스를 시프트시켜도 좋다. 이 경우에는, 클리어 신호(CLR3)를 제 2 회로부(3b)의 시프트 레지스터 단(SR<sub>m+1</sub>)의 리셋 단자(RESET)에 입력한다.

[0125] 본 실시예의 구성에 따르면, 클록 신호(CKA14 · CKA24)는 제 1 회로부(3a)의 동작 기간인 기간(t1)에만 배선(10b · 10c)의 충방전을 행하고, 클록 신호(CKB14 · CKB24)는 제 2 회로부(3b)의 동작 기간인 기간(t2)에만 배선(10e · 10f)의 충방전을 행한다. 따라서, 구동 신호의 각 공급 배선에서의 충방전에 수반하는 전력 손실이 크게 감소하고, 과정의 변형이 한층더 경감된다.

[0126] 또한, 제 1 회로부(3a)가 기간(t2)에 동작을 정지하고, 제 2 회로부(3b)가 기간(t1)에 동작을 정지하는 분만큼 저소비전력화된다.

[0127] 또한, 휴지 기간을 갖는 어떤 구동 신호의, 휴지 기간으로 이행하기 직전의 최후의 펄스가, 어떤 제 i 회로부의 시프트 펄스로서 입력됨으로써, 시프트 레지스터 회로(1)의 스타트 펄스(여기서는 게이트 스타트 펄스 신호)수가 감소한다. 따라서, 스타트 펄스 신호를 공급하는 전력이 삭감되는 동시에, 스타트 펄스 신호를 공급하는 배선이 감소해서 면적 절약화를 도모할 수 있다.

[0128] 이상, 각 실시예에 대해서 설명했다.

[0129] 또한, 게이트 스캔 방향 및 데이터 신호의 공급 방향에 다양성이 있는 것을 서술했지만, 그들의 다양성에 맞추어, 액정 표시 장치(11)의 구성을, 도 12의 (a) 내지 (c)와 같이 적절하게 변경가능하다.

[0130] 도 12의 (a)는, 각 제 i 회로부의 게이트 스캔 방향을, 표시 패널(12)의 상부에 설치한 소스 드라이버(16)에 가까운 측에서 면 측으로 행하거나, 혹은, 소스 드라이버(16)에 면 쪽에서 가까운 쪽으로 행하는 동시에, 데이터 신호의 공급을 소스 드라이버(16)에 가까운 측에서 면 측으로 행하는 구성이다.

[0131] 도 12의 (b)는, 각 제 i 회로부의 게이트 스캔 방향을, 표시 패널(12)의 하부에 설치한 소스 드라이버(16)에 가까운 측에서 면 측으로 행하거나, 혹은, 소스 드라이버(16)에 면 쪽에서 가까운 쪽으로 행하는 동시에, 데이터 신호의 공급을 소스 드라이버(16)에 가까운 측에서 면 측으로 행하는 구성이다.

- [0132] 도 12의 (c)는, 화면을 상하로 제 1 화면과 제 2 화면으로 2 분할하고, 각 제 i 회로부를 윗 화면(제 1 화면)용과 아래 화면(제 2 화면)용으로 할당하는 동시에, 윗 화면용의 컨트롤 기판(14a), 플렉시블 프린트 기판(13a), 소스 드라이버(제 1 데이터 신호선 구동 회로, 16a)와, 아래 화면용의 컨트롤 기판(14b), 플렉시블 프린트 기판(13b), 소스 드라이버(제 2 데이터 신호선 구동 회로, 16b)를 설치한 구성이다. 이 경우에, 게이트 스캔 방향 및 데이터 신호의 공급을, 대응하는 소스 드라이버에 가까운 측에서 면 측으로 행해도 좋고, 게이트 스캔 방향에 대해서는, 상하 화면 모두 어느 측으로부터 행해도 된다.
- [0133] 또한, 표시 장치로서, EL 표시 장치 등 다른 표시 장치가 채용가능하다.
- [0134] 이상으로 서술한 바와 같이,
- [0135] 본 발명의 시프트 레지스터 회로는,
- [0136] 복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수의 각각)이며, 각 상기 제 i 회로부는 상기 제 i 회로부 각각에 전용 공급 배선에 의해 각 상기 시프트 레지스터 단을 구동하는 구동 신호가 공급되는 상기 제 i 회로부와,
- [0137] 상기 공급 배선을 구비하고 있는 것을 특징으로 하고 있다.
- [0138] 상기 발명에 따르면, 구동 신호의 공급 배선의 다른 배선과의 교차 지점이 크게 감소하므로, 구동 신호의 공급 배선 1개당 크로스 용량을 대폭 감소시키는 것이 가능해진다. 또한, 구동 신호의 공급 배선 1개당 시프트 레지스터 단의 접속 수가 크게 감소하므로, 시프트 레지스터 단과의 접속부에 있어서의 기생 용량의 합계가 대폭 감소한다. 이에 의해, 구동 신호원으로부터 구동 신호의 공급 배선에 공급되는 구동 신호의 파형, 따라서 시프트 레지스터 단의 출력 신호의 파형을, 종래보다도 변형이 작은 파형으로 할 수 있다. 따라서, 구동 신호원의 전압 범위를 크게 하는 것 및 트랜지스터 사이즈(채널 폭)를 크게 하는 것을 행하지 않더라도, 부하의 충전율을 높일 수 있고, 그만큼 시프트 레지스터 단의 동작 마진을 크게 할 수 있다.
- [0139] 이상에 의해, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로를 실현할 수 있다고 하는 효과를 발휘 한다.
- [0140] 본 발명의 시프트 레지스터 회로는,
- [0141] 회로의 형성 면에 있어서, 시프트 방향을 따르는 방향을 제 1 방향이라고 하고, 상기 제 1 방향과 직교하는 방향을 제 2 방향이라고 했을 때,
- [0142] 상기 제 i 회로부를, 상기 시프트 레지스터 단의 수가  $i$ 마다 임의로 정해진 것으로 하여, 상기 제 1 방향으로 보아 1개씩 배열되도록 구비하고,
- [0143] 각 상기 제 i 회로부에 대응하는 상기 구동 신호의 공급 배선이, 대응하는 상기 제 i 회로부보다도 모든 i에 대해서 상기 제 2 방향의 어느 쪽인가 같은 일방측이 되는 제 2 방향의 소정측에 있는 제 1 영역에 있어서, 모든 i에 대해서 상기 제 1 방향의 어느 쪽인가 같은 일방측이 되는 제 1 방향의 소정측으로부터, 대응하는 상기 제 i 회로부를 향해서 배치되어 있는 것을 특징으로 하고 있다.
- [0144] 상기 발명에 따르면, 제 1 방향의 소정측에만 구동 신호원이 배치되어 있을 경우에, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로를 실현할 수 있다고 하는 효과를 발휘한다.
- [0145] 본 발명의 시프트 레지스터 회로는,
- [0146] 상기 공급 배선은, 상기 제 1 방향으로 연신하는 메인 배선과, 상기 메인 배선으로부터 대응하는 상기 제 i 회로부를 향해서 개별로 분기해서 상기 제 i 회로부에 접속된 브랜치 배선을 구비하고 있는 것을 특징으로 하고 있다.
- [0147] 상기 발명에 따르면, 메인 배선과 브랜치 배선을 구비하는 것에 의한 크로스 용량을 크게 줄감할 수 있다고 하는 효과를 발휘한다.
- [0148] 본 발명의 시프트 레지스터 회로는,
- [0149] 상기 제 1 방향의 소정측으로부터 상기 제 1 방향을 따르는 방향으로 보아 멀리에 있는 상기 제 i 회로부에 대응하는 상기 공급 배선의 상기 메인 배선일수록, 상기 제 1 영역의 상기 제 2 방향의 소정측에 배치되어 있는 것을 특징으로 하고 있다.

- [0150] 상기 발명에 따르면, 제 1 방향의 소정측에만 구동 신호원이 배치되어 있을 경우에, 크로스 용량의 발생 지점을 최소한으로 억제할 수 있다고 하는 효과를 발휘한다.
- [0151] 본 발명의 시프트 레지스터 회로는,
- [0152] 회로의 형성 면에 있어서, 시프트 방향을 따르는 방향을 제 1 방향이라고 하고, 상기 제 1 방향에 직교하는 방향을 제 2 방향이라고 했을 때,
- [0153] 각 상기 제 i 회로부에 대응하는 상기 구동 신호의 공급 배선이, 대응하는 상기 제 i 회로부보다도 모든 i에 대해서 상기 제 2 방향의 어느 쪽인가 같은 일방측이 되는 제 2 방향의 소정측에 있는 제 1 영역에 있어서,
- [0154] 상기 제 1 방향의 어느 한쪽이 되는 제 1 방향의 소정측 가까이에 설치된 상기 제 i 회로부의 구동 신호의 공급 배선은 상기 제 1 방향의 소정측으로부터 대응하는 상기 제 i 회로부를 향해서 배치되고,
- [0155] 상기 제 1 방향의 소정측과 반대측 가까이 설치된 상기 제 i 회로부의 구동 신호의 공급 배선은 상기 제 1 방향의 소정측과 반대측으로부터 대응하는 상기 제 i 회로부를 향해서 배치되어 있는 것을 특징으로 하고 있다.
- [0156] 상기 발명에 따르면, 구동 신호의 공급 배선의 길이가 시프트 레지스터 회로의 제 1 방향의 소정측과 그 반대측이 균형이 잡힌 길이가 되므로, 구동 신호의 과형, 따라서 시프트 레지스터 단의 출력 신호의 과형의 변형에 차가 발생하기 어렵다고 하는 효과를 발휘한다.
- [0157] 본 발명의 시프트 레지스터 회로는,
- [0158] 상기 공급 배선은, 상기 제 1 방향으로 연신하는 메인 배선과, 상기 메인 배선으로부터 대응하는 상기 제 i 회로부를 향해서 개별로 분기해서 상기 제 i 회로부에 접속된 브랜치 배선을 구비하고 있는 것을 특징으로 하고 있다.
- [0159] 상기 발명에 따르면, 메인 배선과 브랜치 배선을 구비하는 것에 의한 크로스 용량을 크게 낙감할 수 있다고 하는 효과를 발휘한다.
- [0160] 본 발명의 시프트 레지스터 회로는,
- [0161] 어떤 상기 제 i 회로부의 상기 구동 신호는, 다른 상기 제 i 회로부의 동작 기간 내에 휴지 기간을 갖고 있는 것을 특징으로 하고 있다.
- [0162] 상기 발명에 따르면, 휴지 기간 분만큼, 구동 신호의 각 공급 배선에서의 충방전에 수반하는 전력 손실이 감소하고, 과형의 변형이 한층더 경감된다고 하는 효과를 발휘한다. 또한, 휴지 기간에, 대응하는 제 i 회로부의 동작이 정지하는 것에 의한 저소비전력화도 도모할 수 있다고 하는 효과를 발휘한다.
- [0163] 본 발명의 시프트 레지스터 회로는,
- [0164] 상기 휴지 기간을 갖는 어떤 상기 구동 신호의, 상기 휴지 기간으로 이행하기 직전의 최후의 펄스가, 어떤 상기 제 i 회로부의 시프트 펄스로서 입력되는 것을 특징으로 하고 있다.
- [0165] 상기 발명에 따르면, 휴지 기간을 갖는 어떤 구동 신호의, 휴지 기간으로 이행하기 직전의 최후의 펄스가, 어떤 제 i 회로부의 시프트 펄스로서 입력됨으로써, 시프트 레지스터 회로의 스타트 펄스 수가 감소한다. 따라서, 스타트 펄스 신호를 공급하는 전력이 낙감되는 동시에, 스타트 펄스 신호를 공급하는 배선이 감소해서 면적 절약화를 도모할 수 있다고 하는 효과를 발휘한다.
- [0166] 본 발명의 시프트 레지스터 회로는,
- [0167] 어떤 상기 제 i 회로부의 최종단의 상기 시프트 레지스터 단이 출력하는 시프트 펄스가, 다른 상기 제 i 회로부의 초단의 상기 시프트 레지스터 단에 시프트 펄스로서 입력되는 것을 특징으로 하고 있다.
- [0168] 상기 발명에 따르면, 어떤 제 i 회로부의 최종단의 시프트 레지스터 단이 출력하는 시프트 펄스가, 다른 제 i 회로부의 초단의 시프트 레지스터 단에 시프트 펄스로서 입력됨으로써, 스타트 펄스 신호수가 감소한다. 따라서, 스타트 펄스 신호를 공급하는 전력이 낙감되는 동시에, 스타트 펄스 신호를 공급하는 배선이 감소해서 면적 절약화를 도모할 수 있다고 하는 효과를 발휘한다.
- [0169] 본 발명의 시프트 레지스터 회로는,
- [0170] 아몰퍼스 실리콘, 다결정 실리콘, CG 실리콘, 미결정 실리콘 및 아몰퍼스 산화물 반도체 중 적어도 어느 하나를

사용해서 형성되어 있는 것을 특징으로 하고 있다.

[0171] 상기 발명에 따르면, 상기 재료를 사용하는 것에 시프트 레지스터 회로를 모놀리식으로 들어가게 할 수 있다고 하는 효과를 발휘한다.

[0172] 본 발명의 표시 장치는,

[0173] 상기 시프트 레지스터 회로를 구비하고 있는 것을 특징으로 하고 있다.

[0174] 상기 발명에 따르면, 동작 마진이 크고, 고품위 표시의 표시 장치를 실현할 수 있다고 하는 효과를 발휘한다.

[0175] 본 발명의 표시 장치는,

[0176] 화면이 제 1 화면과 제2 화면으로 2 분할되어 있어, 각 상기 제 i 회로부가 상기 제 1 화면용 혹은 상기 제 2 화면용으로 할당되어 있고,

[0177] 상기 제 1 화면에 대응하는 데이터 신호를 공급하는 제 1 데이터 신호선 구동 회로와,

[0178] 상기 제 2 화면에 대응하는 데이터 신호를 공급하는 제 2 데이터 신호선 구동 회로를 구비하고 있는 것을 특징으로 하고 있다.

[0179] 상기 발명에 따르면, 주기가 긴 구동 신호에 의해, 상하로 분할된 화면 각각을, 상하 사이에서 독립적으로 할당된 제 i 회로부에 의해 구동할 수 있으므로, 회소의 선택기간을 길게 확보할 수 있다고 하는 효과를 발휘한다. 따라서, 고정세 · 고속 표시를 양호하게 행할 수 있다고 하는 효과를 발휘한다.

[0180] 본 발명의 시프트 레지스터 회로의 구동 방법은,

[0181] 시프트 레지스터 회로를, 복수의 시프트 레지스터 단이 종속 접속된 제 i 회로부( $i$ 는  $1 \leq i \leq N$ ( $N$ 은 2 이상의 정수)의 정수) 각각으로 이루어지는 것으로서, 상기 제 i 회로부 각각에 전용 공급 배선에 의해, 각 상기 시프트 레지스터 단을 구동하는 구동 신호를 공급하는 것을 특징으로 하고 있다.

[0182] 상기 발명에 따르면, 충분한 동작 마진을 확보할 수 있는 시프트 레지스터 회로의 구동 방법을 실현할 수 있다고 하는 효과를 발휘한다.

[0183] 본 발명은 상기 실시 형태에 한정되는 것이 아니고, 상기 실시 형태를 기술 상식에 기초하여 적절하게 변경한 것이나 그것들을 조합해서 얻어지는 것도 본 발명의 실시 형태에 포함된다.

#### 산업상의 이용 가능성

[0185] 본 발명은, 액티브 매트릭스형의 표시 장치에 적절하게 사용할 수 있다.

#### 부호의 설명

[0186] 1 시프트 레지스터 회로

1a 제 1 회로부(제 i 회로부)

1b 제 2 회로부(제 i 회로부)

2a 제 1 회로부(제 i 회로부)

2b 제 2 회로부(제 i 회로부)

3a 제 1 회로부(제 i 회로부)

3b 제 2 회로부(제 i 회로부)

10b 배선(공급배선)

10c 배선(공급배선)

10e 배선(공급배선)

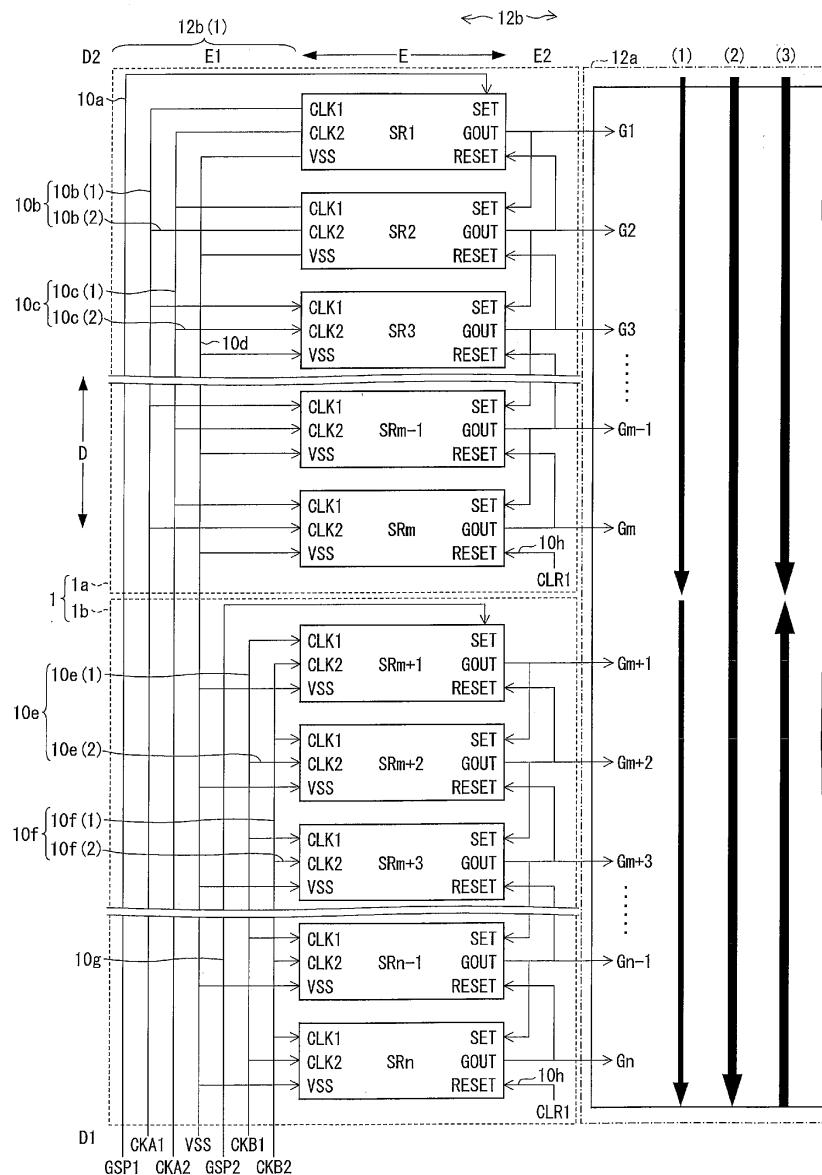
10f 배선(공급배선)

10b(1) 메인배선

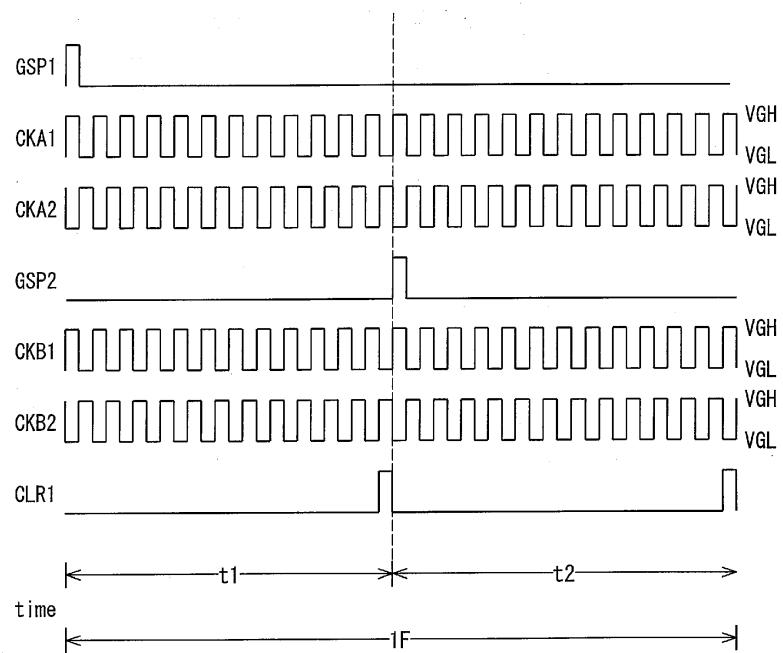
- 10c(1) 메인배선
- 10e(1) 메인배선
- 10f(1) 메인배선
- 10b(2) 브랜치 배선
- 10c(2) 브랜치 배선
- 10e(2) 브랜치 배선
- 10f(2) 브랜치 배선
- 11 액정표시장치(표시장치)
- 12 표시 패널
- 12a 액티브 에어리어
- 12b(1) 영역(제1 영역)
- 16a 소스 드라이버(제 1 데이터 신호선 구동회로)
- 16b 소스 드라이버(제 2 데이터 신호선 구동회로)
- SRk 단(시프트 레지스터 단)
- CKA1 · CKA2 · CKB1 · CKB2      클록 신호(구동신호)
- CKA12 · CKA22 · CKB12 · CKB22      클록 신호(구동신호)
- CKA13 · CKA23 · CKB13 · CKB23      클록 신호(구동신호)
- CKA14 · CKA24 · CKB14 · CKB24      클록 신호(구동신호)
- D 방향(제 1 방향)
- D1 (측)(제 1 방향 소정측)
- D2 (측)(제 1 방향 소정측과 반대측)
- E 방향(제 2 방향)
- E1 (측)(제 2 방향 소정측)

## 도면

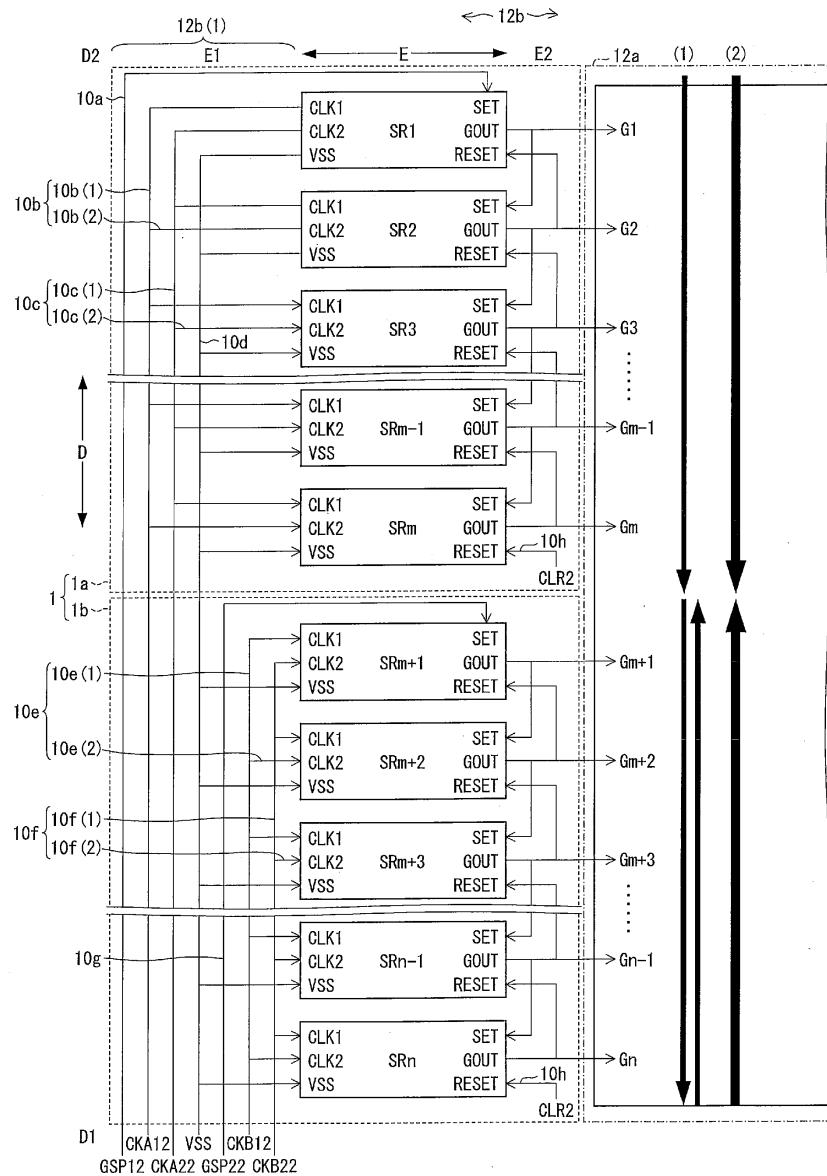
## 도면1



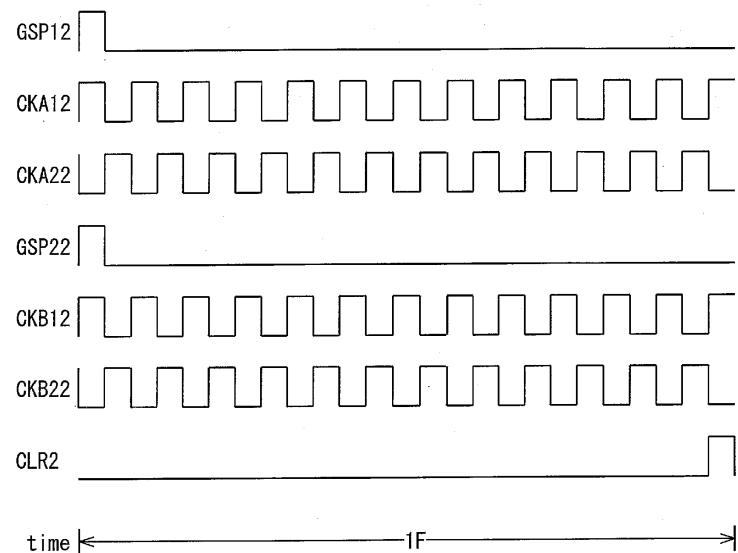
## 도면2



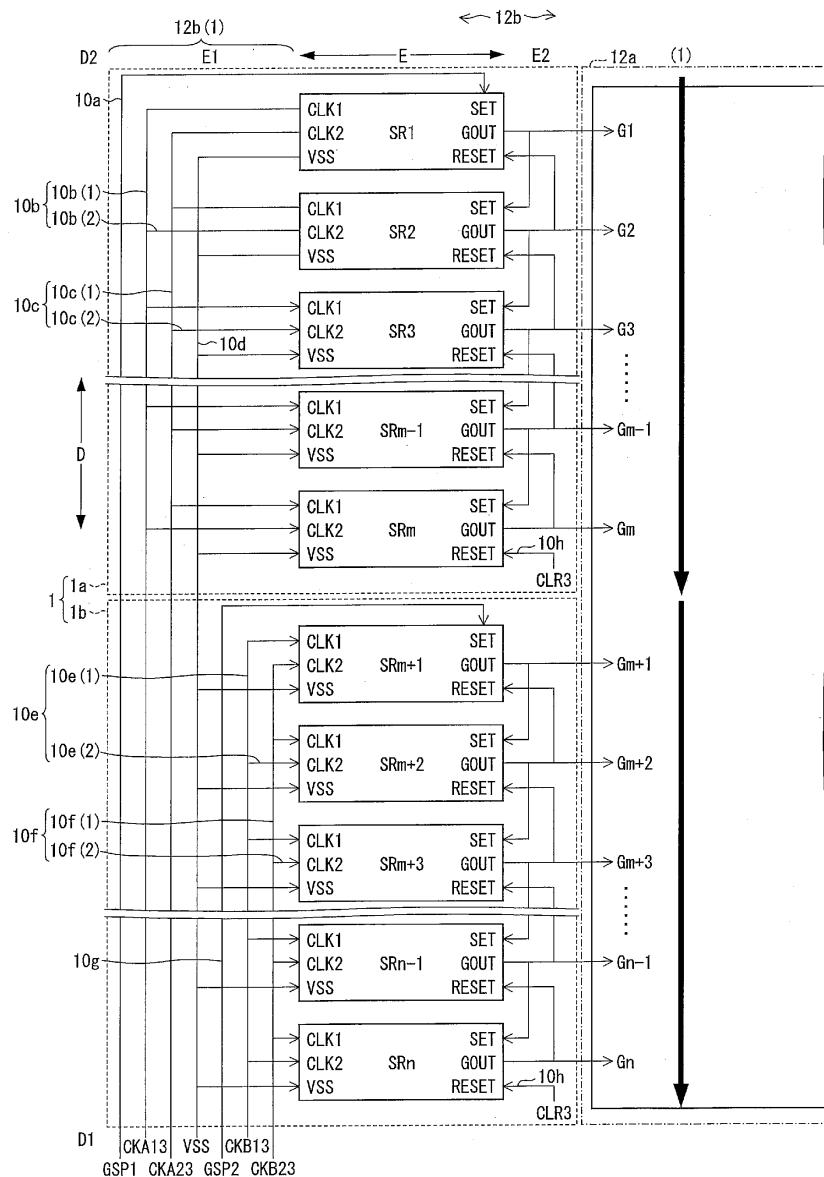
## 도면3



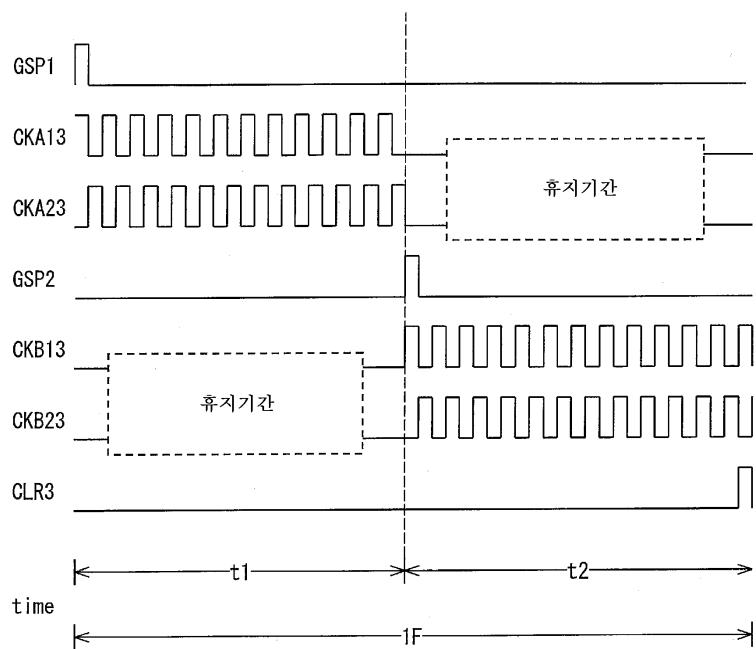
도면4



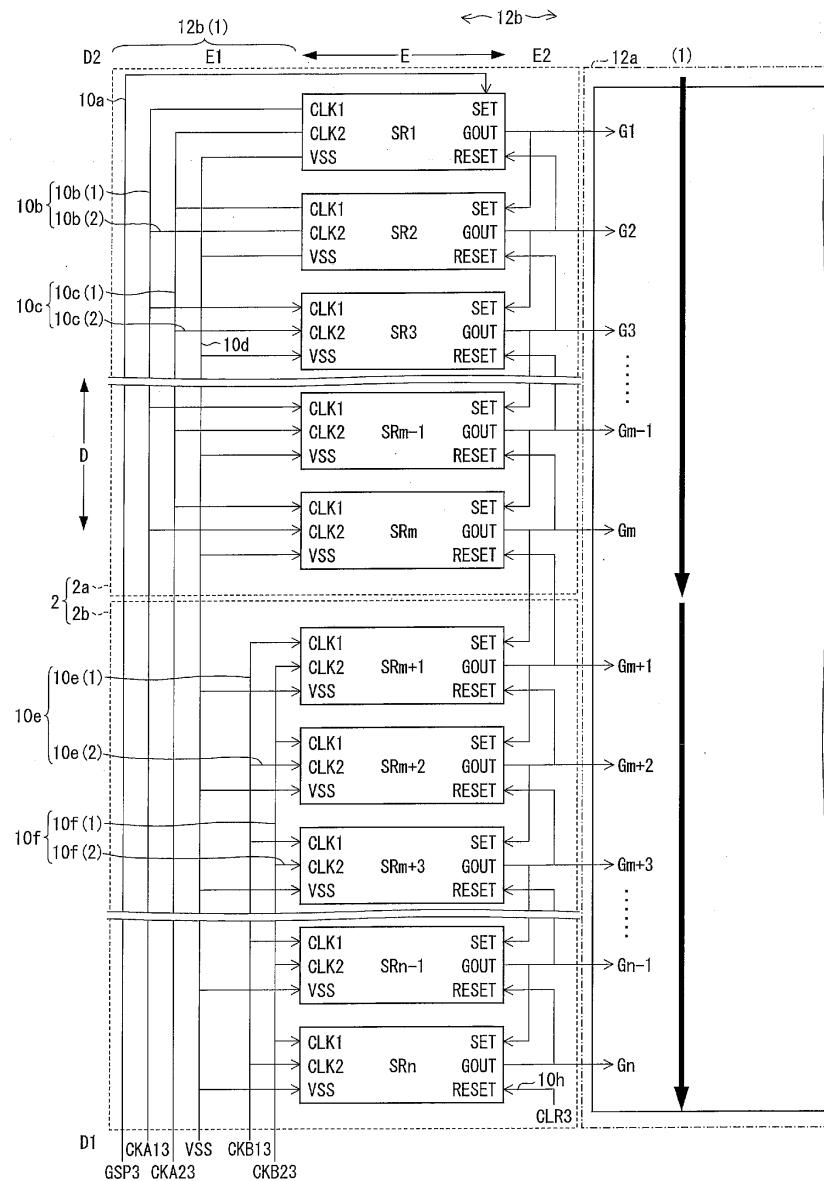
## 도면5



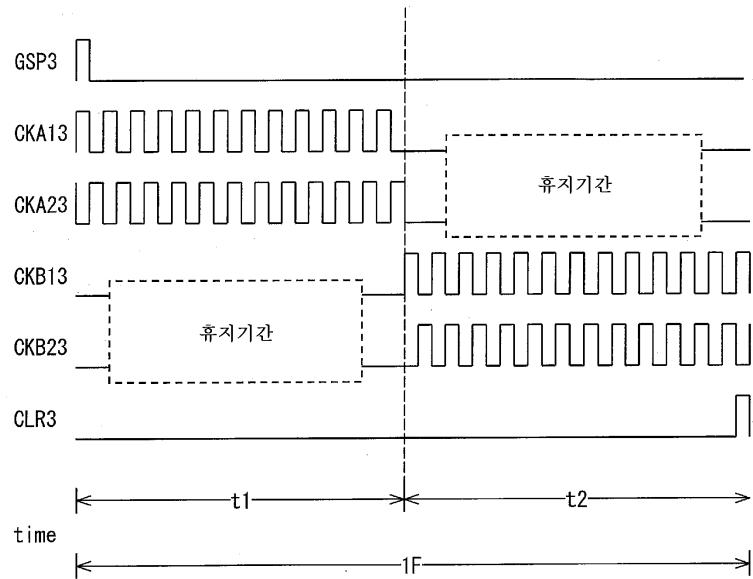
## 도면6



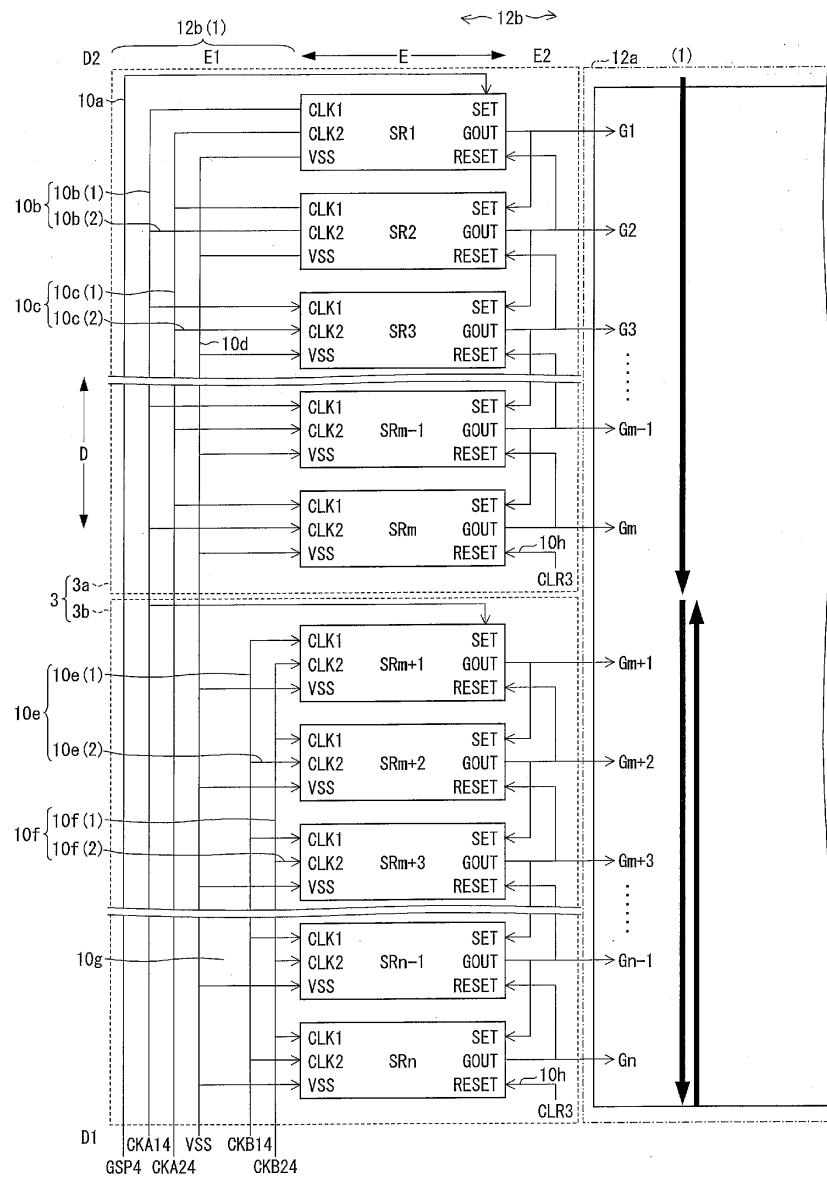
## 도면7



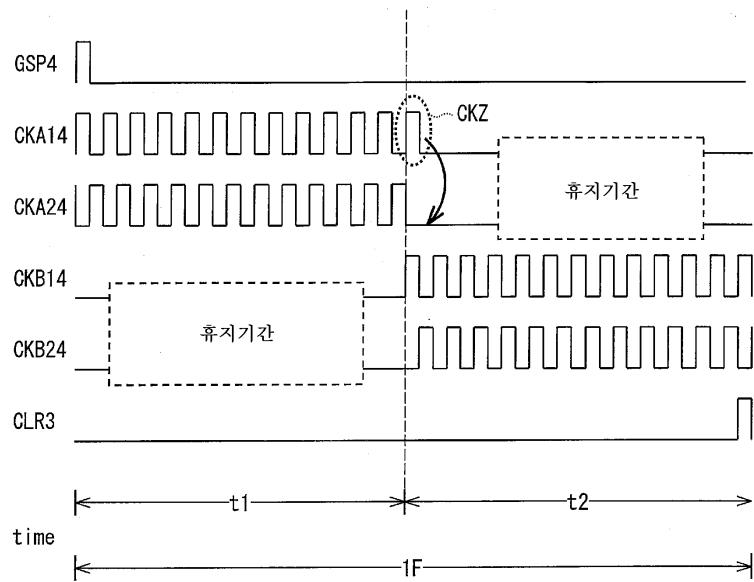
## 도면8



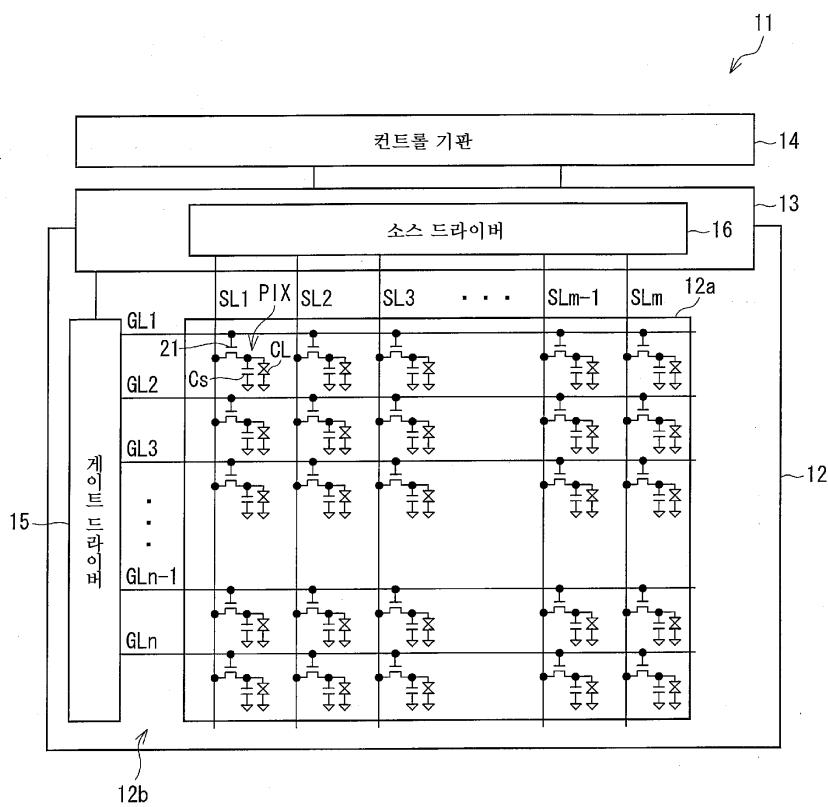
## 도면9



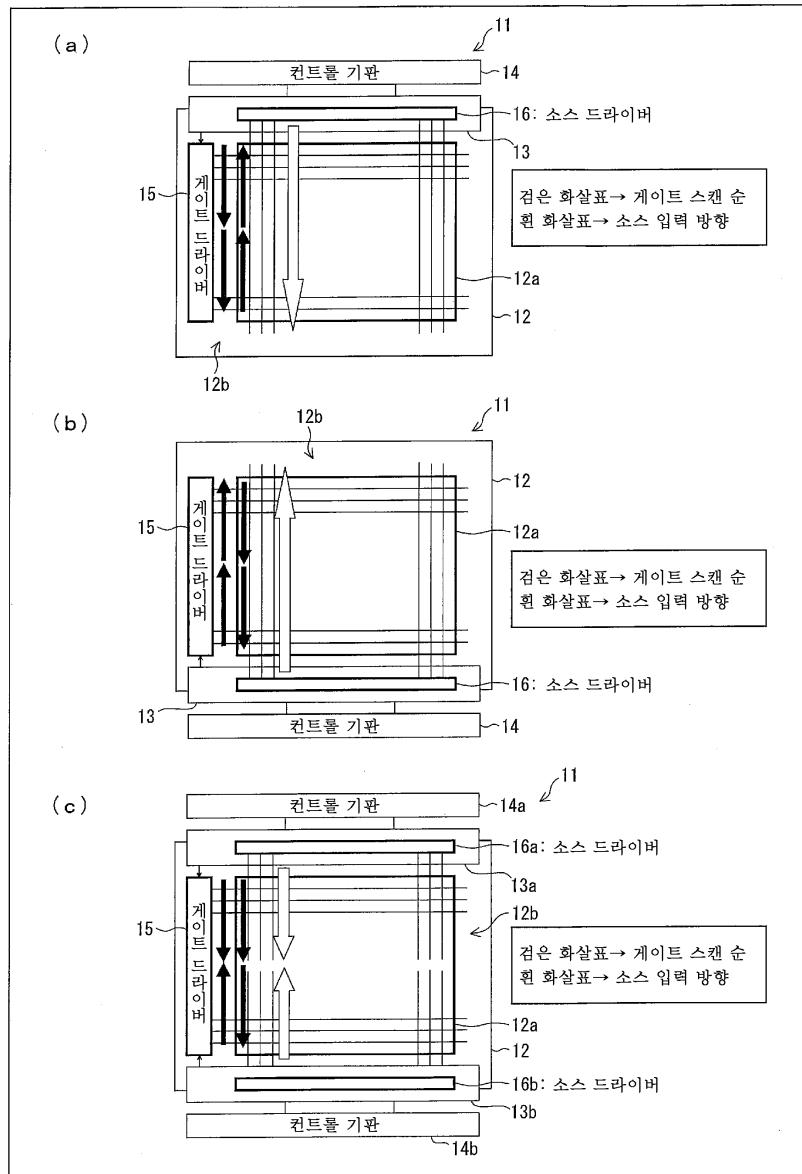
도면10



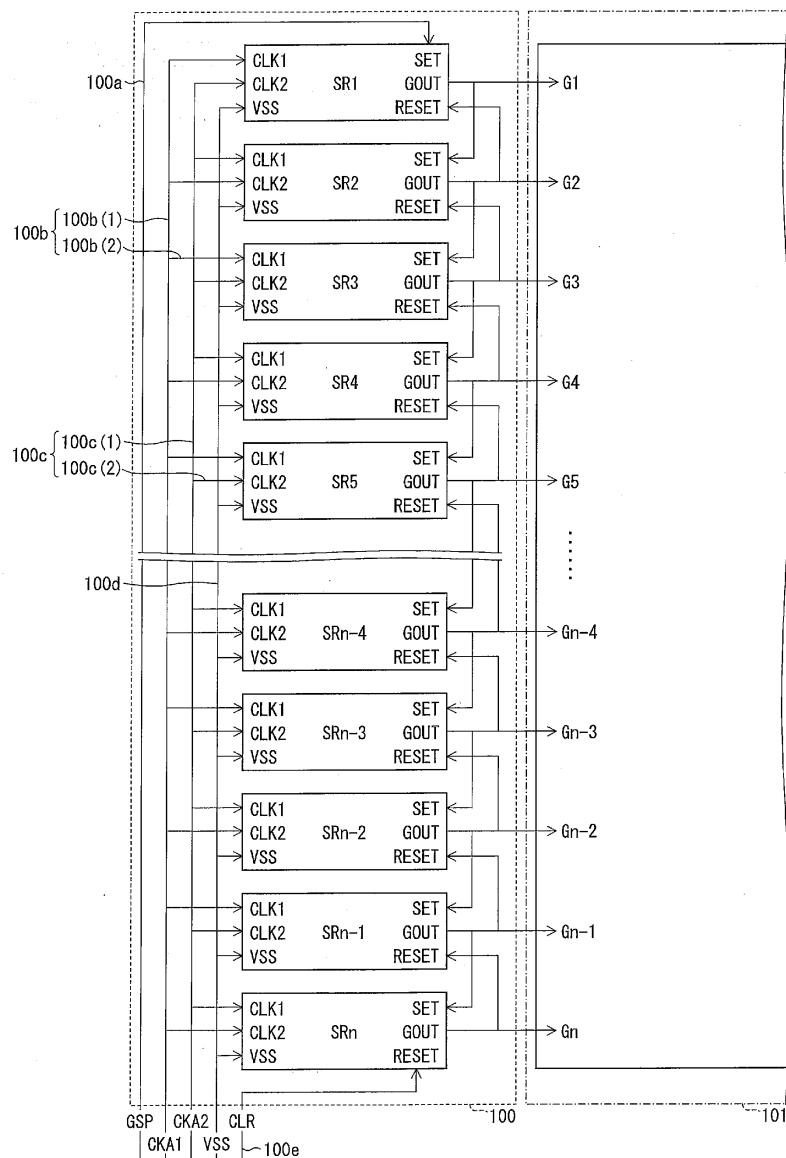
도면11



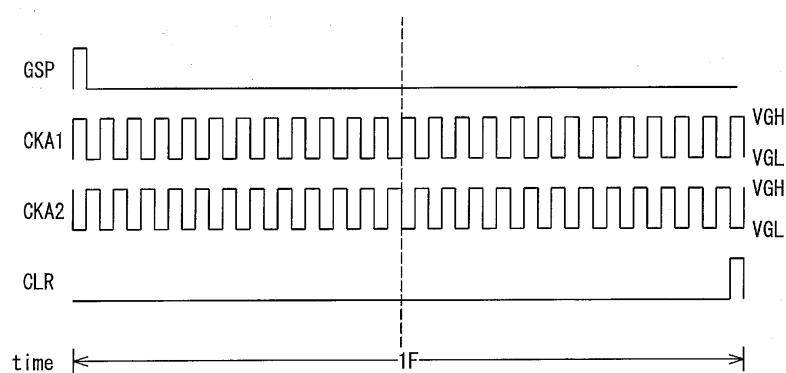
## 도면12



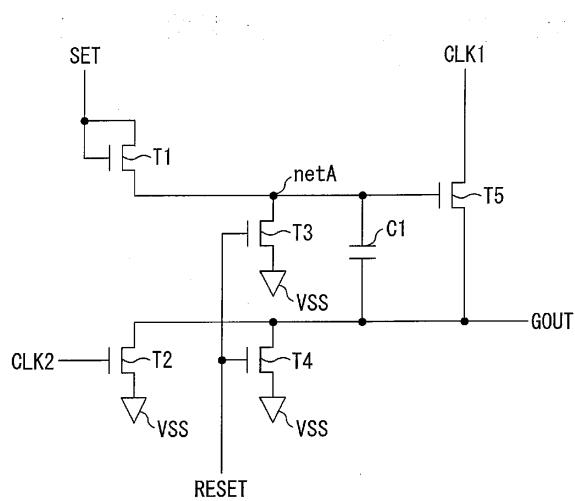
도면13



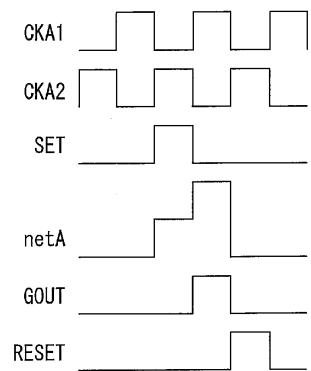
도면14



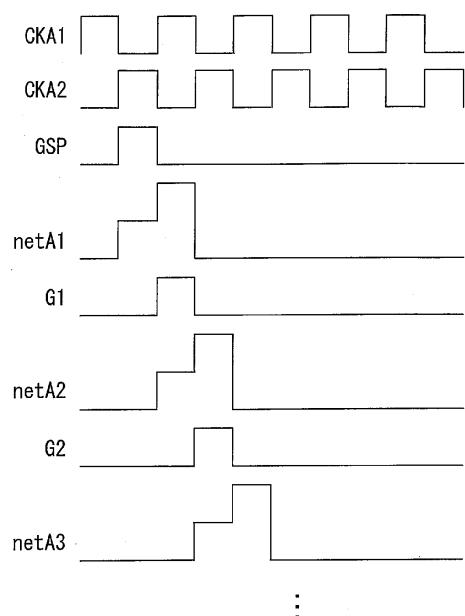
도면15



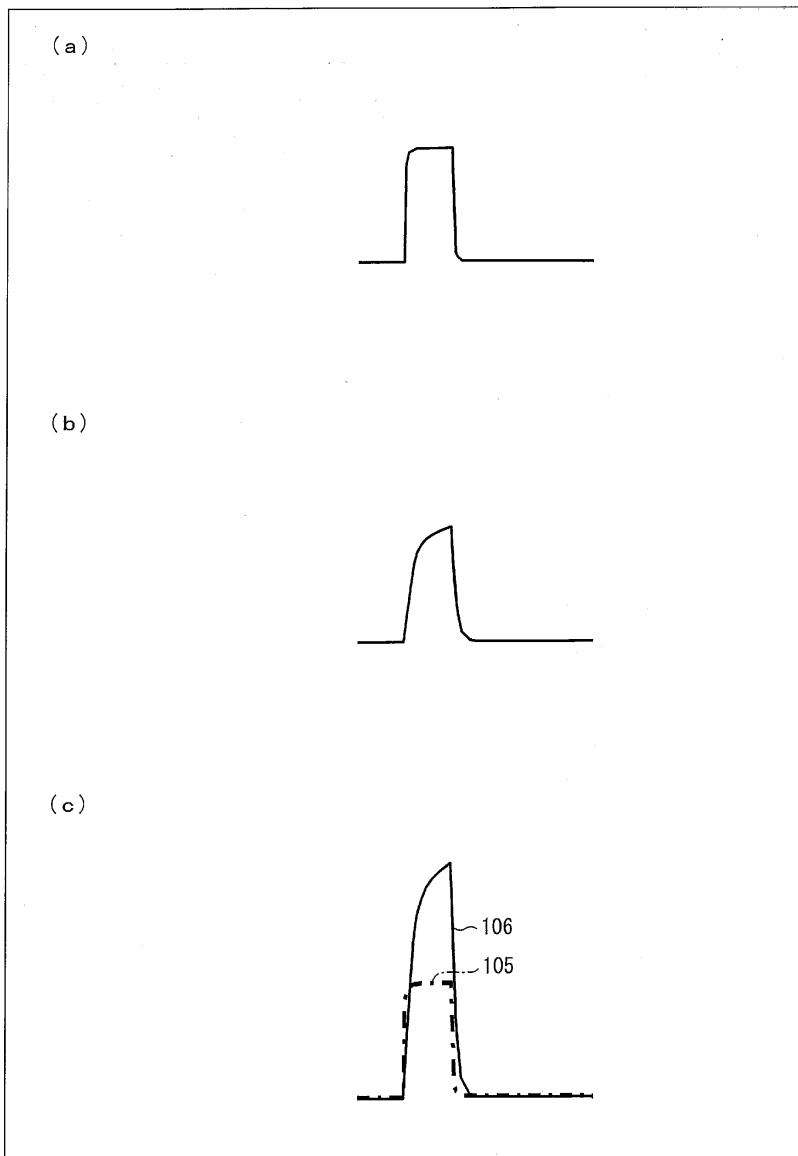
도면16



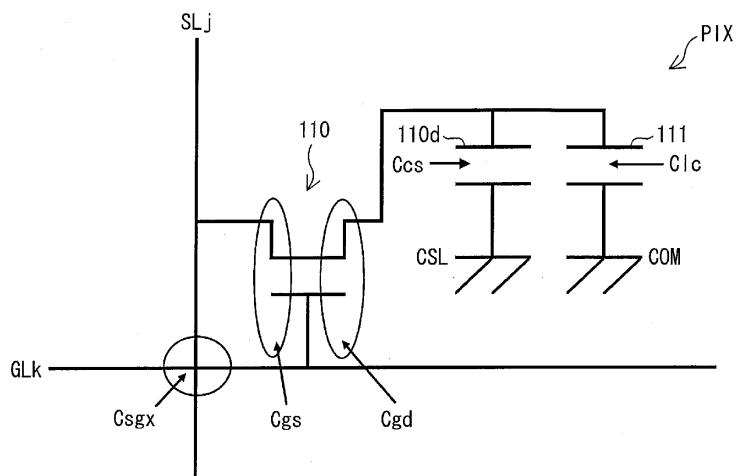
도면17



도면18



도면19



도면20

