

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成20年10月9日(2008.10.9)

【公開番号】特開2007-73804(P2007-73804A)
 【公開日】平成19年3月22日(2007.3.22)
 【年通号数】公開・登録公報2007-011
 【出願番号】特願2005-260383(P2005-260383)
 【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/115 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成20年8月21日(2008.8.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上のセレクトゲートの側壁に絶縁膜を介してサイドウォール状のフローティングゲートを形成する工程と、

前記フローティングゲートの上端部の角部を露出させる工程と、

前記角部を丸めて、前記フローティングゲートの前記上端部に丸み部を形成する工程と

、を含むことを特徴とする半導体記憶装置の製造方法。

【請求項2】

前記フローティングゲートを形成する工程では、基板上に第1の絶縁膜を介してセレクトゲートが形成されるとともに、前記セレクトゲート上に下から順に第2の絶縁膜、第3の絶縁膜、第4の絶縁膜、第5の絶縁膜が形成され、かつ、基板全面に第6の絶縁膜が形成された基板の前記第6の絶縁膜上に、第2の半導体膜を堆積し、エッチバックにより、少なくとも前記第5の絶縁膜、前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜、前記セレクトゲート、及び前記第2の絶縁膜の側壁に、サイドウォール状のフローティングゲートを形成し、

前記角部を露出させる工程では、前記第5の絶縁膜および前記第4の絶縁膜を除去することを特徴とする請求項1記載の半導体記憶装置の製造方法。

【請求項3】

前記フローティングゲートを形成する工程の前に、

前記基板上に、下から順に第1の絶縁膜、第1の半導体膜、第2の絶縁膜、第3の絶縁膜、第4の絶縁膜、第5の絶縁膜を形成する工程と、

所定の領域の、前記第5の絶縁膜、前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜、前記第1の半導体膜、および前記第1の絶縁膜を選択的にエッチングすることでセレクトゲートを形成する工程と、

基板全面に第6の絶縁膜を形成する工程と、

を含み、

前記フローティングゲートを形成する工程と前記角部を露出させる工程の間に、

前記第 6 の絶縁膜と前記フローティングゲートをマスクとして、イオン注入により、セルフラインで基板表面に第 1 および第 2 の拡散領域を形成する工程と、

隣り合う前記フローティングゲート間であって前記第 1 および第 2 の拡散領域上に第 7 の絶縁膜を埋め込む工程と、

を含み、

前記丸み部を形成する工程の後に、

基板全面に第 8 の絶縁膜を形成する工程と、

前記第 8 の絶縁膜上にコントロールゲートを形成する工程と、

を含むことを特徴とする請求項 2 記載の半導体記憶装置の製造方法。

【請求項 4】

前記丸み部を形成する工程では、プラズマエッチングにて行うことを特徴とする請求項 1 乃至 3 のいずれかーに記載の半導体記憶装置の製造方法。

【請求項 5】

前記フローティングゲートの前記丸み部は、前記セレクトゲートの側壁面寄りに形成されることを特徴とする請求項 1 乃至 4 のいずれかーに記載の半導体記憶装置の製造方法。

【請求項 6】

基板上の第 1 の領域に配設されたセレクトゲートと、

前記第 1 の領域に隣接する第 2 の領域に配設されたフローティングゲートと、

前記第 2 の領域と隣接する第 3 の領域に設けられた第 1 および第 2 の拡散領域と、

前記フローティングゲートの上に配設されたコントロールゲートと、

を備え、

前記フローティングゲートは、サイドウォール状に形成されており、上端部に丸み部を有することを特徴とする半導体記憶装置。

【請求項 7】

前記フローティングゲートの前記丸み部は、前記セレクトゲートの側壁面寄りに形成されていることを特徴とする請求項 6 記載の半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

まず、基板 201 に素子分離領域（図示せず）を形成した後、基板 201 のセル領域にウェル（図示せず）を形成し、その後、第 3 の拡散領域（図 6 の 221）を形成し、その後、基板 201 上に絶縁膜 202（例えば、シリコン酸化膜）を形成し、絶縁膜 202 上にセレクトゲート膜 203（例えば、ポリシリコン膜）を形成し、セレクトゲート膜 203 上に絶縁膜 210（例えば、シリコン酸化膜）を形成し、絶縁膜 210 上に絶縁膜 204（例えば、シリコン窒化膜）を形成し、絶縁膜 204 上に絶縁膜 212（例えば、シリコン酸化膜）を形成し、絶縁膜 212 上に絶縁膜 213（例えば、シリコン窒化膜）を形成する（ステップ A1；図 8（A）参照）。次に、絶縁膜 213 上にセレクトゲート 203a を形成するためのフォトレジスト（図示せず）を形成し、当該フォトレジストをマスクとして、絶縁膜 213、絶縁膜 212、絶縁膜 204、絶縁膜 210、セレクトゲート膜（図 8（A）の 203）、および絶縁膜 202 を選択的にエッチングすることでセレクトゲート 203a を形成し、その後、当該フォトレジストを除去する（ステップ A2；図 8（B）参照）。次に、基板全面に、絶縁膜 205（例えば、シリコン酸化膜）を形成する（ステップ A3；図 8（C）参照）。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 6

【補正方法】 変更

【補正の内容】

【 0 0 1 6 】

本発明の第 1 の視点においては、半導体記憶装置の製造方法において、基板上のセレクトゲートの側壁に絶縁膜を介してサイドウォール状のフローティングゲートを形成する工程と、前記フローティングゲートの上端部の角部を露出させる工程と、前記角部を丸めて、前記フローティングゲートの前記上端部に丸み部を形成する工程と、を含むことを特徴とする。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 0

【補正方法】 変更

【補正の内容】

【 0 0 2 0 】

本発明の第 2 の視点においては、半導体記憶装置において、基板上の第 1 の領域に配設されたセレクトゲートと、前記第 1 の領域に隣接する第 2 の領域に配設されたフローティングゲートと、前記第 2 の領域と隣接する第 3 の領域に設けられた第 1 および第 2 の拡散領域と、前記フローティングゲートの上に配設されたコントロールゲートと、を備え、前記フローティングゲートは、サイドウォール状に形成されており、上端部に丸み部を有することを特徴とする。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 1

【補正方法】 変更

【補正の内容】

【 0 0 2 1 】

本発明（請求項 1 - 7）によれば、フローティングゲートの角を丸めることで、フローティングゲートとコントロールゲート間に集中する電界が緩和され、リード作動時にフローティングゲートから電子が引き抜かれることを防ぐことができる。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 4

【補正方法】 変更

【補正の内容】

【 0 0 2 4 】

基板 1 は、P 型シリコン基板である（図 1、2 参照）。絶縁膜 2 は、セレクトゲート 3 a と基板 1 の間に設けられたセレクトゲート絶縁膜（例えば、シリコン酸化膜）である（図 2 参照）。