【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成26年10月30日(2014.10.30)

【公開番号】特開2013-65638(P2013-65638A)
【公開日】平成25年4月11日(2013.4.11)
【年通号数】公開・登録公報2013-017
【出願番号】特願2011-202466(P2011-202466)
【国際特許分類】
Ｈ０１Ｌ　27/10　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
Ｈ０１Ｌ　27/108　(2006.01)
Ｈ０１Ｌ　21/8242　(2006.01)
Ｈ０１Ｌ　27/115　(2006.01)
Ｈ０１Ｌ　21/8247　(2006.01)
Ｈ０１Ｌ　27/105　(2006.01)
Ｈ０１Ｌ　21/8246　(2006.01)
Ｈ０１Ｌ　21/336　(2006.01)
Ｈ０１Ｌ　29/788　(2006.01)
Ｈ０１Ｌ　29/792　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/10　４７１
Ｈ０１Ｌ　29/78　６１３Ｂ
Ｈ０１Ｌ　27/10　６７１Ｃ
Ｈ０１Ｌ　27/10　３２１
Ｈ０１Ｌ　27/10　４３４
Ｈ０１Ｌ　27/10　４４４Ａ
Ｈ０１Ｌ　27/10　４４８
Ｈ０１Ｌ　29/78　３７１

【手続補正書】
【提出日】平成26年9月11日(2014.9.11)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１の層に形成され、情報を記憶し、当該情報を外部に読み出す第１のトランジスタを含むメモリセルと、
前記第１の層を積層する基本層である基板に形成され、第１のノードに供給された前記情報を増幅する第２のトランジスタを含む第１の回路と、
前記第１のトランジスタの一端に直接に接続されて積層方向に延びる配線構造を含み、前記情報を前記第１の回路へ伝送する第１のビット線と、を備え、
前記第１のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とする半導体装置。
【請求項２】
前記第１のトランジスタ及び前記第２のトランジスタのチャネルは、互いに異なる材料で構成される、ことを特徴とする請求項１に記載の半導体装置。

【請求項３】
前記第１のトランジスタのチャネルのコンダクタンスは、前記第２のトランジスタのチャネルのコンダクタンスよりも低い、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項４】
前記第１のトランジスタのチャネルの単位断面積当たりの抵抗値は、前記第２のトランジスタのチャネルの単位断面積当たりの抵抗値よりも高い、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項５】
前記第１のトランジスタのチャネルは、前記第１の層に平面状に形成される、ことを特徴とする請求項１に記載の半導体装置。
【請求項６】
前記第２のトランジスタのチャネルは、前記基板に平面状に形成される、ことを特徴とする請求項５に記載の半導体装置。
【請求項７】
前記第２のトランジスタのチャネルは、前記基板に縦型に形成される、ことを特徴とする請求項５に記載の半導体装置。
【請求項８】
前記第１のトランジスタは薄膜トランジスタ（ＴＦＴ）であり、前記第２のトランジスタは薄膜トランジスタ以外の電界効果トランジスタ（ＦＥＴ）である、ことを特徴とする請求項１に記載の半導体装置。
【請求項９】
前記メモリセルは揮発性である、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１０】
前記メモリセルは、前記情報を電荷として記憶するキャパシタを含む、ことを特徴とする請求項９に記載の半導体装置。
【請求項１１】
前記メモリセルは不揮発性である、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１２】
前記メモリセルは、前記情報を抵抗値の大小に応じて記憶する可変抵抗素子を含む、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１３】
前記メモリセルは、前記第１のトランジスタ自身が前記情報を記憶する、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１４】
前記第１のビット線は、ローカルビット線であり、
前記第１の回路の第２のノードに接続されるグローバルビット線と、前記グローバルビット線を介して伝送される信号を半導体装置の外部へ出力する第２の回路と、を更に備える、ことを特徴とする請求項１または２に記載の半導体装置。
【請求項１５】
前記グローバルビット線は前記第１の層の更なる上部の第３の層に形成され、ビアを介して前記第１の回路と電気的に接続される、ことを特徴とする請求項１４に記載の半導体装置。
【請求項１６】
情報を記憶する複数のメモリセルを形成する複数の第１の層と、
前記複数のメモリセルが有する複数の第１のトランジスタのそれぞれの一端に直接に接続されて、積層方向に伸びる配線構造を含み、前記情報を伝送する複数の第１のビット線と、

前記複数の第１の層を積層する基本層である基板に形成され、第１のノードに供給された情報を増幅する第２のトランジスタを含む第１の回路と、
前記複数の第１の層と前記基板との間に配置される第２の層と、
前記第２の層に形成され、前記複数の第１のビット線のそれぞれの一端を前記第１の回路の前記第１のノードに選択的に接続する前記第２の層に平面状のチャネルを有する第３のトランジスタを含む選択回路と、を備え、
前記第１のトランジスタのチャネル中のキャリアの移動度及び前記第３のトランジスタのチャネル中のキャリアの移動度は、前記第２のトランジスタのチャネル中のキャリアの移動度よりも低い、ことを特徴とする半導体装置。
【請求項１７】
前記複数の第１のトランジスタ及び前記第３のトランジスタのチャネルは、前記第２のトランジスタのチャネルとは異なる材料で構成される、ことを特徴とする請求項１６に記載の半導体装置。
【請求項１８】
前記複数の第１のトランジスタ及び前記第３のトランジスタのチャネルのコンダクタンスは、前記第２のトランジスタのチャネルのコンダクタンスよりも低い、ことを特徴とする請求項１６または１７に記載の半導体装置。
【請求項１９】
前記複数の第１のトランジスタ及び前記第３のトランジスタのチャネルの単位断面積当たりの抵抗値は、前記第２のトランジスタのチャネルの単位断面積当たりの抵抗値よりも高い、ことを特徴とする請求項１６または１７に記載の半導体装置。
【請求項２０】
前記複数の第１のトランジスタ及び前記第３のトランジスタのチャネルは、前記複数の第１の層に平面状に形成される、ことを特徴とする請求項１６に記載の半導体装置。
【請求項２１】
前記第２のトランジスタのチャネルは、前記基板に平面状に形成される、ことを特徴とする請求項２０に記載の半導体装置。
【請求項２２】
前記第２のトランジスタのチャネルは、前記基板に縦型に形成される、ことを特徴とする請求項２０に記載の半導体装置。
【請求項２３】
前記複数の第１のトランジスタは薄膜トランジスタ（ＴＦＴ）であり、前記第２のトランジスタは薄膜トランジスタ以外の電界効果トランジスタ（ＦＥＴ）である、ことを特徴とする請求項１６に記載の半導体装置。
【請求項２４】
前記複数のメモリセルは揮発性である、ことを特徴とする請求項１６または１７に記載の半導体装置。
【請求項２５】
前記複数のメモリセルは、前記情報を電荷として記憶するキャパシタを含む、ことを特徴とする請求項２４に記載の半導体装置。
【請求項２６】
前記複数のメモリセルは不揮発性である、ことを特徴とする請求項１６または１７に記載の半導体装置。
【請求項２７】
前記複数のメモリセルは、前記情報を抵抗値の大小に応じて記憶する可変抵抗素子を含む、ことを特徴とする請求項１６または１７に記載の半導体装置。
【請求項２８】
前記複数のメモリセルは、前記第１のトランジスタ自身が前記情報を記憶する、ことを特徴とする請求項１６または１７に記載の半導体装置。
【請求項２９】

前記複数の第１のビット線は前記複数の第１の層を貫通する第１の貫通電極であり、
前記第２の層に形成される前記複数の選択回路によって、前記第１の回路に選択的に接続される、ことを特徴とする請求項１６または１７に記載の半導体装置。
【請求項３０】
前記複数の第１のビット線は、複数のローカルビット線であり、
前記第１の回路の第２のノードに接続されるグローバルビット線と、前記グローバルビット線を介して伝送される信号を半導体装置の外部へ出力する第２の回路と、を更に備える、ことを特徴とする請求項１６または１７に記載の半導体装置。
【請求項３１】
前記グローバルビット線は前記複数の第１の層の更なる上部の第３の層に形成され、前記複数の第１の層と前記第２の層を貫通する第２の貫通電極を介して前記第１の回路と電気的に接続される、ことを特徴とする請求項３０に記載の半導体装置。