

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. Juni 2006 (08.06.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/058510 A1

(51) Internationale Patentklassifikation:
H01L 23/31 (2006.01)

(21) Internationales Aktenzeichen: PCT/DE2005/001920

(22) Internationales Anmeldedatum:
26. Oktober 2005 (26.10.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 058 305.6
2. Dezember 2004 (02.12.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BETZ, Bernd**

[DE/DE]; Hauptstr. 3, 93083 Obertraubling/Oberhinkofen
(DE). **HOSSEINI, Khalil** [IR/DE]; Am Schelm 3,
84107 Weihmichl (DE). **MAHLER, Joachim** [DE/DE];
Hadamarstr. 26a, 93051 Regensburg (DE). **OTREMBA,**
Ralf [DE/DE]; Ahornstr. 42, 87600 Kaufbeuren (DE).

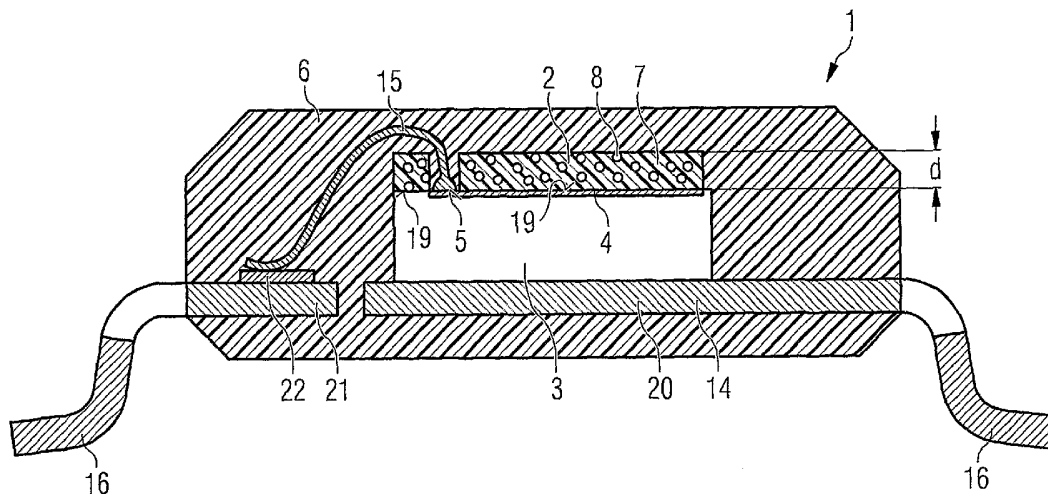
(74) **Anwalt: SCHÄFER, Horst**; c/o Kanzlei Schweiger &
Partner, Karlstr. 35, 80333 München (DE).

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,
MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,
SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

[Fortsetzung auf der nächsten Seite]

(54) **Title:** SEMICONDUCTOR COMPONENT COMPRISING A SEMICONDUCTOR CHIP PROVIDED WITH A PASSIVA-
TION LAYER, AND METHOD FOR PRODUCING THE SAME

(54) **Bezeichnung:** HALBLEITERBAUTEIL MIT EINEM EINE PASSIVIERUNGSSCHICHT AUFWEISENDEN HALBLEI-
TERCHIP SOWIE VERFAHREN ZUR HERSTELLUNG DESSELBEN



(57) **Abstract:** The invention relates to a semiconductor component (1) comprising a semiconductor chip (3) provided with a passi-
vation layer (2), and to a method for the production thereof. According to said method, the passivation layer (2) covers the uppermost
strip conductor structure (4) of the semiconductor chip (1), baring contact surfaces (5). Said passivation layer (2) is in direct ad-
hesive contact with the plastic housing mass (6) of the semiconductor component (1) and comprises a polymer (7) with integrated
mineral-ceramic nanoparticles (8).

(57) **Zusammenfassung:** Die Erfindung betrifft ein Halbleiterbauteil (1) mit einem eine Passivierungsschicht (2) aufweisenden
Halbleiterchip (3) sowie Verfahren zur Herstellung desselben. Dabei bedeckt die Passivierungsschicht (2) die oberste
Leiterbahnstruktur (4) des Halbleiterchips (1) unter Freilassen von Kontaktflächen (5). Die Passivierungsschicht (2) steht in
unmittelbarem adhäsiven Kontakt mit der Kunststoffgehäusemasse (6) des Halbleiterbauteils (1), wobei die Passivierungsschicht
(2) ein Polymer (7) mit eingebetteten mineralisch-keramischen Nanopartikeln (8) aufweist.



WO 2006/058510 A1



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Halbleiterbauteil mit einem eine Passivierungsschicht aufweisenden Halbleiterchip sowie Verfahren zur Herstellung desselben

Die Erfindung betrifft ein Halbleiterbauteil mit einem eine Passivierungsschicht aufweisenden Halbleiterchip sowie Verfahren zur Herstellung desselben.

Der Aufbau derartiger Passivierungsschichten ist aus der Druckschrift DE 102 34 648 bekannt. Derartige Passivierungsschichten weisen eine Siliziumnitridschicht, welche die oberste Leiterbahnstruktur des Halbleiterchips bedeckt, und eine auf der Siliziumnitridschicht angeordnete Polyimidschicht auf. Während die Siliziumnitridschicht dafür sorgt, dass keine metallischen Ionen in die Isolationsschichten aus Siliziumdioxid auf der Oberseite eines Halbleiterchips zu den empfindlichen PN-Übergangszonen diffundieren, sorgt die Polyimidschicht dafür, dass der Übergang von der keramischen Siliziumnitridschicht zu einer Kunststoffgehäusemasse verbessert wird, um Delaminationen zwischen der Oberseite des Halbleiterchips und der Kunststoffgehäusemasse zu minimieren.

Bisher wird die Passivierungsschicht aus Siliziumnitrid frontendseitig auf die Aluminium-Metallisierungsschicht der Leiterbahnstruktur aufgebracht mit dem Nachteil einer relativ hohen Härte und Sprödigkeit der Siliziumnitridschicht, was bei erhöhter mechanischer Beanspruchung zu Brüchen in dieser Passivierungsschicht aus Siliziumnitrid führen kann und damit eine Korrosion der tieferliegenden Aluminium-Metallisierung verursacht. Auf diese keramische Isolationsschicht wird, wie oben beschrieben, eine Polyimidschicht auf die Chipoberfläche

aufgetragen, um die Haftfähigkeit einer Kunststoffgehäusemasse mit der Chipoberseite zu verbessern. Jedoch hat diese Passivierungsschicht den Nachteil, dass damit auch eine thermische Isolation der Halbleiterchipoberfläche verbunden ist, zumal die Wärmeleitfähigkeit des Polyimids gegenüber der Wärmeleitfähigkeit des Siliziumnitrids etwa um den Faktor 100 schlechter ist. Außerdem ist das Aufbringen einer Keramikschicht aus Siliziumnitrid und das anschließende Aufbringen einer Polyimidschicht nicht unproblematisch. Die dazu eingesetzten Verfahren sind kostenintensiv zumal die Polyimidschicht und die Siliziumnitridschicht in zwei unterschiedlichen Prozessen im Frontend aufgebracht werden, was fertigungstechnisch die Kosten nicht vermindert.

Aufgabe der Erfindung ist es, ein Halbleiterbauteil mit einem eine Passivierungsschicht aufweisenden Halbleiterchip sowie ein Verfahren zur Herstellung desselben anzugeben, bei dem ein besserer Wärmeübergang von der Halbleiterchipoberfläche zu der Kunststoffgehäusemasse gegenüber dem Wärmeübergang in der bekannten Polyimidschicht erreicht wird. Darüber hinaus ist es Aufgabe der Erfindung, die Fertigung zu vereinfachen und ein Verfahren anzugeben, das sowohl eine Diffusion von Metallionen in die Isolationsschichten eines Halbleiterchips verhindert als auch die Ankopplung der Kunststoffgehäusemasse an den Halbleiterchip verbessert.

Diese Aufgabe wird mit dem Gegenstand der unabhängigen Ansprüche gelöst. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Erfindungsgemäß wird ein Halbleiterbauteil mit einem eine Passivierungsschicht aufweisenden Halbleiterchip geschaffen, bei dem die Passivierungsschicht die oberste Leiterbahnstruk-

tur des Halbleiterchips unter Freilassung von Kontaktflächen abdeckt. Diese Passivierungsschicht steht in unmittelbarem adhäsivem Kontakt sowohl mit der obersten Leiterbahnstruktur als auch mit einer Kunststoffgehäusemasse des Halbleiterbauteils und weist ein Polymer mit eingelagerten mineralisch-keramischen Nanopartikeln auf.

Diese Passivierungsschicht hat den Vorteil, dass sie eine ausreichende elektrische Isolationsfestigkeit und einen mechanischen Schutz der Metallisierung gegen Kratz- und Bruchbelastungen bereitstellt. Somit wird mit dieser Polymer-schicht mit mineralisch-keramischen Nanopartikeln erreicht, dass die Grenzfläche zwischen Passivierungsschicht und Metallisierung irreversible Schäden der Chipoberseite beim Betrieb des Halbleiterbauteils verhindert.

Derartige irreversible Schäden können durch keramische Partikel, die als Füllstoffe in der Kunststoffgehäusemasse vorhanden sind, wie es aus der Druckschrift DE 101 62 676 bekannt ist, verursacht werden, insbesondere da der thermische Ausdehnungskoeffizient der Kunststoffgehäusemasse mit Füllpartikeln sich von dem Ausdehnungskoeffizienten des Halbleitermaterials des Halbleiterchips unterscheidet. Da das Polymer bei dem erfindungsgemäßen Halbleiterbauteil nicht mit groben mineralisch-keramischen Partikeln wie die Kunststoffmasse gefüllt ist, sondern vielmehr eingebettete mineralisch-keramische Nanopartikel aufweist, stellt die Passivierungsschicht des erfindungsgemäßen Halbleiterbauteils einen mechanischen Puffer zwischen der empfindlichen obersten Metallisierung mit einer Leiterbahnstruktur und der Kunststoffgehäusemasse mit groben keramischen Füllstoffpartikeln dar. Ferner liefert die Passivierungsschicht eine gute Anbindung der

Kunststoffgehäusemasse an die Oberseite des Halbleiterchips bzw. an die Oberfläche der Passivierungsschicht.

Die Materialkombination aus Polymer mit eingebetteten mineralisch-keramischen Nanopartikeln gewährleistet somit die nachfolgenden vorteilhaften Eigenschaften:

1. eine ausreichende elektrische Isolationsfestigkeit;
2. einen Schutz der Halbleiterchipoberseite vor Brüchen aufgrund von hohem mechanischem Stress;
3. einen Schutz der obersten Leiterbahnstruktur vor Deformation durch Kratzer, verursacht beispielsweise von den groben Füllstoffpartikeln der Kunststoffgehäusemasse;
4. eine ausreichende Anbindung der Kunststoffgehäusemasse an die Halbleiterchipoberseite, was eine Delamination im Betrieb bzw. während der durchzuführenden Zuverlässigkeitstest verhindert; und
5. eine verbesserte Wärmeabfuhr der Verlustleistung des Halbleiterchips im Betrieb von der aktiven Oberseite des Halbleiterchips durch die Passivierungsschicht aus Polymer mit eingebetteten mineralisch-keramischen Nanopartikeln.

In einer bevorzugten Ausführungsform der Erfindung weisen die Nanopartikel eine mittlere Korngröße k im Bereich von $10 \text{ nm} \leq k < 1000 \text{ nm}$ auf. Mit dieser mittleren Korngröße erreichen die mineralisch-keramischen Nanopartikel eine für das Aufbringen auf eine oberste Metallschicht bzw. eine oberste Leiterbahnstruktur geeignete Größe, die es verhindert, dass tiefe Kratzer und Unterbrechungen sowie Brüche in der obersten Leiterbahnstruktur auftreten können. Zusätzlich wird durch die nachgiebige polymere Komponente dafür gesorgt, dass

die spröde, bruchgefährdete geschlossene Siliziumnitridschicht als Passivierungsschicht nicht mehr erforderlich ist.

Es ist nun möglich, mit Hilfe der Mischung aus Polymer und Nanopartikeln eine die Oberfläche des Halbleiterchips nicht schädigende Beschichtung zu erreichen und andererseits eine ausreichend nachgiebige Schicht zu bilden, welche die unterschiedlichen Ausdehnungskoeffizienten von Gehäusemasse und Halbleiterchipmaterial überbrückt. Vorzugsweise weisen die Nanopartikel eine mittlere Korngröße k im Bereich von $10 \text{ nm} \leq k \leq 100 \text{ nm}$ auf. Durch die Einschränkung des Bereichs auf diese mittlere Korngröße wird erreicht, dass die Gefahr eines Verkratzens durch Unterbrechen der obersten Leiterbahnstruktur des Halbleiterchips durch die Passivierungsschicht praktisch nicht auftreten kann.

In einer weiteren bevorzugten Ausführungsform der Erfindung sind die Nanopartikel von nahezu kugelförmiger Form, wie es für die Fullerene bekannt ist. Diese sind Nanopartikel auf der Basis von Kohlenstoff, bilden jedoch kein Diamantgitter, sondern eine Oberfläche von hexagonal angeordneten Kohlenstoffringen. Solange derartige Fullerene gleichmäßig im Polymer verteilt sind, treten auch keine elektrischen Kurzschlüsse auf trotz der elektrischen Leitfähigkeit dieser Kohlenstoff-Nanopartikel auf.

In einer weiteren bevorzugten Ausführungsform der Erfindung weist die Passivierungsschicht Nanopartikel der Gruppe Si_3N_4 , SiC , SiO_2 , ZrO_2 , TiO_2 , AlN , Al_2O_3 und/oder synthetische Nanodiamantpartikel auf. Diese keramischen Nanopartikel haben den Vorteil, dass sie mechanisch und chemisch stabil sind und als Einlagerungen oder Füllstoff in dem Polymer beständig bleiben. Aufgrund ihrer sehr großen Oberfläche im Verhältnis zum

Volumen weisen diese Keramikpartikel eine extrem hohe Kratzfestigkeit auf, was das oben erwähnte Risiko eines Zerkratzens oder Zerbrechens der Leiterbahnstruktur herkömmlicher Füllmaterialien im Mikrometerbereich vermindert. Eine Rissbildung in dieser Passivierungsschicht und eine Beschädigung der obersten Leiterbahnstruktur bzw. der Aluminium-Metallisierung ist somit äußerst unwahrscheinlich. Gleichzeitig tragen die Nanopartikel dieser Gruppe dazu bei, dass die Isolationsfestigkeit der Passivierungsschicht durch die Kombination Polymer/keramische Nanopartikel verbessert wird.

Während die Durchbruchfeldstärke von $\text{Si}_3\text{N}_4 > 20 \text{ KV/mm}$ ist, werden mit der erfindungsgemäßen Passivierungsschicht aus der Kombination Polymer/Nanopartikel Hochleistungspolymere gebildet, die eine Durchbruchfeldstärke von $> 60 \text{ KV/mm}$ erreichen. Auch die Wärmeleitfähigkeit der Passivierungsschicht wird verbessert, da herkömmlich eine gut wärmeleitende Siliziumnitridschicht mit einer schwach bis schlecht wärmeleitenden Polyimidschicht kombiniert wird. Gegenüber einer derartigen Polyimidschicht ist die Wärmeleitfähigkeit der Polymer-/Nanopartikelschicht um das zehnfache verbessert. Wenn auch die Siliziumnitridschicht eine erhöhte Wärmeleitfähigkeit aufweist, so ist die bekannte Struktur aus Passivierungsschichten mit einer Siliziumnitridschicht und mit einer Polyimidschicht mit einer "Hitzesperre" belastet, zumal die Polyimidschicht mit einer Dicke zwischen $1 \mu\text{m}$ und $30 \mu\text{m}$ um ein Mehrfaches dicker ist als die Siliziumnitridschicht mit ihrer Dicke zwischen 100 nm und 300 nm .

In einer weiteren Ausführungsform der Erfindung weist die Passivierungsschicht einen Anteil an Nanopartikeln von 20 Vol % bis 90 Vol % auf. Dabei ist der höhere Wert von 90 Vol % interessanter, weil er auch eine Verbesserung der

Wärmeleitfähigkeit bringt. Vorzugsweise ist ein Bereich für den Anteil der Nanopartikel in der Passivierungsschicht von 50 Vol % bis 80 Vol % vorgesehen. Bei diesem hohen Anteil an keramischen Nanopartikeln in dem Polymer wird erreicht, dass
5 eine intensive Wärmeableitung der Verlustwärme des Halbleiterchip gewährleistet werden kann.

Weiterhin ist es vorgesehen, dass die Passivierungsschicht mindestens ein Polymer der Gruppe Hochtemperatur-Thermoplaste, Polyimidvorstufen, Polyamidimide, Polybenzoxazole,
10 Polyimidazole, Polycycloocten, Polyaryletherkethone, Polyethersulfone, Siloxane und/oder flüssigkristalline Polymere aufweist. Diesen Polymeren ist gemeinsam, dass sie nachgiebige Schichten bilden und mit der Kunststoffgehäusemasse eine
15 stabile mechanische Verzahnung eingehen, so dass eine Delamination zwischen Halbleiterchipoberfläche mit Passivierungsschicht und Kunststoffgehäusemasse verhindert wird.

Weiterhin ist es vorgesehen, dass die Passivierungsschicht
20 eine Schichtdicke d von $1\text{ }\mu\text{m} \leq d \leq 50\text{ }\mu\text{m}$ aufweist. Durch die Nanopartikel ist es einerseits möglich, derart dünne Passivierungsschichten zu gestalten, die nur $1\text{ }\mu\text{m}$ Dicke aufweisen und dennoch alle Vorteile einer herkömmlichen mehrlagigen Passivierungsschicht bieten. Andererseits ist es möglich,
25 durch den Polymer eine beliebig dicke Schicht bis zu $50\text{ }\mu\text{m}$ zu verwirklichen, die ein hohes Maß an Nachgiebigkeit und damit an Ausgleich der thermischen Spannungen zwischen der Kunststoffgehäusemasse und dem Halbleiterchipmaterial gewährleistet.

30

Vorzugsweise weist die Passivierungsschicht eine Dicke zwischen $3\text{ }\mu\text{m} \leq d \leq 20\text{ }\mu\text{m}$ auf, womit ein fertigungstechnisch vorteilhafter Kompromiss zwischen minimalem Raumbedarf und

ausreichender Nachgiebigkeit der Schicht in vorteilhafter Weise erreicht wird.

Die Durchbruchfeldstärke F_D für eine Passivierungsschicht mit Nanopartikeln liegt vorzugsweise bei $F_D \geq 40$ KV/mm. Mit dieser Durchbruchfeldstärke erreicht die Passivierungsschicht des erfindungsgemäßen Halbleiterbauteils einen nahezu doppelt so hohen Durchbruchfeldstärkewert gegenüber der reinen keramischen Siliziumnitridschicht als eine im Frontendbereich gefertigte Passivierungsschicht. Unter Frontendbereich ist hier ein Fertigungsbereich zu verstehen, mit dem die Fertigung eines Halbleiterwafers abgeschlossen wird. Im Backendbereich, der sich fertigungstechnisch an den Frontendbereich anschließt, die Delaminationsgefahr des Halbleiterchips zur Kunststoffgehäusemasse zu groß, wenn nicht zusätzlich eine zweite polymere Passivierungsschicht auf die erste keramische Passivierungsschicht aufgebracht wird.

Vorzugsweise weist die Passivierungsschicht des erfindungsgemäßen Halbleiterbauteils mit 80 Vol % Si_3N_4 Nanopartikeln eine Wärmeleitfähigkeit λ von $\lambda \geq 5$ W/mK auf. Dieser Wert liegt wie oben bereits erwähnt um mehr als einen Faktor 10 höher als die Wärmeleitfähigkeit λ , die mit einer Passivierungsschicht aus reinem Polymer, wie einem Polyimid, erreicht werden kann.

Ein Verfahren zur Herstellung von Halbleiterchips mit einer Passivierungsschicht weist die nachfolgenden Verfahrensschritte auf. Zunächst wird ein Halbleiterwafer mit Halbleiterchippositionen einschließlich einer obersten Leiterbahnstruktur mit Kontaktflächen hergestellt. Danach wird selektiv eine Schutzschicht auf die Kontaktflächen aufgebracht, während die übrige Oberseite des Halbleiterwafers frei von der

Schutzschicht bleibt. Parallel oder vorher wird ein Polymer mit mineralisch-keramischen Nanopartikeln gemischt und diese Mischung dann auf die oberste Leiterbahnstruktur des Halbleiterwafers aufgebracht. Nach dem Aufbringen dieser Schicht auf
5 den Halbleiterwafer werden die Kontaktflächen von der Schutzschicht befreit. Dieses kann durch Aufquellen der Schutzschicht vorbereitet werden und anschließend kann die Schutzschicht mit dem darüber liegenden Material der Passivierungsschicht abgespült werden. Abschließend wird der Halbleiterwafer
10 in Halbleiterchips mit Passivierungsschicht aufgetrennt.

Der Vorteil dieses Verfahrens liegt darin, dass mit einem einzigen Prozessschritt eine elastische, thermisch gut leitfähige und zudem mechanisch sehr stabile Isolations- und
15 Schutzschicht in Form einer Passivierungsschicht auf die oberste Leiterbahnschicht eines Halbleiterwafers und damit eines Halbleiterchips aufgebracht wird. Dabei wird gleichzeitig eine optimale Anbindung der Kunststoffpressmasse zum Bau eines Halbleiterbauteils gewährleistet. Mit diesem Verfahren
20 wird auf eine separate Aufbringung einer Siliziumnitrid-Passivierungsschicht verzichtet. Somit werden durch das erfindungsgemäße Verfahren die beiden getrennten Prozesse, nämlich das Aufbringen einer Siliziumnitridschicht im Frontendbereich und das anschließenden Aufbringen einer Polymer-
25 schicht auf die Siliziumnitridschicht im Backendbereich, durch einen einzelnen Prozessschritt ersetzt.

Bei einem bevorzugten Durchführungsbeispiel des Verfahrens erfolgt das selektive Aufbringen der Schutzschicht auf die
30 Kontaktflächen mittels Photolithographie. Dazu wird auf den Halbleiterwafer eine photoempfindliche Lackschicht aufgetragen, die anschließend über eine Maske an den Stellen der Kontaktflächen belichtet wird, so dass dort der Photolack ver-

netzt und bei einem anschließenden Entwicklungs- und Fixierprozess auf den Kontaktflächen als Schutzschicht verbleibt. Dieses Verfahren erfordert eine spezielle Maske zur Abschirmung der nicht zu schützenden Oberflächenbereiche vor einer
5 Belichtung.

Eine alternative maskenfreie Möglichkeit besteht darin, dass die Schutzschicht auf die Kontaktflächen mittels Strahldruck-Schreibtechnik aufgebracht wird. Bei der Strahldruck-
10 Schreibtechnik wird ähnlich wie in einem Tintenstrahldrucker das Polymer mit den Nanopartikeln derart verdünnt, dass sie mit einem Tintenstrahldruckerkopf präzise auf den Kontaktflächen aufgebracht werden kann. Andererseits ist es mit dieser Technik auch möglich, unter Freilassen der Kontaktflächen ei-
15 ne Mischung aus Polymer-Lösungsmittel und Nanopartikeln auf die Oberseite des Halbleiterwafers aufzubringen, um eine Passivierungsschicht auf der obersten Leiterbahnlage zu erzeugen.

20 In einem weiteren Durchführungsbeispiel des Verfahrens erfolgt das Mischen eines Polymers mit mineralisch-keramischen Nanopartikeln mittels Erschmelzen eines polymeren Thermoplastmaterials unter Einbringung von 10 Vol % bis 80 Vol % Nanopartikel in die Schmelze. Bei dieser Verfahrensvariante
25 wird in vorteilhafter Weise die Eigenschaft eines Thermoplastmaterials genutzt, bei hohen Temperaturen zu einer Flüssigkeit zu erschmelzen, in die dann der vorgesehene Anteil an Nanopartikeln eingemischt werden kann.

30 In einem weiteren Durchführungsbeispiel des Verfahrens wird das Mischen eines Polymers mit mineralisch-keramischen Nanopartikeln mittels Herstellen einer dünnflüssigen niedrig viskosen Lösung aus Lösungsmittel und polymerem Material unter

Einbringen von 10 Vol % bis 80 Vol % Nanopartikeln in die Lösung erfolgen. Durch das Einbringen von einem Lösungsmittel kann die Viskosität der Mischung beliebig eingestellt werden, so dass die Eigenschaften der Mischung an die unterschiedli-
5 chen Aufbringungsverfahren und Beschichtungstechniken in vorteilhafter Weise angepasst werden können. Beispielsweise wird die Kompositmischung mit einem geeigneten Lösungsmittel auf eine niedrige, von einem Ink-Jet-Coater verarbeitbare Viskosität eingestellt.

10

Die Verwendung von unbeschichteten Nanopartikeln in der Mischung aus Polymer-Nanopartikeln und einem Lösungsmittel kann bei hohem Lösungsmittelgehalt zu einer homogenen Keramikschicht direkt an der Chipoberfläche führen. Je geringer die
15 Viskosität der Mischung ist, desto höher ist die Wahrscheinlichkeit, dass sich eine derartige homogene Keramikschicht direkt über der obersten Leiterbahnstruktur ausbilden kann. Dabei unterstützt die hohe Oberflächenenergie der Nanopartikel ihre Agglomeration zu Nanopartikelagglomerate. Die Sedi-
20 mentation der Partikel auf der obersten Leiterbahnstruktur wird durch die höhere Dichte der Nanopartikelagglomerate im Vergleich zur Dichte des Polymers unterstützt. Durch geeignete Maßnahmen kann diese Sedimentation und auch die Neigung zur Agglomeration der Nanopartikel unterbunden werden.

25

Bei einem alternativen Verfahren zur Herstellung von Halbleiterchips mit Passivierungsschicht werden die nachfolgenden Verfahrensschritte durchgeführt. Zunächst wird auch ein Halbleiterwafer mit Halbleiterchippositionen einschließlich einer
30 obersten Leiterbahnstruktur mit Kontaktflächen durchgeführt. Danach wird wie im ersten Fall eine Schutzschicht auf die Kontaktflächen selektiv aufgebracht. Doch dann wird anstelle eines einfachen Mischens von Nanopartikeln mit einem Polymer

ein Verfahrensschritt eingesetzt, bei dem zunächst die mineralisch-keramischen Nanopartikel einzeln mit einer Polymerschicht umhüllt werden.

5 Dieses hat den Vorteil, dass eine gleichmäßigere Verteilung der Nanopartikel in der zu bildenden Passivierungsschicht auftritt. Zudem wird verhindert, dass sich die Nanopartikel zu großvolumigen, d. h. im Bereich von μm , auftretenden Agglomeraten aus Nanopartikeln zusammenlegen. Diese Nanoparti-
10 kel mit einer polymeren Umhüllung werden dann als Passivierungsschicht auf die oberste Leiterbahnstruktur des Halbleiterbauteils aufgebracht. Nach dem Bilden dieser Schicht wird die Schutzschicht von den Kontaktflächen entfernt und der Halbleiterwafer in Halbleiterchips mit Passivierungsschicht
15 aufgetrennt. Dieses alternative Verfahren hat den Vorteil, dass eine Agglomeration von Nanopartikeln weitestgehend unterbunden wird und ebenso die Sedimentation zu einer geschlossenen Keramikschicht auf der obersten Leiterbahnstruktur verhindert wird. Das Polymer-Coating weist dabei eine
20 Schichtdicke von wesentlich weniger als 100 nm auf. Eine derartige Beschichtung der einzelnen Nanopartikel dient darüber hinaus der kovalenten Anbindung der Partikel an das Polymer.

Vorzugsweise erfolgt das Umhüllen der mineralisch-keramischen
25 Nanopartikel mit einer Polymerschicht in einem Wirbelschichtofen, wobei in einem Sprühnebel aus Polymermaterial die Nanopartikel verwirbelt werden. Eine weitere Möglichkeit die mineralisch-keramischen Nanopartikel mit einer Umhüllung aus Polymeren zu versehen besteht darin, die Nanopartikel in ei-
30 nem Sprühturm vorzugsweise im Gegenstrom einzuleiten, in dem ein Sprühnebel aus Polymeren die Partikel beschichtet.

Nach dem Aufbringen einer derartigen Schicht aus beschichteten Nanopartikeln oder aus einer Lösung von Nanopartikeln und Polymer in einem Lösungsmittel wird durch einen Temperaturschritt, bei dem typischerweise die Temperatur $> 200^{\circ}\text{C}$ ist, das Lösungsmittel verdampft und eventuell die Polymerstufe thermisch ausgehärtet, zumindest aber werden die Beschichtungen der Nanopartikel miteinander zusammengesintert. Bei dem Strahldruckverfahren bzw. dem Ink-Jet-Coating-Verfahren ist ein hoch selektiver und materialsparender Schichtauftrag auf die Chipoberfläche bzw. die Halbleiterwaferoberfläche möglich.

Die Bonddraht-Anschlussbereiche in Form von Kontaktflächen können bei dieser Verfahrensvariante in vorteilhafter Weise von der Beschichtung ausgespart oder freigehalten werden. Der Schichtauftrag kann somit sowohl ganzflächig auf einen Wafer im sog. Frontendprozess oder auch später auf bereits aufgetrennte Halbleiterchipoberflächen aufgebracht werden, wobei diese Halbleiterchips bereits mit entsprechenden Verbindungselementen, wie Bonddrähten, versehen sein können.

Eine weitere Möglichkeit, die Passivierungsschicht aufzubringen, liefert das sog. "spin-coating"-Verfahren. Die Komposition aus einem Polymer, den Nanopartikeln und einem geeigneten Lösungsmittel wird auf den Halbleiterwafer bei dem "spin-coating"-Verfahren aufgeschleudert. Die Aluminiumdraht-Anschlussbereiche bzw. Kontaktflächen des Halbleiterwafers können bei diesem Verfahren entweder vorher maskiert oder unmaskiert mitbeschichtet werden. Sind sie mitbeschichtet worden, so müssen sie anschließend von der Passivierungsschicht befreit werden, um eine elektrische Verbindung in Form einer Bondverbindung zu ermöglichen.

Zur Herstellung eines Halbleiterbauteils wird auf die bisher geschilderten Verfahrensschritte zurückgegriffen, mit denen Halbleiterchips zunächst hergestellt wurden. Diese Halbleiterchips werden dann zur Herstellung eines Halbleiterbauteils auf einen Systemträger aufgebracht. Ein derartiger Systemträger kann ein Flachleiterraum oder ein Verdrahtungssubstrat sein, wie es für BGA-Gehäuse (ball grid array-Gehäuse) eingesetzt wird. Anschließend werden die Kontaktflächen des Halbleiterchips über elektrische Verbindungselemente mit Außenanschlüssen des Systemträgers verbunden. Dabei können die Verbindungselemente Flip-Chip-Kontakte eines Halbleiterchips oder Bonddrähte sein. Danach werden die Verbindungselemente, der Halbleiterchip sowie der Systemträger in eine Kunststoffgehäusemasse unter unmittelbarem mechanischem Kontakt zwischen der Passivierungsschicht auf dem Halbleiterchip und der Kunststoffgehäusemasse in diese eingebettet. Mit diesen zusätzlichen Verfahrensschritten werden aus den Halbleiterchips Halbleiterbauteile hergestellt, bei denen die Gefahr einer Delamination zwischen Kunststoffgehäusemasse und Oberseite des Halbleiterchips vermindert ist.

Zusammenfassend ist festzustellen, dass die Passivierungsschicht aus einem Hochleistungspolymer mit Nanopartikeln durch Lösung eines Polymers in einem Lösungsmittel bzw. durch Einbringen von Nanopartikeln in eine Schmelze eines Hochleistungsthermoplasts erreicht wird. Die mineralisch-keramischen Nanopartikel mit einem Durchmesser $< 1 \mu\text{m}$ bewirken, dass eine höhere thermische Leitfähigkeit für die Passivierungsschicht erreicht wird und dennoch eine gute Ankopplung an die Kunststoffgehäusemasse möglich ist. Diese Mischung bzw. dieses Kompositmaterial kann dann auf die Chipoberfläche in einer solchen Menge aufgebracht werden, dass je nach Anwendung nach dem thermischen Aushärten des Polymers bzw. der Erstarrung

der Polymerschmelze eines Thermoplasten bzw. nach Verdampfen des Lösungsmittels eine Schicht auf dem Halbleiterchip von 1 bis 50 μm , vorzugsweise 3 bis 20 μm Dicke realisiert ist.

- 5 Für das Hochleistungspolymer werden vorzugsweise Polymere aus der Gruppe Hochtemperatur-Thermoplaste, Polyimidvorstufen, Polyamidimide, Polybenzoxazole, Polyimidazole, Polycycloocten, Polyaryletherkethone, Polyethersulfone, Siloxane und/oder flüssigkristalline Polymere (LCP), und Nanopartikel-
- 10 materialien aus der Gruppe Siliziumnitrid, Siliziumcarbid, Siliziumdioxid, Zirkondioxid, Titandioxid, Aluminiumnitrid, Aluminiumdioxid und/oder synthetische Nanodiamantpartikel eingesetzt. Der bevorzugte Volumenanteil der keramischen Füllstoffpartikel bezogen auf die Mischung Poly-
- 15 mer/Nanopartikel beträgt vorzugsweise zwischen 20 Vol % und 90 Vol %.

Die Erfindung wird nun anhand der beigefügten Figuren näher erläutert.

20

Figur 1 zeigt einen schematischen Querschnitt durch ein Halbleiterbauteil einer Ausführungsform der Erfindung;

Figur 2 zeigt einen Behälter zur Herstellung einer Mischung aus Polymer, Lösungsmittel und Nanopartikeln zu einer Kompositlösung für eine Passivierungsschicht;

25

Figur 3 zeigt eine Prinzipskizze einer Schleudersprühtechnik zum Aufbringen einer Passivierungsschicht auf einen Halbleiterwafer;

30

Figur 4 zeigt eine Prinzipskizze einer Strahldrucktechnik zum Aufbringen einer Passivierungsschicht auf einen auf einem Systemträger montierten Halbleiterchip;

- 5 Figur 5 zeigt einen schematischen Querschnitt eines Halbleiterchips auf einem Systemträger mit aufgebrachtter Passivierungsschicht;

- 10 Figur 6 zeigt einen schematischen Querschnitt eines Halbleiterchips auf einem Systemträger mit sedimentierter Keramikschicht auf der Oberseite des Halbleiterchips.

Figur 1 zeigt einen schematischen Querschnitt durch ein Halbleiterbauteil 1 einer Ausführungsform der Erfindung. Das Halbleiterbauteil 1 ist auf einem Systemträger 14 aufgebaut, der auf einer inneren Flachleiterinsel 20 einen Halbleiterchip 3 trägt. Die Flachleiterinsel 20 ist umgeben von inneren Flachleitern 21, von denen ein innerer Flachleiter 21 in diesem Querschnitt gezeigt wird. Die inneren Flachleiter 21 gehen in Außenanschlüsse 16 in Form von äußeren Flachleitern über. Auf den inneren Flachleitern 21 sind Kontaktanschlussflächen 22 angeordnet, auf denen elektrische Verbindungselemente 15 in Form von Bonddrähten enden, die den inneren Flachleiter 21 und damit die Außenanschlüsse 16 mit Kontaktflächen 5 auf der aktiven Oberseite 19 des Halbleiterchips 3 verbinden.

Die aktive Oberseite 19 des Halbleiterchips 3 weist eine oberste Leiterbahnstruktur 4 auf, die von einer Passivierungsschicht 2 bedeckt ist. Die Passivierungsschicht 2 weist ein Polymer 7 als Wirtsmaterial auf, und in das Polymer 7 sind mineralisch-keramische Nanopartikel 8 eingelagert. Die keramischen Nanopartikel 8 sorgen für eine verbesserte Wärmelei-

tung von der Verlustwärme erzeugenden aktiven Oberseite 19 zu der den Halbleiterchip 3 umgebenden Kunststoffgehäusemasse 6.

- Die Kunststoffgehäusemasse 6, in die sowohl der Halbleiter-
5 chip 3 mit seiner Passivierungsschicht 2 als auch die Verbindungselemente 15 und die inneren Flachleiter 21 sowie die innere Flachleiterinsel 20 eingebettet sind, ist zur Anpassung ihres thermischen Ausdehnungskoeffizienten an den Halbleiterchip 3 mit einem Füllstoff aus keramischen Partikeln beladen,
10 wobei diese keramischen Partikel jedoch keine Nanopartikel sind, sondern vielmehr einen mittleren Korndurchmesser im Bereich einiger 10 μm aufweisen. Um beim Einbetten des Halbleiterchips 3 zu verhindern, dass diese Füllstoffpartikel die oberste Leiterbahnstruktur 4 des Halbleiterchips 3 durch
15 Kratzen und/oder durch Unterbrechen der Leiterbahnstruktur 4 beschädigen, weist die Passivierungsschicht 2 Nanopartikel 8 auf, die vorzugsweise eine abgerundete Kontur aufweisen und in einer mittleren Korngröße von 10 nm bis 100 nm vorliegen.
- 20 Die Dicke d der Passivierungsschicht 2 liegt dabei zwischen 1 μm und 50 μm . Gleichzeitig hat sich das Polymer als Wirtsmaterial für die Nanopartikel 8 als Ankopplungsmaterial für die Kunststoffgehäusemasse 6 bewährt. Durch die Nanopartikel 8 wird gleichzeitig die Oberfläche der Passivierungsschicht 2
25 uneben, so dass sich eine intensivere Verzahnung mit der Kunststoffgehäusemasse 6 ergibt und damit die Delaminationsgefahr zwischen Kunststoffgehäusemasse 6 und Passivierungsschicht 2 vermindert ist.
- 30 Figur 2 zeigt einen Behälter 17 zur Herstellung einer Mischung aus Polymeren 7, Lösungsmittel 23 und Nanopartikeln 8 zu einer Komposittlösung 13 für eine Passivierungsschicht. Dazu wird zunächst in dem Behälter 17 das Polymer 7 in dem Lö-

sungsmittel 23 gelöst und anschließend werden die Nanopartikel 8 ohne jede Umhüllung in diese Lösung 13 eingegeben. Die Kompositlösung 13 aus Polymer 7, Nanopartikeln 8 und Lösungsmittel 23 muss in Bewegung gehalten werden, um ein Agglomerieren aufgrund der hohen Oberflächenspannung der Nanopartikel 8 zu vermeiden und darüber hinaus eine Sedimentation der Nanopartikel 8 am Boden des Behälters 17 zu verhindern.

Eine andere Möglichkeit, Nanopartikel 8 mit einem Polymer 7 zu verbinden, besteht darin, die Nanopartikel 8 mit einer Hülle eines Polymers 7 zu umgeben. Eine derartige Umhüllung von Nanopartikeln 8 kann in einem Sprühbehälter oder in einem Wirbelstromofen vorgenommen werden, indem im Gegenstrom die Nanopartikel 8 in einen Sprühnebel aus Polymer 7 bewegt werden und dabei mit einer Umhüllung aus einem Polymer 7 umgeben werden. Derartig umhüllte Nanopartikel 8 und ihre Verarbeitung werden in den nachfolgenden Figuren 3 und 4 gezeigt.

Figur 3 zeigt eine Prinzipskizze einer Schleudersprühtechnik bzw. einer "Spin-Coating-Technik". Bei dieser Schleudersprühtechnik werden aus einer Sprühdüse oder Strahldüse 28 umhüllte Nanopartikel 12 auf die Oberseite 19 eines Halbleiterwafers 9 gesprüht, wobei gleichzeitig der Halbleiterwafer 9 um eine Achse 24 in Drehrichtung A gedreht und damit das aufgesprühte Material gleichmäßig auf der Oberseite 19 des Halbleiterwafers 9 verteilt wird. Der Halbleiterwafer 9 selbst weist in Zeilen 25 und Spalten 26 angeordnete Halbleiterchippositionen 10 auf. Nach dem Aufbringen und Aushärten des Polymers mit Nanopartikeln 8 auf der Oberseite 19 des Halbleiterwafers 9 kann der Halbleiterwafer 9 entlang von Trennschritten 27 in Halbleiterchips 3 getrennt werden. Vorher werden jedoch in den Halbleiterchippositionen 10 Kontaktflä-

chen für ein Anbringen von Verbindungselementen in jeder der Halbleiterchippositionen 10 freigelegt.

Figur 4 zeigt eine Prinzipskizze einer Strahldrucktechnik zum
5 Anbringen einer Passivierungsschicht auf einen auf einem Systemträger 14 montierten Halbleiterchip 3. In diesem Fall wird der in Figur 3 gezeigte Halbleiterwafer 9 vor dem Aufbringen einer Passivierungsschicht in einzelne Halbleiterchips 3 getrennt und diese auf den in Figur 4 gezeigten Systemträger
10 aufgebracht. Der Systemträger 14 weist für die Aufnahme des Halbleiterchips 3 eine innere Flachleiterinsel 20 auf, auf die der Halbleiterchip 3 geklebt oder gelötet werden kann. Ferner weist der Systemträger 14 innere Flachleiter 21 auf, welche mit einer Kontaktanschlussfläche 22 versehen sind und
15 die innere Flachleiterinsel 20 umgeben.

In diesem Fall werden über eine Strahldüse 28 umhüllte Nanopartikel 12 mit ihrer umhüllenden Polymerschicht 11 wie bei einer Tintenstrahldüse bzw. einem "Ink-Jet" auf die Oberfläche
20 19 des Halbleiterchips 3 aufgebracht, wobei die umhüllten Nanopartikel 12 unmittelbar auf die oberste Leiterbahnstruktur 4 unter Aussparung der Kontaktflächen 5 des Halbleiterchips 3 aufgebracht werden können. Dieses Aussparen oder Freilassen der Kontaktflächen 5 ist in diesem Beispiel der
25 Figur 4 nicht gezeigt, hier werden vielmehr mit der Strahldüse 28 die umhüllten Nanopartikel 12 gleichmäßig auf die Oberseite 19 des Halbleiterchips 3 aufgebracht und anschließend wird die Kontaktfläche 5 freigelegt. Um eine geschlossene Schicht aus umhüllten Nanopartikeln 12 zu bilden, wird der
30 Halbleiterchip 3 in einem Tempersschritt auf eine Temperatur im Bereich von 200 °C gebracht, damit die Umhüllung aus Polymer eine kompakte Schicht mit eingelagerten Nanopartikeln 8 bilden kann.

Figur 5 zeigt einen schematischen Querschnitt eines Halbleiterchips 3 auf einem Systemträger 14 mit aufgebrachtener Passivierungsschicht 2.

5

Somit zeigt Figur 5 das Ergebnis des Temperschritts nach dem Aufbringen der umhüllten Nanopartikel und dem Freilegen der Kontaktfläche 5 des Halbleiterchips 3. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert.

10

Figur 6 zeigt einen schematischen Querschnitt eines Halbleiterchips 3 auf einem Systemträger 14 mit sedimentierter Keramikschi-
15 cht 18 auf der Oberseite 19 des Halbleiterchips 3.
Diese sedimentierte Keramikschi-
 cht 18 besteht aus Agglomeraten von Nanopartikeln, die sich in einer Kompositlösung mit niedriger Viskosität bilden und aufgrund ihrer höheren Dichte verglichen mit dem umgebenen Polymer 7 der Kompositlösung auf
20 der obersten Leiterbahnstruktur 4 sedimentieren. Somit bildet sich eine nahezu partikelfreie Polymerschicht 29 auf der Oberseite der sedimentierten Keramikschi-
 cht 18 aus. Dazu muss das Abdampfen oder Ausdampfen des Lösungsmittels aus der Kompositlösung so lange behindert werden, bis die Sedimentierung
25 abgeschlossen ist.

25

Patentansprüche

1. Halbleiterbauteil mit einem eine Passivierungsschicht
(2) aufweisenden Halbleiterchip (3), wobei die Passivie-
5 rungsschicht (2) die oberste Leiterbahnstruktur (4) des
Halbleiterchips (3) unter Freilassung von Kontaktflächen
(5) abdeckt und in unmittelbarem adhäsivem Kontakt mit
einer Kunststoffgehäusemasse (6) des Halbleiterbauteils
(1) steht und wobei die Passivierungsschicht (2) ein Po-
10 lymer (7) mit eingebetteten mineralisch-keramischen Na-
nopartikeln (8) aufweist.
2. Halbleiterbauteil nach Anspruch 1,
dadurch gekennzeichnet, dass
15 die Nanopartikel (8) eine mittlere Korngröße k im Be-
reich von $10 \text{ nm} \leq k < 1000 \text{ nm}$ vorzugsweise
 $10 \text{ nm} \leq k \leq 100 \text{ nm}$ aufweisen.
3. Halbleiterbauteil nach Anspruch 1 Anspruch 2,
20 dadurch gekennzeichnet, dass
die Passivierungsschicht (2) Nanopartikel (8) der Gruppe
 Si_3N_4 , SiC , SiO_2 , ZrO_2 , TiO_2 , AlN , Al_2O_3 und/oder synthe-
tische Nanodiamantpartikel aufweist.
- 25 4. Halbleiterbauteil nach einem der vorhergehenden
Ansprüche,
dadurch gekennzeichnet, dass
die Nanopartikel (8) einen Anteil in der Passivierungs-
schicht (2) von 20 Vol % bis 90 Vol %, vorzugsweise von
30 50 Vol % bis 80 Vol % aufweisen.
5. Halbleiterbauteil nach einem der vorhergehenden
Ansprüche,

dadurch gekennzeichnet, dass
die Passivierungsschicht (2) mindestens ein Polymer (7)
der Gruppe Hochtemperatur-Thermoplaste, Polyimidvorstu-
fen, Polyamidimide, Polybenzoxazole, Polyimidazole, Po-
5 lycyclooctene, Polyaryletherkethone, Polyethersulfone,
Siloxane und/oder flüssigkristalline Polymere, aufweist.

6. Halbleiterbauteil nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, dass
10 die Passivierungsschicht (2) eine Schichtdicke (d) von
 $1\ \mu\text{m} \leq d \leq 50\ \mu\text{m}$, vorzugsweise $3\ \mu\text{m} \leq d \leq 20\ \mu\text{m}$ auf-
weist.

7. Halbleiterbauteil nach einem der Ansprüche 1 bis 5,
15 dadurch gekennzeichnet, dass
die Passivierungsschicht (2) mit Nanopartikeln (8) eine
Durchbruchfeldstärke $F_D \geq 40\ \text{KV/mm}$ aufweist.

8. Halbleiterbauteil nach einem der Ansprüche 1 bis 7,
20 dadurch gekennzeichnet, dass
die Passivierungsschicht (2) mit 80 Vol % Si_3N_4 -
Nanopartikeln (8) eine Wärmeleitfähigkeit λ von
 $\lambda \geq 5\ \text{W/mK}$ aufweist.

25 9. Verfahren zur Herstellung von Halbleiterchips (3) mit
einer Passivierungsschicht (2), das folgende Verfahrenss-
chritte aufweist:

- Herstellen eines Halbleiterwafers (9) mit Halblei-
terchippositionen (10) einschließlich einer obers-
30 ten Leiterbahnstruktur (4) mit Kontaktflächen (5);
- selektives Aufbringen einer Schutzschicht auf die
Kontaktflächen (5);

- Mischen eines Polymers (7) mit mineralisch-keramischen Nanopartikeln (8);
- Aufbringen der Mischung des Polymers (7) mit Nanopartikeln (8) als Passivierungsschicht (2) auf die oberste Leiterbahnstruktur (4) des Halbleiterwafers (9);
- Entfernen der Schutzschicht von den Kontaktflächen (5);
- Auftrennen des Halbleiterwafers (9) in Halbleiterchips (3) mit Passivierungsschicht (2).

10. Verfahren zur Herstellung von Halbleiterchips (3) mit einer Passivierungsschicht (2), das folgende Verfahrensschritte aufweist:

- Herstellen eines Halbleiterwafers (9) mit Halbleiterchippositionen (10) einschließlich einer obersten Leiterbahnstruktur (4) mit Kontaktflächen (5);
- selektives Aufbringen einer Schutzschicht auf die Kontaktflächen (5);
- Umhüllen mineralisch-keramischer Nanopartikel (8) mit einer Polymerschicht (11);
- Aufbringen einer Schicht aus umhüllten Nanopartikeln (12) als Passivierungsschicht (2) auf die oberste Leiterbahnstruktur (4) des Halbleiterwafers (9);
- Entfernen der Schutzschicht von den Kontaktflächen (5);
- Auftrennen des Halbleiterwafers (9) in Halbleiterchips (3) mit Passivierungsschicht (2).

11. Verfahren nach Anspruch 9 oder Anspruch 10, dadurch gekennzeichnet, dass

das selektive Aufbringen einer Schutzschicht auf die Kontaktflächen (5) mittels Photolithographie erfolgt.

12. Verfahren nach einem der Ansprüche 9 bis 11,
5 dadurch gekennzeichnet, dass
das selektive Aufbringen einer Schutzschicht auf die Kontaktflächen (5) mittels Strahldrucktechnik erfolgt.

13. Verfahren nach Anspruch 9,
10 dadurch gekennzeichnet, dass
das Mischen eines Polymers (7) mit mineralisch-keramischen Nanopartikeln (8) mittels Erschmelzen eines polymeren Thermoplastmaterials unter Einbringen von 10 Vol % bis 80 Vol % Nanopartikel (8) in die Schmelze
15 erfolgt.

14. Verfahren nach Anspruch 9,
dadurch gekennzeichnet, dass
das Mischen eines Polymers (7) mit mineralisch-keramischen Nanopartikeln (8) mittels Herstellen einer
20 dünnflüssigen niedrig viskosen Lösung (13) aus Lösungsmittel (23) und polymerem Material unter Einbringen von 10 Vol % bis 80 Vol % Nanopartikel (8) in die Lösung (13) erfolgt.

25

15. Verfahren nach Anspruch 9,
dadurch gekennzeichnet, dass
das Aufbringen der Mischung des Polymers (7) mit mineralisch-keramischen Nanopartikeln (8) als Passivierungsschicht (2) auf die oberste Leiterbahnstruktur (4) des Halbleiterwafers (9) mittels Schleudersprühtechnik erfolgt.
30

16. Verfahren nach Anspruch 10,
dadurch gekennzeichnet, dass
das Umhüllen der mineralisch-keramischen Nanopartikel
(8) mit einer Polymerschicht (11) in einem Wirbel-
schichtofen erfolgt.
17. Verfahren nach Anspruch 10,
dadurch gekennzeichnet, dass
das Umhüllen der mineralisch-keramischen Nanopartikel
(8) mit einer Polymerschicht (11) in einem Sprühturm im
Gegenstrom eines Nanopartikelstroms mit einem polymerem
Sprühnebel erfolgt.
18. Verfahren nach Anspruch 10,
dadurch gekennzeichnet, dass
das Aufbringen einer Schicht aus umhüllten Nanopartikeln
(8) als Passivierungsschicht (2) auf die oberste Leiter-
bahnstruktur (4) des Halbleiterwafers (9) mittels Druck-
strahlsprühtechnik erfolgt.
19. Verfahren nach Anspruch 10,
dadurch gekennzeichnet, dass
das Aufbringen einer Schicht aus umhüllten Nanopartikeln
(8) als Passivierungsschicht (2) auf die oberste Leiter-
bahnstruktur (4) eines einzelnen Halbleiterchips (3)
mittels Druckstrahlschreibtechnik erfolgt.
20. Verfahren zur Herstellung eines Halbleiterbauteils (1),
das folgende Verfahrensschritte aufweist:
- Herstellen eines Halbleiterchips (3) nach einem der
Ansprüche 9 bis 19;
 - Aufbringen des Halbleiterchips (3) auf einen Sys-
temträger (14);

- Verbinden von Kontaktflächen (5) des Halbleiterchips (3) über elektrische Verbindungselemente (15) mit Außenanschlüssen (16) des Systemträgers (14);
- Einbetten der Verbindungselemente (15) und des Halbleiterchips (3) auf dem Systemträger (15) in eine Kunststoffgehäusemasse (6) unter unmittelbarem mechanischem Kontakt zwischen der Passivierungsschicht (2) auf dem Halbleiterchip (3) und der Kunststoffgehäusemasse (6).

5

10

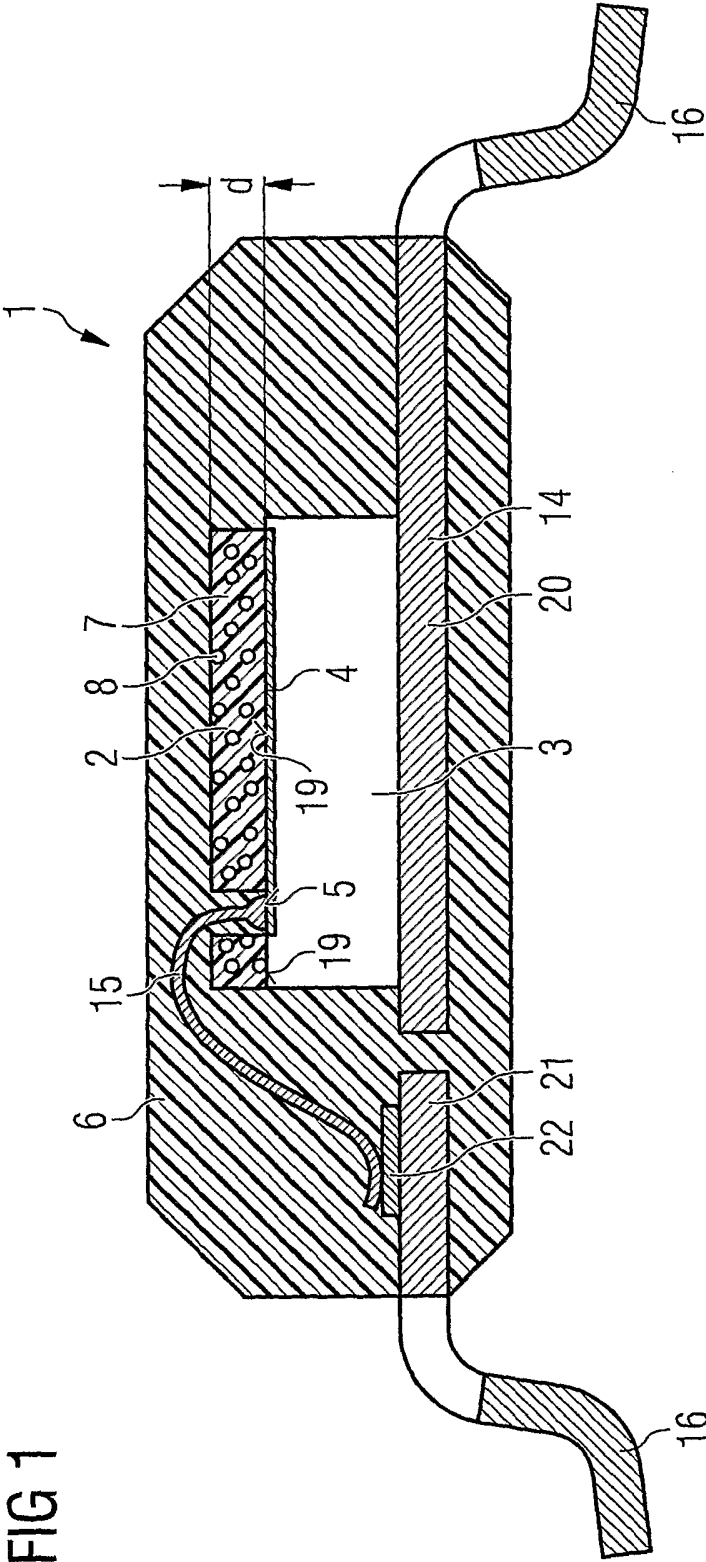


FIG 1

FIG 2

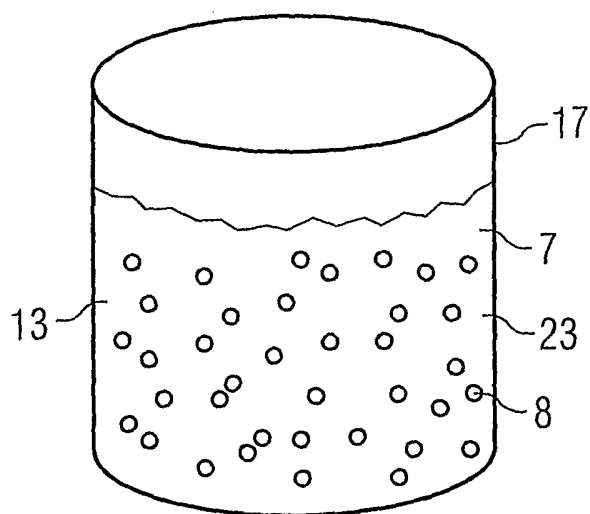
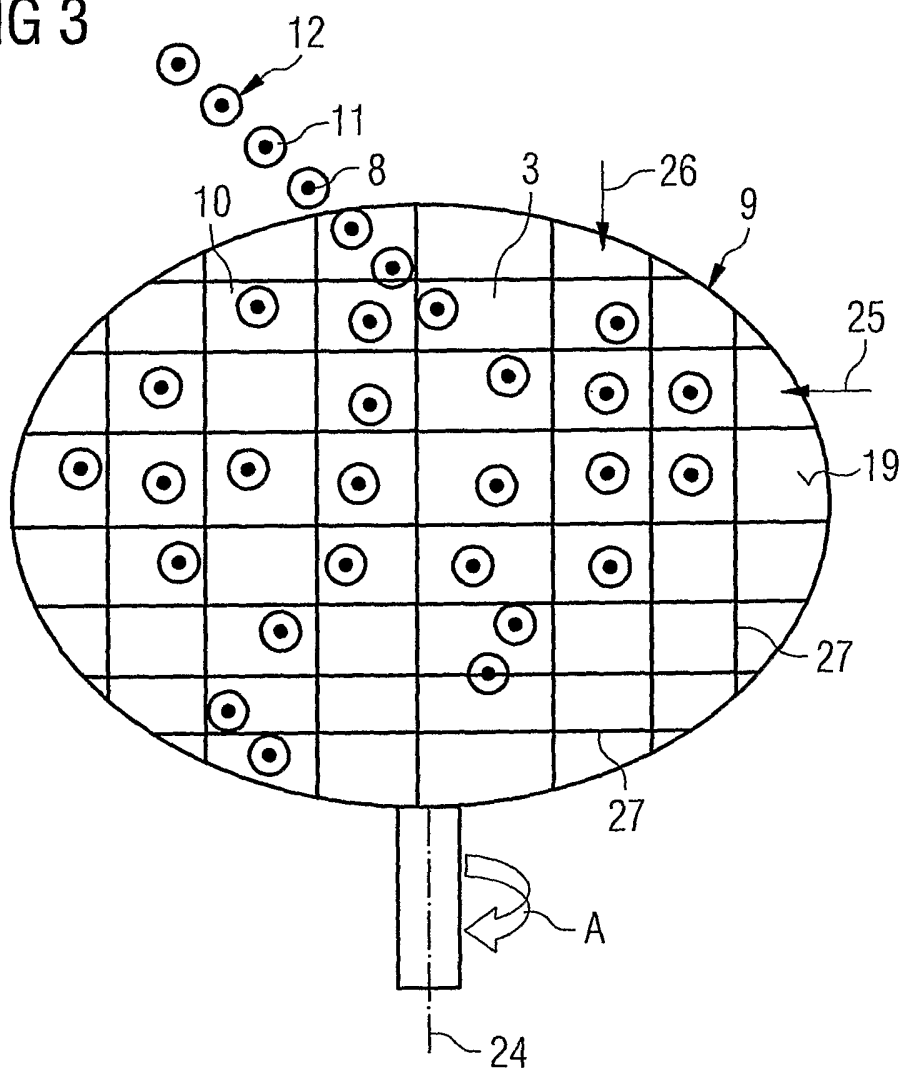


FIG 3



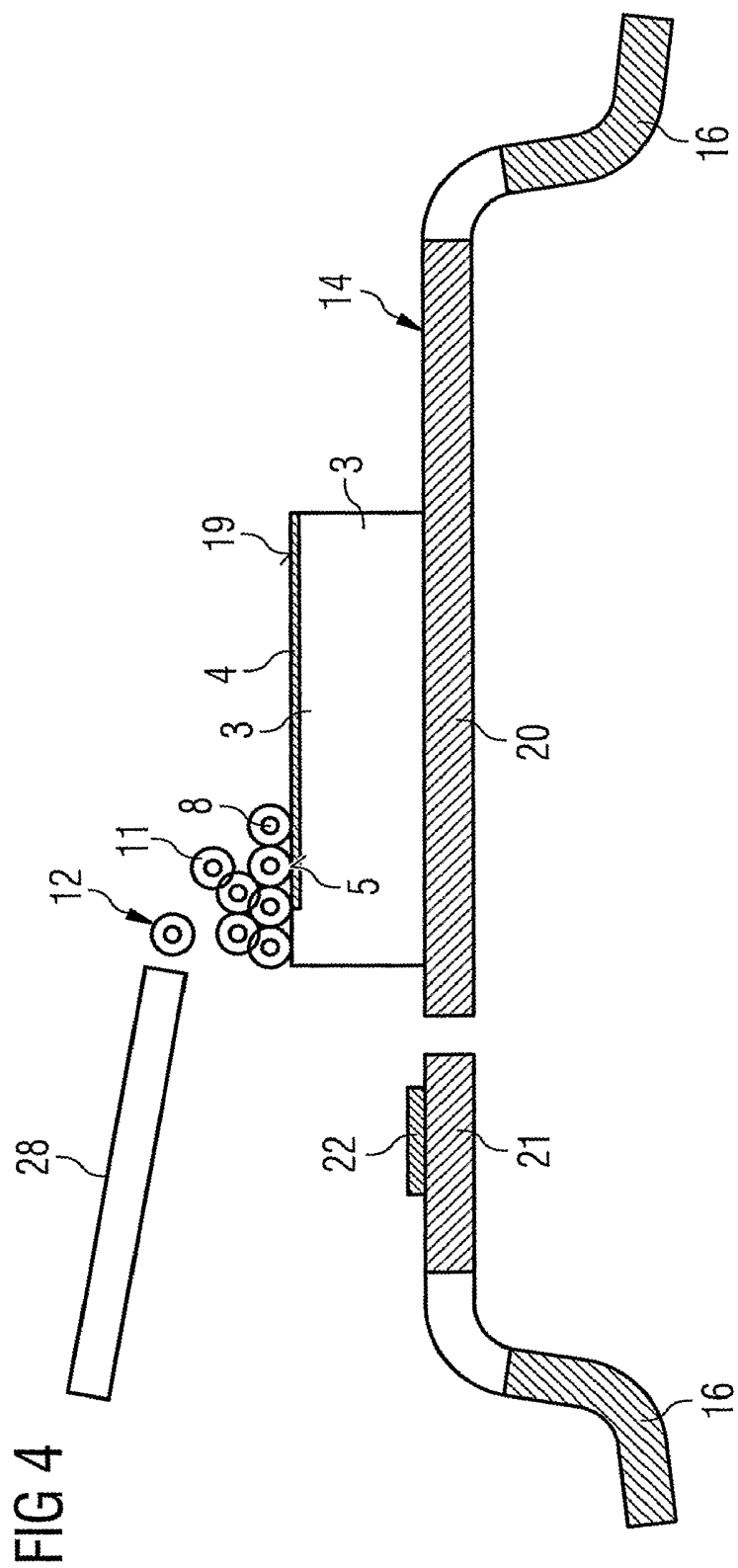
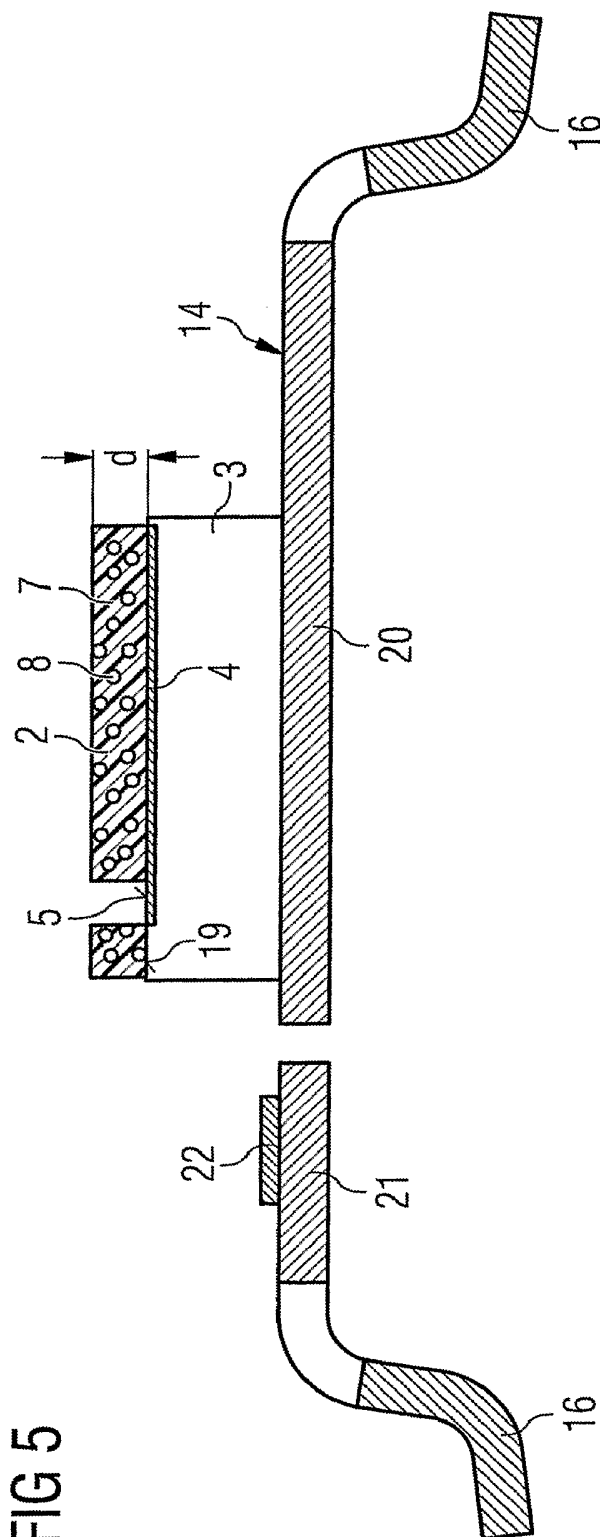


FIG 5



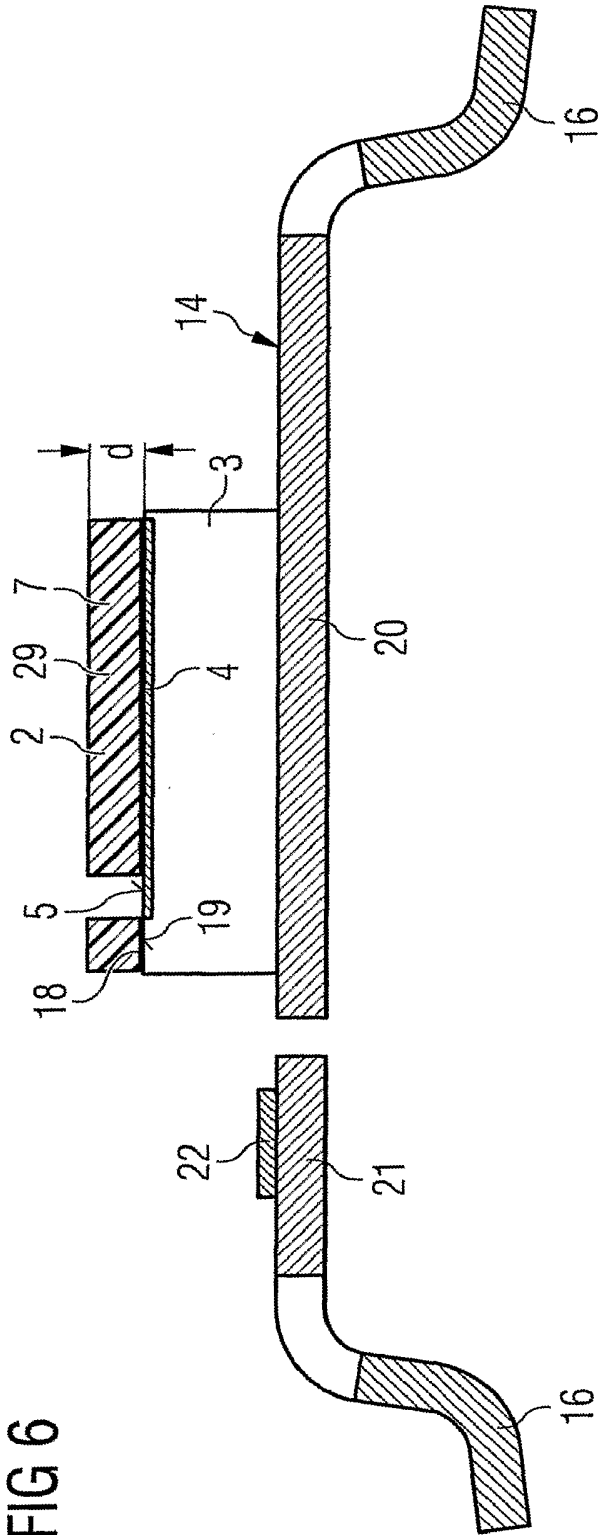


FIG 6

INTERNATIONAL SEARCH REPORT

International application No
PCT/DE2005/001920

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L23/31

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/027268 A1 (TANAKA JUN ET AL) 7 March 2002 (2002-03-07) figures 1,3 paragraph [0034] paragraph [0052] - paragraph [0058] example 1	1-11, 13-17,20
Y	US 2003/207978 A1 (YADAV TAPESH ET AL) 6 November 2003 (2003-11-06) figure 1 paragraph [0004] - paragraph [0013] paragraph [0015] paragraph [0017] paragraph [0028] paragraph [0035] paragraph [0042] - paragraph [0047] ----- -/-	1-10,13, 14,16, 17,20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

8 May 2006

Date of mailing of the international search report

12/05/2006

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Hofer, C

INTERNATIONAL SEARCH REPORT

International application No

PCT/DE2005/001920

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004/121073 A1 (GEORGE STEVEN M ET AL) 24 June 2004 (2004-06-24) paragraph [0005] paragraph [0017] - paragraph [0021] paragraph [0028] paragraph [0030] paragraph [0034] paragraph [0061] paragraph [0069] paragraph [0073]	1,3,8, 10,16
Y	US 6 667 360 B1 (NG CHEK BENG ET AL) 23 December 2003 (2003-12-23) figure 1 column 1, line 39 - line 61 column 3, line 8 - line 55 column 4, line 5 - line 20 column 5, line 50 - line 52	1-6
Y	US 5 287 003 A (VAN ANDEL ET AL) 15 February 1994 (1994-02-15) column 1, line 26 - line 33 column 2, line 24 - line 27 column 3, line 55 - line 62 column 4, line 12 - line 48 figures 1,2	1,3-6, 9-11, 14-16,20
A	WO 03/069685 A (ENFIS LIMITED; BOARD, KENNETH; EVANS, GARETH, PETER) 21 August 2003 (2003-08-21) page 5, line 14 - line 16	1,3
A	US 6 549 028 B1 (OHLHOFF CARSTEN) 15 April 2003 (2003-04-15) column 3, line 9 - line 14 column 4, line 6 - line 14	12,18,19
E	WO 2006/005304 A (INFINEON TECHNOLOGIES AG; MAHLER, JOACHIM) 19 January 2006 (2006-01-19) page 4, line 19 - page 6, line 10 page 8, line 7 - line 10 page 14, line 19 - line 22 page 16, line 25 figures 1,3-7	1,3,4,9, 20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/DE2005/001920

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002027268 A1	07-03-2002	US 2002060373 A1	23-05-2002
US 2003207978 A1	06-11-2003	US 6855749 B1	15-02-2005
US 2004121073 A1	24-06-2004	NONE	
US 6667360 B1	23-12-2003	NONE	
US 5287003 A	15-02-1994	NONE	
WO 03069685 A	21-08-2003	AU 2003245008 A1	04-09-2003
US 6549028 B1	15-04-2003	DE 19936321 A1	22-02-2001
WO 2006005304 A	19-01-2006	DE 102004032605 A1	26-01-2006

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001920

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L23/31

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 2002/027268 A1 (TANAKA JUN ET AL) 7. März 2002 (2002-03-07) Abbildungen 1,3 Absatz [0034] Absatz [0052] - Absatz [0058] Beispiel 1	1-11, 13-17,20
Y	US 2003/207978 A1 (YADAV TAPESH ET AL) 6. November 2003 (2003-11-06) Abbildung 1 Absatz [0004] - Absatz [0013] Absatz [0015] Absatz [0017] Absatz [0028] Absatz [0035] Absatz [0042] - Absatz [0047] ----- -/--	1-10,13, 14,16, 17,20



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

8. Mai 2006

Absendedatum des internationalen Recherchenberichts

12/05/2006

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Hofer, C

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001920

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 2004/121073 A1 (GEORGE STEVEN M ET AL) 24. Juni 2004 (2004-06-24) Absatz [0005] Absatz [0017] - Absatz [0021] Absatz [0028] Absatz [0030] Absatz [0034] Absatz [0061] Absatz [0069] Absatz [0073]	1,3,8, 10,16
Y	US 6 667 360 B1 (NG CHEK BENG ET AL) 23. Dezember 2003 (2003-12-23) Abbildung 1 Spalte 1, Zeile 39 - Zeile 61 Spalte 3, Zeile 8 - Zeile 55 Spalte 4, Zeile 5 - Zeile 20 Spalte 5, Zeile 50 - Zeile 52	1-6
Y	US 5 287 003 A (VAN ANDEL ET AL) 15. Februar 1994 (1994-02-15) Spalte 1, Zeile 26 - Zeile 33 Spalte 2, Zeile 24 - Zeile 27 Spalte 3, Zeile 55 - Zeile 62 Spalte 4, Zeile 12 - Zeile 48 Abbildungen 1,2	1,3-6, 9-11, 14-16,20
A	WO 03/069685 A (ENFIS LIMITED; BOARD, KENNETH; EVANS, GARETH, PETER) 21. August 2003 (2003-08-21) Seite 5, Zeile 14 - Zeile 16	1,3
A	US 6 549 028 B1 (OHLHOFF CARSTEN) 15. April 2003 (2003-04-15) Spalte 3, Zeile 9 - Zeile 14 Spalte 4, Zeile 6 - Zeile 14	12,18,19
E	WO 2006/005304 A (INFINEON TECHNOLOGIES AG; MAHLER, JOACHIM) 19. Januar 2006 (2006-01-19) Seite 4, Zeile 19 - Seite 6, Zeile 10 Seite 8, Zeile 7 - Zeile 10 Seite 14, Zeile 19 - Zeile 22 Seite 16, Zeile 25 Abbildungen 1,3-7	1,3,4,9, 20

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2005/001920

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002027268 A1	07-03-2002	US 2002060373 A1	23-05-2002
US 2003207978 A1	06-11-2003	US 6855749 B1	15-02-2005
US 2004121073 A1	24-06-2004	KEINE	
US 6667360 B1	23-12-2003	KEINE	
US 5287003 A	15-02-1994	KEINE	
WO 03069685 A	21-08-2003	AU 2003245008 A1	04-09-2003
US 6549028 B1	15-04-2003	DE 19936321 A1	22-02-2001
WO 2006005304 A	19-01-2006	DE 102004032605 A1	26-01-2006