

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年9月21日 (21.09.2006)

PCT

(10) 国際公開番号
WO 2006/098341 A1

(51) 国際特許分類:

H01L 21/338 (2006.01) H01L 29/423 (2006.01)
H01L 27/095 (2006.01) H01L 29/778 (2006.01)
H01L 29/41 (2006.01) H01L 29/812 (2006.01)
H01L 29/417 (2006.01)

〒7748601 徳島県阿南市上中町岡491番地100
Tokushima (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大巻 雄治
(OHMAKI, Yuji) [JP/JP]; 〒7748601 徳島県阿南市上
中町岡491番地100 日亜化学工業株式会社内
Tokushima (JP).

(21) 国際出願番号:

PCT/JP2006/305062

(22) 国際出願日:

2006年3月14日 (14.03.2006)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

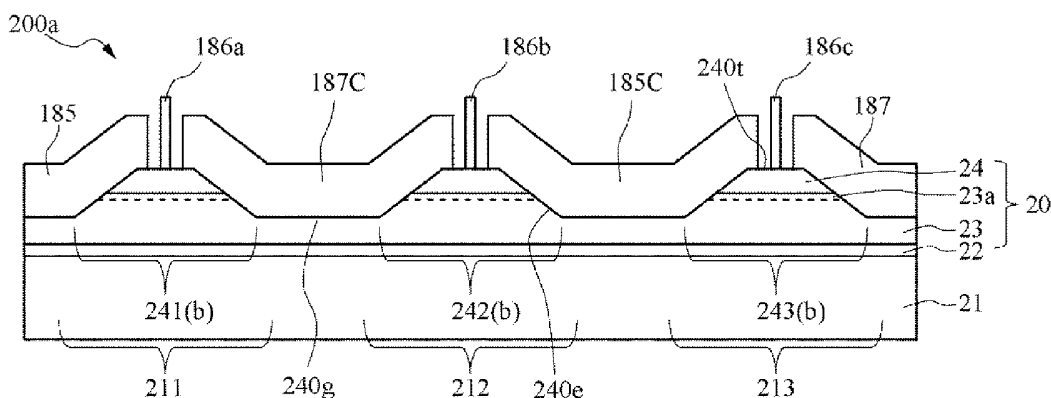
特願2005-070814 2005年3月14日 (14.03.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 日亜化学
工業株式会社 (NICHIA CORPORATION) [JP/JP];(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

/ 続葉有 /

(54) Title: FIELD EFFECT TRANSISTOR AND DEVICE THEREOF

(54) 発明の名称: 電界効果トランジスタ及びその装置



(57) Abstract: [PROBLEMS] To provide a field effect transistor capable of reducing the ON resistance while maintaining the OFF voltage resistance. [MEANS FOR SOLVING PROBLEMS] A field effect transistor (FET) includes a carrier travel layer (23) in layered structure (20) formed by a plurality of nitride semiconductor layers and has a gate electrode (186), and a source electrode (185) and a drain electrode (187) sandwiching the gate electrode arranged on the layered structure. The layered structure has a stepped portion having a side surface (140e) for exposing the end portion of the carrier travel layer at both sides of the gate electrode. A part of the electrode on the stepped portion side surface is arranged on the front surface of the stepped portion upper step (140t). A part of each electrode is arranged on the upper stage. The distance L in the carrier direction from the side surface to each electrode end of the gate electrode side is $L \leq 10 \mu\text{m}$. In the range where the $L [\mu\text{m}]$ is from 1 to 10, the contact resistance of the source and drain electrode $R_c [\Omega \cdot \text{mm}]$ by the TLM method at distance L is a value lower than the segment of $(L, R_c) = (1, 2)$ and $(10, 5)$.

(57) 要約: (課題) オフ耐圧を維持して、オン抵抗低減する電界効果トランジスタを得る。(解決手段) 窒化物半導体層が複数設けられた積層構造20にキャリア走行層23を有し、該積層構造上に設けられたゲート電極186と、該ゲート電極を挟むソース電極185、ドレイン電極187のFETで、積層構造が、ゲート電極両側にキャリア走行層の端部を露出させる側面140eを備えた段差部を有し、その段差部側面の電極の一部が、段差部上段140tの表面に設けられ、上段に設けられた各電極一部が、キャリア走行方向において、側面からゲート電極側の各電極端部までの距離Lと、が、 $L \leq 10 \mu\text{m}$ であり、前記距離L [μm] が1以上10以下の範囲において、距離LにおけるTLM法によるソース、ドレイン電極の接触

/ 続葉有 /



SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

電界効果トランジスタ及びその装置

技術分野

- [0001] 本発明は、窒化ガリウム系化合物半導体を用いた電界効果トランジスタに係り、特に、メサ構造上面にゲート電極、側面にソース電極、ドレイン電極を有する電界効果トランジスタに関する。

背景技術

- [0002] 半導体層を積層して構成された電界効果トランジスタ(FET:Field effect Transistor)は、高周波かつ高耐圧で動作可能な高出力パワー半導体装置として期待され、MESFET(Metal Semiconductor FET)や高電子移動度トランジスタ(HEMT:High Electron Mobility Transistor)等が提案されている。近年、窒化ガリウム系化合物を用いたHEMT(以下、「GaN系HEMT」ともいう)が、次世代型の高速FETとして注目されている。GaN系HEMTはSi系化合物やGaAs系化合物等に比べて、その材料特性から、1. バンドギャップが広く、電子有効質量から見積もられる電子の飽和電子移動度も高いこと、2. 破壊電界が大きいこと、3. 高温でも安定しているため、内燃機関の近傍等の高温領域でも使用できる等、応用分野が広いこと、4. 原材料となる窒化ガリウム系化合物半導体自身が基本的に無毒の材料であること、等の優れた利点があるため、より大出力で高耐圧かつ高温動作可能な高周波デバイスを実現できる可能性がある。
- [0003] 図1Aに示すGaN系化合物のHEMTの一例は、サファイア基板11上にGaNバッファ層12を介して、キャリア走行層のアンドープGaN層13、チャネルの波動関数が染み出しても高い移動度を好適に確保するスペーサ層のアンドープAlGaN層18、キャリア供給層(電子供給層)のn型AlGaN層14を順次積層している。スペーサ層は、電子を失った不純物イオンの電氣的影響がチャネルに及ぶのを抑制して、チャネルにおける電子の走行に影響を与えないようにする。またn型AlGaN層14の上面には、ソース電極(以下、S電極、単に「S」ともいう)15、ゲート電極(以下、G電極、単に「G」という)16、ドレイン電極(以下、D電極、単に「D」ともいう)17がそれぞれ形成される。この

HEMTは、層14が層13に電子を供給し、供給された電子は層13の最上層部で層14に接する領域13aにチャンネルを形成する。ドレイン電圧を印加すると、S電極15から電子がキャリア供給層14に注入され、チャンネル13aを高移動度で走行し、再び層14を通過して、D電極17に流れる。ここで、G電極に印加される電圧に応じてチャンネル領域が制御されるため、G電極に印加する電圧を制御することにより、S電極とD電極間に流れる電流量が制御されることになる。

特許文献1:特開2003-045898号公報

特許文献2:特開平9-082693号公報

特許文献3:特開平5-218099号公報

特許文献4:特開平9-064341号公報

特許文献5:特開平2003-258005号公報

非特許文献1:M. Miyoshi et al., Jpn J. Appl. Phys., Vol. 44, No.9A (2005), p. 6490-6494

非特許文献2:D. Qiao et al., Applied Physics Letters, Vol. 80, No. 6 (2005), p.992-994

発明の開示

発明が解決しようとする課題

[0004] このようなGaN系HEMTをより高出力化するためには、抵抗成分を下げ更なる高効率化を図る必要がある。抵抗値を下げる要因としては、主にチャンネル層内部での抵抗と、S電極及びD電極と半導体層との接触抵抗がある。この内、電極と半導体層との接触抵抗は、主に、図1Aに示すように、半導体層1上面に設けられた電極層5との接触界面で発生する。別の例として半導体積層構造の表面全体を広く覆うように電極層が配置される構成では、素子の電流はチャンネルである領域からキャリア供給層であるAlGaN層を通過して電極層側に流れ込む。この構造では、AlGaN層の抵抗値が高くなると、電流が流れ難くなり電極との界面で接触抵抗が増加する。

[0005] 特にGaN系HEMTにおいては、GaAs系のHEMTと比較して、低オン抵抗を維持しつつ、耐圧が1桁ほど高くできるという優れた性質を有している。GaN系HEMTの特有の耐圧をさらに高めて利用するには、キャリア供給層として働くAlGaN層のド

ープ量を減らしてアンドープに近付けることが望まれる。しかしながら、AlGaN層をアンドープに近付ける程キャリア密度が低下し、導電率が低下して抵抗率が上がるという問題があり、これによって電極界面での接触抵抗が増加しオン抵抗が増大するという問題が生じていた。キャリア供給層として働く層と電極との接触抵抗が高ければ、窒化ガリウムの特性を十分に生かすことができない。このように、特にGaN系HEMTでは高耐圧化と低抵抗化とはトレードオフの関係にあった。

[0006] 図1Bは、上記非特許文献1, 2の素子構造を示すもので、ソース・ドレイン電極(以下、S・D電極という)は、自己整合的に形成され(文献1)、その電極形成位置を制御することが開示(文献2)されるが、チャンネル端部に接触する電極の信頼性、生産性に難がある。

また、特許文献1, 2には、メサ側面に設けるS・D電極について、メサ上面近傍を露出させること(文献1)、上面の一部を覆って形成すること(文献2)が記載され、文献5にはD電極を上層と溝部底面のn型層とに接続することが開示され、特許文献3, 4には、S・D電極をいくつかの溝部に跨って形成する構造が記載されている。しかし、メサ構造及び側面電極構造、又は半導体積層構造の適応は半導体材料により異なり、GaN系FETにおいて、具体的にどのような構造とすべきかについて記載されていない。

[0007] 本発明は、このような問題点を解決するためになされたものである。本発明の主な目的は、電極界面との接触抵抗を低減した高効率な電界効果トランジスタ及びその製造方法を提供することにある。

課題を解決するための手段

[0008] 以上の目的を達成するために、本発明の電界効果トランジスタ(以下、FETともいう)の基本構造は、窒化物半導体層が複数設けられた積層構造にキャリア走行層を有し、積層構造上に設けられたゲート電極と、ゲート電極を挟むソース電極、ドレイン電極を有する電界効果トランジスタであって、積層構造が、ゲート電極両側にキャリア走行層の端部を露出させる側面を備えた段差部を有し、段差部側面に、少なくとも前記キャリア走行層端部と接続された、ソース電極、ドレイン電極が設けられ、ソース電極、ドレイン電極の一部が、段差部上段の表面に設けられている。

- [0009] 本発明の第1の態様に係るFETは、上記基本構成において、上記距離 L が $10\mu\text{m}$ 以下で、距離 $L[\mu\text{m}]$ が1以上10以下の範囲において、距離 L における TLM(Transmission line measurement)法によるソース、ドレイン電極の接触抵抗 $R[\Omega\cdot\text{mm}]$ が、 $(L, R_c) = (2, 1)$ と $(5, 10)$ の線分よりも低い値である。このようなメサ構造のFETとすることで、上記基本構成に適したソース・ドレイン電極で、接触抵抗を下げて、オン抵抗、オフ耐圧に優れたFETとできる。
- [0010] 本発明の第2の態様に係るFETは、上記基本構成において、段差部上段に設けられたソース電極、ドレイン電極の一部が、キャリア走行方向において、側面からゲート電極側の各電極端部までの距離 L が、 $0.1 \leq L \leq 5\mu\text{m}$ であることにより、接触抵抗を低減して、量産性・信頼性を上げることができ、オン時の抵抗を低減して、オフ時の高耐圧のものとなる。
- [0011] また、第3の態様に係るFETでは、ソース電極、ドレイン電極の上段部の接触抵抗が、前記側面のキャリア走行層端部、若しくはその近傍における接触抵抗より、大きいものとなるように、半導体構造(積層構造の各層)、メサ構造、電極構造として、上記効果を高めることができる。
- [0012] 本発明のその他の態様に係るFETでは、上記各態様に組み合わせて
- (1)積層構造が、キャリア走行層を有する第1の半導体層の上に、キャリア走行層よりもバンドギャップエネルギーの大きな窒化物半導体の第2の半導体層を有し、第2の半導体層表面に前記ソース電極、ドレイン電極の一部が設けられている、(2)ソース電極、ドレイン電極が、段差部の下段部に延在して設けられ、下段部の窒化物半導体層が、前記キャリア走行層と同じ窒化物半導体層である、(3)段差部が、段差部間の上段部に前記ゲート電極を有し、該ゲート電極幅方向の断面が、ゲート電極側がキャリア走行層よりも幅の狭いメサ形状のメサ構造部を有する、(4)段差部上段に設けられた前記ソース電極、ドレイン電極一部が、キャリア走行方向において、前記側面から前記ゲート電極側の各電極端部までの距離 L が、 $0.5 \leq L \leq 5\mu\text{m}$ である、(5)キャリア走行方向にいて、段差部側面の幅 d_e と前記側面から前記ゲート電極側の各電極端部までの距離 L との比、 d_e/L 、が $1 \sim 1/10$ である、(6)段差部の深さ h と、前記キャリア走行方向における段差部側面の幅 d_e との比、 h/d_e 、が $1/7 \sim 1/3$ であ

る、各態様に係る構成を用いることができる。

[0013] 上記(1)の態様では、メサ構造部の上部に設けられたソース・ドレイン電極の接触抵抗を、側面に比して高く設定でき、上記(2)の態様では、下段部まで各電極が設けられることで、生産性・信頼性に優れた電極とでき、上記(3)の態様ではメサ構造部をゲート電極が設けられた素子領域としたFETとなり、上記(4)の態様では、メサ構造部における各電極を好適に制御でき、上記(5)の態様では、上記基本構造などの各態様に適した側面、その傾斜と、上部の電極とでき、素子特性を向上でき、上記(6)の態様では、側面の傾斜をなだらかな勾配として、素子特性、量産性、信頼性に優れたFETが得られ、る。

[0014] また、本発明の第4の態様では、素子領域のメサ構造部を複数備えたFETの半導体装置において、上記各態様と組み合わせること、更に(a)段差部で挟まれたメサ構造部を1つの素子領域として、前記積層構造に複数の素子領域が併設され、前記ソース電極、ドレイン電極が、それぞれ、隣接する前記素子領域間に跨って設けられた共通電極である、(b)積層構造において、メサ構造部間の段差部下段の電極形成層上に、前記複数の素子領域に設けられたソース電極、ドレイン電極を、それぞれ、互いに接続する接続配線を有する、ことで、好適な素子領域の集積構造とできる。

[0015] 以上の第1の実施形態に係る各態様は、以下の第2の実施形態、それに係る各態様と組み合わせて実施しても良く、別々に実施しても良い。

第2の実施形態に係る第5の態様においては、(A)電極形成面内において、積層構造が、段差部に囲まれた溝部、若しくは複数の段差部を含む溝部を有し、溝部が、ソース電極、ドレイン電極内に複数設けられている、(B)溝部が、前記キャリア走行方向に延伸した長手形状である、(C)溝部が、前記ソース電極とドレイン電極間に延在して設けられている、の各構成により、ソース・ドレイン電極の接触抵抗低減に寄与できる。

発明の効果

[0016] 本発明のFETでは、段差部、メサ構造部を有して、ソース・D電極が好適な低接触抵抗化、更には生産性・信頼性に富み、引いてはオン時の低抵抗化、オフ時の高耐圧化が可能なFET、HEMTとできる。

図面の簡単な説明

- [0017] [図1A]本発明と比較のためのGaN系化合物を用いたHEMT構造の一例を示す概略断面図である。
- [図1B]本発明と比較のためのGaN系化合物を用いたHEMT構造の一例を示す概略断面図である。
- [図2A]本発明の一実施の形態に係るFETの一例を示す概略断面図である。
- [図2B]本発明の一実施の形態に係るFETの一例を示す概略平面図である。
- [図3]本発明の一実施の形態に係るFET、及びその装置の一例を示す概略断面図である。
- [図4]本発明の一実施の形態に係るFET、及びその装置の一例を示す概略平面図である。
- [図5]本発明の一実施の形態に係るFETの一例を示す概略平面図である。
- [図6]本発明の実施例1と比較例1に係るHEMTの静特性を示すグラフである。
- [図7]ドレインソース間電圧 V_{DS} に対するドレイン電流 I_D をゲート電圧 V_G で制御する様子を示すグラフである。
- [図8]本発明の一実施形態に係る距離 L と接触抵抗 R_c との関係を示すグラフである。
- [図9]本発明の実施例4と、比較例4, 5に係るHEMTの静特性を示すグラフである。
- [図10A]本発明の一実施形態(第2の実施形態)に係るFETの電極構造の一例を示す概略平面図である。
- [図10B]図10Aのb-b断面を示す概略断面図である。
- [図10C]図10Aに係る実施形態の変形例に係るFETの電極構造の一例を示す概略平面図である。
- [図11]本発明の一実施形態(第2の実施形態)に係るFETの電極構造の一例を示す概略平面図である。
- [図12]本発明の一実施形態(第2の実施形態)に係るFETの電極構造の一例を示す概略平面図である。
- [図13]本発明の実施例3と比較例2, 3に係るHEMTの静特性を示すグラフである。
- [図14]本発明の実施例1と比較例1に係るHEMTのオン抵抗特性を示すグラフであ

る。

[図15]本発明の実施例1と比較例1に係るHEMTのオフ抵抗特性を示すグラフである。

符号の説明

- [0018] 100 HEMT、200 半導体装置;200a 装置の一部、1(1A) 半導体層(積層構造)、5(5A) 電極層、11 サファイア基板、12 バッファ層、13 アンドープGaN層;13a 領域、14 n型AlGaN層、15~17 ソース、ゲート、D電極、18 アンドープAlGaN層、33(23) キャリア走行層;33a(23a) チャンネル、34(24) 上層(キャリア供給層、バリア層、スペーサ層)、20 半導体積層構造、35(45, 45C, 65, 85), 185 ソース電極;85p, 185p パッド部;155 接続配線部;185C 共通電極36(46, 46C, 66, 86), 186 ゲート電極;186p パッド部;156 接続配線部37(47, 47C, 67, 87), 187 ドレイン電極;187p パッド部;157 接続配線部;187C 共通電極40 段差部分;凹部(40A, 40B ストライプ条;40D 矩形状;40F 三角柱状)、40h 端縁140, 241~243 メサ構造部;140t(243t) 上段部(上面);140g 下段部(溝部底面);140e 傾斜面(メサ構造側面, 段差部);141b, 240b~243b 底面部、210~213 素子領域

発明を実施するための最良の形態

- [0019] 以下、本発明の実施の形態を図面に基づいて説明する。ただし、以下に示す実施の形態は、本発明の技術思想を具体化するための電界効果トランジスタ及びその製造方法を例示するものであつて、本発明は電界効果トランジスタ及びその製造方法を以下のものに特定しない。また、本明細書は特許請求の範囲に示される部材を、実施の形態の部材に特定するものでは決してない。特に実施の形態に記載されている構成部品の寸法、材質、形状、その相対的配置等は特に特定の記載がない限りは、本発明の範囲をそれのみに限定する趣旨ではなく、単なる説明例にすぎない。なお、各図面が示す部材の大きさや位置関係等は、説明を明確にするため誇張して

いることがある。さらに以下の説明において、同一の名称、符号については同一もしくは同質の部材を示しており、詳細説明を適宜省略する。さらに、本発明を構成する各要素は、複数の要素を同一の部材で構成して一の部材で複数の要素を兼用する態様としてもよいし、逆に一の部材の機能を複数の部材で分担して実現することもできる。

[0020] 図2(図2A概略断面図、図2B概略平面図)に、本発明の一実施の形態に係るFETとして、GaN系HEMT100を構成する一例を示す。この図に示すHEMT100は、キャリア走行層23、その上層(キャリア供給層)24を順次積層し、また上層24の上面に、S電極185、G電極186、D電極187を形成している。この構造のGaN系HEMT100は、上層24、若しくは端部に設けられた電極からキャリア走行層23に電子を供給し、供給された電子はキャリア走行層23の上部でキャリア供給層24との界面に形成されるチャネル23aを高移動度で走行する。チャネル23aのキャリア濃度は、G電極186に印加されるゲート電圧によって形成される空乏層により制御される。この例では、キャリア走行層23としてアンドープのi型GaN層、キャリア供給層としてn型AlGa_N層を採用している。このキャリア供給層はキャリア濃度を増すためにドーパントでドーピングしているが、ドーピング量を下げたりアンドープにしたりすることで耐圧を高めることもできる。n型AlGa_N層のドーピング量は、 $10^{18} \text{ cm}^{-3} \sim 10^{19} \text{ cm}^{-3}$ 程度としているが、耐圧を向上させるためには 10^{18} cm^{-3} 以下とすることが好ましく、さらにアンドープとすることで残留電荷を 10^{16} cm^{-3} 程度とすることができる。一方でキャリア走行層は適切なドーパントでドーピングして、チャネル以外のキャリア走行層におけるキャリア走行を軽減してもよい。キャリア走行層にn型不純物をドーピングする場合、n型もしくはn⁺型ではキャパシタンスの形成によりスイッチオフ時に意図しない電流が流れることがあるため、n⁻型が好ましい。このように、キャリア走行層のキャリア濃度によりオフ特性を制御できる。また、ノーマリオフ型の場合は、キャリア走行層をi型層、例えば、アンドープ層とすることが好ましい。一方で、窒化物半導体層は、形成時に窒素抜けなどでn型となり易いため、それを補償できる程度にp型不純物をドーピングすることもできる。なお、本明細書においてアンドープとは、形成時に意図的にドーパントを添加しないものであり、例えばドーパント濃度が 10^{17} cm^{-3} 以下もしくはドーパントを含まないものをいう。

[0021] キャリア走行層、チャネルの上に設ける半導体層としては、上層として少なくとも第2の半導体層が設けられ、この層としては、バンドギャップエネルギーの大きな層のバリア層、電極との間に介在するスペーサ層、S・D電極の下層としてコンタクト層を設けることもできる。種々のFET構造に応じて、絶縁膜層を適宜電極下側に設けることもできる。

また、この例では、FETとして、電子をキャリアとしたユニポーラ素子のHEMTであるが、ホールをキャリアとする場合には、上記ドーパント、導電型層として、p型不純物、p型層を用いる。

[0022] キャリア供給層34の上面に形成される各電極の内、S電極とD電極はキャリア供給層若しくは段差部側面におけるキャリア走行層端部に電流を供給するためにオーミック電極が好適に用いられ、G電極はキャリア走行層に形成される空乏層を制御性よく形成しキャリア供給層から供給された電子を制御できるようにショットキー電極が用いられる。

[0023] これらの電極は、図示しないがオーミック接合特性、ショットキー接合特性を得るためのコンタクト層を各々介在させることもできるし、複数の層からなる金属層や合金層及びそれらの組合せを適宜用いることができる。例えば、S電極とD電極は、キャリア供給層上に形成されたオーミックコンタクト層との界面でオーミック電極を構成し、一方G電極は、半導体の上層(キャリア供給層)上に形成されたショットキーコンタクト層に接触する界面でショットキー接合特性を有することができる。

[0024] 電界効果トランジスタにおいては、キャリア供給層、上層中のドナーからキャリアとなる電子が放出されるが、このキャリア電子はキャリア供給層中に留まっているより、より電子親和力の大きいチャネル中に引き込まれ界面近傍に蓄積される。この蓄積された電子はドーパントによる散乱を受けないため、チャネル中を高移動度で走行することができる。一方、図7に示すように、S電極とD電極との電極間にドレインソース間電圧 V_{DS} を印加すると、チャネルを介してS電極とD電極の間にドレイン電流 I_D が流れる。またG電極にゲート電圧 V_G を印加すると、その電圧に応じてG電極の下に発生する空乏層が延びるため、図7に示すようにゲート電圧 V_G でドレイン電流 I_D を制御することができる。また、G電極直下のショットキーコンタクト層は、G電極とチャネルの間を流

れる電流(ゲートリーク電流)を抑えるためのバリア層として働き、一方オーミックコンタクト層はS電極及びD電極のオーミック電極としてのコンタクト抵抗を低減する作用を奏することができる。

[0025] (窒化物半導体層)

GaN系HEMTは、窒化ガリウム系化合物半導体で構成される。窒化ガリウム系化合物半導体層は、基板上に必要なに応じてバッファ層を形成し、さらにキャリア走行層33、キャリア供給層34を順にエピタキシャル成長し、さらに電極を積層して形成することができる。なおバッファ層は、GaN等のエピタキシャル層と格子整合する基板を用いる場合は必ずしも必要でない。結晶成長方法としては、例えば、有機金属気相成長法(MOCVD:metal-organic chemical vapor deposition)、ハイドライド気相成長法(HVPE)、ハイドライドCVD法、MBE(molecularbeam epitaxy)等の方法が利用できる。窒化ガリウム系化合物半導体は、一般式が $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$)であって、BやP、Asを混晶してもよい。また、各半導体層、各層、例えばキャリア供給・走行層は、単層、多層を特に限定しない。また、窒化物半導体層にはn型不純物、p型不純物を適宜含有させることもできる。n型不純物としては、Si、Ge、Sn、S、O、Ti、Zr等のIV族、若しくはVI族元素を用いることができ、好ましくはSi、Ge、Snを、最も好ましくはSiを用いる。また、p型不純物としては、特に限定されないが、Be、Zn、Mn、Cr、Mg、Ca等が挙げられ、好ましくはMgが用いられる。これにより、各導電型の窒化物半導体を形成することができる。また半導体構造を形成する成長用の基板はサファイア基板やGaN基板等が利用でき、また熱伝導が高く放熱性に優れたSiC基板、CuW基板等も利用できる。熱伝導性基板としては、その他Al、Cu、W等の金属、AlN、SiC、ダイヤモンド、銅ダイヤモンド、GaN、Si等及びその混晶、合金、混合物等を用いることができ、放熱を担える基体であれば、金属以外でも樹脂類やガラス類等、材料組成、形状は限定されない。

[0026] (ソース電極35(185)、ゲート電極36(186)、ドレイン電極37(187))

S電極35、G電極36、D電極37等の電極は、典型的には素子を構成する半導体材料とは異なる組成から形成され、例えばTi、Al、Cu、W、Au、Ag、Mo、Ni、Pt、In、Rh、Ir、Cr等導電性に優れた材質で構成される。また金属材料に限定せず、導電

性酸化物、導電性を有する導電性プラスチック等も利用できる。さらに電極は単一元素の材料のみならず、合金化、共晶化、混晶等、複数の元素で構成し、例えばITOや酸化亜鉛(ZnO)等が利用できる。さらにまた2層以上の層構造も採用できる。好ましくは、AlGaIn系やGaIn系半導体層に対するオーミック電極の一例として、Ti/Al系電極、ショットキー電極の一例としてNi/Au系材料からなる電極が採用される。これによってHEMT用電極として要求されるオーミック特性、ショットキー特性等において良好に機能する。例えばS電極、D電極のオーミック接触を得るためにはTi/Pt、Ti/Au、TiAl、V/Al系金属が使用され、800℃～950℃などの温度にてアニールが行われている。またG電極には、W/Au、Ni/Au、若しくはAu、Cu、Ni等が使用される。G電極の断面形状は、T字型、I型等特に限定されないが、断面がT字型のG電極とすると電極の断面積が増え電極抵抗を低減できるので、動作周波数の高周波における特性を向上させることもできる。また、オーミック電極とワイヤとの密着性等を考慮して、半導体層との接触面にパッド電極を形成してもよい。パッド電極の上には、外部電極等と接続させるためのメタライズ層(バンプ)を好適に形成する。メタライズ層は、Ag、Au、Sn、In、Bi、Cu、Zn等の材料から成る。電界効果トランジスタの電極形成面側をサブマウント上に設けられた外部電極と対向させ、バンプにて各々の電極を接合してもよい。サブマウントに対してはワイヤ等が配線される。なお、本明細書において、例えばTi/Alとは、半導体側からTiとAlが順に積層された構造を指す。

- [0027] またG電極は、バッファ層の一部又は全部を除去した部位に設けること、半導体構造を挟んでS・D電極に対向するG電極とする素子構造とすることもできる。これによりバッファ層の悪影響、すなわち典型的にはリーク電流やオフ電流等を低減することができるので、FETの電気特性の向上を図ることができる。また、電極と半導体層との密着性の向上も図られる。またHEMT表面であるソース・ゲート間とゲート・ドレイン間は、保護膜で被覆すると良い。このような保護膜として、窒化珪素、酸化アルミニウム、ニオブ酸化膜等が挙げられる。SiNをスパッタ等により積層させる保護膜とすると、HEMTの物性上好ましい。さらに好ましくは、酸化アルミニウム膜(Al_2O_3)からなる絶縁膜を含有する膜が好ましい。酸化アルミニウム膜を用いた絶縁膜の電流リーク

特性は、広範な電圧印加範囲にわたってSiN膜に比して良好な絶縁特性を有するので、窒化物系半導体(中でもとりわけAlGa_{0.2}N、さらに好ましくはAl_{0.2}Ga_{0.8}N)との関係においては、特に酸化アルミニウム膜が好ましい。

[0028] 基板及びバッファ層は除去されると、バッファ層の存在によりリーク電流が生じてリークパスが形成されることを防ぎ、好ましい。基板のみならずバッファ層まで除去すること、例えば、基板剥離後に半導体構造の一部を研磨してバッファ層を除去すること、でこれを防止することも可能となる。また、成長初期のバッファ層、下地層などは、結晶性が悪い傾向にあり、その場合、その部分がリークパスとなるため、結晶性の悪い深さで除去して、キャリア供給層・走行層、第1、2半導体層が形成されることが好ましい。基板は、全て除去すれば、バッファ層の除去が容易になる。

[0029] 段差部分(40, 140e-143e, 240e)、若しくはメサ構造部(140-143, 241-243)は、キャリア走行層33及びキャリア供給層34などの半導体積層構造1A,20にエッチング等により形成される。エッチングの方法は、例えば、レジストパターンや保護膜パターンなどのマスクを介して、RIE (reactive ion etching) やイオンミリング (ion milling) 等で行うことができる。同様に、段差構造のその他の形成方法としては、結晶の成長速度の違いを利用した再成長により段差構造、より具体的には、キャリア走行層を成長した後、一部を保護膜、SiO₂、などで覆い、開口部を選択的に成長させることで段差構造とすることもできる。

[0030] [第1の実施形態]

(段差部・メサ構造部)

本発明の第1実施形態に係る段差部(140e)、メサ構造部140は、図2Aの概略断面図に示すように、その段差部側面140eに、S電極、D電極の少なくとも一方、具体的には少なくともD電極、好ましくは両方を設け、その電極が段差部の上段140tに一部延在して設けられる。具体的には、段差部の下段部140g(240g)にまで延在して設けられる。側面部の電極は、側面に、半導体積層構造20の一部として少なくともキャリア走行層23の端部が露出され、それに電氣的に接続して、好ましくは直接接触して設けられる。

[0031] 具体例としては、該段差部に挟まれたメサ構造部140が、半導体構造20に設けられ

、そのメサ構造部140を素子領域210として、素子のキャリア走行層を有する。G電極は、実施例1のように、メサ構造部上140tに設けられるが、半導体構造のメサ構造部140に対向する面側をG電極形成面としても良い。

本発明の基本構造は、上述の通りであり、この構造に適した以下の構成を具備する。

[0032] 一実施形態として、図2, 5などに示すように、上記段差部の上段140tに設けられた一部電極のG電極側端部から段差部上段の端部側面までの距離 L が、 $0 < L \leq 10 \mu\text{m}$ 、好ましくは $0.1 \mu\text{m}$ 以上、 $5 \mu\text{m}$ 以下の範囲とする。これは、 $0.1 \mu\text{m}$ 以下であると、上段部の一部電極が微細となるため、生産性・信頼性に劣る傾向にあり、また、各電極、特にG電極の位置精度、そのG電極との距離の精度が素子特性の要因として大きくなるためである。また、後述の図8に示すように $5 \mu\text{m}$ 以下であると、TLMの接触抵抗を十分に小さなものとできる。

[0033] また、別の実施形態として、上述の通り、メサ構造部140の側面140e及び上面140tに設けられたS・D電極において、前記距離 L と、TLM測定 of 接触抵抗値 R_c との関係において、図8に示すように、 $L \leq 10 \mu\text{m}$ の領域、特に $1 \mu\text{m} \leq L \leq 10 \mu\text{m}$ の領域で、($L [\mu\text{m}]$, $R_c [\Omega \cdot \text{mm}]$)が(1, 2)と(10, 5)とで結ばれた線分(図中実線)以下、好ましくは(1, 2)と(10, 4)との線分(図中点線)以下、最も好ましくは(1, 2)と(10, 3)との線分(図中破線)以下、の接触抵抗値となる半導体構造及び段差構造を用いる。これは、図8及び図中の線分に示すように、メサ構造加工の条件により、加工表面の粗さ、側面の形状、傾斜などの条件が変化して、本発明に適したFET構造となる距離 L と接触抵抗値 R_c との関係は、図中線分以下の抵抗値となる。

[0034] 図8は、実施例1のS・D電極を設けた素子において、種々のマスク材料として、(a) SiO_2 、(b) ポジのレジスト、(c) ネガのレジスト、を用いて、TLM測定による接触抵抗値を検討して得られる結果を、縦軸に接触抵抗、横軸に距離 L として、示すものである。上記条件を満たすマスク材料は、レジスト(b)、(c)であり、好ましくは(b)である。更に、検討を重ねると、各種レジスト材料に応じて、各々の特性となるものの、その近似曲線においては、ほぼ類似した傾向を示す。尚、図6のHEMTの静特性、実施例1は(b)を用いて得られる。

このように、距離 L と接触抵抗 R_c が上記の関係にあることで、本発明の段差構造、メサ構造及びそれに設けられるソース・ドレイン電極において、良好な特性の素子とできる。

[0035] 本発明の一実施形態において、上段部140tの一部電極の接触抵抗は、側面140e、少なくともキャリア走行層端部との接触抵抗よりも大きくし、好ましくは10～100倍以上とする。また、各電極が延在して設けられる下段部の一部電極との接触抵抗も同様に側面よりも大きくすること、好ましくは10～100倍以上の抵抗値とすることで、好適にキャリア走行層端部で電極からのキャリア供給・排出がなされる。

[0036] 上述の通り、半導体構造、その元となる半導体積層構造の基本的な構造は、少なくともキャリア走行層を有し、キャリア走行層23と各電極、特にソース、ドレイン電極185、187との間には、チャンネルを高移動度とするためのキャリア走行層よりバンドギャップエネルギーの大きなバリア層、素子特性を制御するスペーサ層など、若しくはキャリア供給層、など走行層の上層24、更には、ソース、ドレイン電極とこのキャリア走行層との間に、接触抵抗を下げるために、コンタクト層などが設けられる。上記実施形態では、接触抵抗を高抵抗化するために、実施例で示すように、ソース、ドレイン電極の上段部における半導体構造20中の電極形成層は、キャリア走行層よりもバンドギャップエネルギーが大きな層を用い、また、ドーパントについては、その電極形成層において、ドーパ量を、その下側の半導体層、例えば、キャリア供給層、若しくはバリア層と、その上のスペーサ層などよりも小さくすることで実現できる。バリア層と上段部のソース、ドレイン電極形成層との関係においては、バリア層のバンドギャップエネルギーが小さくても良いが、好ましくは結晶性を考慮して、バリア層のバンドギャップエネルギーを大きくする。また、スペーサ層を間に介在する場合には、バンドギャップエネルギーが、バリア層＞電極形成層＞スペーサ層、の関係となるように、形成すると、結晶性を保持して、上段部の接触抵抗を高くできる。

上記各実施形態は、それぞれ組み合わせて適用することができ、また以下に示す各態様にいても同様である。

[0037] 一実施態様として、ソース、ドレイン電極の少なくとも一方が、段差部の下段部分にまで延長して電極が設けられることで、制御性良く各電極構造を形成できる。また、そ

の底面140g)における電極形成層を、キャリア走行層と同一の層とすることで、チャネル近傍においては、キャリア走行層端部と同様に好適に各電極との接続が実現され、それと離れた領域では、高接触抵抗として、選択的にキャリア走行層にキャリアを誘導できる構造となる。

[0038] 別の態様として、図2, 3に示すように、段差部(140e, 240e)で挟まれて、上面(140t, 240t)側より底面(140b, 241b-3b)側を幅広とするメサ構造部140(240-3)であると、各電極185-7及びその形成位置・領域を好適に制御して生産性に富み、好適な特性のFETとできる。

別の態様として、図2に示すように、距離 L を、具体的には、 $0 < L \leq 10 \mu\text{m}$ の範囲、好ましくは $0.1 \leq L \leq 5 \mu\text{m}$ の範囲とすることで、生産性・信頼性に優れ、接触抵抗の低いFETとできる。

[0039] 別の態様として、図2に示すように、キャリア走行方向において、段差部側面の幅 d_0 と前記側面から前記G電極側の各電極端部までの距離 L との比、 d_0/L 、が1以下、 $1/10$ 以上の範囲、好ましくは $1/2$ 以下、 $1/5$ 以上の範囲、となるように、更に別の態様においては、段差部の高さ h と、前記キャリア走行方向における段差部側面の幅 d_0 との比、 h/d_0 、が、好ましくは、 $1/10$ 以上、 $1/10$ 以下、となるようにする。これにより、段差部(側面)の傾斜をなだらかな勾配とすることで、上述した各機能を好適に発現できる素子とできる。急勾配の傾斜面であると、キャリア走行層端部との接続が不十分となったり、上記上段部の一部電極と側面部分との接続部の信頼性が低くなったり、電極アニールによる半導体構造への影響部が、素子の深部に及び素子特性を低下させる要因となったり、することを好適に抑制でき、特に上記各態様、各構成との組合せにおいて優れた素子が得られる。

[0040] (実施例1)

実施例1に係るGa_N系HEMTは、図3Aの概略断面図、図3Bの概略平面図に示すように、キャリア走行層23としてアンドープのi型Ga_N層、その上にバリア層、上層24としてアンドープのi型Al_N層を7.5nmと、i型AlGa_N層を25nm積層し、段差部分140eとして、上段部140tの幅約21 μm 、下段部140bの幅約22 μm (側面140eにおける断面幅が約0.5 μm 、高さ約80nm、のメサ状の構造部を設ける。

- [0041] 例えば、上述した図5に示す例で説明すると、段差部分40をG電極36の左右から、S電極35、D電極37を貫通する位置まで延長しているが、図5に示すように、段差部分40HをG電極86の両側からS電極85、D電極87の途中まで延長し、途中で寸断することもできる。図5の例では、段差部分40Hの端縁40hは、S電極85、D電極87の直下で、電極端から所定の距離Lの位置まで延長されている。このLを最適化することで、最小の抵抗値に制御できる。計算によると、段差部分が平板状の場合は、 $0 < L[\mu\text{m}] \leq 10$ の範囲、好ましくは $0.1 \leq L[\mu\text{m}] \leq 5$ 、製造上好ましくは $0.5 \leq L[\mu\text{m}] \leq 5$ 、の範囲のとき、制御性良く接触抵抗を下げることができる。
- [0042] さらに後述の第2の実施形態において、図5の構成では、段差部分40Hをストライプ条や多角形状とせず、平板状に構成している。多角形状やストライプ条の段差部分では、キャリアを段差部分の端縁まで捕らえることができず、段差部分側壁の近傍で上方のキャリア供給層へ逃げてしまう成分が存在するが、上記のように段差部分を寸断する構造では、電極端縁からの距離L以上に拡散しようとするキャリアは、抵抗の低い段差部分端縁の側壁部で必ず捕捉されるので、界面での抵抗を下げるができる。S電極からキャリアを注入する場合も同様に、段差部分端縁の側壁部から注入することにより、半導体層との界面における抵抗を下げるができる。特に上段部の電極形成層であるキャリア供給層がアンドープなど高抵抗である場合は、後述の第2の実施形態のように、多角形状やストライプ条のようにキャリア供給層を介する成分があると抵抗が高くなるため、図5の構成が好ましい。また、構造が簡単で、段差部分を形成する工程での歩留まりを改善できる。
- [0043] また比較例1として、キャリア供給層をn型AlGaIn層とし、段差部分を形成しない以外は実施例1と同様にしてGaIn系HEMTを作製する。図6に、これらのHEMTで得られる静特性として、ドレインソース間電圧 V_{DS} に対するドレイン電流 I_D を示す。図6中の大きい黒丸は実施例1に係るHEMT、小さい点は比較例1に係るHEMTを、それぞれ示している。なおゲート電圧 V_G は1V～-6Vに1V刻みで変化させている。また、図8のTLM評価は、本実施例のメサ構造部140にS・D電極パターンを設けて測定される。
- [0044] また、このようにして得られる実施例1、比較例1のHEMTのオン抵抗、オフ耐圧の

特性について、それぞれ図14, 15に示す。ここで図中各点は、S・D電極距離 L_{SD} を図中左側から順に、7.5, 12.5, 17.5, 27.5 μm に対応する。これら特性図からわかるように、実施例1は耐圧600V超、オン抵抗 $8.5\ \Omega\cdot\text{mm}$ を実現できる。そのため、比較例1に比して、低オン抵抗、高オフ耐圧を実現でき、すなわち、高耐圧性を維持して低オン抵抗化を実現できる。

[0045] 以下に、本発明のFETの製造方法として、実施例1の製造方法を例として説明する（電界効果トランジスタの製造方法）

本実施形態に係る電界効果トランジスタ、例えば図2に係るFETは、以下のようにして製造される。ここでは結晶成長装置を用いて、MOCVDによりサファイア基板上にGaN系HEMTを作製する。まず、MOCVD反応炉内にサファイア基板をセットし、C面サファイア基板の表面を水素雰囲気中で、熱処理クリーニングを行い、510°Cまで下げ、水素雰囲気にて基板上にGaNよりなるバッファ層21を約20nm、結晶成長温度まで昇温して、素子構造となる積層構造として、3 μm のアンドープGa_{0.3}N層（このアンドープGa_{0.3}N層のバリア層との界面近傍部がキャリア走行層33となる）、その上層24として、アンドープのi型Al_{0.3}Nよりなるi型Al_{0.3}Nのバリア層（7.5nm）、Al組成が0.3であるアンドープのAl_{0.3}Ga_{0.8}Nよりなるi型AlGa_{0.8}Nのスペーサ層（約25nm）を成長させる。なお、アンドープAlGa_{0.8}N層を設けることにより、チャネルの移動度をより向上させることができる。このi型Al_{0.3}Ga_{0.8}N層がキャリア供給層として機能すると考えられる。反応終了後、温度を室温まで下げウェーハを反応容器から取り出す。

[0046] （フォトリソグラフィ工程）

次にフォトリソグラフィ工程として、メサストライプ構造とするために、レジストマスクをフォトリソグラフィ技術でパターニングして、図2に示すように、RIEでチャネル23a形成部分が段差部分・側面140eが表出するようにチャネルよりも深くエッチングする。この時、実施例3の例では、AlGa_{0.8}N層とGa_{0.8}N層に段差部分40としてストライプ条40Aを複数形成する。そして、S電極185、D電極186として、スパッタにて、Tiを10nmと、Alを300nmと順に成膜し、リフトオフにてTi/Alの電極を形成する。その後、600°Cで電極をアニールする。次にスパッタ装置でNiを100nmとAuを150nmと、を順に成膜し、レジスト剥離リフトオフしてNi/Auショットキー電極をG電極186とする。実施例1

では、ソース・ドレイン電極間距離 L_{SD} をそれぞれ約 $19\mu\text{m}$ 、ゲート電極幅(長手方向)約 $100\mu\text{m}$ を形成する。

[0047] また、半導体構造を挟んで、各電極、例えば、G電極をキャリア走行層側に、S・D電極をメサ構造部側に設けるような素子構造の場合には、例えば、メサ構造部側の電極形成面側を支持基板に貼り合わせた後、成長用の基板をレーザリフトオフにより剥離し、研磨によりバッファ層など積層構造の一部を除去し、その除去面にG電極を形成する。

[0048] (実施例2)

図3の概略断面図で、一部領域200aとして示す素子領域211-213となるメサ構造部241-243を、図4の概略平面図に示す半導体装置200として、キャリア走行方向に複数設けたHEMT素子、及びその装置を作製する。

実施例1と同様に、1つの素子領域に係るメサ構造部に対して、その上段部240tにG電極185を、該上段部から側面240e及び下段部を覆うS電極、D電極を設ける。ここで、メサ構造部240(241-3)の素子領域211-3を100個設け、図に示すように、隣接する素子領域間には共通電極185-6C、その間に設けられた溝部240gを跨いで、隣接するメサ構造部間を覆うのS電極185C、D電極186Cが設けられる。

更に、図4に示すように、各素子領域のソース185、ゲート186、ドレイン電極187は、各々を接続する接続配線155-157を、溝部底面240gのS・D電極形成面と同一面上に、設けて、各電極のパッド部185p-187pを1個ずつ設けて、互いに接続する。

[0049] (半導体装置のパッケージング)

デバイス工程が終了した後、各素子単位で、本実施例では100個の素子領域及び1組の各パッド部を有する素子単位、ゲート電極幅が計約 $100\mu\text{m}$ で、素子チップに分割して、そのチップをパッケージに実装する。ワイヤボンディングにより電極パッド部185p-7pからワイヤ線でパッケージの電極に接続する。一方、フリップチップボンディング、上述したS・D電極、G電極対向構造の縦型FET構造のように、ワイヤレスボンディングの場合はG電極側に別途熱伝導性基板を設けることができ、放熱特性が向上すると共に、ワイヤボンディングのためのパッドが不要となり小型化に適する。またワイヤによるインダクタンス成分及びワイヤ間や半導体素子本体間とのキャパシタン

ス成分を低減できるメリットもある。

このようにして得られるHEMTの半導体装置は、1A超のドレイン電流値動作にてオン抵抗 $0.025\ \Omega \cdot \text{cm}^2$ のものが得られる。

[0050] また、この例に限らずHEMTのキャリア供給層(典型的にはn型AlGa_{0.3}N)は、2.5nm程度以下と薄くすることにより、電子の走行距離を短くして電子の到達時間が早まりアスペクト比の増大や短チャネル効果の抑制、漏れ電流の抑制等高速動作により適した構造とすることも可能である。

[0051] [第2の実施形態]

本実施の形態では、各電極部、その形成領域において、段差部、若しくはそれを内壁面に有した凹部を、複数設けるものであり、各電極にそれぞれ設ける態様、S・D・G電極のいくつかの電極、例えば、S電極及びD電極、D電極、だけに設ける態様、各電極間、S-D電極間、に跨って設けられる態様、例えばキャリア走行領域において電極形成領域からはみ出して設けられる形態、各電極形成領域とその間の領域に設けられる携帯、などがある。

[0052] 具体的な構成は、以下を挙げることができる。

本発明の第1の態様に係るFETは、窒化物半導体からなる第1の半導体層と、第1の半導体層上に形成され、第1の半導体層よりもバンドギャップエネルギーが大きく、且つ残留ドナー濃度が $5 \times 10^{19} / \text{cm}^{-3}$ 以下となる窒化物半導体からなる第2の半導体層と、第2の半導体層上に各々形成されるS電極、G電極及びD電極とをそれぞれ備えるFETであって、S電極及び／又はD電極は、少なくとも第2の半導体層の一部に形成された段差部分上に形成されている。この構造により、段差部分でチャネル形成部分と電極との接触面積を増やし、オーミック接触の接触抵抗を下げ、効率を改善できる。

[0053] 第2の態様では、段差部分が、S電極及びD電極形成面側から見て、ストライプ構造、多角形状、円形の少なくとも1種である。この構造により、段差部分で電極との界面の接触面積を増やし、オーミック接触の接触抵抗を下げ、効率を改善できる。

第3の態様では、段差部分が、S電極及びD電極形成面側から見て、略平板状に形成され、かつ平板状の段差部がS電極を跨いで、端面をG電極またはD電極の少

なくとも一方に達するまで延長されている。この構造により、段差部分の端縁におけるキャリアの補足漏れを低減して、さらに界面の抵抗値を下げることができる。

[0054] 第4の態様では、複数の窒化ガリウム系化合物半導体層を積層してなる半導体積層構造を備えており、半導体層は、第1の面と、第1の面と対向する第2の面とを有するキャリア供給層と、キャリア供給層の第2の面に面して形成され、キャリア供給層よりもバンドギャップエネルギーが小さく、該第2の面と接する部位にチャンネルを形成可能なキャリア走行層とを含んでおり、さらにキャリア供給層の第1の面上に形成されたS電極、G電極、D電極とを備えるFETであって、半導体層が、第1の面の表面で少なくともチャンネル形成部分が表出する深さまで窪んだ段差部分を複数形成しており、半導体層上の段差部分にS電極及びD電極が形成され、かつ段差部分との界面でオーミック接触を形成している。この構造により、段差部分でチャンネル形成部分と電極との接触面積を増やし、オーミック接触の接触抵抗を下げて効率を改善できる。

[0055] 第5の態様では、段差部分が、半導体層上でチャンネルにおけるキャリアの走行方向に沿った直線状に延長された複数の平行なストライプ構造であり、ストライプ構造の側面でチャンネル形成部分が電極と接している。この構造により、ストライプ構造の側面でチャンネル形成部分と電極との接触面積を増やし、オーミック接触の接触抵抗を下げて効率を改善できる。

第6の態様では、ストライプ構造が、ストライプの延長方向と垂直な方向にさらに突起を形成している。この構成により、さらに表面積を増やして側面での電極との接触面積を増やして低抵抗化を図ることが可能となる。

第7の態様では、段差部分が、半導体層の表面から多角形状に形成された複数の窪みである。この構成により、表面積を増やして電極との接触面積を増やして低抵抗化を図ることが可能となる。

第8の態様では、段差部分が、半導体層の表面から円柱状に形成された複数の窪みである。この構成により、表面積を増やして電極との接触面積を増やして低抵抗化を図ることが可能となる。

第9の態様では、半導体層上でG電極の形成面にも、段差部分が形成されている。この構成によって、段差部分の形成加工が容易となる。

第10の態様では、S電極及び／又はD電極は第1の面上で層状に積層されている。このようにS電極及び／又はD電極を電極層とすることで、段差部分への電極形成が容易となる。

第11の態様では、キャリア供給層のキャリア濃度が 10^{19}cm^{-3} 以下である。これにより、耐圧の高いGaN系電界効果トランジスタを得ることができる。

第12の態様では、HEMTである。これにより、オーミック接触の接触抵抗の低い高効率なGaN系HEMTを得ることができる。

第13の態様では、キャリア走行層と、キャリア走行層上に形成され該キャリア走行層よりバンドギャップエネルギーの大きいキャリア供給層を備える電界効果トランジスタの製造方法であって、キャリア走行層上にキャリア供給層を積層した状態で、キャリア供給層の表面で少なくともチャネル形成部分が出出する深さまで窪んだ段差部分を複数形成する工程と、段差部分にS電極及びD電極を層状に形成し、段差部分と電極層の界面でオーミック接触を得る工程とを有する。これにより、段差部分でチャネル形成部分と電極との接触面積を増やし、オーミック接触の接触抵抗を下げ、効率を改善できる。

[0056] 以上の第2の実施形態に係る各態様について、その具体的な形態を以下に説明する。また、本発明は上記第1、2の実施形態及び各態様と組み合わせて適用することもできる。

[0057] (段差部分40)

本実施の形態では、少なくともキャリア走行層33及びその上層であるキャリア供給層34を含む半導体層1Aと電極層5Aとの間の接触抵抗を低減するために、半導体層1A上面で電極を形成する部位に段差部分40を形成している。段差部分40は窪み状のパターンに成形されているが、底面を基準として凸部あるいは突出部と捉えることもできる。また、この上に電極を層状に形成している。このような電極形成の例を、図10～図12に基づいて説明する。図10Aは、実施の形態1に係るHEMT素子の電極の平面図を、図10Bは図10Aのb-b線における断面図を、図10Cは図10Aの変形例をそれぞれ示している。図10の例では、図10Aの平面図に示すようにキャリア走行層33の上面で、S電極35及びD電極37と接触する表面を、段差部分40とし

て複数のストライプ条40Aに形成したメサ構造に形成している。さらにこのメサ構造の表面にS電極35及びD電極37を形成し、図10Bの断面図に示すように凹凸の表面を被覆している。これによって、電極層5Aと半導体層1Aとがオーミック接触する接触面積を増やし、接触抵抗を低減できる。この際、各メサの側面でキャリア走行層33のチャンネル33a形成部分の端面が表出して電極と接触するようにする。特に、凸状の半導体層全体を覆う電極の構成では、キャリア供給層が低抵抗であれば、AlGaN層14を介して上方に通電することができる。しかしながら、AlGaN層14のドーパ量が少なくなるとキャリア濃度が低くなり、上方への通電量は少なくなる。特に、GaN系HEMTの特長の一つである高耐圧性をさらに改善するためには、AlGaN層をアンドープに近づけることが好ましい。しかし、これによって上述の通りAlGaN層を介した通電量が極減する。この結果、通電はチャンネル13aの端面と電極層5との接合面が中心となり、チャンネル13aと電極層5との接触面積が小さいため接触抵抗が大きくなり発熱等による損失が大きくなるという問題があった。そこで、図10Bに示すように半導体層1Aを凹凸状にすることで半導体層1Aと電極層5Aとの接触面積を増し、特にチャンネル33aと電極層5Aとの接触面積を増やしてチャンネル33aから側面に抜ける電流量を増やして全体の抵抗を低減している。

[0058] 段差部分40の底部は、少なくともキャリア供給層34まで達し、かつチャンネル33a形成部分が段差部分40の側面で表出するようにこれよりも深くすることが好ましい。段差部分40はチャンネル33aにおいてキャリアが走行する方向に沿って、すなわち図10の例では左右方向に延長して形成される。特に図10に示す例では、G電極36部分も含めて連続したストライプ条40Aに形成している。これによって、スリット同士の谷間で半導体層1Aとの接触面積を増すことができる。さらに一本のストライプでS電極35及びD電極37部分の形成が行え、S電極及びD電極部の段差部分を別々に形成するものと比較して、段差部分40の形成工程が簡素化できる。また、S電極35からD電極37までが一本のストライプであることで、S・D電極とチャンネルとの間を流れる電流のうち、キャリア供給層を介する成分を減らすことができ、これによっても低抵抗化を図ることができる。

[0059] さらに段差部分にG電極を形成することで、段差部分の側面からG電極へのホール

の引き抜きを行うこともでき、これによって更に耐圧を向上できる。すなわち、G電極のショットキー接触は、ホールにとってはゲート側のポテンシャルエネルギーが低くなるようなバンド構造をとるため、チャンネル中で発生したホールはよりポテンシャルエネルギーの低いゲート側に引き寄せられ、ゲートにより外部回路へ排出される。

[0060] 上記図10Aの変形例として、図10Cに示すように、ソース・ドレイン間を除いて、G電極部分に設けずに、S電極45及びD電極47の形成部分のみに段差部分40Bを形成してもよい。40Bは凹部である。これによって、図10Aと比べてソース・ドレイン間のキャリア走行領域が広がる。更に別の例としては、S電極及びD電極と半導体層との接触面積をより広く確保するため、ストライプ条の段差部分の側面から平面矩形状の突起を1つの段差部分に複数を形成することもできる。例えば、ストライプと垂直方向に突起を形成させる。これによって段差部分の加工は複雑になるものの、より接触面積を大きくした高効率のHEMT素子を得ることができる。突起の大きさはエッチング等によって種々形成することができ、より細かい方が好ましいが、Ga_N系HEMTの特性を維持しつつ耐圧と、接触抵抗の低減とを考慮すると、0.01 μm 以上、1 μm 以下が好ましい。突起にさらに細かい突起を設けることもできる。

[0061] 具体例として、S電極及びD電極と半導体積層構造との接触面積をより広く確保するため、ストライプ条の段差部分の側面から平面で突起状の別の段差部分を形成することもできる。例えば、ストライプと垂直方向に突起を形成させる。この例ではG電極の部分は平坦面としている。これによって段差部分の加工は複雑になるものの、より接触面積を大きくした高効率のHEMT素子を得ることができる。突起の大きさはエッチング等によって種々形成することができ、より細かい方が好ましいが、Ga_N系HEMTの特性を維持しつつ耐圧と、接触抵抗の低減とを考慮すると、0.01 μm 以上、1 μm 以下が好ましい。突起にさらに細かい突起を設けることもできる。さらにまた、側面の面積を増やすためには、段差部分は連続したストライプ条に限られず、細切れにすることもできる。

[0062] 別の態様として、図11に示す例では、半導体層44Cに形成されたG電極46C部分を含めたS電極45C及びD電極47Cの形成部分に重なるように、多数の矩形状の段差部分40Dを所定の間隔で形成している。この例では基盤目状に矩形状40Dを配

置しているが、オフセット状に配置することも可能であることはいうまでもない。あるいは、矩形状に限られず様々な窪みパターンが採用できる。例えばG電極に設けずに、S電極55及びD電極57の形成部分に重なるように、円柱状の段差部分でも良い。段差部分を円柱状の凹部とすることで、量産性の高いフォトリソグラフィにより容易に作製することができる。キャリアがオーミック電極により引き抜かれる領域すなわち拡散長は通常 $2\sim 3\mu\text{m}$ 程度であることから、窪みパターンの大きさ、つまり隣接する円柱状などの凹部間の距離はそれぞれ約 $1\mu\text{m}$ 程度以下にするのが好ましい。

[0063] また、その変形例となる別の態様として、図12に示すように、半導体層に形成されたG電極66部分を含めたS電極65及びD電極67の形成部分に重なるように、三角柱状の段差部分40Fを複数形成している。特に、三角形は多角形の中で最も表面積を大きくできるため、接触面積増加の観点からは特に有利となる。三角形状のような細かな窪みパターンを形成するには電子線リソグラフィ等が好適に利用できる。またその変形例では、G電極部分を含めたS電極及びD電極の形成部分に重なるように、六角柱状の凹部で段差部分を複数形成している。これにより、フォトリソグラフィの精度を要求されず簡便に歩留よく形成することができる。

[0064] このように段差部分を多角形状や円形、楕円形等の種々のパターンで凹凸形状に形成することができる。段差部分の形状及び寸法は、使用される電界効果トランジスタの大きさや電極の大きさ、加工精度等に依存するが、半導体層と電極層との界面、特に側面部分でチャネル形成部分を表出させて低抵抗なオーミック接触を得られるように、好適に設定される。さらにまた、柱状だけでなく、側面が傾斜した柱として上面が略フラットな錐状とすることもできる。さらに、接触面積の増加により低抵抗化を図る場合、このような凹凸パターンは電極が形成される領域に厳密に含まれるように形成せずとも、一部が電極形成領域からはみ出してもよい。凹凸パターンは、電極と半導体層との接触抵抗を十分に低減できる程度に形成すれば足りるので、凹凸パターンの形成に伴う電極形成時の位置合わせの精度をそれほど高める必要が無く、歩留まりの低下を生じさせずに製造コストの低減が図られる。また、チャネル形成部分と接して電極層を設けることにより、チャネルから段差部分の側壁に抜ける電流量を増やすことができ、これによっても低抵抗化を図ることができる。キャリア供給層の抵抗

値が高い場合特に、チャネルから側壁に抜ける方が低抵抗なためである。側壁に抜ける電流量を増やすためには、相対的にチャネルからキャリア供給層に抜ける電流量を減らせばよい。このために例えば後述する実施例3のような構造を採用することができる。

[0065] (実施例3)

次に、GaN系HEMTとして段差部分として図10A(10B)に示すストライプ条を形成した実施例3と、ストライプを形成しない比較例2とを比較する。実施例3に係るGa N系HEMTは、キャリア走行層にアンドープi型GaN層、その上層にキャリア供給層にアンドープのi型AlGa N層を30nm積層し、段差部分としてストライプ条(幅5 μ m、長さ170 μ m)を形成している。また比較例2は、ストライプを形成しない他は同様とする。また比較例3として、上層として、スペーサ層のi型AlGa Nを6nm、キャリア供給層のSiを $1 \times 10^{19} \text{ cm}^{-3}$ ドープのn型AlGa N層を12nm積層する以外は比較例1と同様にしてGa N系HEMTを作製する。これらのHEMT素子で得られる静特性を図13に示す。この図において、実施例1は太線、比較例1は細線の実線、比較例2は波線でそれぞれ示す。この図に示すように、ストライプ条を形成した実施例3は、ストライプを形成しない比較例1に比べてドレイン電流 I_d の最大値を2倍以上に増加させることができる。また実施例1のHEMTは比較例2のHEMTと比べても、同程度のドレイン電流が得られることができる。このように、本実施例によれば、段差部分の形成によってより多くのドレイン電流を得ることができ、またアンドープのキャリア供給層を使用する場合であってもドープしたキャリア供給層を用いた場合と同程度のドレイン電流が得られることができる。これによってHEMT素子のオン抵抗が低減され、効率の改善と高耐圧化が図れるため、更なるHEMT素子の高出力化にも対応できる。これらの点は高出力、高周波素子を目標とするGa N系HEMT素子において重要な利点となる。

[0066] (実施例4)

実施例4として、キャリア走行層上の上層に、スペーサ層のアンドープAlN層と、キャリア供給層のアンドープAlGa N層を用い、表面に図12に示すような三角形の段差部分を形成したHEMTを作製する。さらに比較例4として、段差部分を形成しない

HEMT、比較例5としてスペーサ層にアンドープAlGa_N層、キャリア供給層にn型AlGa_N層を用いた段差部分を形成しないHEMTを作製する。図9に、これらのHEMT素子から得られる静特性として、ドレインソース間電圧 V_{DS} に対するドレイン電流 I_D を示す。図9において、太線は実施例4、細線は比較例4、波線は比較例5を、それぞれ示している。なおゲート電圧 V_G は1V～－6Vに1V刻みで変化させている。

[0067] 図9に示すように、スペーサ層をAlNとするHEMTでは、段差部分を形成することでドレイン電流を飛躍的に増加できる。またキャリア供給層にアンドープAlGa_N層でなくn型AlGa_N層を用いた、より多数のキャリアを有するHEMTと比較しても、より高いドレイン電流を達成している。当然ながら、キャリア供給層をn型AlGa_N層とする比較例5に係るHEMTは耐圧が相対的に低くなる。また従来、スペーサ層をAlGa_NからAlNとするとキャリアの移動度が上昇するものの、障壁が高くなるため接触抵抗が増加するという問題があったが、これに対して本実施の形態に係る電極構造を適用することで接触抵抗を低減できるため、極めて効果的である。これらのことから、スペーサ層にアンドープAlN層を使用したHEMTにおいて本実施の形態を適用する優位性が確認できる。

[0068] また以上の各例(第1, 2の実施形態等)ではGa_N系HEMTに本発明を適用した例について説明したが、GaAs等他のIII－V族半導体に本発明を適用することもできる。特に、GaAs化合物半導体はバンドギャップが小さいナローギャップ(narrow gap)であるため、たとえキャリア供給層をアンドープにしても、比較的上部からのオーミック接合を得やすく、本特許のような構造は必ずしも劇的な改善をもたらすものではないものの、利用は実用上可能である。一方、本件構成をワイドギャップのGa_N系HEMTに用いることでGaAsよりも物性的に優れたGa_N特有の優位性をさらに発揮することができ、より高性能なデバイスが実現できる。

産業上の利用可能性

[0069] 本発明の電界効果トランジスタは、キャリア走行層の電子移動度が高い上記実施例のHEMTに利用できる他、MISFET、MOSFETなどの素子にも応用でき、また、素子構造、実装構造としては、フェイスダウン構造を持つフリップチップ型の実装、各電極を、半導体構造を挟んで対向させた構造の縦型FETなどにも応用できる。

請求の範囲

- [1] 窒化物半導体層が複数設けられた積層構造にキャリア走行層を有し、該積層構造上に設けられたゲート電極と、該ゲート電極を挟むソース電極、ドレイン電極を有する電界効果トランジスタであって、
前記積層構造が、前記ゲート電極両側に前記キャリア走行層の端部を露出させる側面を備えた段差部を有し、
前記段差部側面に、少なくとも前記キャリア走行層端部と接続された、ソース電極、ドレイン電極が設けられ、
該ソース電極、ドレイン電極の一部が、前記段差部上段の表面に設けられ、
前記段差部上段に設けられた前記ソース電極、ドレイン電極一部が、キャリア走行方向において、前記側面から前記ゲート電極側の各電極端部までの距離 L と、 $L \leq 10 \mu\text{m}$ であり、
前記距離 $L [\mu\text{m}]$ が1以上10以下の範囲において、距離 L における TLM法によるソース、ドレイン電極の接触抵抗 $R [\Omega \cdot \text{mm}]$ が、 $(L, R_c) = (1, 2)$ と $(10, 5)$ の線分よりも低い値である電界効果トランジスタ。
- [2] 窒化物半導体層が複数設けられた積層構造にキャリア走行層を有し、該積層構造上に設けられたゲート電極と、該ゲート電極を挟むソース電極、ドレイン電極を有する電界効果トランジスタであって、
前記積層構造が、前記ゲート電極両側に前記キャリア走行層の端部を露出させる側面を備えた段差部を有し、
前記段差部側面に、少なくとも前記キャリア走行層端部と接続された、ソース電極、ドレイン電極が設けられ、
該ソース電極、ドレイン電極の一部が、前記段差部上段の表面に設けられ、
前記段差部上段に設けられた前記ソース電極、ドレイン電極一部が、キャリア走行方向において、前記側面から前記ゲート電極側の各電極端部までの距離 L が、 $0.1 \leq L \leq 5 \mu\text{m}$ である電界効果トランジスタ。
- [3] 窒化物半導体層が複数設けられた積層構造にキャリア走行層を有し、該積層構造上に設けられたゲート電極と、該ゲート電極を挟むソース電極、ドレイン電極を有する電

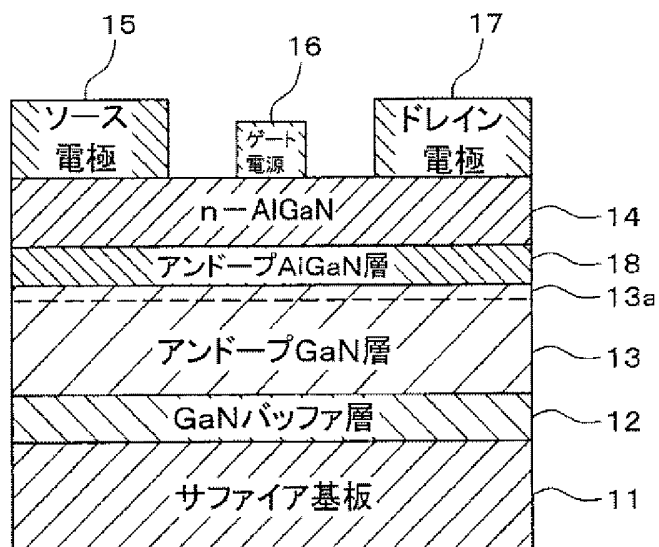
- 界効果トランジスタであって、
 前記積層構造が、前記ゲート電極両側に前記キャリア走行層の端部を露出させる側面を備えた段差部を有し、
 前記段差部側面に、少なくとも前記キャリア走行層端部と接続された、ソース電極、ドレイン電極が設けられ、
 該ソース電極、ドレイン電極の一部が、前記段差部上段の表面に設けられ、
 前記ソース電極、ドレイン電極の上段部の接触抵抗が、前記側面のキャリア走行層端部、若しくはその近傍における接触抵抗より、大きい電界効果トランジスタ。
- [4] 前記積層構造が、キャリア走行層を有する第1の半導体層の上に、キャリア走行層よりもバンドギャップエネルギーの大きな窒化物半導体の第2の半導体層を有し、
 該第2の半導体層表面に前記ソース電極、ドレイン電極の一部が設けられている請求項1乃至3のいずれか1項に記載の電界効果トランジスタ。
- [5] 前記ソース電極、ドレイン電極が、前記段差部の下段部に延在して設けられ、
 該下段部の窒化物半導体層が、前記キャリア走行層と同じ窒化物半導体層である請求項1乃至4のいずれか1項に記載の電界効果トランジスタ。
- [6] 前記段差部が、段差部間の上段部に前記ゲート電極を有し、該ゲート電極幅方向の断面が、ゲート電極側がキャリア走行層よりも幅の狭いメサ形状のメサ構造部を有する請求項1乃至5のいずれか1項に記載の電界効果トランジスタ。
- [7] 前記段差部上段に設けられた前記ソース電極、ドレイン電極一部が、キャリア走行方向において、前記側面から前記ゲート電極側の各電極端部までの距離 L が、 $0.5 \leq L \leq 5 \mu m$ である請求項2乃至6のいずれか1項に記載の電界効果トランジスタ。
- [8] 前記キャリア走行方向において、段差部側面の幅ドレイン_{側面}と前記側面から前記ゲート電極側の各電極端部までの距離 L との比、 $\text{ドレイン}_{\text{側面}}/L$ 、が $1 \sim 1/10$ である請求項1乃至7のいずれか1項に記載の電界効果トランジスタ。
- [9] 前記段差部の高さ h と、前記キャリア走行方向における段差部側面の幅ドレイン_{側面}との比、 $h/\text{ドレイン}_{\text{側面}}$ 、が $1/7 \sim 1/3$ である請求項1乃至8のいずれか1項に記載の電界効果トランジスタ。
- [10] 請求項1乃至9のいずれか1項に記載の電界効果トランジスタで、前記段差部で挟ま

れたメサ構造部を1つの素子領域として、前記積層構造に複数の素子領域が併設された半導体装置であって、

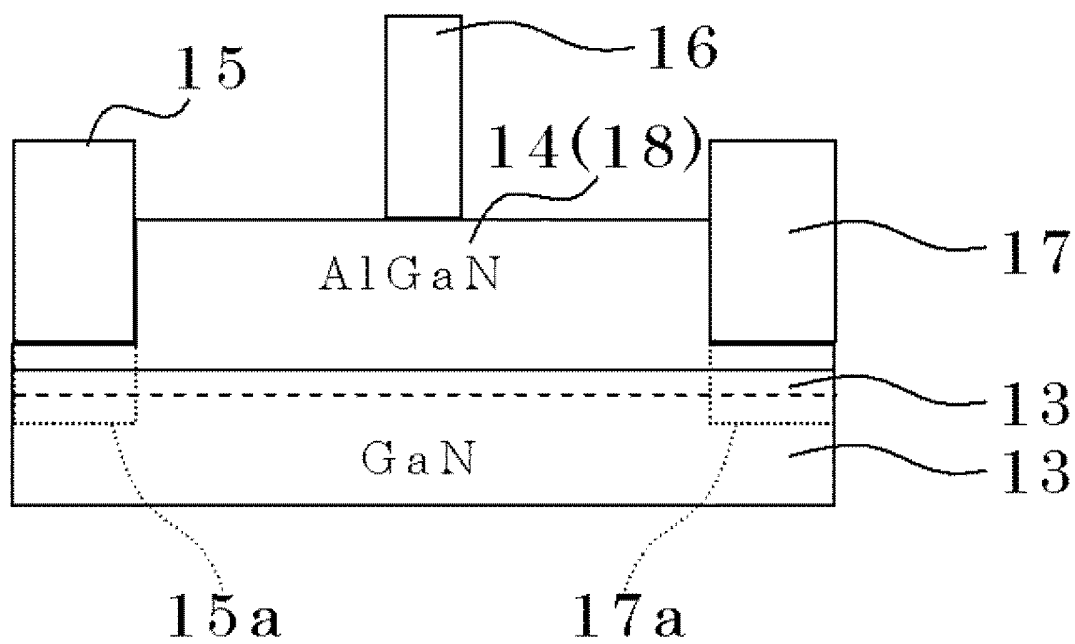
前記ソース電極、ドレイン電極が、それぞれ、隣接する前記素子領域間に跨って設けられた共通電極である半導体装置。

- [11] 前記積層構造において、メサ構造部間の段差部下段の電極形成層上に、前記複数の素子領域に設けられたソース電極、ドレイン電極を、それぞれ、互いに接続する接続配線を有する請求項10記載の半導体装置。
- [12] 前記電極形成面内において、前記積層構造が、前記段差部に囲まれた溝部、若しくは複数の前記段差部を含む溝部を有し、該溝部が、前記ソース電極、ドレイン電極内に複数設けられている請求項1乃至3のいずれか1項に記載の電界効果トランジスタ。
- [13] 前記溝部が、前記キャリア走行方向に延伸した長手形状である請求項12に記載の電界効果トランジスタ。
- [14] 前記溝部が、前記ソース電極とドレイン電極間に延在して設けられている請求項12又は13に記載の電界効果トランジスタ。

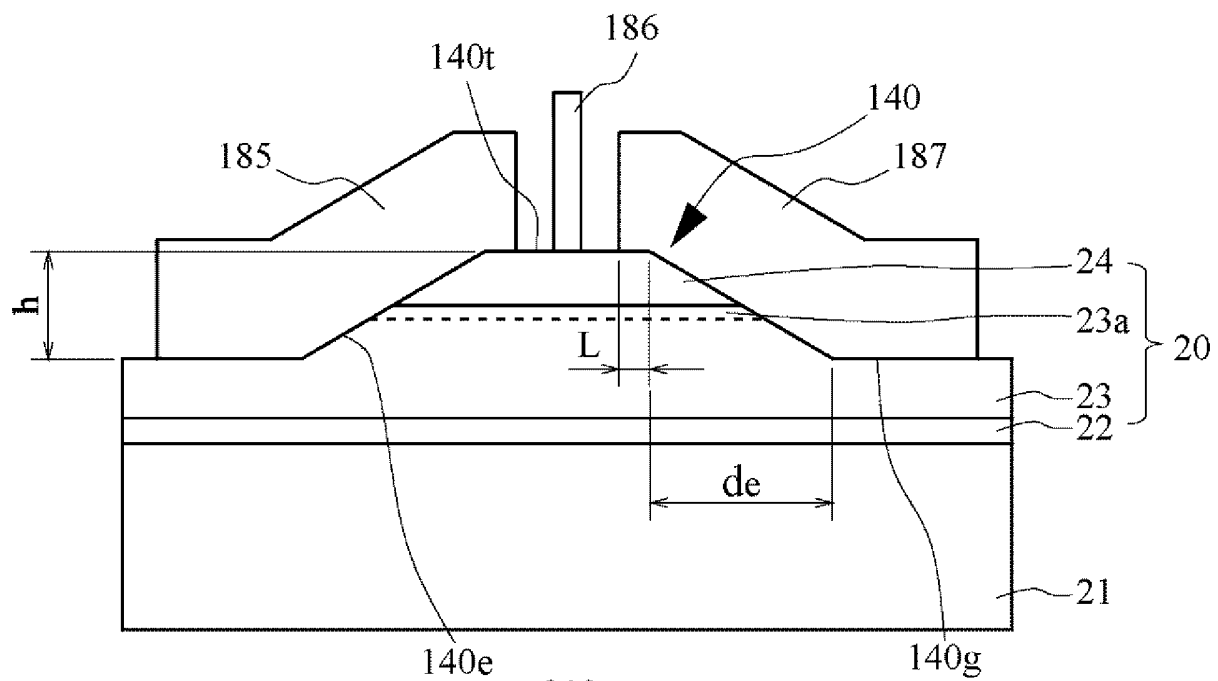
[図1A]



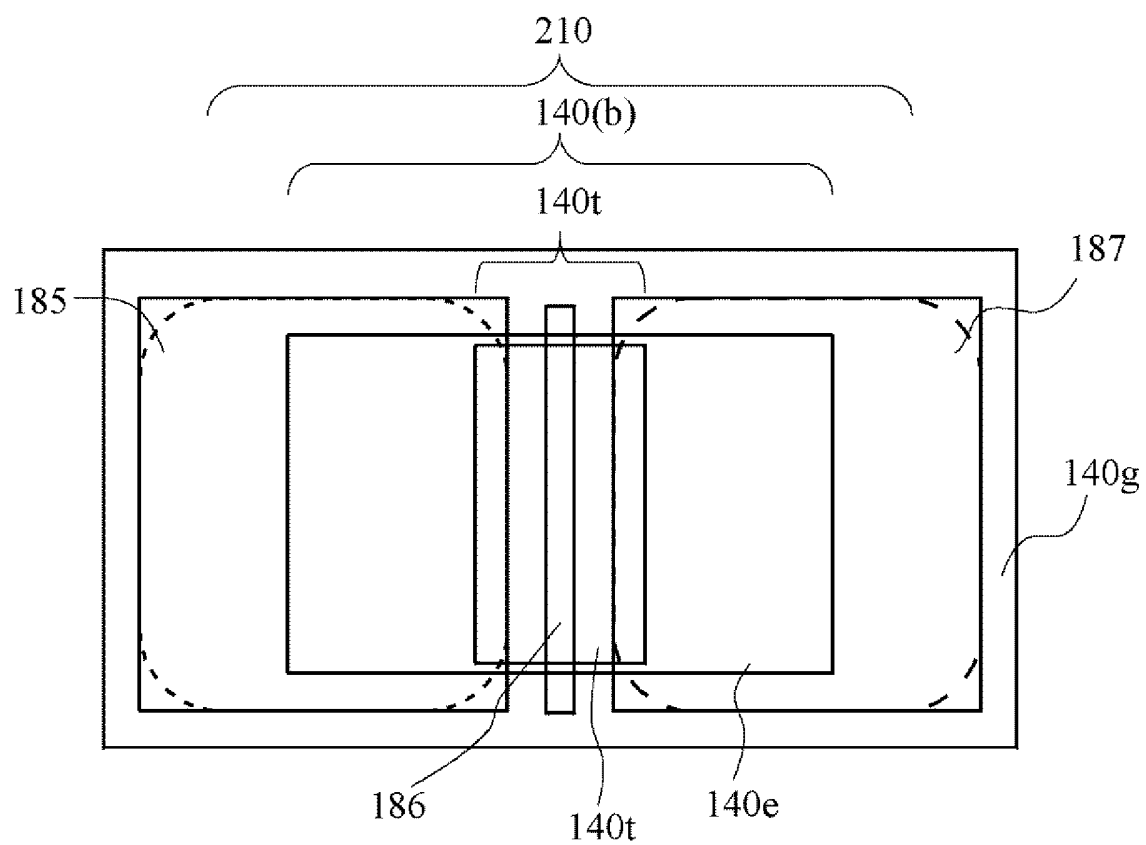
[図1B]



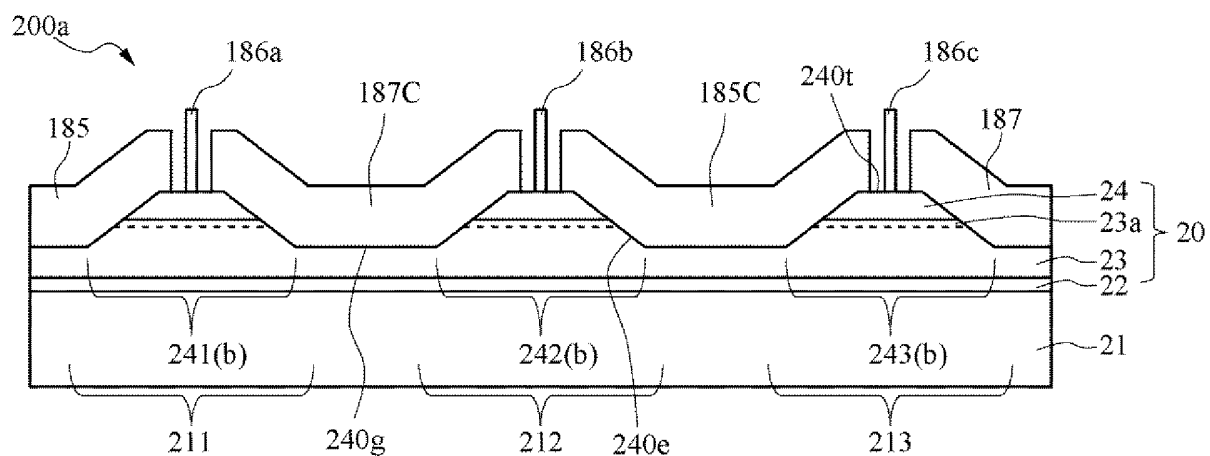
[図2A]



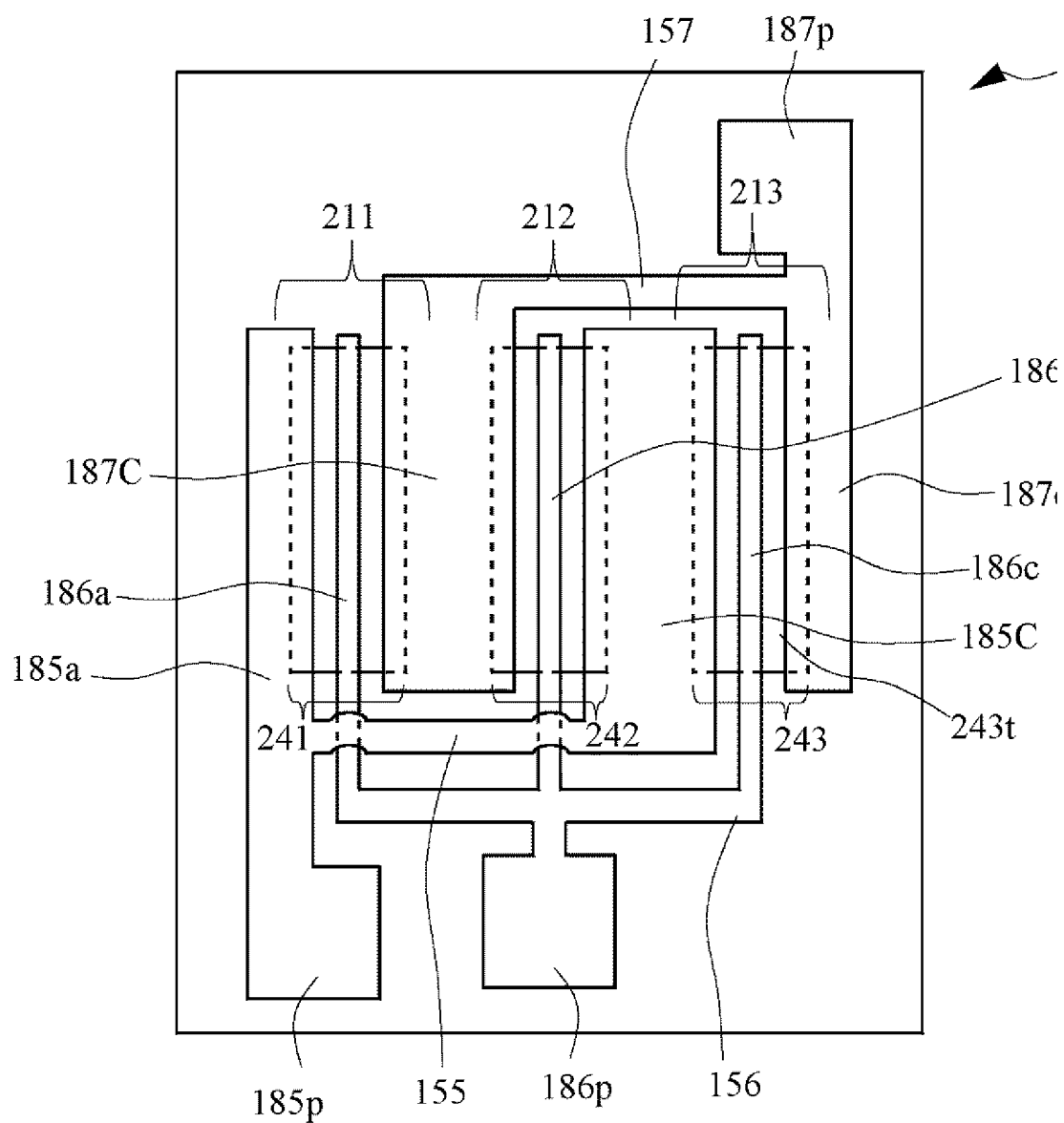
[図2B]



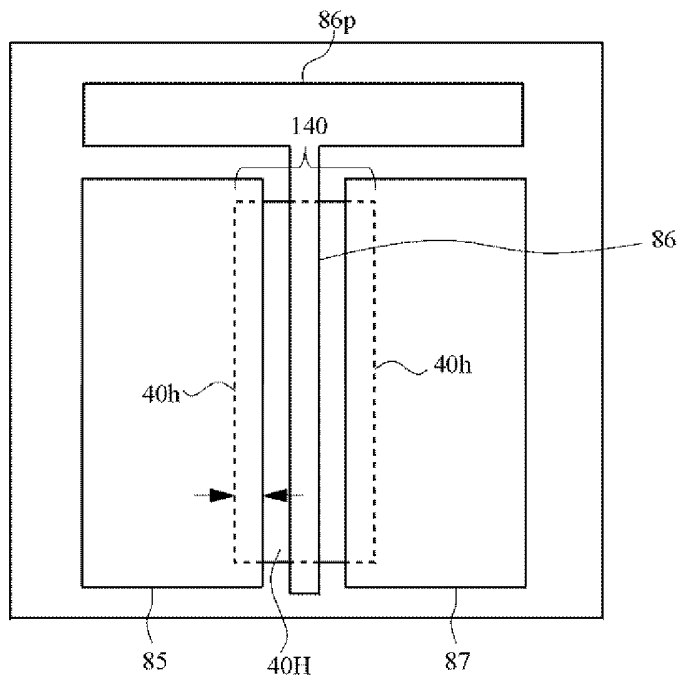
[図3]



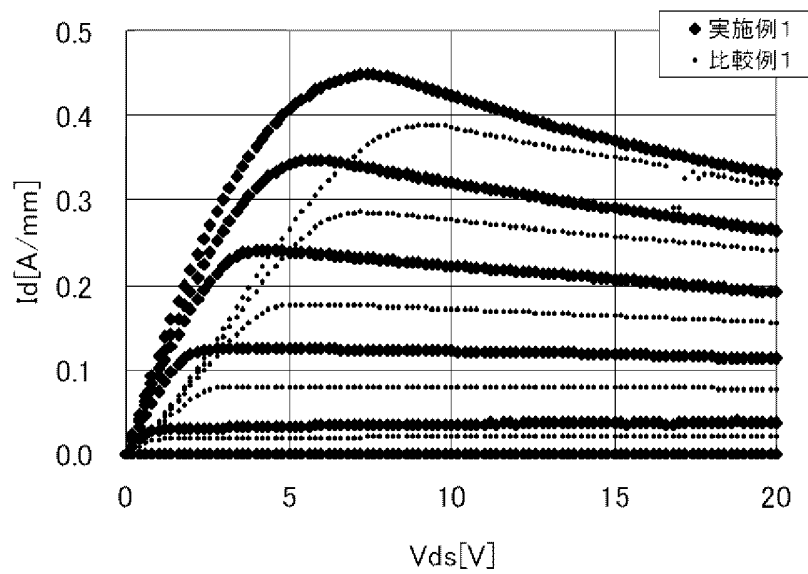
[図4]



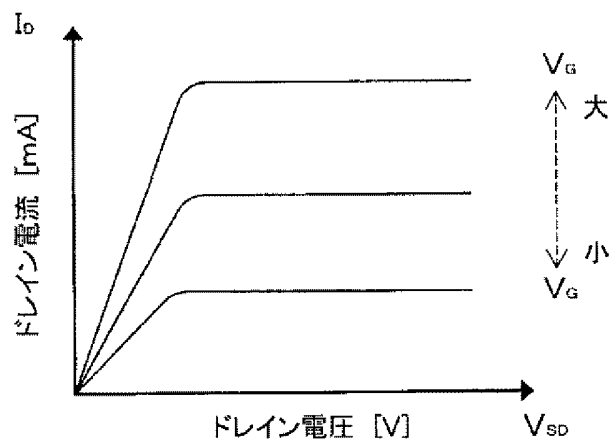
[図5]



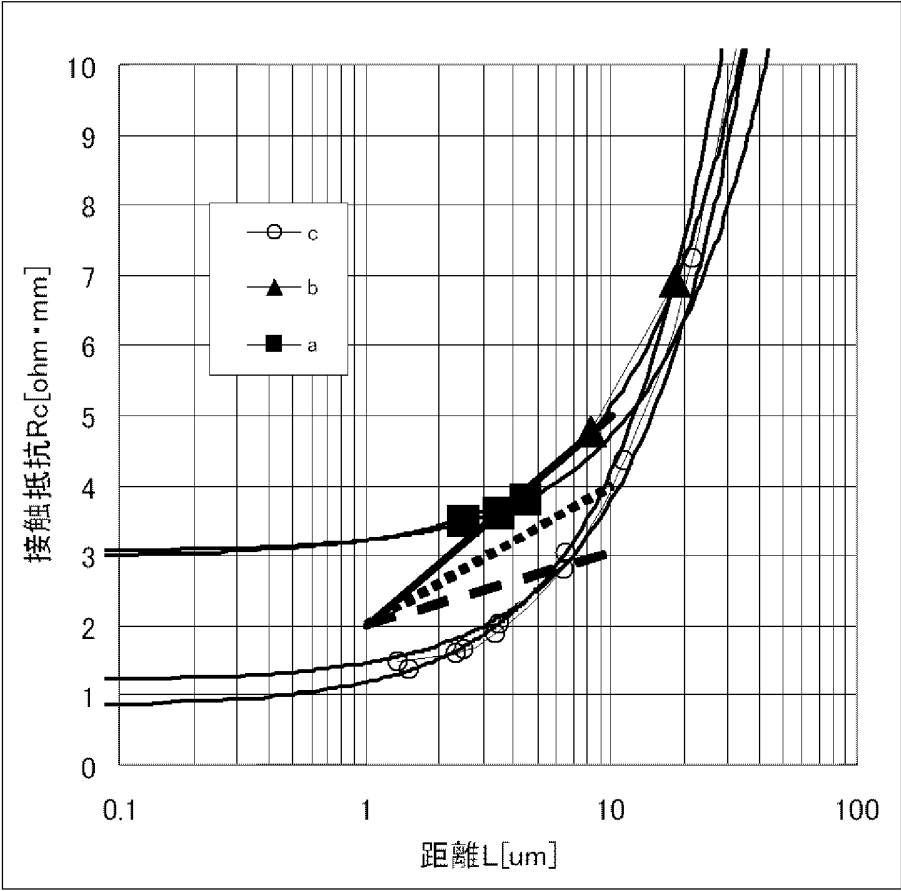
[図6]



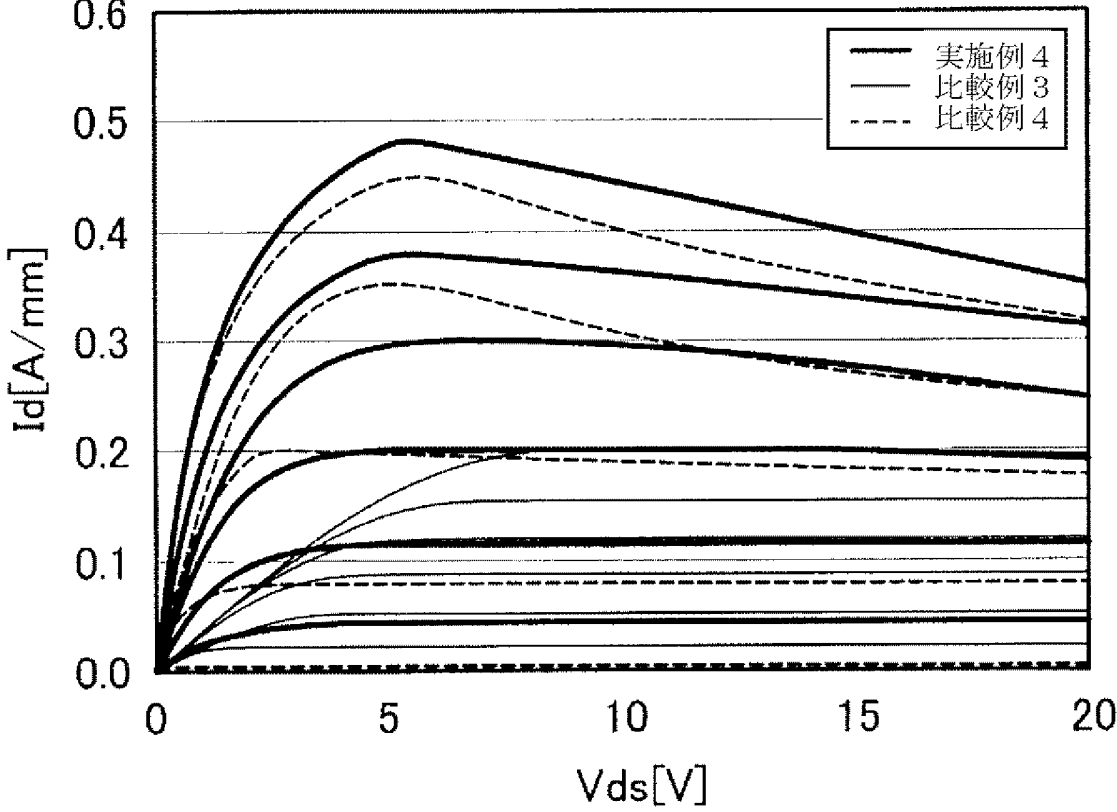
[図7]



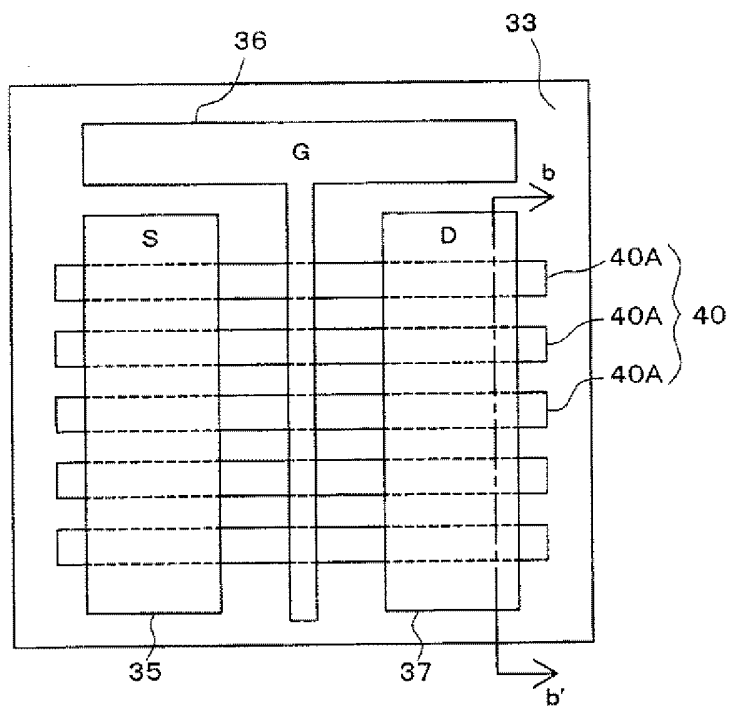
[図8]



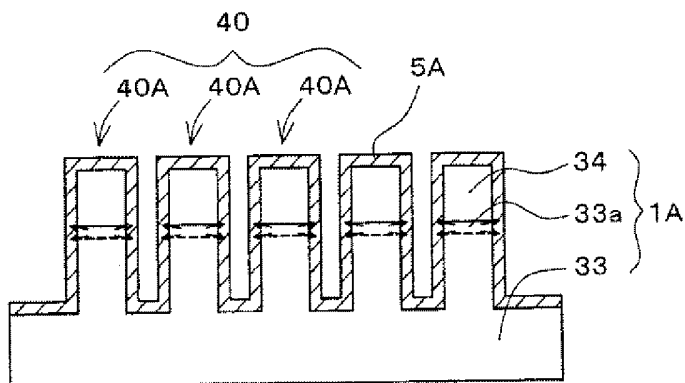
[図9]



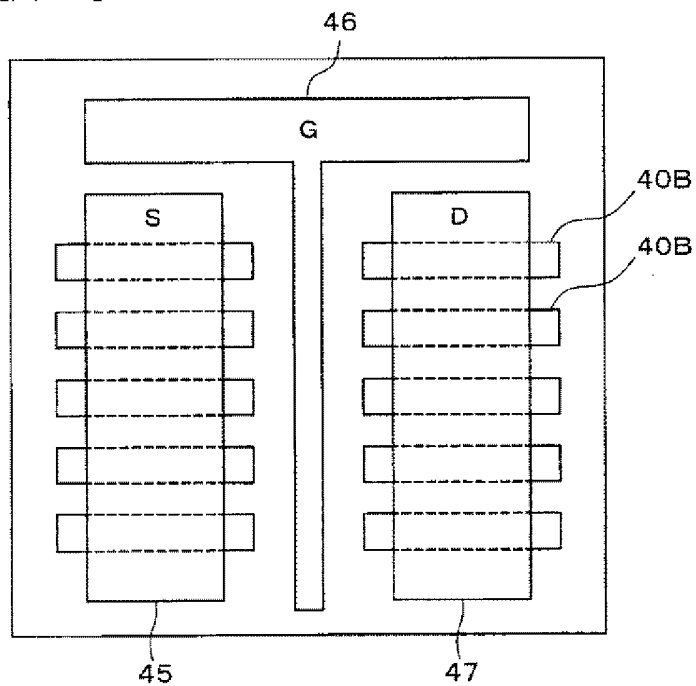
[図10A]



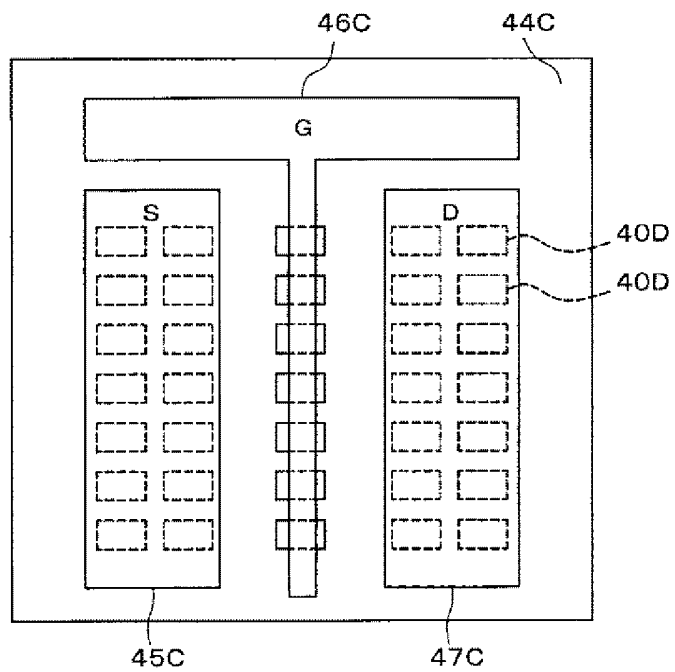
[図10B]



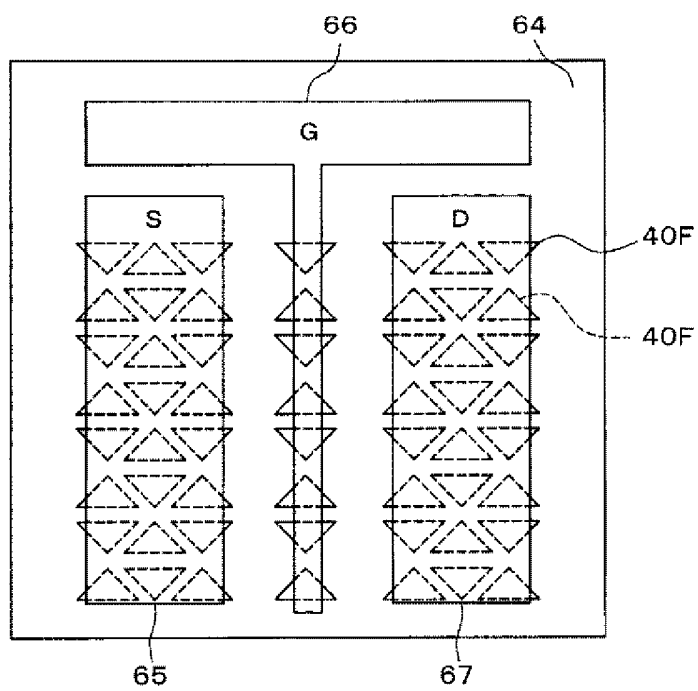
[図10C]



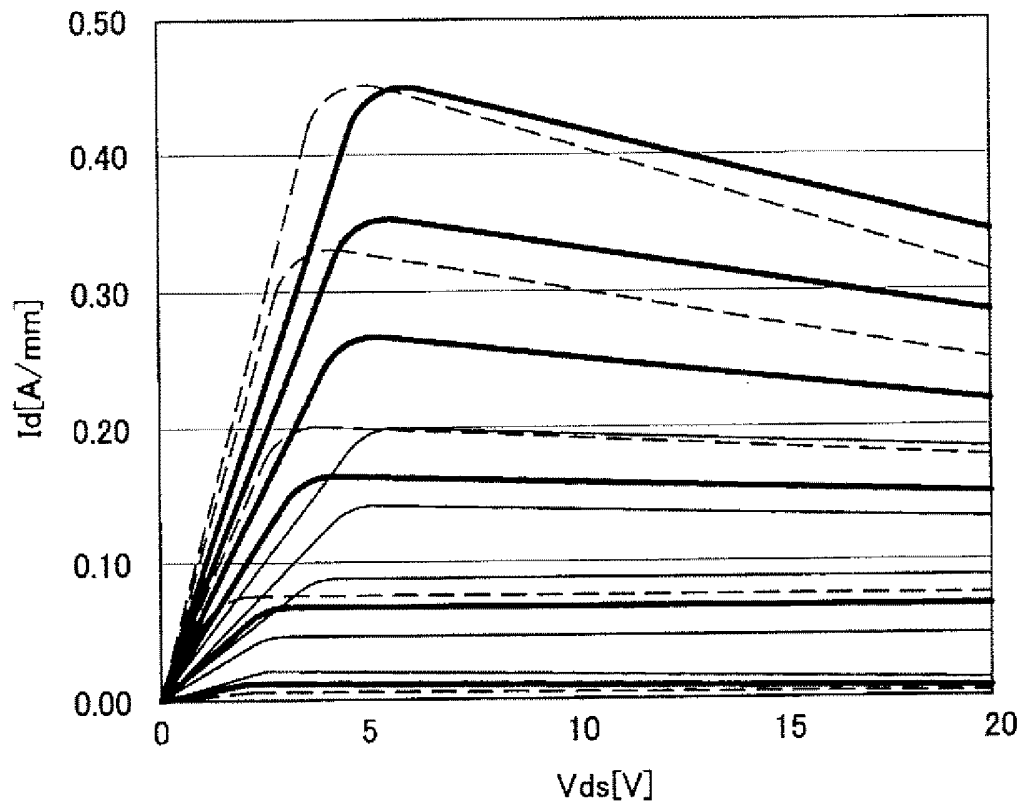
[図11]



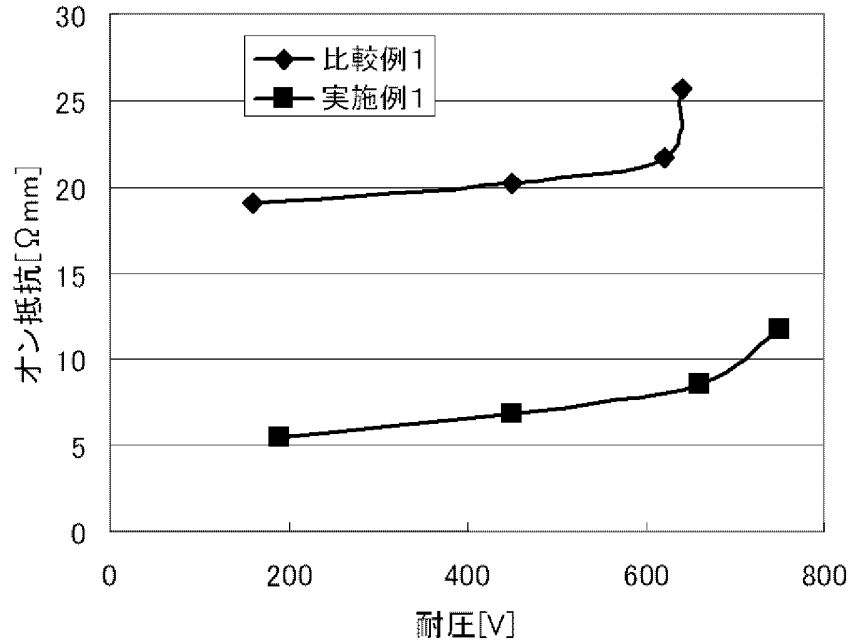
[図12]



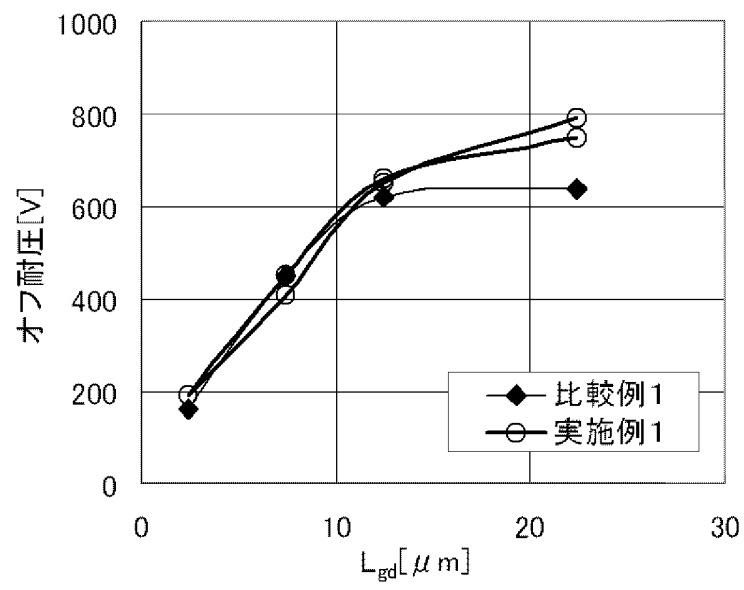
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305062

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01), H01L27/095(2006.01), H01L29/41(2006.01), H01L29/417(2006.01), H01L29/423(2006.01), H01L29/778(2006.01), H01L29/812(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338(2006.01), H01L27/095(2006.01), H01L29/41(2006.01), H01L29/417(2006.01), H01L29/423(2006.01), H01L29/778(2006.01), H01L29/812(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
Science Direct

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	D. Qiao et al., 'Transport properties of the advancing interface ohmic contact to AlGaIn/GaN heterostructures' Applied Physics Letters, Vol.80, No.6, 11 February, 2002 (11.02.02), pages 992 to 994, Fig. 1C	1-13 14
Y A	JP 63-308965 A (Toshiba Corp.), 16 December, 1988 (16.12.88), Fig. 1 (Family: none)	1-13 14
Y A	JP 5-182991 A (Mitsubishi Electric Corp.), 23 July, 1993 (23.07.93), Fig. 7 (Family: none)	1-13 14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
08 June, 2006 (08.06.06)

Date of mailing of the international search report
20 June, 2006 (20.06.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305062

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-102565 A (Toshiba Corp.), 13 April, 2001 (13.04.01), Figs. 11 (Family: none)	3
Y A	JP 9-64341 A (Denso Corp.), 07 March, 1997 (07.03.97), Figs. 1 to 2 (Family: none)	6, 10-13 14
A	JP 2003-45898 A (Sony Corp.), 14 February, 2003 (14.02.03), Par. No. [0004]; Fig. 1 (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int.Cl. H01L21/338 (2006. 01), H01L27/095 (2006. 01), H01L29/41 (2006. 01), H01L29/417 (2006. 01), H01L29/423 (2006. 01), H01L29/778 (2006. 01), H01L29/812 (2006. 01)			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int.Cl. H01L21/338 (2006. 01), H01L27/095 (2006. 01), H01L29/41 (2006. 01), H01L29/417 (2006. 01), H01L29/423 (2006. 01), H01L29/778 (2006. 01), H01L29/812 (2006. 01)			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報		1922-1996年	
日本国公開実用新案公報		1971-2006年	
日本国実用新案登録公報		1996-2006年	
日本国登録実用新案公報		1994-2006年	
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
Science Direct			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	D. Qiao et al., 'Transport properties of the advancing interface ohmic contact to AlGaIn/GaN heterostructures' Applied Physics Letters, Vol.80, No.6, 11 February 2002, P.992-994, FIG 1C	1-13	
A		14	
Y	J P 63-308965 A (株式会社東芝) 1988. 12. 16, 第1図 (ファミリーなし)	1-13	
A		14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 08. 06. 2006		国際調査報告の発送日 20. 06. 2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 萩原 周治 電話番号 03-3581-1101 内線 3498	4 L 3448

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 5-182991 A (三菱電機株式会社) 1993.07.23, 第7図 (ファミリーなし)	1-13
A		14
Y	J P 2001-102565 A (株式会社東芝) 2001.04.13, 図11 (ファミリーなし)	3
Y	J P 9-64341 A (株式会社デンソー) 1997.03.07, 図1-2 (ファミリーなし)	6, 10-13
A		14
A	J P 2003-45898 A (ソニー株式会社) 2003.02.14, 段落【0004】, 図1 (ファミリーなし)	1-14