

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5611224号
(P5611224)

(45) 発行日 平成26年10月22日 (2014. 10. 22)

(24) 登録日 平成26年9月12日 (2014. 9. 12)

(51) Int. Cl.	F I		
H O 4 L 25/02 (2006. 01)	H O 4 L 25/02	3 O 3 B	
H O 4 L 25/03 (2006. 01)	H O 4 L 25/03	Z	
H O 1 L 21/822 (2006. 01)	H O 1 L 27/04	F	
H O 1 L 27/04 (2006. 01)	H O 1 L 27/04	L	
H O 1 L 21/66 (2006. 01)	H O 1 L 27/04	T	
請求項の数 26 (全 77 頁) 最終頁に続く			

(21) 出願番号	特願2011-539323 (P2011-539323)	(73) 特許権者	000116024
(86) (22) 出願日	平成22年10月13日 (2010. 10. 13)		ローム株式会社
(86) 国際出願番号	PCT/JP2010/067903		京都府京都市右京区西院溝崎町2 1 番地
(87) 国際公開番号	W02011/055611	(74) 代理人	110001933
(87) 国際公開日	平成23年5月12日 (2011. 5. 12)		特許業務法人 佐野特許事務所
審査請求日	平成25年10月11日 (2013. 10. 11)	(74) 代理人	100085501
(31) 優先権主張番号	特願2009-253900 (P2009-253900)		弁理士 佐野 静夫
(32) 優先日	平成21年11月5日 (2009. 11. 5)	(74) 代理人	100134555
(33) 優先権主張国	日本国 (JP)		弁理士 林田 英樹
(31) 優先権主張番号	特願2009-273598 (P2009-273598)	(72) 発明者	柳島 大輝
(32) 優先日	平成21年12月1日 (2009. 12. 1)		京都府京都市右京区西院溝崎町2 1 ロー
(33) 優先権主張国	日本国 (JP)		ム株式会社内
(31) 優先権主張番号	特願2010-104192 (P2010-104192)	(72) 発明者	石川 俊行
(32) 優先日	平成22年4月28日 (2010. 4. 28)		京都府京都市右京区西院溝崎町2 1 ロー
(33) 優先権主張国	日本国 (JP)		ム株式会社内
最終頁に続く			

(54) 【発明の名称】 信号伝達回路装置、半導体装置とその検査方法及び検査装置、並びに、信号伝達装置及びこれを用いたモータ駆動装置

(57) 【特許請求の範囲】

【請求項 1】

入力側回路と出力側回路との間で信号の伝達が行われる信号伝達回路装置であって、
前記信号伝達回路装置は、

前記入力側回路に入力された制御入力信号を受信し、第1補正信号を出力する第1パルス生成回路と、

前記制御入力信号を受信し、第2補正信号を出力する第2パルス生成回路と、

前記第1補正信号および前記第2補正信号を受信し、前記入力側回路から前記出力側回路へ信号の伝達を行う入力信号伝達部と、

前記入力信号伝達部の出力を受信し、前記制御入力信号と等価な制御出力信号を出力する入力信号復元回路と、

前記制御出力信号を受信し、前記出力側回路から前記入力側回路へ信号の伝達を行い、帰還信号を出力する帰還信号伝達部と、

前記制御入力信号および前記帰還信号を受信し、前記制御入力信号と前記帰還信号の論理比較を行い、論理比較信号を出力する論理比較回路を備え、

前記第1パルス生成回路は、前記制御入力信号とともに前記論理比較信号を受信し、前記制御入力信号と前記論理比較信号が第1の組み合わせとなった場合に前記第1補正信号を出力し、

前記第2パルス生成回路は、前記制御入力信号とともに前記論理比較信号を受信し、前記制御入力信号と前記論理比較信号が前記第1の組み合わせとは異なる第2の組み合わせ

10

20

となった場合に前記第 2 補正信号を出力することを特徴とする信号伝達回路装置。

【請求項 2】

請求項 1 記載の信号伝達回路装置であって、

前記入力信号伝達部および前記帰還信号伝達部はそれぞれ少なくとも一つのアイソレータを有することを特徴とする信号伝達回路装置。

【請求項 3】

請求項 2 記載の信号伝達回路装置であって、

前記アイソレータはトランスであることを特徴とする信号伝達回路装置。

【請求項 4】

請求項 3 記載の信号伝達回路装置であって、

前記入力側回路、前記出力側回路、および前記トランスはそれぞれ異なる半導体基板上に形成されていることを特徴とする信号伝達回路装置。

10

【請求項 5】

請求項 3 記載の信号伝達回路装置であって、

前記入力側回路と前記出力側回路はそれぞれ異なる半導体基板上に形成されており、前記トランスは、前記入力側回路または前記出力側回路と同じ基板上に形成されていることを特徴とする信号伝達回路装置。

【請求項 6】

請求項 3 記載の信号伝達回路装置であって、

前記トランスの 1 次巻線と 2 次巻線は互いに別の接地電位に接続されていることを特徴とする信号伝達回路装置。

20

【請求項 7】

請求項 2 記載の信号伝達回路装置であって、

前記アイソレータはフォトカブラであることを特徴とする信号伝達回路装置。

【請求項 8】

請求項 1 記載の信号伝達回路装置であって、

前記入力信号復元回路は R S フリップフロップにより構成されていることを特徴とする信号伝達回路装置。

【請求項 9】

請求項 1 記載の信号伝達回路装置であって、

前記帰還信号伝達部は、

前記制御出力信号に同期して連続パルスを含む帰還パルスを含む帰還パルス生成回路と、

30

前記帰還パルスを波形整形する波形整形回路を有することを特徴とする信号伝達回路装置。

【請求項 10】

請求項 9 記載の信号伝達回路装置であって、

前記波形整形回路は、

前記帰還パルスでオン、オフするスイッチングトランジスタと、

前記スイッチングトランジスタと協働して前記帰還パルスとは異なる整形帰還信号を生成するための電流源およびキャパシタと、

40

前記整形帰還信号が入力され前記整形帰還信号とは異なる前記帰還信号を生成するコンパレータを有することを特徴とする信号伝達回路装置。

【請求項 11】

請求項 1 記載の信号伝達回路装置であって、

前記論理比較回路はエクスクルーシブ OR 回路を有することを特徴とする信号伝達回路装置。

【請求項 12】

請求項 1 記載の信号伝達回路装置であって、

前記第 1 補正信号及び前記第 2 補正信号は連続パルスを含む信号であり、

50

前記第 1 パルス生成回路は、前記制御入力信号と前記論理比較信号が前記第 1 の組み合わせとなった期間に連続パルスの有する前記第 1 補正信号を出力し、

前記第 2 パルス生成回路は、前記制御入力信号と前記論理比較信号が前記第 2 の組み合わせとなった期間に連続パルスの有する前記第 2 補正信号を出力することを特徴とする信号伝達回路装置。

【請求項 13】

請求項 1 記載の信号伝達回路装置であって、

前記帰還信号伝達部は、

前記制御出力信号の立ち上がりエッジを検出し第 1 帰還パルスを生成する第 1 出力エッジ検出回路と、

10

前記制御出力信号の立ち下がりエッジを検出し第 2 帰還パルスを生成する第 2 出力エッジ検出回路と、

前記第 1 帰還パルスおよび前記第 2 帰還パルスがセット端子およびリセット端子に各別に入力される RS フリップフロップを有することを特徴とする信号伝達回路装置。

【請求項 14】

請求項 1 記載の信号伝達回路装置であって、

前記帰還信号伝達部は、

前記制御出力信号の立ち上がりエッジおよび立ち下がりエッジを検出し帰還パルスを生成する出力エッジ検出回路と、

前記帰還パルスがクロック端子に入力される D フリップフロップを有することを特徴とする信号伝達回路装置。

20

【請求項 15】

請求項 1 記載の信号伝達回路装置であって、

前記入力信号復元回路は D フリップフロップにより構成されていることを特徴とする信号伝達回路装置。

【請求項 16】

請求項 1 記載の信号伝達回路装置であって、

前記信号伝達回路装置はさらに、

前記制御入力信号の立ち上がりエッジを検出し第 1 入力パルスを生成する第 1 エッジ検出回路と、

30

前記制御入力信号の立ち下がりエッジを検出し第 2 入力パルスを生成する第 2 エッジ検出回路を備え、

前記入力信号伝達部は、前記第 1 補正信号および前記第 2 補正信号とともに前記第 1 入力パルスおよび前記第 2 入力パルスを受信することを特徴とする信号伝達回路装置。

【請求項 17】

請求項 16 記載の信号伝達回路装置であって、

前記入力信号伝達部は、

前記第 1 補正信号と前記第 1 入力パルスを論理和処理する第 1 論理和回路と、

前記第 2 補正信号と前記第 2 入力パルスを論理和処理する第 2 論理和回路を有し、

前記入力信号復元回路は、

40

前記第 1 論理和回路の出力がセット端子に入力され、前記第 2 論理和回路の出力がリセット端子に入力される RS フリップフロップにより構成されていることを特徴とする信号伝達回路装置。

【請求項 18】

請求項 17 記載の信号伝達回路装置であって、

前記第 1 論理和回路および前記第 2 論理和回路は前記入力側回路に設けられていることを特徴とする信号伝達回路装置。

【請求項 19】

請求項 16 記載の信号伝達回路装置であって、

前記入力信号伝達部は、

50

前記第 1 補正信号、前記第 2 補正信号、前記第 1 入力パルス、および前記第 2 入力パルスを論理和処理する論理和回路を有し、

前記入力信号復元回路は、前記論理和回路の出力がクロック端子に入力される D フリップフロップにより構成されていることを特徴とする信号伝達回路装置。

【請求項 20】

請求項 19 記載の信号伝達回路装置であって、

前記論理和回路は前記入力側回路に設けられていることを特徴とする信号伝達回路装置

【請求項 21】

入力側回路と出力側回路との間で信号の伝達が行われる信号伝達回路装置であって、

前記信号伝達回路装置は、

前記入力側回路に入力された制御入力信号を受信し、第 1 補正信号を出力する第 1 論理積回路と、

前記制御入力信号の反転信号を受信し、第 2 補正信号を出力する第 2 論理積回路と、

前記第 1 補正信号および前記第 2 補正信号を受信し、前記入力側回路から前記出力側回路へ信号の伝達を行う入力信号伝達部と、

前記入力信号伝達部の出力を受信し、前記制御入力信号と等価な制御出力信号を出力する入力信号復元回路と、

前記制御出力信号を受信し、前記出力側回路から前記入力側回路へ信号の伝達を行い、帰還信号を出力する帰還信号伝達部と、

前記制御入力信号および前記帰還信号を受信し、前記制御入力信号と前記帰還信号の論理比較を行い、論理比較信号を出力する論理比較回路と、

前記論理比較信号を受信し、前記論理比較信号に同期した論理比較パルス信号を出力する比較パルス生成回路を備え、

前記第 1 論理積回路は、前記制御入力信号とともに前記論理比較パルス信号を受信し、

前記第 2 論理積回路は、前記制御入力信号の反転信号とともに前記論理比較パルス信号を受信することを特徴とする信号伝達回路装置。

【請求項 22】

入力側回路と出力側回路との間で信号の伝達が行われる信号伝達回路装置であって、

前記信号伝達回路装置は、

前記入力側回路に入力された制御入力信号の立ち上がりエッジを検出し第 1 入力パルスを生成する第 1 エッジ検出回路と、

前記制御入力信号の立ち下がりエッジを検出し第 2 入力パルスを生成する第 2 エッジ検出回路と、

前記制御入力信号、前記第 1 入力パルス、および前記第 2 入力パルスを受信し、前記第 1 入力パルスまたは前記第 2 入力パルスを受信したタイミングでセット信号またはリセット信号を出力する信号合成回路と、

前記セット信号および前記リセット信号を受信し、前記入力側回路から前記出力側回路へ信号の伝達を行う入力信号伝達部と、

前記入力信号伝達部の出力を受信し、前記制御入力信号と等価な制御出力信号を出力する入力信号復元回路と、

前記制御出力信号を受信し、前記出力側回路から前記入力側回路へ信号の伝達を行い、帰還信号を出力する帰還信号伝達部と、

前記制御入力信号および前記帰還信号を受信し、前記制御入力信号と前記帰還信号の論理比較を行い、論理比較信号を出力する論理比較回路と、

前記論理比較信号を受信し、前記論理比較信号に同期した論理比較パルス信号を出力する比較パルス生成回路を備え、

前記信号合成回路は、前記制御入力信号、前記第 1 入力パルス、および前記第 2 入力パルスとともに、前記論理比較パルス信号を受信し、前記論理比較パルス信号を受信したタイミングにおいても、前記セット信号または前記リセット信号の出力を行うことを特徴と

10

20

30

40

50

する信号伝達回路装置。

【請求項 2 3】

請求項 2 2 記載の信号伝達回路装置であって、

前記信号合成回路は、前記第 1 入力パルス、前記第 2 入力パルス、および前記論理比較パルス信号を受信する論理和回路と、

前記制御入力信号と前記論理和回路の出力を受信し、前記セット信号を出力する第 1 論理積回路と、

前記制御入力信号の反転信号と前記論理和回路の出力を受信し、前記リセット信号を出力する第 2 論理積回路を有することを特徴とする信号伝達回路装置。

【請求項 2 4】

請求項 2 1 または 2 2 記載の信号伝達回路装置であって、

前記入力信号伝達部および前記帰還信号伝達部はそれぞれ少なくとも一つのトランスを有することを特徴とする信号伝達回路装置。

【請求項 2 5】

請求項 2 1 または 2 2 記載の信号伝達回路装置であって、

前記入力信号復元回路は R S フリップフロップにより構成されていることを特徴とする信号伝達回路装置。

【請求項 2 6】

請求項 2 1 または 2 2 記載の信号伝達回路装置であって、

前記帰還信号伝達部は、

前記制御出力信号に同期して連続パルスを有する帰還パルスを生成する帰還パルス生成回路と、

前記帰還パルスを波形整形する波形整形回路を有することを特徴とする信号伝達回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書中に開示されている第 1 の技術的特徴は、アイソレータを介して制御入力信号の伝達を行う信号伝達回路装置に関し、特に制御出力信号を入力側回路に帰還して信号の補正を行う機能を有する信号伝達回路装置に関する。

【0002】

また、本明細書中に開示されている第 2 の技術的特徴は、コイルを集積化した半導体装置、並びに、その検査方法及び検査装置に関するものである。

【0003】

また、本明細書中に開示されている第 3 の技術的特徴は、トランスを用いた信号伝達装置、及び、これを用いたモータ駆動装置に関するものである。

【背景技術】

【0004】

< 第 1 の背景技術 >

従来、ハイブリッド自動車、電気自動車、家電機器、産業機器、および医療機器の分野において、入出力間を直流的に絶縁し、かつ信号の伝達を行うために、アイソレータを用いた信号伝達回路装置が用いられてきた。

【0005】

図 19 に、従来のたとえばハイブリッド自動車等に搭載されたモータを駆動するためのパワー半導体の駆動回路装置およびそれに用いる信号伝達回路装置を示す。パワー半導体の駆動回路装置 100 は、電子制御装置 102、信号伝達回路装置 104、パワー半導体 106、およびモータ 108 を備えている。

【0006】

電子制御装置 102 はたとえばハイブリッド自動車等に搭載されたモータ 108 を、パワー半導体 106 を介して制御するための制御入力信号を生成する。電子制御装置 102

10

20

30

40

50

は、この種の技術分野での ECU (Engine Control Unit) に相当する。

【 0007 】

信号伝達回路装置 104 は、送信パルス生成回路 110、入力信号伝達部 112 および受信回路 114 を備える。入力信号伝達部 112 は信号伝達回路装置 104 の入力側回路と出力側回路を直流的に絶縁するためのアイソレータとして、図示しないフォトカプラまたはトランスを有する。

【 0008 】

図 20 は特許文献 1 の図 1 に示された信号伝達回路装置であり、信号伝達回路装置 120 は、グリッチフィルタ 122、エッジ検出器 124、126、インバータ 128、トランス 130、132、およびフリップフロップ 134 を備える。

10

【 0009 】

トランス 130 は 1 次巻線 130A、2 次巻線 130B を備え、トランス 132 は 1 次巻線 132A、2 次巻線 132B を備える。1 次巻線 130A、132A は接地電位 A (GND A) に、2 次巻線 130B、132B は接地電位 A とは直流的に絶縁された別の接地電位 B (GND B) に各別に接続されている。

【 0010 】

また、特許文献 1 の図 8 を参照すると、第 1 基板 804 側に送信回路 802 および接地電位 A (GND A) 等を設け、第 2 基板 808 側には 1 次巻線としての機能を有するトップコイル 806A、受信回路 810、2 次巻線としての機能を有するボトムコイル 806B および接地電位 B (GND B) 等が設けられており、IC チップ上にトランスを含むアイソレータを形成するという技術思想が開示されている。

20

【 0011 】

図 21 は、特許文献 2 の図 7 に開示されている信号伝達回路装置を参照符号を替えて示したものである。

【 0012 】

特許文献 2 には、入力側回路において定期的にリフレッシュパルスを生成することで、制御入力信号と制御出力信号の不一致を修正する技術思想が開示されている。

【 0013 】

信号伝達回路装置 140 はシュミットトリガインバータ 142、150、入力信号エンコード回路 144、トランス 146、入力信号デコード回路 148、を備え、さらに入力信号更新回路 152、ウォッチドッグ回路 154 を備える。入力信号更新回路 152 は定期的にリフレッシュパルスを生成し、制御入力信号の更新を行う。ウォッチドッグ回路 154 は回路装置内の異常を検知し制御出力信号のシャットダウン等の制御を行う。

30

【 0014 】

< 第 2 の背景技術 >

図 33 は、コイルを集積化した半導体装置の一従来例を示す模式図である。本従来例の半導体装置 Y10 は、コイル L1 と、パッド Y11 及び Y12 と、を有して成る。なお、コイル L1 の両端は、それぞれパッド Y11 及び Y12 に接続されている。

【 0015 】

図 34 は、半導体装置 Y10 の不良品検査を説明するための模式図である。半導体装置 Y10 の不良品検査に用いられる検査装置 Y20 は、プローブ Y21 及び Y22 と、定電流源 Y23 と、電圧計 Y24 と、を有して成る。なお、定電流源 Y23 と電圧計 Y24 の各一端はプローブ Y21 に接続されており、各他端はプローブ Y22 に接続されている。

40

【 0016 】

従来、半導体装置 Y10 の不良品検査では、パッド Y11 及び Y12 にそれぞれプローブ Y21 及び Y22 を接触させて、定電流源 Y23 からコイル L1 に所定の定電流 I を流し、そのときに発生するコイル L1 の両端間電圧 (コイル L1 の直列抵抗成分 R_L に起因して発生する電圧降下) を電圧計 Y24 で測定することにより、コイル L1 の断線チェックが行われていた。すなわち、コイル L1 の両端間電圧が正常に測定できない場合には、

50

コイル L 1 に断線が生じていると判断し、その半導体装置 Y 1 0 を不良品としてリジェクトしていた。

【 0 0 1 7 】

なお、コイルを集積化した半導体装置に関連する従来技術の一例としては、特許文献 3 を挙げることができる。

【 0 0 1 8 】

< 第 3 の背景技術 >

図 4 3 は、信号伝達装置の一従来例を示す回路ブロック図であり、図 4 4 は、その正常動作の一例を示すタイミングチャートである。本従来例の信号伝達装置 1 0 0 は、トランス駆動信号生成部 1 0 1 と、トランス 1 0 2 a 及び 1 0 2 b と、コンパレータ 1 0 3 a 及び 1 0 3 b と、S R フリップフロップ 1 0 4 と、を有しており、トランス 1 0 2 a 及び 1 0 2 b を用いて、一次側回路の接地電圧 G N D 1 と二次側回路の接地電圧 G N D 2 を絶縁しながら、両回路間での信号伝達を実現するものである。

【 0 0 1 9 】

トランス駆動信号生成部 1 0 1 は、トランス駆動信号 S 1 0 a 及び S 2 0 a を生成し、これらをトランス 1 0 2 a 及び 1 0 2 b の一次側巻線に各々出力する。なお、トランス駆動信号生成部 1 0 1 は、入力信号 I N の立上がりエッジをトリガとしてトランス駆動信号 S 1 0 a に 1 発のパルスが発生させる一方、入力信号 I N の立下がりエッジをトリガとしてトランス駆動信号 S 2 0 a に 1 発のパルスが発生させる。

【 0 0 2 0 】

トランス 1 0 2 a 及び 1 0 2 b は、それぞれ、トランス駆動信号 S 1 0 a 及び S 2 0 a に応じた誘起信号 S 1 0 b 及び S 2 0 b を各々の二次側巻線に発生させる。

【 0 0 2 1 】

コンパレータ 1 0 3 a 及び 1 0 3 b は、それぞれ、誘起信号 S 1 0 b 及び S 2 0 b と所定の閾値電圧とを比較して比較信号 S 1 0 c 及び S 2 0 c を生成し、これらを S R フリップフロップ 1 0 4 のセット入力端 (S) 及びリセット入力端 (R) に各々出力する。

【 0 0 2 2 】

S R フリップフロップ 1 0 4 は、比較信号 S 1 0 c の立上がりエッジをトリガとして出力信号 O U T をハイレベルにセットし、比較信号 S 2 0 c の立上がりエッジをトリガとして出力信号 O U T をローレベルにリセットする。

【 0 0 2 3 】

従って、正常な信号伝達動作が行われていれば、S R フリップフロップ 1 0 4 から出力される出力信号 O U T は、トランス駆動信号生成部 1 0 1 に入力される入力信号 I N と同一信号となる。

【 0 0 2 4 】

なお、上記に関連する従来技術の一例としては、特許文献 1 を挙げることができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 2 5 】

【 特許文献 1 】 米国特許第 7 0 7 5 3 2 9 号明細書

【 特許文献 2 】 特開 2 0 0 7 - 1 2 3 6 5 0 号公報

【 特許文献 3 】 特開 2 0 0 1 - 8 5 2 4 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 6 】

< 第 1 の技術的特徴が解決しようとする第 1 の課題 >

しかしながら、図 1 9、図 2 0 に示す信号伝達回路装置はともに、入力側回路において入力された信号を出力側回路へ一方的に送信するものであり、たとえば入力信号伝達部におけるノイズの発生等に起因する入出力信号の不一致といった異常状態を回避する手段を兼ね備えてはいない。

10

20

30

40

50

【 0 0 2 7 】

特許文献 2 には、リフレッシュパルスの発生により所定間隔ごとに制御出力信号を更新する技術思想が開示されているものの、制御出力信号と制御入力信号を直接比較して入出力信号の不一致を回避する技術思想に関しては何ら示唆されていない。特許文献 2 記載の信号伝達回路装置においては、耐ノイズ特性を向上させるためにはリフレッシュパルスの周波数を高くする必要がある、安定性、消費電力の面において不具合が生じ得る。

【 0 0 2 8 】

本発明はこうした不具合を克服したものであって、何らかの問題により制御入力信号が制御出力信号へ正確に伝達されない異常状態が発生した場合に、該異常状態の検出に基づいて制御出力信号の補正が行われる信号伝達回路装置を提供することを目的とする。

10

【 0 0 2 9 】

< 第 2 の技術的特徴が解決しようとする第 2 の課題 >

ところで、図 3 3、図 3 4 に示した半導体装置 Y 1 0 の不良品検査に際して、電圧計 Y 2 4 で得られる検出電圧 V d e t の電圧値は、下記 (1) 式で表される。

【 0 0 3 0 】

$$V d e t = I \times (R L + R x + R y) \quad \dots \quad (1)$$

【 0 0 3 1 】

なお、上記 (1) 式中において、変数 R x はプローブ Y 2 1 をパッド Y 1 1 に接触させたときの接触抵抗成分であり、変数 R y はプローブ Y 2 2 をパッド Y 1 2 に接触させたときの接触抵抗成分である。

20

【 0 0 3 2 】

上記 (1) 式から分かるように、検出電圧 V d e t は、コイル L 1 の直列抵抗成分 R L だけでなく、プローブ Y 2 1 及び Y 2 2 の接触抵抗成分 R x 及び R y の影響を受ける。特に、コイル L 1 の直列抵抗成分 R L は、プローブ Y 2 1 及び Y 2 2 の接触抵抗成分 R x 及び R y と大差のない極めて微小な抵抗成分 (数 ~ 数十) であるため、半導体装置 Y 1 0 の不良品検査に際して、直列抵抗成分 R L を正確に測定し、コイル L 1 の抵抗値異常を検出することは非常に困難であった。

【 0 0 3 3 】

そのため、上記従来の半導体装置 Y 1 0 では、コイル L 1 の抵抗値異常 (例えば、巻線同士の中途短絡) が生じていても、コイル L 1 の断線が生じていなければ、これを不良品としてリジェクトすることができず、市場に流出させてしまうおそれがあった。

30

【 0 0 3 4 】

本発明は、上記の問題点に鑑み、コイルの抵抗値異常を検査することが可能な半導体装置及びその検査方法を提供することを目的とする。

【 0 0 3 5 】

< 第 3 の技術的特徴が解決しようとする第 3 の課題 >

しかしながら、図 4 3 に示した上記従来例の信号伝達装置 1 0 0 では、二次側回路の接地電圧 G N D 2 に変動が生じた場合など、トランス 1 0 2 a 及び 1 0 2 b の二次側巻線に現れる誘起信号 S 1 0 b 及び S 2 0 b の一方または両方にノイズが発生した場合に、比較信号 S 1 0 c 及び S 2 0 c に誤パルスが生じて、出力信号 O U T が意図しない論理レベルに変遷してしまうという課題があった。

40

【 0 0 3 6 】

例えば、図 4 5 A では、入力信号 I N がローレベルであるときに、誘起信号 S 1 0 b にノイズが発生したことにより、比較信号 S 1 0 c に誤パルスが生じて、出力信号 O U T が意図せずハイレベルに変遷してしまう様子が描写されている。また、図 4 5 B では、入力信号 I N がハイレベルであるときに、誘起信号 S 2 0 b にノイズが発生したことにより、比較信号 S 2 0 c に誤パルスが生じて、出力信号 O U T が意図せずローレベルに変遷してしまう様子が描写されている。

【 0 0 3 7 】

また、トランス 1 0 2 a 及び 1 0 2 b が近接して配置されている場合には、誘起信号 S

50

10 b 及び S 20 b の両方に同一のノイズが発生すると考えられるが、このような場合でも、出力信号 O U T が意図しない論理レベルに変遷してしまう可能性はあり得る。

【0038】

例えば、S R フリップフロップ 104 は、比較信号 S 10 c 及び S 20 c がいずれもハイレベルとなっている間、出力信号 O U T をそれ以前の論理レベルに保持する構成であると仮定する。このような構成が採用されている場合、誘起信号 S 10 b 及び S 20 b の両方に同一のノイズが発生したときに、比較信号 S 10 c 及び S 20 c が同時にハイレベルに立ち上がり、かつ、同時にローレベルに立ち下がるのであれば、出力信号 O U T が意図しない論理レベルに変遷することはない。

【0039】

しかしながら、実際には、コンパレータ 103 a 及び 103 b の応答速度のばらつき等により、比較信号 S 10 c 及び S 20 c の論理変遷タイミングにはズレが生じるため、一方が先にハイレベルに立ち上がったたり、一方が先にローレベルに立ち下がったりすると、出力信号 O U T が意図しない論理レベルに変遷してしまう。

【0040】

例えば、図 46 A では、入力信号 I N がローレベルであるときに、誘起信号 S 10 b 及び S 20 b の両方にノイズが発生した際、比較信号 S 10 c 及び S 20 c が同時にハイレベルに立ち上がったものの、比較信号 S 20 c が先にローレベルに立ち下がった結果、出力信号 O U T が意図せずハイレベルに変遷してしまう様子が描写されている。また、図 46 B では、入力信号 I N がハイレベルであるときに、誘起信号 S 10 b 及び S 20 b の両方にノイズが発生した際、比較信号 S 10 c 及び S 20 c が同時にハイレベルに立ち上がったものの、比較信号 S 10 c が先にローレベルに立ち下がった結果、出力信号 O U T が意図せずローレベルに変遷してしまう様子が描写されている。

【0041】

本発明は、本願の発明者らによって見い出された上記の問題点に鑑み、ノイズの影響を受けにくい信号伝達装置、及び、これを用いたモータ駆動装置の提供を目的とする。

【課題を解決するための手段】

【0042】

< 第 1 の課題を解決するための手段 >

本明細書において、「復元」とは元の信号の形態、位置（位相）に戻すことである。たとえば制御出力信号を例にすると、入力端子に入力された制御入力信号は出力端子に至るまでに各種各様の信号に変換または整形されるが、出力端子に出力される時点では制御出力信号は元の制御入力信号の形態、位置（位相）に戻される。この動作を「復元」と称する。

【0043】

また、本明細書において「等価」とは、回路機能に支障が生じない程度に信号形態、信号の位置（位相）が所定の範囲に収まっていることを指す。

【0044】

また、本明細書において「入力側回路」、「出力側回路」とは、信号が入力される回路部を「入力側回路」、信号が出力される回路部を「出力側回路」としてそれぞれ称する。本明細書において、「入力側回路」と「出力側回路」の境界は後述の入力信号伝達部または帰還信号伝達部であるが、これらの信号伝達部は「入力側回路」および「出力側回路」に跨って設けられている。

【0045】

また、本明細書において「直流的に絶縁する」とは絶縁すべき対象物が導体では接続されていないということである。

【0046】

また、本明細書において「第 1 電位」、「第 2 電位」とは矩形波信号におけるハイレベルまたはローレベルを指し、各信号におけるハイレベルおよびローレベルの電圧値は回路構成により所定の値に設定される。もちろん、信号ごとに第 1 電位または第 2 電位の電圧

10

20

30

40

50

値が異なる場合もある。本明細書においては、「第 1 電位」をハイレベル、「第 2 電位」をローレベルとして説明するが、もちろん「第 1 電位」をローレベル、「第 2 電位」をハイレベルとして信号伝達回路装置を構成してもよい。

【 0 0 4 7 】

また、本明細書において「第 1 の組み合わせ」とは、制御入力信号と後述する帰還信号の比較結果が“不一致”であり、かつ制御入力信号が第 1 電位である組み合わせを指し、「第 2 の組み合わせ」とは、制御入力信号と帰還信号の比較結果が“不一致”であり、かつ制御入力信号が第 2 電位である組み合わせを指す。

【 0 0 4 8 】

また、本明細書において「出力信号補正機能」とは、制御出力信号の電位（第 1 電位または第 2 電位）が制御入力信号の電位と“不一致”の状態となった場合に、制御出力信号の電位を制御入力信号の電位と“一致”させる機能を指す。

【 0 0 4 9 】

本発明は、入力側回路と出力側回路との間で信号の伝達が行われる信号伝達回路装置であって、前記信号伝達回路装置は、

（ a ）前記入力側回路に入力された制御入力信号を受信し、第 1 補正信号を出力する第 1 パルス生成回路と、

（ b ）前記制御入力信号を受信し、第 2 補正信号を出力する第 2 パルス生成回路と、

（ c ）前記第 1 補正信号および前記第 2 補正信号を受信し、前記入力側回路から前記出力側回路へ信号の伝達を行う入力信号伝達部と、

（ d ）前記入力信号伝達部の出力を受信し、前記制御入力信号と等価な制御出力信号を出力する入力信号復元回路と、

（ e ）前記制御出力信号を受信し、前記出力側回路から前記入力側回路へ信号の伝達を行い、帰還信号を出力する帰還信号伝達部と、

（ f ）前記制御入力信号および前記帰還信号を受信し、前記制御入力信号と前記帰還信号の論理比較を行い、論理比較信号を出力する論理比較回路を備え、

（ g ）前記第 1 パルス生成回路は、前記制御入力信号とともに前記論理比較信号を受信し、前記制御入力信号と前記論理比較信号が第 1 の組み合わせとなった場合に前記第 1 補正信号を出力し、前記第 2 パルス生成回路は、前記制御入力信号とともに前記論理比較信号を受信し、前記制御入力信号と前記論理比較信号が前記第 1 の組み合わせとは異なる第 2 の組み合わせとなった場合に前記第 2 補正信号を出力する（第 1 - 1 の構成）。

【 0 0 5 0 】

こうした構成の信号伝達回路装置は、制御出力信号を入力側回路に帰還する帰還信号伝達部と、帰還信号と制御入力信号の論理比較を行う論理比較回路を備えており、第 1 パルス生成回路および第 2 パルス生成回路は制御入力信号と論理比較回路の論理比較結果に基づいて、適宜、各補正信号を出力するので、制御入力信号と制御出力信号の“不一致”が発生した場合にも速やかに制御出力信号の補正を行い、制御入力信号と制御出力信号を“一致”させることができる。

【 0 0 5 1 】

本発明において、前記入力信号伝達部および前記帰還信号伝達部はそれぞれ少なくとも一つのアイソレータを有する（第 1 - 2 の構成）。

【 0 0 5 2 】

こうした構成の信号伝達回路装置は、入力側回路と出力側回路がアイソレータによって直流的に絶縁されるため、接地電位の異なる 2 つのブロック間の信号伝達を行うことができる。

【 0 0 5 3 】

本発明において、前記アイソレータはトランスである（第 1 - 3 の構成）。

【 0 0 5 4 】

こうした構成の信号伝達回路装置は、入力側回路と出力側回路を直流的に絶縁するとともに、信号伝達時の遅延が少なく、高い周波数の信号に対しても正確な信号伝達を行うこ

10

20

30

40

50

とができる。

【 0 0 5 5 】

本発明において、前記入力側回路、前記出力側回路、および前記トランスはそれぞれ異なる半導体基板上に形成するとともに1つのパッケージの中に一体的に構成する(第1 - 4の構成)。

【 0 0 5 6 】

本発明において、前記入力側回路、前記出力側回路をそれぞれ異なる半導体基板上に形成し、前記トランスは、前記入力側回路または前記出力側回路と同じ基板上に形成してもよい(第1 - 5の構成)。

【 0 0 5 7 】

本発明において、前記トランスの1次巻線と2次巻線は互いに別の接地電位に接続されている(第1 - 6の構成)。

【 0 0 5 8 】

本発明において、前記アイソレータはフォトカブラであってもよい(第1 - 7の構成)。

【 0 0 5 9 】

本発明において、前記入力信号復元回路はRSフリップフロップにより構成されている(第1 - 8の構成)。

【 0 0 6 0 】

こうした構成の信号伝達回路装置は、入力信号伝達部により入力側回路から出力側回路へ伝達された信号がRSフリップフロップのセット端子とリセット端子に各別に入力されるため、セット端子またはリセット端子に連続して信号が入力された場合であっても誤動作を生じる事なく制御入力信号と等価な制御出力信号を出力することができる。

【 0 0 6 1 】

本発明において、前記帰還信号伝達部は、前記制御出力信号に同期して連続パルスを有する帰還パルス生成する帰還パルス生成回路と、前記帰還パルスを波形整形する波形整形回路を有する(第1 - 9の構成)。

【 0 0 6 2 】

こうした構成の信号伝達回路装置は、帰還信号伝達部におけるアイソレータの数がひとつで済み、さらに、帰還信号伝達部の耐ノイズ特性を高めることができる。

【 0 0 6 3 】

本発明において、前記波形整形回路は、前記帰還パルスでオン、オフするスイッチングトランジスタと、前記スイッチングトランジスタと協働して前記帰還パルスとは異なる整形帰還信号を生成するための電流源およびキャパシタと、前記整形帰還信号が入力され前記整形帰還信号とは異なる前記帰還信号を生成するコンパレータを有する(第1 - 10の構成)。

【 0 0 6 4 】

こうした構成の信号伝達回路装置は、比較的簡便な構成により帰還パルスの波形整形を行うことができる。

【 0 0 6 5 】

本発明において、前記論理比較回路はエクスクルーシブOR回路を有する(第1 - 11の構成)。

【 0 0 6 6 】

こうした構成の信号伝達回路装置は、論理比較回路の構成を簡便化することができる。

【 0 0 6 7 】

本発明において、前記第1補正信号及び前記第2補正信号は連続パルスを有する信号であり、前記第1パルス生成回路は、前記制御入力信号と前記論理比較信号が前記第1の組み合わせとなった期間に連続パルスを有する前記第1補正信号を出力し、前記第2パルス生成回路は、前記制御入力信号と前記論理比較信号が前記第2の組み合わせとなった期間に連続パルスを有する前記第2補正信号を出力する構成としてもよい(第1 - 12の構成

10

20

30

40

50

）。

【 0 0 6 8 】

こうした構成の信号伝達回路装置は、第 1 パルス生成回路および第 2 パルス生成回路が入出力 “ 不一致 ” の期間に連続パルスを生成するため、入出力の不一致が解消されるまでパルスが生成され続けることとなり、信号伝達回路装置の信頼性が向上する。

【 0 0 6 9 】

本発明において、前記帰還信号伝達部は、前記制御出力信号の立ち上がりエッジを検出し第 1 帰還パルスを生成する第 1 出力エッジ検出回路と、前記制御出力信号の立ち下がりエッジを検出し第 2 帰還パルスを生成する第 2 出力エッジ検出回路と、前記第 1 帰還パルスおよび前記第 2 帰還パルスがセット端子およびリセット端子に各別に入力される R S フリップフロップを有する構成としてもよい（第 1 - 1 3 の構成）。

10

【 0 0 7 0 】

こうした構成の信号伝達回路装置は、制御出力信号に対する帰還信号の遅延を大幅に低減することができる。

【 0 0 7 1 】

本発明において、前記帰還信号伝達部は、前記制御出力信号の立ち上がりエッジおよび立ち下がりエッジを検出し帰還パルスを生成する出力エッジ検出回路と、前記帰還パルスがクロック端子に入力される D フリップフロップを有する構成としてもよい（第 1 - 1 4 の構成）。

20

【 0 0 7 2 】

こうした構成の信号伝達回路装置は、制御出力信号に対する帰還信号の遅延を大幅に低減することができ、さらに、帰還信号伝達部のアイソレータの数を減らすことができる。

【 0 0 7 3 】

本発明において、前記入力信号復元回路は D フリップフロップにより構成されていてもよい（第 1 - 1 5 の構成）。

【 0 0 7 4 】

こうした構成の信号伝達回路装置は、入力信号復元回路に入力する信号数が一つで済み、入力信号復元回路に R S フリップフロップを用いた場合と比較して、入力信号伝達部のアイソレータの数を減らすことができる。

【 0 0 7 5 】

30

本発明において、前記信号伝達回路装置はさらに、前記制御入力信号の立ち上がりエッジを検出し第 1 入力パルスを生成する第 1 エッジ検出回路と、前記制御入力信号の立ち下がりエッジを検出し第 2 入力パルスを生成する第 2 エッジ検出回路を備え、前記入力信号伝達部は、前記第 1 補正信号および前記第 2 補正信号とともに前記第 1 入力パルスおよび前記第 2 入力パルスを受信する構成としてもよい（第 1 - 1 6 の構成）。

【 0 0 7 6 】

こうした構成の信号伝達回路装置は、入力信号伝達部が、第 1 補正信号及び第 2 補正信号とともに、第 1 入力パルスおよび第 2 入力パルスを受信し、入力信号復元部へ信号を送信するので、制御入力信号における電位の遷移は第 1 入力パルスおよび第 2 入力パルスに基づいて速やかに制御出力信号へと反映される。従って制御出力信号は、制御入力信号に対する帰還信号の遅延等の影響を受けることが無く、第 1 パルス生成回路および第 2 パルス生成回路に基づく出力信号補正機能を有したまま、制御入力信号の最小入力パルス幅を大幅に小さくすることができる。

40

【 0 0 7 7 】

本発明において、前記入力信号伝達部は、前記第 1 補正信号と前記第 1 入力パルスを論理和処理する第 1 論理和回路と、前記第 2 補正信号と前記第 2 入力パルスを論理和処理する第 2 論理和回路を有し、前記入力信号復元回路は、前記第 1 論理和回路の出力がセット端子に入力され、前記第 2 論理和回路の出力がリセット端子に入力される R S フリップフロップにより構成されていてもよい（第 1 - 1 7 の構成）。

【 0 0 7 8 】

50

本発明において、前記第 1 論理和回路および前記第 2 論理和回路は前記入力側回路に設けられている（第 1 - 18 の構成）。

【0079】

こうした構成の信号伝達回路装置は、信号の論理処理を行うことで入力信号伝達部のアイソレータの数を減らすことができるとともに、第 1 補正信号と第 1 入力パルス、第 2 補正信号と第 2 入力パルスがそれぞれ相互補完の関係となり、信号伝達回路装置の耐ノイズ特性がさらに向上する。

【0080】

本発明において、前記入力信号伝達部は、前記第 1 補正信号、前記第 2 補正信号、前記第 1 入力パルス、および前記第 2 入力パルスを論理処理する論理和回路を有し、前記入力信号復元回路は、前記論理和回路の出力がクロック端子に入力される D フリップフロップにより構成されていてもよい（第 1 - 19 の構成）。

【0081】

本発明において、前記論理和回路は前記入力側回路に設けられている（第 1 - 20 の構成）。

【0082】

こうした構成の信号伝達回路装置は、入力信号伝達部におけるアイソレータの数を減らすことができ、信号伝達回路装置の小型化を図ることができる。

【0083】

本発明の別の信号伝達回路装置は、

（a）入力側回路に入力された制御入力信号を受信し、第 1 補正信号を出力する第 1 論理積回路と、

（b）前記制御入力信号の反転信号を受信し、第 2 補正信号を出力する第 2 論理積回路と、

（c）前記第 1 補正信号および前記第 2 補正信号を受信し、前記入力側回路から出力側回路へ信号の伝達を行う入力信号伝達部と、

（d）前記入力信号伝達部の出力を受信し、前記制御入力信号と等価な制御出力信号を出力する入力信号復元回路と、

（e）前記制御出力信号を受信し、前記出力側回路から前記入力側回路へ信号の伝達を行い、帰還信号を出力する帰還信号伝達部と、

（f）前記制御入力信号および前記帰還信号を受信し、前記制御入力信号と前記帰還信号の論理比較を行い、論理比較信号を出力する論理比較回路と、

（g）前記論理比較信号を受信し、前記論理比較信号に同期した論理比較パルス信号を出力する比較パルス生成回路を備え、

（h）前記第 1 論理積回路は、前記制御入力信号とともに前記論理比較パルス信号を受信し、前記第 2 論理積回路は、前記制御入力信号の反転信号とともに前記論理比較パルス信号を受信する（第 1 - 21 の構成）。

【0084】

本発明のさらに別の信号伝達回路装置は、

（a）入力側回路に入力された制御入力信号の立ち上がりエッジを検出し第 1 入力パルスを生成する第 1 エッジ検出回路と、

（b）前記制御入力信号の立ち下がりエッジを検出し第 2 入力パルスを生成する第 2 エッジ検出回路と、

（c）前記制御入力信号、前記第 1 入力パルス、および前記第 2 入力パルスを受信し、前記第 1 入力パルスまたは前記第 2 入力パルスを受信したタイミングでセット信号またはリセット信号を出力する信号合成回路と、

（d）前記セット信号および前記リセット信号を受信し、前記入力側回路から前記出力側回路へ信号の伝達を行う入力信号伝達部と、

（e）前記入力信号伝達部の出力を受信し、前記制御入力信号と等価な制御出力信号を出力する入力信号復元回路と、

(f) 前記制御出力信号を受信し、前記出力側回路から前記入力側回路へ信号の伝達を行い、帰還信号を出力する帰還信号伝達部と、

(g) 前記制御入力信号および前記帰還信号を受信し、前記制御入力信号と前記帰還信号の論理比較を行い、論理比較信号を出力する論理比較回路と、

(h) 前記論理比較信号を受信し、前記論理比較信号に同期した論理比較パルス信号を出力する比較パルス生成回路を備え、

(i) 前記信号合成回路は、前記制御入力信号、前記第1入力パルス、および前記第2入力パルスとともに、前記論理比較パルス信号を受信し、前記論理比較パルス信号を受信したタイミングにおいても、前記セット信号または前記リセット信号の出力を行う(第1 - 22の構成)。

10

【0085】

本発明において前記信号合成回路は、

(a) 前記第1入力パルス、前記第2入力パルス、および前記論理比較パルス信号を受信する論理和回路と、

(b) 前記制御入力信号と前記論理和回路の出力を受信し、前記セット信号を出力する第1論理積回路と、

(c) 前記制御入力信号の反転信号と前記論理和回路の出力を受信し、前記リセット信号を出力する第2論理積回路を有する構成としてもよい(第1 - 23の構成)。

【0086】

また、上記第1 - 21または第1 - 22の構成から成る信号伝達回路装置において、前記入力信号伝達部および前記帰還信号伝達部はそれぞれ少なくとも一つのトランスを有する構成(第1 - 24の構成)にするとよい。

20

【0087】

また、上記第1 - 21または第1 - 22の構成から成る信号伝達回路装置において、前記入力信号復元回路はRSフリップフロップにより構成されている構成(第1 - 25の構成)にするとよい。

【0088】

また、上記第1 - 21または第1 - 22の構成から成る信号伝達回路装置において、前記帰還信号伝達部は、前記制御出力信号に同期して連続パルスを有する帰還パルスを生成する帰還パルス生成回路と、前記帰還パルスを波形整形する波形整形回路とを有する構成(第1 - 26の構成)にするとよい。

30

【0089】

<第2の課題を解決するための手段>

上記目的を達成するために、本発明に係る半導体装置は、コイルを集積化した半導体装置であって、前記コイルの一端には、第1の電流供給用パッドと第1の電圧測定用パッドが接続されており、前記コイルの他端には、第2の電流供給用パッドと第2の電圧測定用パッドが接続されている構成(第2 - 1の構成)とされている。

【0090】

なお、上記第2 - 1の構成から成る半導体装置において、前記第1の電流供給用パッドと前記第1の電圧測定用パッドは、第1の電流供給用プローブと第1の電圧測定用プローブを同時に接触させることが可能な面積を有する第1の共用パッドとして一体的に形成されており、前記第2の電流供給用パッドと前記第2の電圧測定用パッドは、第2の電流供給用プローブと第2の電圧測定用プローブを同時に接触させることが可能な面積を有する第2の共用パッドとして一体的に形成されている構成(第2 - 2の構成)にするとよい。

40

【0091】

また、上記第2 - 1または第2 - 2の構成から成る半導体装置を検査する検査方法は、前記第1の電流供給用パッドと前記第2の電流供給用パッドとの間に所定の定電流を流すステップと、前記第1の電圧測定用パッドと前記第2の電圧測定用パッドとの間に発生する電圧を測定するステップと、を有する構成(第2 - 3の構成)にするとよい。

【0092】

50

また、上記第2-1または第2-2の構成から成る半導体装置を検査する検査装置は、前記第1の電流供給用パッドに接触させる第1の電流供給用プローブと、前記第1の電圧測定用パッドに接触させる第1の電圧測定用プローブと、前記第2の電流供給用パッドに接触させる第2の電流供給用プローブと、前記第2の電圧測定用パッドに接触させる第2の電圧測定用プローブと、前記第1の電流供給用プローブと前記第2の電流供給用プローブとの間に所定の定電流を流す定電流源と、前記第1の電圧測定用プローブと前記第2の電圧測定用プローブとの間に発生する電圧を測定する電圧計と、を有する構成(第2-4の構成)にするとよい。

【0093】

<第3の課題を解決するための手段>

上記目的を達成するために、本発明に係る信号伝達装置は、入力信号が第1論理レベルから第2論理レベルに変遷するパルスエッジに応じて第1トランス駆動信号に($N+a$)発(ただし、 $N \geq 2$ 、 $a \geq 0$)のパルスを発生させ、前記入力信号が前記第2論理レベルから前記第1論理レベルに変遷するパルスエッジに応じて第2トランス駆動信号に($N+a$)発のパルスを発生させるトランス駆動信号生成部と；一次側巻線に入力される前記第1トランス駆動信号に応じて二次側巻線に第1誘起信号を発生させる第1トランスと；一次側巻線に入力される前記第2トランス駆動信号に応じて二次側巻線に第2誘起信号を発生させる第2トランスと；前記第1誘起信号と所定の閾値電圧とを比較して第1比較信号を生成する第1コンパレータと；前記第2誘起信号と所定の閾値電圧とを比較して第2比較信号を生成する第2コンパレータと；前記第1比較信号に N 発のパルスが発生したことを検出して第1検出信号にパルスを発生させる第1パルス検出部と；前記第2比較信号に N 発のパルスが発生したことを検出して第2検出信号にパルスを発生させる第2パルス検出部と；前記第1検出信号に発生されたパルスに応じて出力信号を前記第1論理レベルから前記第2論理レベルに変遷させ、前記第2検出信号に発生されたパルスに応じて前記出力信号を前記第2論理レベルから前記第1論理レベルに変遷させるSRフリップフロップと；を有する構成(第3-1の構成)とされている。

【0094】

なお、上記第3-1の構成から成る信号伝達装置において、前記第1パルス検出部は、前記第1比較信号に発生されたパルス数をカウントし、そのカウント値が N に達したときに前記第1検出信号にパルスを発生させるカウンタであり、前記第2パルス検出部は、前記第2比較信号に発生されたパルス数をカウントし、そのカウント値が N に達したときに前記第2検出信号にパルスを発生させるカウンタである構成(第3-2の構成)にするとよい。

【0095】

また、上記第3-2の構成から成る信号伝達装置において、前記第1パルス検出部は、前記第2比較信号に発生されたパルスによってカウント値がリセットされ、前記第2パルス検出部は、前記第1比較信号に発生されたパルスによってカウント値がリセットされる構成(第3-3の構成)にするとよい。

【0096】

また、上記第3-3の構成から成る信号伝達装置において、前記トランス駆動信号生成部は所定周波数のパルス信号を生成するパルス生成部と；前記パルス信号のパルス数をカウントし、そのカウント値が($N+a$)に達したときに前記パルス生成部の駆動を停止させるカウンタと；前記入力信号のパルスエッジを検出したときに、前記パルス生成部の駆動を開始させるとともに、前記カウンタのカウント値をリセットするエッジ検出部と；前記入力信号に応じて、前記パルス信号を前記第1トランス駆動信号及び前記第2トランス駆動信号のいずれか一方として分配するパルス分配部と；を有する構成(第3-4の構成)にするとよい。

【0097】

また、上記第3-4の構成から成る信号伝達装置において、前記パルス生成部は、前記エッジ検出部で前記入力信号のパルスエッジを検出されてから、所定時間が経過するま

での間、前記パルス信号を生成しない構成（第３－５の構成）にするとよい。

【００９８】

また、本発明に係る信号伝達装置は、入力信号のパルスエッジに応じてトランス駆動信号に（ $N + a$ ）発（ただし、 $N \geq 2$ 、 $a \geq 0$ ）のパルスを発生させるトランス駆動信号生成部と；一次側巻線に入力される前記トランス駆動信号に応じて二次側巻線に誘起信号を発生させるトランスと；前記誘起信号と所定の閾値電圧とを比較して比較信号を生成するコンパレータと；前記比較信号に N 発のパルスが発生したことを検出して出力信号にパルスを発生させるパルス検出部と；を有する構成（第３－６の構成）にするとよい。

【００９９】

また、本発明に係るモータ駆動装置は、上記第３－１～第３－６いずれかの構成から成る信号伝達装置を有し、前記出力信号を用いてモータの駆動制御を行う構成（第３－７の構成）とされている。

【発明の効果】

【０１００】

< 第１の技術的特徴の効果 >

本発明の信号伝達回路装置は、制御出力信号を帰還する帰還信号伝達部、制御入力信号と帰還信号の論理比較を行う論理比較回路、第１補正信号を出力する第１パルス生成回路、第２補正信号を出力する第２パルス生成回路を備えているので、制御入力信号と制御出力信号の不一致を検知し、速やかに制御出力信号の補正を行うことができる。また、第１パルス生成回路および第２パルス生成回路は入出力信号が不一致の場合のみ補正信号を出力するので低消費電力による動作が可能である。

【０１０１】

また、本発明においてさらに、制御入力信号の立ち上がりエッジを検出し第１入力パルスを生成する第１エッジ検出回路、制御入力信号の立ち下がりエッジを検出し第２入力パルスを生成する第２エッジ検出回路を有する構成とすれば、制御入力信号における電位の遷移が速やかに制御出力信号に反映され、制御入力信号に対する帰還信号の遅延等の影響を受けることなく、制御入力信号の最小入力パルス幅を大幅に小さくすることができる。これにより、信号伝達回路装置の用途を拡大することができる。

【０１０２】

< 第２の技術的特徴の効果 >

本発明に係る半導体装置及びその検査方法であれば、コイルの抵抗値異常を検査することが可能となる。

【０１０３】

< 第３の技術的特徴の効果 >

本発明によれば、ノイズの影響を受けにくい信号伝達装置、及び、これを用いたモータ駆動装置を提供することが可能となる。

【図面の簡単な説明】

【０１０４】

【図１】本発明の第１の実施の形態にかかる信号伝達回路装置を示す図

【図２】本発明の第２の実施の形態にかかる信号伝達回路装置を示す図

【図３】本発明の第２の実施の形態（図２）の変形例

【図４】本発明の第２の実施の形態（図２）の各部のパルス信号を示すタイミングチャート

【図５】本発明にかかる波形整形回路の具体的な回路構成を示す図

【図６】図５に示す波形整形回路の各部のタイミングチャート

【図７】本発明の第２の実施の形態（図２）にパルス幅の小さい信号を入力した場合の各部のパルス信号を示すタイミングチャート

【図８】本発明の第３の実施の形態にかかる信号伝達回路装置を示す図

【図９】本発明の第３の実施の形態（図８）の変形例

【図１０】本発明の第３の実施の形態（図８）の別の変形例

10

20

30

40

50

【図 1 1】本発明の第 3 の実施の形態（図 8）の各部のパルス信号を示すタイミングチャート

【図 1 2】本発明の第 4 の実施の形態にかかる信号伝達回路装置を示す図

【図 1 3】本発明の第 4 の実施の形態（図 1 2）の変形例

【図 1 4】本発明の第 4 の実施の形態（図 1 2）の別の変形例

【図 1 5】本発明の第 4 の実施の形態（図 1 2）のさらに別の変形例

【図 1 6】本発明の第 4 の実施の形態（図 1 2）のさらに別の変形例

【図 1 7】本発明の第 4 の実施の形態（図 1 2）の各部のパルス信号を示すタイミングチャート

【図 1 8】本発明の第 4 の実施の形態（図 1 2）にパルス幅の小さい信号を入力した場合の各部のパルス信号を示すタイミングチャート 10

【図 1 9】従来のパワー半導体の駆動回路装置を示す図

【図 2 0】従来の信号伝達回路装置を示す図

【図 2 1】従来の別の信号伝達回路装置を示す図

【図 2 2】本発明に係る半導体装置の第 1 実施形態を示す模式図

【図 2 3】半導体装置 X 1 0 A の不良品検査を説明するための模式図

【図 2 4】本発明に係る半導体装置の第 2 実施形態を示す模式図

【図 2 5】半導体装置 X 1 0 B の不良品検査を説明するための模式図

【図 2 6】本発明に係る半導体装置を用いたモータ駆動装置の一構成例を示すブロック図

【図 2 7】トランス 3 1 ~ 3 4 を介した送受信回路部分の詳細図 20

【図 2 8】端子配置及びパッケージ内におけるチップ配列の一例を示す模式図

【図 2 9】外部端子の説明テーブル

【図 3 0】スイッチ制御装置 1 の電気的特性テーブル

【図 3 1】トランス 3 1 ~ 3 4 のレイアウト例を示す模式図

【図 3 2】トランス 3 1 の縦構造を示すチップ断面図

【図 3 3】コイルを集積化した半導体装置の一従来例を示す模式図

【図 3 4】半導体装置 Y 1 0 の不良品検査を説明するための模式図

【図 3 5】本発明に係る信号伝達装置の第 1 実施形態を示す回路ブロック図

【図 3 6】ノイズキャンセル動作の一例を示すタイミングチャート

【図 3 7】本発明に係る信号伝達装置の第 2 実施形態を示す回路ブロック図 30

【図 3 8】トランス駆動信号の第 1 生成動作を示すタイミングチャート

【図 3 9】ノイズキャンセル動作の一例を示すタイミングチャート

【図 4 0 A】出力ジッタの発生理由を説明するためのタイミングチャート

【図 4 0 B】出力ジッタの発生理由を説明するためのタイミングチャート

【図 4 1】トランス駆動信号の第 2 生成動作を示すタイミングチャート

【図 4 2 A】出力ジッタの解消理由を説明するためのタイミングチャート

【図 4 2 B】出力ジッタの解消理由を説明するためのタイミングチャート

【図 4 3】信号伝達装置の一従来例を示す回路ブロック図

【図 4 4】正常動作の一例を示すタイミングチャート

【図 4 5 A】異常動作の一例を示すタイミングチャート 40

【図 4 5 B】異常動作の一例を示すタイミングチャート

【図 4 6 A】異常動作の一例を示すタイミングチャート

【図 4 6 B】異常動作の一例を示すタイミングチャート

【発明を実施するための形態】

【0 1 0 5】

< 第 1 の技術的特徴について >

（第 1 の実施の形態）

図 1 は第 1 の実施の形態にかかる信号伝達回路装置である。信号伝達回路装置 2 0 0 は、入力端子 2 0 1、第 1 パルス生成回路 2 0 2、第 2 パルス生成回路 2 0 4、入力信号伝達部 2 0 6、入力信号復元回路 2 0 8、出力端子 2 1 9、帰還信号伝達部 2 1 0、論理比 50

較回路 212 を備える。

【0106】

信号伝達回路装置 200 は入力信号伝達部 206 および帰還信号伝達部 210 を境にして入力側回路 200A と出力側回路 200B に分けることができる。また、入力信号伝達部 206 および帰還信号伝達部 210 は入力側回路 200A と出力側回路 200B に跨るように存在しており、入力信号伝達部 206 および帰還信号伝達部 210 は、アイソレータを有する構成とすることで、入力側回路 200A と出力側回路 200B を直流的に絶縁することができる。

【0107】

アイソレータとしては一般的にフォトカプラやトランスを用いる。近年、アイソレータは、ICチップ上にコイルを形成し、このコイルをトランスの 1 次巻線および 2 次巻線に適用したトランスが用いられてきている。本発明の各実施の形態はフォトカプラおよびトランスのどちらでも構成可能である。

10

【0108】

ただし、アイソレータの特性の違いによる不具合を回避するために、入力信号伝達部 206 におけるアイソレータと帰還信号伝達部 210 におけるアイソレータは同じ種類の素子を用いることが望ましい。すなわち、入力信号伝達部 206 においてアイソレータとしてトランスを用いた場合には、帰還信号伝達部 210 においてもトランスを用いる。

【0109】

アイソレータとしてトランスを用いる場合、入力側回路 200A、トランス、出力側回路 200B をそれぞれ別の半導体基板上に形成する構成としてもよいし、入力側回路 200A、出力側回路 200B をそれぞれ別の半導体基板上に形成し、トランスは入力側回路 200A または出力側回路 200B と同一の基板上に形成する構成としてもよい。これは、本明細書における他の実施例についても同様である。

20

【0110】

入力端子 201 に入力された制御入力信号 S_{in} は第 1 パルス生成回路 202 および第 2 パルス生成回路 204 へ送信される。通常、制御入力信号 S_{in} としては矩形パルス信号が用いられる。

【0111】

第 1 パルス生成回路 202 および第 2 パルス生成回路 204 は、制御入力信号 S_{in} の他に後述する論理比較回路 212 の出力である論理比較信号 S_c を受信し、それぞれ、制御入力信号 S_{in} と論理比較信号 S_c が第 1 の組み合わせまたは第 2 の組み合わせとなった場合に、制御出力信号 S_{out} を補正する第 1 補正信号 S_{a1} または第 2 補正信号 S_{a2} を出力するように構成されている。

30

【0112】

論理比較回路 212 は制御入力信号 S_{in} と帰還信号 S_f の論理比較を行い、両者の論理比較結果を論理比較信号 S_c として出力している。帰還信号 S_f は帰還信号伝達部 210 により制御出力信号 S_{out} を入力側回路 200A へ帰還した信号である。

【0113】

論理比較信号 S_c はたとえば、制御入力信号 S_{in} が第 1 電位（たとえばハイレベル）かつ帰還信号 S_f が第 1 電位の場合や、制御入力信号 S_{in} が第 2 電位（たとえばローレベル）かつ帰還信号 S_f が第 2 電位の場合に、制御入力信号 S_{in} と帰還信号 S_f の論理比較結果が“一致”であることを示す第 2 電位となり、制御入力信号 S_{in} が第 1 電位かつ帰還信号 S_f が第 2 電位の場合や、制御入力信号 S_{in} が第 2 電位かつ帰還信号 S_f が第 1 電位の場合に、制御入力信号 S_{in} と帰還信号 S_f が“不一致”であることを示す第 1 電位となる信号である。

40

【0114】

第 1 パルス生成回路 202 は、制御入力信号 S_{in} と論理比較信号 S_c の組み合わせが第 1 の組み合わせとなった場合に、第 1 補正信号 S_{a1} を出力する。第 1 の組み合わせとは論理比較回路 212 の論理比較結果が“不一致”であり、かつ制御入力信号 S_{in} が第

50

1 電位となる組み合わせである。すなわち、第 1 補正信号 S_{a1} は入出力が“不一致”かつ制御入力信号 S_{in} が第 1 電位の場合に、後述する制御出力信号 S_{out} を第 1 電位に補正するための信号である。

【0115】

第 2 パルス生成回路 204 は、制御入力信号 S_{in} と論理比較信号 S_c の組み合わせが第 1 の組み合わせとは異なる第 2 の組み合わせとなった場合に、第 2 補正信号 S_{a2} を出力する。第 2 の組み合わせとは論理比較回路 212 の論理比較結果が“不一致”であり、かつ制御入力信号 S_{in} が第 2 電位となる組み合わせである。すなわち、第 2 補正信号 S_{a2} は入出力が“不一致”かつ制御入力信号 S_{in} が第 2 電位の場合に、後述する制御出力信号 S_{out} を第 2 電位に補正するための信号である。

10

【0116】

第 1 パルス生成回路 202 および第 2 パルス生成回路 204 は、制御入力信号 S_{in} における電位の遷移に基づく入出力の不一致によって、各補正信号を出力し後述する制御出力信号 S_{out} を遷移させることはもちろん、何らかの異常により、制御入力信号 S_{in} と制御出力信号 S_{out} に不一致が生じた場合にも同様に補正信号を出力し、入出力の不一致を解消する。

【0117】

第 1 補正信号 S_{a1} および第 2 補正信号 S_{a2} は入力信号伝達部 206 によって出力側回路 200B へ伝達され、出力側回路 200B において入力信号復元回路 208 へと送信される。

20

【0118】

入力信号復元回路 208 は、入力信号伝達部 206 によって伝達された第 1 補正信号 S_{a1} および第 2 補正信号 S_{a2} を受信し、両者の信号を基に制御入力信号 S_{in} と等価な制御出力信号 S_{out} を出力端子 219 へと出力する。

【0119】

入力信号復元回路 208 は、たとえば D フリップフロップや RS フリップフロップを用いて構成することができる。

【0120】

制御出力信号 S_{out} はさらに、帰還信号伝達部 210 にも送信され、帰還信号伝達部 210 は出力側回路 200B から入力側回路 200A へ信号の伝達を行い、入力側回路 200A において帰還信号 S_f を出力する。帰還信号 S_f は論理比較回路 212 へ送信され、制御入力信号 S_{in} との論理比較が行われる。

30

【0121】

論理比較回路 212 はたとえばエクスクルーシブ OR 回路を用いて構成することができる。これは、本明細書における他の実施例についても同様である。

【0122】

帰還信号伝達部 210 は、信号伝達に伴う電力消費を低減させるため、出力側回路 200B において制御出力信号 S_{out} をパルス幅の小さい信号へと変換し、出力側回路 200B から入力側回路 200A へ信号の伝達を行った後、入力側回路 200A において制御出力信号 S_{out} と等価な帰還信号 S_f への復元を行うことが望ましい。これは、本明細書の他の実施例についても同様である。

40

【0123】

以上説明した、一連の信号経路によって制御出力信号 S_{out} は常に制御入力信号 S_{in} と一致した状態に保たれる。すなわち、第 1 パルス生成回路 202 および第 2 パルス生成回路 204 は制御入力信号 S_{in} における電位の遷移を制御出力信号 S_{out} へと反映させる機能と、回路内の異常による入出力の不一致を解消する機能の 2 つを兼ね備えている。

【0124】

(第 2 の実施の形態)

図 2 は第 2 の実施の形態にかかる信号伝達回路装置である。図 2 は図 1 の一部を具体的

50

な回路で示したものである。

【 0 1 2 5 】

信号伝達回路装置 2 2 0 は、入力端子 2 2 1、第 1 パルス生成回路 2 2 2、第 2 パルス生成回路 2 2 4、第 1 トランス 2 2 6、第 2 トランス 2 2 8、RS フリップフロップ 2 3 0、出力端子 2 4 9、帰還パルス生成回路 2 3 2、第 3 トランス 2 3 4、波形整形回路 2 3 6、論理比較回路 2 3 8 を備える。

【 0 1 2 6 】

入力側回路 2 2 0 A から出力側回路 2 2 0 B へ信号を伝達する入力信号伝達部 2 2 0 C は第 1 トランス 2 2 6 および第 2 トランス 2 2 8 により構成され、出力側回路 2 2 0 B から入力側回路 2 2 0 A へ信号を伝達する帰還信号伝達部 2 2 0 D は、帰還パルス生成回路 2 3 2、第 3 トランス 2 3 4、および波形整形回路 2 3 6 により構成される。

10

【 0 1 2 7 】

入力端子 2 2 1 に入力された制御入力信号 S_{in} は、第 1 パルス生成回路 2 2 2 および第 2 パルス生成回路 2 2 4 へ送信される。

【 0 1 2 8 】

第 1 パルス生成回路 2 2 2 は制御入力信号 S_{in} と後述する論理比較信号 S_c が第 1 の組み合わせ（たとえば両方とも第 1 電位）となった場合に第 1 補正信号 S_{a1} を出力する。すなわち、第 1 補正信号 S_{a1} は、論理比較回路 2 3 8 における制御入力信号 S_{in} と帰還信号 S_f の論理比較結果が“不一致”であり、かつ制御入力信号 S_{in} が第 1 電位の場合に制御出力信号 S_{out} を第 1 電位に補正するための信号である。

20

【 0 1 2 9 】

第 2 パルス生成回路 2 2 4 は制御入力信号 S_{in} と後述する論理比較信号 S_c が第 1 の組み合わせとは異なる第 2 の組み合わせ（たとえば制御入力信号 S_{in} が第 2 電位、論理比較信号 S_c が第 1 電位）となった場合に第 2 補正信号 S_{a2} を出力する。すなわち、第 2 補正信号 S_{a2} は、論理比較回路 2 3 8 における制御入力信号 S_{in} と帰還信号 S_f の論理比較結果が“不一致”であり、かつ制御入力信号 S_{in} が第 2 電位の場合に制御出力信号 S_{out} を第 2 電位に補正するための信号である。

【 0 1 3 0 】

第 1 補正信号 S_{a1} および第 2 補正信号 S_{a2} のパルス幅は、信号伝達時の電力消費を低減するために、制御入力信号 S_{in} のパルス幅と比較して小さく設定される。これは、本明細書における他の実施例についても同様である。

30

【 0 1 3 1 】

第 1 パルス生成回路 2 2 2 および第 2 パルス生成回路 2 2 4 は制御入力信号 S_{in} と論理比較信号 S_c が所定の組み合わせ（第 1 の組み合わせまたは第 2 の組み合わせ）となった時に単パルス（たとえばパルス幅 2 5 n s に設定する）を発生させる構成としてもよいし、制御入力信号 S_{in} と論理比較信号 S_c が所定の組み合わせ（第 1 の組み合わせまたは第 2 の組み合わせ）となった期間に連続パルス信号を発生させる構成としてもよい（たとえばパルス幅 2 5 n s、周期 2 0 0 n s に設定する）。これは本明細書中の他の実施例についても同様である。

【 0 1 3 2 】

単パルスを発生させる場合、第 1 パルス生成回路 2 2 2 および第 2 パルス生成回路 2 2 4 は、たとえば、論理積回路と立ち上がりエッジ検出回路を組み合わせる構成とすればよい。

40

【 0 1 3 3 】

連続パルス信号を発生させる場合、第 1 パルス生成回路 2 2 2 および第 2 パルス生成回路 2 2 4 は、たとえば、論理積回路、リングオシレータ、および立ち上がりエッジ検出回路を組み合わせる構成とすればよい。

【 0 1 3 4 】

連続パルス信号を発生させる構成とした場合、第 1 パルス生成回路 2 2 2 および第 2 パルス生成回路 2 2 4 は制御入力信号 S_{in} と制御出力信号 S_{out} の“不一致”が解消さ

50

れるまでパルス信号を発生させることになり、信号伝達回路装置の信頼性が向上する。

【0135】

第1補正信号S a 1は第1トランス226によって出力側回路220Bへと伝達され、RSフリップフロップ230のセット端子Sへと入力される。

【0136】

第2補正信号S a 2は第2トランス228によって出力側回路220Bへと伝達され、RSフリップフロップ230のリセット端子Rへと入力される。

【0137】

RSフリップフロップ230は第1補正信号S a 1および第2補正信号S a 2を受信し、制御入力信号S i nと等価な制御出力信号S o u tを出力する。

10

【0138】

制御出力信号S o u tは出力端子249から取り出されるとともに、帰還パルス生成回路232へと送信される。帰還パルス生成回路232は制御出力信号S o u tが第2電位となっている期間に、連続パルスを有する帰還パルスS f pを生成する。帰還パルスS f pはたとえばパルス幅25ns、周期600nsに設定される。もちろん、制御出力信号S o u tが第1電位となっている期間に帰還パルスS f pを生成する構成としてもよいが、波形整形回路236での波形整形、および論理比較回路238での論理比較の利便性に考慮しなければならない。

【0139】

帰還パルス生成回路232はたとえば矩形波信号（連続パルス信号）を生成する発振器と、この発振器から生成された発振パルス信号と制御出力信号S o u tとの論理積をとるための論理積回路と、必要に応じてインバータ回路を用いて構成することができる。

20

【0140】

帰還パルスS f pは第3トランス234によって入力側回路220Aへと伝達され、波形整形回路236へと送信される。波形整形回路236は帰還パルスS f pを制御出力信号S o u tとほぼ等価な矩形波信号に整形する。

【0141】

波形整形回路236はたとえばスイッチングトランジスタ、電流源、キャパシタ、およびコンパレータ等を用いて構成することができる。回路の具体的な構成については後述する。

30

【0142】

波形整形回路236は整形された矩形波信号を帰還信号S fとして出力し、出力された帰還信号S fは論理比較回路238へ送信され、制御入力信号S i nと一致しているか否かの比較が行われる。両者の信号が比較され、制御入力信号S i nと帰還信号S fの一致または不一致を示す論理比較信号S cが第1パルス生成回路222および第2パルス生成回路224へ送信される。論理比較回路238は例えばエクスクルーシブOR回路によって構成可能である。

【0143】

したがって、本構成の信号伝達回路装置220は、制御入力信号S i nと制御出力信号S o u tが“不一致”となった場合に、その時の制御入力信号S i nの電位に応じて、第1補正信号S a 1または第2補正信号S a 2が生成され、制御出力信号S o u tの補正が行われる。結果として制御入力信号S i nと制御出力信号S o u tは常に同じ電位（第1電位または第2電位）に保たれる。

40

【0144】

図3は、図2に示した信号伝達回路装置220の変形例である。信号伝達回路装置800は、論理比較信号S cを該論理比較信号S cに同期した論理比較パルス信号S c pに変換する比較パルス生成回路820を設け、第1パルス生成回路222、第2パルス生成回路224に代えて第1論理積回路802、第2論理積回路804を設けた点が図2とは異なる。このように構成すれば、信号伝達回路装置の回路構成を簡略化することができる。

【0145】

50

比較パルス生成回路 820 は論理比較信号 S_c が第 1 電位となった時に単パルス（たとえばパルス幅 25 ns に設定する）を発生させる構成としてもよいし、論理比較信号 S_c が第 1 電位である期間に連続パルス信号を発生させる構成としてもよい（たとえばパルス幅 25 ns 、周期 200 ns に設定する）。これは本明細書中の他の実施例についても同様である。

【0146】

単パルスを発生させる場合、比較パルス生成回路 820 は、たとえば、立ち上がりエッジ検出回路により構成すればよい。

【0147】

連続パルス信号を発生させる場合、比較パルス生成回路 820 は、たとえば、リングオシレータおよび立ち上がりエッジ検出回路を組み合わせる構成とすればよい。

10

【0148】

信号伝達回路装置 800 における、第 1 トランス 806、第 2 トランス 808、RS フリップフロップ 810、帰還パルス生成回路 812、第 3 トランス 814、波形整形回路 816、および論理比較回路 818 の構成は、図 2 に示す信号伝達回路装置 220 における、第 1 トランス 226、第 2 トランス 228、RS フリップフロップ 230、帰還パルス生成回路 232、第 3 トランス 234、波形整形回路 236、論理比較回路 238 と同様であるから詳しい説明は省略する。

【0149】

図 4 は、図 2 に示した信号伝達回路装置 220 の各部の信号を示すタイミングチャートである。タイミングチャート 500 は、信号伝達回路装置 220 における、前述した制御入力信号 S_{in} 、論理比較信号 S_c 、第 1 補正信号 S_{a1} 、第 2 補正信号 S_{a2} 、制御出力信号 S_{out} 、帰還パルス S_{fp} 、および帰還信号 S_f の、時間経過に伴う電位（第 1 電位または第 2 電位）の遷移を示したものである。

20

【0150】

なお、この種の信号の送受信においては、信号形態や信号位置（位相）に何らかの変化や位相遅延が生じるが、本明細書においては、一部を除きこうしたことを無視しているので理解されたい。また、作図の都合上、各パルス幅の比率は必ずしも正確ではない。

【0151】

図 4 (a) に示す制御入力信号 S_{in} は、信号伝達回路装置 220 の入力端子 221 に入力される制御入力信号 S_{in} の一例であり、パルス幅 $25\text{ }\mu\text{s}$ 、周期 $50\text{ }\mu\text{s}$ の信号を示している。

30

【0152】

制御入力信号 S_{in} が第 2 電位から第 1 電位に遷移すると（図 4 (a)、立ち上がり $X1$ ）、遷移の瞬間における帰還信号 S_f は第 2 電位のままであるから、論理比較回路 238 での論理比較の結果は“不一致”となり、論理比較信号 S_c が第 1 電位となる（図 4 (b)、立ち上がり $A1$ ）。

【0153】

論理比較信号 S_c が第 1 電位となると、第 1 パルス生成回路 222 は制御入力信号 S_{in} と論理比較信号 S_c が第 1 の組み合わせ（たとえば両方とも第 1 電位）となったことに基づいて図 4 (c)、パルス $A2$ を生成する。

40

【0154】

信号伝達時の消費電力を低減させるために、第 1 補正信号 S_{a1} および第 2 補正信号 S_{a2} におけるパルス幅は制御入力信号 S_{in} と比較して十分に小さく設定される。

【0155】

第 1 補正信号 S_{a1} は第 1 トランス 226 を介して RS フリップフロップ 230 のセット端子 S に入力されるので、図 4 (c)、パルス $A2$ と同じタイミングで制御出力信号 S_{out} は制御入力信号 S_{in} と同じ第 1 電位へと補正される（図 4 (e)、立ち上がり $X2$ ）。

【0156】

50

制御出力信号 S_{out} が第 1 電位となると、それに伴い帰還パルス S_{fp} の供給が停止され（図 4（f））、帰還信号 S_f が第 1 電位へと遷移する（図 4（g））。

【0157】

図 4（g）に示した帰還信号 S_f の立ち上がりは波形整形回路 236 での波形整形時間の影響を受け遅延時間 T_d だけ遅れるが、入力パルス幅が遅延時間 T_d と比較して十分に大きい場合には、制御出力信号 S_{out} への影響は無い。入力パルス幅が短い場合については後述する。

【0158】

制御入力信号 S_{in} が第 1 電位から第 2 電位に遷移すると（図 4（a））、立ち下がり Y_1 ）、遷移の瞬間における帰還信号 S_f は第 1 電位のままであるから、論理比較回路 238 での論理比較の結果は“不一致”となり、論理比較信号 S_c が第 1 電位となる（図 4（b））、立ち上がり B_1 ）。

10

【0159】

論理比較信号 S_c が第 1 電位となると、第 2 パルス生成回路 224 は制御入力信号 S_{in} と論理比較信号 S_c が第 2 の組み合わせ（たとえば制御入力信号 S_{in} が第 2 電位、論理比較信号 S_c が第 1 電位）となったことに基づいて図 4（d）、パルス B_2 を生成する。

【0160】

第 2 補正信号 S_{a2} は第 2 トランス 228 を介して RS フリップフロップ 230 のリセット端子 R に入力されるので、図 4（d）、パルス B_2 と同じタイミングで制御出力信号 S_{out} は制御入力信号 S_{in} と同じ第 2 電位へと補正される（図 4（e））、立ち下がり Y_2 ）。

20

【0161】

結果的に、回路が正常に動作している状態において、制御入力信号 S_{in} と制御出力信号 S_{out} は常に一致した状態が保たれる。

【0162】

次に、第 2 補正信号 S_{a2} に、図 4（d）、ノイズ R_1 が混入した場合について説明する。

【0163】

第 2 補正信号 S_{a2} にノイズ R_1 が混入すると、制御出力信号 S_{out} は一時的に第 1 電位から第 2 電位へと遷移する（図 4（e））、立ち下がり Z_1 ）が、制御出力信号 S_{out} における電位の遷移は帰還信号 S_f における電位の遷移として、論理比較回路 238 へと送信され、論理比較回路 238 は制御入力信号 S_{in} と帰還信号 S_f が“不一致”となったことに基づいて図 4（b）、立ち上がり R_2 に示すように第 1 電位となる。

30

【0164】

すると、いま制御入力信号 S_{in} は第 1 電位であるから、第 1 パルス生成回路 222 は図 4（c）、パルス R_3 を送信し、RS フリップフロップ 230 はパルス R_3 に基づき制御出力信号 S_{out} を第 1 電位に補正する（図 4（e））、立ち上がり Z_2 ）。

【0165】

結果的に、回路内にノイズが混入した場合、論理比較回路 238 において、制御入力信号 S_{in} と制御出力信号 S_{out} が“不一致”となったことが即座に検知され、第 1 補正信号 S_{a1} または第 2 補正信号 S_{a2} が送信されることにより、制御出力信号 S_{out} は入出力が“不一致”となった直後に制御入力信号 S_{in} と同じ電位（第 1 電位または第 2 電位）へと補正される。

40

【0166】

異常状態としては、前述したノイズ混入の他に、たとえば第 1 トランスまたは第 2 トランスにおいて、パルスが伝達されない場合等が考えられるが、その場合においても同様に出力信号補正機能が働き、制御出力信号 S_{out} を制御入力信号 S_{in} と同じ電位（第 1 電位または第 2 電位）に補正する。各部の信号の流れは同様であるから詳しい説明については省略する。

50

【 0 1 6 7 】

ところで、波形整形回路 2 3 6 における帰還パルス S_{fp} の波形整形時間の影響を受け、帰還信号 S_f の立ち上がりは、厳密には遅延時間 T_d だけ制御出力信号 S_{out} よりも遅れる。

【 0 1 6 8 】

遅延時間 T_d の長さはたとえば $1\ \mu s$ から $2\ \mu s$ 程度であり、制御入力信号 S_{in} のパルス幅が遅延時間 T_d よりも長い場合においては制御出力信号 S_{out} に何ら影響を及ぼさないが、制御入力信号 S_{in} のパルス幅が遅延時間 T_d よりも短い場合、制御出力信号 S_{out} のパルス幅が遅延時間 T_d まで増大してしまう。以下に詳しく説明する。

【 0 1 6 9 】

図 5 に信号伝達回路装置 2 2 0 に用いられる波形整形回路 2 3 6 の回路構成を示す。波形整形回路 2 3 6 は入力端子 9 0 1 に入力された帰還パルス S_{fp} によりオン、オフするスイッチングトランジスタ 9 0 4、スイッチングトランジスタ 9 0 4 と協働して帰還パルス S_{fp} とは異なる整形帰還信号 S_{fc} を生成するための電流源 9 0 2 およびキャパシタ 9 0 6 と、整形帰還信号 S_{fc} が入力され、該整形帰還信号 S_{fc} とは異なる帰還信号 S_f を生成するコンパレータ 9 1 0 と、帰還信号 S_f を取り出す出力端子 9 4 9 を有する。

【 0 1 7 0 】

制御出力信号 S_{out} と同期した帰還パルス S_{fp} は制御出力信号 S_{out} が第 2 電位の期間に連続パルスを含む信号であって、たとえばパルス幅は $25\ ns$ 、周期は $600\ ns$ に設定される。

【 0 1 7 1 】

帰還パルス S_{fp} はスイッチングトランジスタ 9 0 4 のゲート電極へ入力される。帰還パルス S_{fp} が第 1 電位の間、スイッチングトランジスタ 9 0 4 はオンされ、電流源 9 0 2 から供給される電流を GND へと導く。その間、キャパシタ 9 0 6 は放電される。

【 0 1 7 2 】

帰還パルス S_{fp} が第 2 電位の間は、スイッチングトランジスタ 9 0 4 はオフされ、電流源 9 0 2 から供給される電流により、キャパシタ 9 0 6 に電荷が溜まっていき、整形帰還信号 S_{fc} の電位が上昇する。

【 0 1 7 3 】

整形帰還信号 S_{fc} はコンパレータ 9 1 0 に入力される。コンパレータ 9 1 0 は整形帰還信号 S_{fc} の電位が閾値電圧 V_{ref} よりも高い場合に帰還信号 S_f を第 1 電位とし、整形帰還パルス S_{fc} の電位が閾値電圧 V_{ref} よりも低い場合に帰還信号 S_f を第 2 電位とする。

【 0 1 7 4 】

すなわち、帰還パルス S_{fp} として定期的にパルス信号が送られてくる間は整形帰還信号 S_{fc} の電位が閾値電圧 V_{ref} に達することなく、帰還信号 S_f は第 2 電位に保たれるが、パルス信号が供給されなくなると、キャパシタ 9 0 6 に電荷が蓄積されていき、閾値電圧 V_{ref} を超える電荷が蓄積されると帰還信号 S_f は第 1 電位となる。

【 0 1 7 5 】

図 6 は波形整形回路 2 3 6 の各部の信号、および制御出力信号 S_{out} を示すタイミングチャートである。タイミングチャート 9 5 0 は、信号伝達回路装置 2 2 0 における、前述した制御出力信号 S_{out} 、帰還パルス S_{fp} 、整形帰還信号 S_{fc} 、および帰還信号 S_f の、時間経過に伴う電位の遷移を示したものである。制御出力信号 S_{out} としては例えばパルス幅 $25\ \mu s$ 、周期 $50\ \mu s$ の信号が帰還される。

【 0 1 7 6 】

帰還パルス S_{fp} は、帰還パルス生成回路 2 3 2 により生成される信号であり、制御出力信号 S_{out} が第 2 電位の期間に連続パルスを含む信号である。例えばパルス幅 $25\ ns$ 、周期 $600\ ns$ に設定される。

【 0 1 7 7 】

整形帰還信号 S_{fc} は帰還パルス S_{fp} が第 1 電位の間は接地電位となり、帰還パルス

10

20

30

40

50

S f p が第 2 電位の間はキャパシタ 9 0 6 に蓄積される電荷により電位が上昇してゆく。

【 0 1 7 8 】

帰還信号 S f は整形帰還信号 S f c の電位が V r e f 未満の場合は第 2 電位となり、整形帰還信号 S f c の電位が V r e f を超えると第 1 電位となる。

【 0 1 7 9 】

すなわち、制御出力信号 S o u t が第 1 電位となり、帰還パルス S f p による連続パルスの供給が停止してから、キャパシタ 9 0 6 に V r e f を超える電荷が蓄積されるまでの時間により、帰還信号 S f の立ち上がりは制御出力信号 S o u t の立ち上がりから遅延時間 T d だけ遅れる。

【 0 1 8 0 】

10

図 7 は、図 4 に示す信号伝達回路装置 2 2 0 に、前述した遅延時間 T d よりも短いパルス幅をもつ制御入力信号 S i n を入力した場合の、各部の信号のタイミングチャートである。

【 0 1 8 1 】

タイミングチャート 5 5 0 は、信号伝達回路装置 2 2 0 における、前述した制御入力信号 S i n、論理比較信号 S c、第 1 補正信号 S a 1、第 2 補正信号 S a 2、制御出力信号 S o u t、帰還パルス S f p、および帰還信号 S f の、時間経過に伴う電位（第 1 電位または第 2 電位）の遷移を示したものである。

【 0 1 8 2 】

図 7 (a) に示す信号は入力端子 2 2 1 に入力される制御入力信号 S i n の一例であり、パルス幅 1 μ s、周期 5 μ s の信号を示している。制御入力信号 S i n が第 2 電位から第 1 電位に遷移すると（図 7 (a)、立ち上がり X 1）、遷移の瞬間における帰還信号 S f は第 2 電位のままであるから、論理比較信号 S c が制御入力信号 S i n と帰還信号 S f の不一致を示す第 1 電位となる（図 7 (b)、立ち上がり Z 1）。

20

【 0 1 8 3 】

論理比較信号 S c が第 1 電位となったことに伴い、第 1 パルス生成回路 2 2 2 は第 1 補正信号 S a 1 として図 7 (c)、パルス A を生成する。

【 0 1 8 4 】

第 1 補正信号 S a 1 は R S フリップフロップ 2 3 0 のセット端子 S に入力され、制御出力信号 S o u t は第 1 電位に補正される（図 7 (e)、立ち上がり X 2）。

30

【 0 1 8 5 】

制御出力信号 S o u t が第 1 電位となったことに伴い、帰還パルス S f p は連続パルスの供給を停止する（図 7 (f)）。

【 0 1 8 6 】

制御入力信号 S i n が第 1 電位から第 2 電位に遷移すると（図 7 (a)、立ち下がり Y 1）、帰還信号 S f は遅延時間 T d の遅れにより第 2 電位のままであるから、論理比較信号 S c が制御入力信号 S i n と帰還信号 S f の一致を示す第 2 電位となってしまう（図 7 (b)、立ち下がり Z 2）、制御入力信号 S i n の立ち下がり時には第 2 パルス生成回路 2 2 4 はパルスを生成しない（図 7 (d)）。

【 0 1 8 7 】

40

制御出力信号 S o u t の立ち上がりから遅延時間 T d の経過後、帰還信号 S f は第 1 電位となり（図 7 (g)、立ち上がり B 1）、この時制御入力信号 S i n は既に第 2 電位となっているため、論理比較信号 S c は、帰還信号 S f と制御入力信号 S i n の“不一致”を示す第 1 電位となる（図 7 (b) 立ち上がり B 2）。

【 0 1 8 8 】

論理比較信号 S c が第 1 電位となったことに伴い、第 2 パルス生成回路は第 2 補正信号 S a 2 を生成する（図 7 (d)、パルス B 3）。

【 0 1 8 9 】

第 2 補正信号 S a 2 は R S フリップフロップ 2 3 0 のリセット端子 R に入力され、制御出力信号 S o u t は第 2 電位に補正される（図 7 (e)、立ち下がり Y 2）。

50

【0190】

結果的に、信号伝達回路装置220に遅延時間 T_d よりも短いパルス幅をもった制御入力信号 S_{in} を入力すると、制御出力信号 S_{out} のパルス幅は遅延時間 T_d まで増大してしまうという不具合が生ずる。

【0191】

この不具合を克服するためには、帰還信号伝達部220Dに波形整形回路236を用いない構成とすることで遅延時間 T_d を無くす方法や、第1パルス生成回路222および第2パルス生成回路224と並列に制御入力信号 S_{in} のエッジ検出回路を設けることにより、制御入力信号 S_{in} を直ちに制御出力信号 S_{out} へ反映させる方法等が考えられる。帰還信号伝達部220Dに波形整形回路236を用いない構成については第3の実施の形態で、制御入力信号 S_{in} のエッジ検出回路を設ける構成については第4の実施の形態で示す。

10

【0192】

(第3の実施の形態)

図8は第3の実施の形態にかかる信号伝達回路装置である。信号伝達回路装置250は、入力端子251、第1パルス生成回路252、第2パルス生成回路254、第1トランス256、第2トランス258、RSフリップフロップ260、出力端子279、第1出力エッジ検出回路262、第2出力エッジ検出回路264、第3トランス266、第4トランス268、第2RSフリップフロップ270、および論理比較回路272を備える。

【0193】

入力側回路250Aから出力側回路250Bへ信号を伝達する入力信号伝達部250Cは第1トランス256および第2トランス258により構成され、出力側回路250Bから入力側回路250Aへ信号を伝達する帰還信号伝達部250Dは、第1出力エッジ検出回路262、第2出力エッジ検出回路264、第3トランス266、第4トランス268、および第2RSフリップフロップ270により構成される。

20

【0194】

信号伝達回路装置250は図2に示す信号伝達回路装置220における遅延時間 T_d による不具合を克服するために、帰還信号伝達部250Dを、第1出力エッジ検出回路262、第2出力エッジ検出回路264、第3トランス266、第4トランス268、第2RSフリップフロップ270により構成した点が図2と異なる。

30

【0195】

信号伝達回路装置250における、第1パルス生成回路252、第2パルス生成回路254、第1トランス256、第2トランス258、RSフリップフロップ260、および論理比較回路272の構成については図2に示す信号伝達回路装置220における、第1パルス生成回路222、第2パルス生成回路224、第1トランス226、第2トランス228、RSフリップフロップ230、および論理比較回路238、と同様であるから詳しい説明は省略する。

【0196】

出力側回路250Bにおいて復元された制御出力信号 S_{out} は、該制御出力信号 S_{out} の立ち上がりエッジを検出する第1出力エッジ検出回路262および制御出力信号 S_{out} の立ち下がりエッジを検出する第2出力エッジ検出回路264により一時的に第1帰還パルス S_{fp1} および第2帰還パルス S_{fp2} に変換された後、第3トランス266および第4トランス268によって入力側回路250Aへ伝達される。

40

【0197】

第1帰還パルス S_{fp1} および第2帰還パルス S_{fp2} は、入力側回路250Aにおいて第2RSフリップフロップ270により、制御出力信号 S_{out} と等価な帰還信号 S_f に復元される。

【0198】

信号伝達回路装置250の帰還信号伝達部250Dは波形整形回路を持たないので、帰還信号 S_f の立ち上がりは制御出力信号 S_{out} に対してほとんど遅延しない。

50

【 0 1 9 9 】

図 9 は、図 8 に示した信号伝達回路装置 2 5 0 の変形例である。信号伝達回路装置 2 8 0 は帰還信号伝達部 2 8 0 D を、出力エッジ検出回路 2 9 2、第 3 トランス 2 9 4、D フリップフロップ 2 9 6 により構成した点が図 8 と異なる。

【 0 2 0 0 】

信号伝達回路装置 2 8 0 における、第 1 パルス生成回路 2 8 2、第 2 パルス生成回路 2 8 4、第 1 トランス 2 8 6、第 2 トランス 2 8 8、R S フリップフロップ 2 9 0、および論理比較回路 2 9 8 の構成については図 8 に示す信号伝達回路装置 2 5 0 における、第 1 パルス生成回路 2 5 2、第 2 パルス生成回路 2 5 4、第 1 トランス 2 5 6、第 2 トランス 2 5 8、R S フリップフロップ 2 6 0、および論理比較回路 2 7 2、と同様であるから詳しい説明は省略する。

10

【 0 2 0 1 】

出力エッジ検出回路 2 9 2 は制御出力信号 S o u t の立ち上がりエッジおよび立ち下がりエッジを検出し、帰還パルス S f p を生成する。帰還パルス S f p は第 3 トランス 2 9 4 により入力側回路 2 8 0 A へ伝達され、D フリップフロップ 2 9 6 のクロック端子 C L K へと入力される。

【 0 2 0 2 】

D フリップフロップ 2 9 6 はクロック端子 C L K に入力されたパルスの立ち上がり時のタイミングで出力端子 Q の出力電位（第 1 電位または第 2 電位）が遷移するように構成されており、結果的に、制御出力信号 S o u t は出力エッジ検出回路 2 9 2 によって一時的に帰還パルス S f p へと変化した後、D フリップフロップ 2 9 6 により制御出力信号 S o u t と等価な帰還信号 S f へと復元される。

20

【 0 2 0 3 】

このように構成すれば、帰還信号伝達部 2 8 0 D におけるトランスの数を一つにすることができ、信号伝達回路装置の小型化を図ることができる。

【 0 2 0 4 】

ただし、信号伝達回路装置 2 8 0 においては制御出力信号 S o u t の立ち上がりエッジを示すパルスと制御出力信号 S o u t の立ち下がりエッジを示すパルスが一つのクロック端子 C L K に入力されることとなるため、ノイズの発生に弱く、図 8 と比較して信号伝達回路装置 2 8 0 の耐ノイズ特性は低下する。

30

【 0 2 0 5 】

図 1 0 は、図 8 に示した信号伝達回路装置 2 5 0 の別の变形例である。信号伝達回路装置 3 0 0 は、第 1 補正信号 S a 1 と第 2 補正信号 S a 2 を論理和処理する論理和回路 3 0 6 を備えることにより、入力信号伝達部 3 0 0 C におけるトランスの数をひとつにし、出力側回路 3 0 0 B において R S フリップフロップ 2 6 0 の代わりに D フリップフロップ 3 1 0 を用いた構成が図 8 と異なる。

【 0 2 0 6 】

信号伝達回路装置 3 0 0 における、第 1 パルス生成回路 3 0 2、第 2 パルス生成回路 3 0 4、第 1 出力エッジ検出回路 3 1 2、第 2 出力エッジ検出回路 3 1 4、第 2 トランス 3 1 6、第 3 トランス 3 1 8、R S フリップフロップ 3 2 0、および論理比較回路 3 2 2 の構成については、図 8 に示す信号伝達回路装置 2 5 0 における、第 1 パルス生成回路 2 5 2、第 2 パルス生成回路 2 5 4、第 1 出力エッジ検出回路 2 6 2、第 2 出力エッジ検出回路 2 6 4、第 3 トランス 2 6 6、第 4 トランス 2 6 8、第 2 R S フリップフロップ 2 7 0、および論理比較回路 2 7 2 と同様であるから詳しい説明は省略する。

40

【 0 2 0 7 】

このように構成すれば、入力信号伝達部 3 0 0 C におけるトランスの数を一つにすることができ、回路の小型化を図ることができる。

【 0 2 0 8 】

ただし、信号伝達回路装置 3 0 0 においては制御出力信号 S o u t を第 1 電位に補正する第 1 補正信号 S a 1 と制御出力信号 S o u t を第 2 電位に補正する第 2 補正信号 S a 2

50

が一つのクロック端子CLKに入力されることとなるため、各信号のパルス幅、位相遅れ等に配慮した設計が必要である。また、第1パルス生成回路302および第2パルス生成回路304は単パルスを発生する構成とする。

【0209】

図11は、図8に示した信号伝達回路装置250の各部の信号を示すタイミングチャートである。タイミングチャート600は、信号伝達回路装置250における、前述した制御入力信号Sin、論理比較信号Sc、第1補正信号Sa1、第2補正信号Sa2、制御出力信号Sout、第1帰還パルスSfp1、第2帰還パルスSfp2、および帰還信号Sfの、時間経過に伴う電位（第1電位または第2電位）の遷移を示したものである。また、作図の都合上、各パルス幅の比率は必ずしも正確ではない。

10

【0210】

図11(a)に示す信号は、信号伝達回路装置250の入力端子251に入力される制御入力信号Sinの一例であり、パルス幅25μs、周期50μsの信号を示している。

【0211】

制御入力信号Sinが第2電位から第1電位に遷移すると（図11(a)、立ち上がりX1）、遷移の瞬間における帰還信号Sfは第2電位のままであるから、論理比較回路272での論理比較の結果は“不一致”となり、論理比較信号Scが第1電位となる。（図11(b)、立ち上がりA1）。

【0212】

論理比較信号Scが第1電位となると、第1パルス生成回路252は制御入力信号Sinと論理比較信号Scが第1の組み合わせ（たとえば両方とも第1電位）となったことに基づいて図11(c)、パルスA2を生成する。

20

【0213】

ここで、信号伝達時の消費電力を低減させるために、第1補正信号Sa1および第2補正信号Sa2におけるパルス幅は制御入力信号Sinと比較して十分に小さく設定される。

【0214】

第1補正信号Sa1は第1トランス256を介してRSフリップフロップ260のセット端子Sに入力されるので、図11(c)、パルスA2と同じタイミングで制御出力信号Soutは制御入力信号Sinと同じ第1電位へと補正される（図11(e)、立ち上がりX2）。

30

【0215】

制御出力信号Soutが第2電位から第1電位へ遷移すると、それに伴い第1出力エッジ検出回路262が第1帰還パルスSfp1として図11(f)、パルスX3を生成する。

【0216】

第1帰還パルスSfp1および第2帰還パルスSfp2のパルス幅はたとえば25nsに設定され、制御出力信号Soutのパルス幅と比較して十分に小さい。

【0217】

第1帰還パルスSfp1は第3トランス266により入力側回路250Aへ伝達され、第2RSフリップフロップ270のセット端子Sへと入力されるため、帰還信号Sfが第1電位へと遷移する（図11(h)、立ち上がりX4）。

40

【0218】

信号伝達回路装置250の帰還信号伝達部250Dにおいては、波形整形回路による遅延が発生しないため、帰還信号Sfの立ち上がりは制御出力信号Soutの立ち上がりとほぼ同時である。

【0219】

制御入力信号Sinが第1電位から第2電位に遷移すると（図11(a)、立ち下がりY1）、遷移の瞬間における帰還信号Sfは第1電位のままであるから、論理比較回路272での論理比較の結果は“不一致”となり、論理比較信号Scが第1電位となる（図1

50

1 (b)、立ち上がり B 1)。

【 0 2 2 0 】

論理比較信号 S c が第 1 電位となると、第 2 パルス生成回路 2 5 4 は制御入力信号 S i n と論理比較信号 S c が第 2 の組み合わせ (たとえば制御入力信号 S i n が第 2 電位、論理比較信号 S c が第 1 電位) となったことに基づいて図 1 1 (d)、パルス B 2 を生成する。

【 0 2 2 1 】

第 2 補正信号 S a 2 は第 2 トランス 2 5 8 を介して R S フリップフロップ 2 6 0 のリセット端子 R に入力されるので、図 1 1 (d)、パルス B 2 と同じタイミングで制御出力信号 S o u t は制御入力信号 S i n と同じ第 2 電位へと補正される (図 1 1 (e)、立ち下がり Y 2)。

10

【 0 2 2 2 】

制御出力信号 S o u t が第 1 電位から第 2 電位へ遷移すると、それに伴い第 2 出力エッジ検出回路 2 6 4 が第 2 帰還パルス S f p 2 として図 1 1 (g)、パルス Y 3 を生成する。

【 0 2 2 3 】

第 2 帰還パルス S f p 2 は第 4 トランス 2 6 8 により入力側回路 2 5 0 A へ伝達され、第 2 R S フリップフロップ 2 7 0 のリセット端子 R へと入力されるため、帰還信号 S f が第 2 電位へと遷移する (図 1 1 (h)、立ち下がり Y 4)。

【 0 2 2 4 】

20

結果的に、回路が正常に動作している状態において、制御入力信号 S i n と制御出力信号 S o u t の電位 (第 1 電位または第 2 電位) は常に一致した状態が保たれる。

【 0 2 2 5 】

また、帰還信号 S f は制御出力信号 S o u t に対してほとんど遅延しないので、図 8 に示す信号伝達回路装置 2 5 0 は、図 2 に示す信号伝達回路装置 2 2 0 と比較して短いパルス幅をもった制御入力信号 S i n に対しても正確な制御出力信号 S o u t を出力することが可能である。

【 0 2 2 6 】

次に、第 2 補正信号 S a 2 に図 1 1 (d)、ノイズ R 1 が混入した場合について説明する。

30

【 0 2 2 7 】

第 2 補正信号 S a 2 にノイズ R 1 が混入すると、制御出力信号 S o u t は一時的に第 1 電位から第 2 電位へと遷移するが (図 1 1 (e)、立ち下がり Z 1)、制御出力信号 S o u t における電位の遷移は第 2 帰還パルス S f p 2 (図 1 1 (g)、パルス R 2) により帰還信号 S f に反映され、論理比較回路 2 7 2 は制御入力信号 S i n と帰還信号 S f が “ 不一致 ” となったことに基づいて第 1 電位となる (図 1 1 (b)、立ち上がり R 3)。

【 0 2 2 8 】

すると、いま制御入力信号 S i n は第 1 電位であるから、第 1 パルス生成回路 2 5 2 は第 1 補正信号 S a 1 として図 1 1 (c)、パルス R 4 で示すパルスを送信し、R S フリップフロップ 2 6 0 はパルス R 4 に基づき制御出力信号 S o u t を第 1 電位に補正する (図 1 1 (e)、立ち上がり Z 2)。

40

【 0 2 2 9 】

結果的に、回路内にノイズが混入した場合、論理比較回路 2 7 2 において、制御入力信号 S i n と制御出力信号 S o u t が “ 不一致 ” となったことが即座に検知され、第 1 補正信号 S a 1 または第 2 補正信号 S a 2 が送信されることにより、制御出力信号 S o u t は入出力が “ 不一致 ” となった直後に制御入力信号 S i n と同じ電位 (第 1 電位または第 2 電位) へと補正される。

【 0 2 3 0 】

異常状態としては、前述したノイズ混入の他に、たとえば第 1 トランス 2 5 6 または第 2 トランス 2 5 8 において、パルスが伝達されない場合等が考えられるが、その場合にお

50

いても同様に出力信号補正機能が働き、制御出力信号 S_{out} を制御入力信号 S_{in} と同じ電位（第 1 電位または第 2 電位）に補正する。各部の信号の流れは同様であるから詳しい説明については省略する。

【0231】

ただし、信号伝達回路装置 250 においては、帰還信号伝達部 250D を第 1 出力エッジ検出回路 262、第 2 出力エッジ検出回路 264、第 3 トランス 266、第 4 トランス 268、および第 2 RS フリップフロップ 270 により構成したため、たとえば第 1 帰還パルス S_{fp1} にノイズが混入した場合に、入力側回路 250A に正常な帰還信号 S_f が帰還されないという不具合が生じ得る。こうした不具合を克服した信号伝達回路装置については後述する第 4 の実施の形態で示す。

10

【0232】

（第 4 の実施の形態）

図 12 は第 4 の実施の形態にかかる信号伝達回路装置である。信号伝達回路装置 330 は、入力端子 331、第 1 エッジ検出回路 332、第 2 エッジ検出回路 334、第 1 論理和回路 336、第 2 論理和回路 338、第 1 トランス 340、第 2 トランス 342、RS フリップフロップ 344、出力端子 359、帰還パルス生成回路 346、第 3 トランス 348、波形整形回路 350、論理比較回路 352、第 1 パルス生成回路 354、および第 2 パルス生成回路 356 を備える。

【0233】

入力側回路 330A から出力側回路 330B へ信号を伝達する入力信号伝達部 330C は第 1 論理和回路 336、第 2 論理和回路 338、第 1 トランス 340、および第 2 トランス 342 により構成され、出力側回路 330B から入力側回路 330A へ信号を伝達する帰還信号伝達部 330D は、帰還パルス生成回路 346、第 3 トランス 348、および波形整形回路 350 により構成される。

20

【0234】

信号伝達回路装置 330 は、制御入力信号 S_{in} の立ち上がりエッジを検出し第 1 入力パルス S_{b1} を出力する第 1 エッジ検出回路 332、制御入力信号 S_{in} の立ち下がりエッジを検出し第 2 入力パルス S_{b2} を出力する第 2 エッジ検出回路 334、第 1 入力パルス S_{b1} と第 1 補正信号 S_{a1} を論理和処理する第 1 論理和回路 336、第 2 入力パルス S_{b2} と第 2 補正信号 S_{a2} を論理和処理する第 2 論理和回路 338 を備える構成が図 2 とは異なる。

30

【0235】

入力端子 331 に入力された制御入力信号 S_{in} は第 1 エッジ検出回路 332 および第 2 エッジ検出回路 334 により、制御入力信号 S_{in} の立ち上がりエッジを示す第 1 入力パルス S_{b1} 及び制御入力信号 S_{in} の立ち下がりエッジを示す第 2 入力パルス S_{b2} に変換される。第 1 入力パルス S_{b1} 及び第 2 入力パルス S_{b2} のパルス幅は第 1 トランス 340 および第 2 トランス 342 での消費電力を低減させるために制御入力信号 S_{in} のパルス幅よりも小さく設定される。

【0236】

第 1 入力パルス S_{b1} は後述する第 1 補正信号 S_{a1} とともに第 1 論理和回路 336 で論理和処理され第 1 入力パルス S_{b1} と第 1 補正信号 S_{a1} の論理和であるセット信号 S_{set} へと変換される。セット信号 S_{set} は第 1 トランス 340 によって出力側回路 330B へと伝達され RS フリップフロップ 344 のセット端子 S へ入力される。

40

【0237】

第 2 入力パルス S_{b2} は後述する第 2 補正信号 S_{a2} とともに第 2 論理和回路 338 で論理和処理され第 2 入力パルス S_{b2} と第 2 補正信号 S_{a2} の論理和であるリセット信号 S_{res} へと変換される。リセット信号 S_{res} は第 2 トランス 342 によって出力側回路 330B へと伝達され RS フリップフロップ 344 のリセット端子 R へ入力される。

【0238】

RS フリップフロップ 344 はセット信号 S_{set} およびリセット信号 S_{res} に基づ

50

いて、制御入力信号 S_{in} と等価な制御出力信号 S_{out} を出力する。

【0239】

RSフリップフロップ344から出力された制御出力信号 S_{out} は出力端子359から取り出されるとともに、帰還パルス生成回路346へと送信される、帰還パルス生成回路346は制御出力信号 S_{out} が第2電位となっている期間に連続パルスを有する帰還パルス S_{fp} を生成する。

【0240】

帰還パルス S_{fp} はたとえばパルス幅 25 ns 、周期 600 ns に設定される。もちろん、制御出力信号 S_{out} が第1電位となっている期間に帰還パルス S_{fp} を生成する構成としてもよいが、波形整形回路350での波形整形、および論理比較回路352での論理比較の利便性に考慮しなければならない。

【0241】

帰還パルス生成回路346はたとえば矩形波信号（連続パルス信号）を生成する発振器と、この発振器から生成された発振パルス信号と制御出力信号 S_{out} との論理積をとるための論理積回路と、必要に応じてインバータ回路を用いて構成することができる。

【0242】

帰還パルス S_{fp} は第3トランス348によって入力側回路330Aへと伝達され、波形整形回路350へと送信される。波形整形回路350は帰還パルス S_{fp} を制御出力信号 S_{out} とほぼ等価な矩形波信号に整形する。

【0243】

波形整形回路350はたとえばスイッチングトランジスタ、電流源、キャパシタ、およびコンパレータ等を用いて構成することができる。回路構成は第2の実施の形態と同様である。回路の具体的な構成については図5に示した。

【0244】

波形整形回路350は整形された矩形波信号を帰還信号 S_f として出力し、出力された帰還信号 S_f は論理比較回路352へ送信され、制御入力信号 S_{in} と一致しているか否かの比較が行われる。両者の信号が比較され、制御入力信号 S_{in} と帰還信号 S_f の一致または不一致を示す論理比較信号 S_c が第1パルス生成回路354および第2パルス生成回路356へ送信される。論理比較回路352は例えばエクスクルーシブOR回路によって構成可能である。

【0245】

第1パルス生成回路354は制御入力信号 S_{in} と論理比較信号 S_c が第1の組み合わせ（たとえば両方とも第1電位）となった場合に第1補正信号 S_{a1} を出力する。すなわち、第1補正信号 S_{a1} は、論理比較回路352における制御入力信号 S_{in} と帰還信号 S_f の論理比較結果が“不一致”であり、かつ制御入力信号 S_{in} が第1電位の場合に制御出力信号 S_{out} を第1電位に補正するための信号である。

【0246】

第1補正信号 S_{a1} は第1入力パルス S_{b1} と論理処理され出力側回路330BにおけるRSフリップフロップ344のセット端子Sへと入力される。第1補正信号 S_{a1} と第1入力パルス S_{b1} は相互補完の関係にある。

【0247】

第2パルス生成回路356は制御入力信号 S_{in} と論理比較信号 S_c が第1の組み合わせとは異なる第2の組み合わせ（たとえば制御入力信号 S_{in} が第2電位、論理比較信号 S_c が第1電位）となった場合に第2補正信号 S_{a2} を出力する。すなわち、第2補正信号 S_{a2} は、論理比較回路352における制御入力信号 S_{in} と帰還信号 S_f の論理比較結果が“不一致”であり、かつ制御入力信号 S_{in} が第2電位の場合に制御出力信号 S_{out} を第2電位に補正するための信号である。

【0248】

第2補正信号 S_{a2} は第2入力パルス S_{b2} と論理処理され出力側回路330BにおけるRSフリップフロップ344のリセット端子Rへと入力される。第2補正信号 S_{a2}

10

20

30

40

50

と第2入力パルスS b 2は相互補完の関係にある。

【0249】

すなわち、信号伝達回路装置330において、制御入力信号S i nにおける電位の遷移は第1エッジ検出回路332または第2エッジ検出回路334によって第1入力パルスS b 1または第2入力パルスS b 2へと変換され、RSフリップフロップ344のセット端子Sまたはリセット端子Rに入力されることにより直ちに制御出力信号S o u tへと反映される。

【0250】

また、回路内における何らかの異常により制御入力信号S i nが制御出力信号S o u tへ正確に伝達されない場合であっても、論理比較回路352が制御入力信号S i nと帰還信号S fの“不一致”を検出し、それに伴い第1パルス生成回路354または第2パルス生成回路356が第1補正信号S a 1または第2補正信号S a 2を出力するので、制御出力信号S o u tは常に制御入力信号S i nと同じ電位（第1電位または第2電位）に保たれる。

10

【0251】

信号伝達回路装置330では、第1論理和回路336および第2論理和回路338が入力側回路330Aに設けられているが、出力側回路330Bに設ける構成としてもよい。上記変形例を図13に示す。

【0252】

信号伝達回路装置360は第1入力パルスS b 1を出力側回路360Bへ伝達する第1トランス366、第2入力パルスS b 2を出力側回路360Bへ伝達する第2トランス368、第1補正信号S a 1を出力側回路360Bへ伝達する第3トランス388、第2補正信号S a 2を出力側回路360Bへ伝達する第4トランス390を備え、出力側回路360Bに、第1入力パルスS b 1と第1補正信号S a 1を論理和処理する第1論理和回路370、第2入力パルスS b 2と第2補正信号S a 2を論理和処理する第2論理和回路372を設けた構成が図12と異なる。

20

【0253】

信号伝達回路装置360における、第1エッジ検出回路362、第2エッジ検出回路364、RSフリップフロップ374、帰還パルス生成回路376、第5トランス378、波形整形回路380、論理比較回路382、第1パルス生成回路384、第2パルス生成回路386の構成については、図12に示す信号伝達回路装置330における、第1エッジ検出回路332、第2エッジ検出回路334、RSフリップフロップ344、帰還パルス生成回路346、第3トランス348、波形整形回路350、論理比較回路352、第1パルス生成回路354、第2パルス生成回路356と同様であるから詳しい説明は省略する。

30

【0254】

このように構成すれば、第1入力パルスS b 1、第2入力パルスS b 2、第1補正信号S a 1、第2補正信号S a 2はそれぞれ別のトランスによって出力側回路360Bへ伝達されるため、入力信号伝達部360Cにおけるトランスの寿命を延ばすことができる。

【0255】

40

図14は、図12に示した信号伝達回路装置330の別の変形例である。信号伝達回路装置400は、第1論理和回路336、第2論理和回路338に代えて、第1入力パルスS b 1、第2入力パルスS b 2、第1補正信号S a 1、および第2補正信号S a 2を論理和処理する論理和回路406を備えることにより、入力信号伝達部400Cにおけるトランスの数をひとつにし、出力側回路400BにおいてRSフリップフロップ344の代わりにDフリップフロップ410を用いた構成が図12と異なる。

【0256】

信号伝達回路装置400における、第1エッジ検出回路402、第2エッジ検出回路404、帰還パルス生成回路412、第2トランス414、波形整形回路416、論理比較回路418、第1パルス生成回路420、第2パルス生成回路422の構成については、

50

図 1 2 に示す信号伝達回路装置 3 3 0 における、第 1 エッジ検出回路 3 3 2、第 2 エッジ検出回路 3 3 4、帰還パルス生成回路 3 4 6、第 3 トランス 3 4 8、波形整形回路 3 5 0、論理比較回路 3 5 2、第 1 パルス生成回路 3 5 4、第 2 パルス生成回路 3 5 6 と同様であるから詳しい説明は省略する。

【 0 2 5 7 】

このように構成すれば、入力信号伝達部 4 0 0 C におけるトランスの数を一つにすることができ、信号伝達回路装置の小型化を図ることができる。

【 0 2 5 8 】

ただし、信号伝達回路装置 4 0 0 においては、第 1 入力パルス S b 1、第 2 入力パルス S b 2、第 1 補正信号 S a 1、および第 2 補正信号 S a 2 が全て一つのクロック端子 C L K に入力されることとなるため、各信号のパルス幅、位相遅れ等に配慮した設計が必要である。また、第 1 パルス生成回路 4 2 0 および第 2 パルス生成回路 4 2 2 は単パルスを発生する構成とする。

【 0 2 5 9 】

信号伝達回路装置 4 0 0 において、論理和回路 4 0 6 を出力側回路 4 0 0 B に設ける構成としてもよい。上記変形例を図 1 5 に示す。信号伝達回路装置 4 3 0 は第 1 入力パルス S b 1 を出力側回路 4 3 0 B へ伝達する第 1 トランス 4 3 6、第 2 入力パルス S b 2 を出力側回路 4 3 0 B へ伝達する第 2 トランス 4 3 8、第 1 補正信号 S a 1 を出力側回路 4 3 0 B へ伝達する第 3 トランス 4 5 6、第 2 補正信号 S a 2 を出力側回路 4 3 0 B へ伝達する第 4 トランス 4 5 8 を備え、出力側回路 4 3 0 B に、第 1 入力パルス S b 1、第 2 入力パルス S b 2、第 1 補正信号 S a 1、および第 2 補正信号 S a 2 を論理和処理する論理和回路 4 4 0 を設けた構成が図 1 4 と異なる。

【 0 2 6 0 】

信号伝達回路装置 4 3 0 における、第 1 エッジ検出回路 4 3 2、第 2 エッジ検出回路 4 3 4、D フリップフロップ 4 4 2、帰還パルス生成回路 4 4 4、第 5 トランス 4 4 6、波形整形回路 4 4 8、論理比較回路 4 5 0、第 1 パルス生成回路 4 5 2、第 2 パルス生成回路 4 5 4 の構成については、図 1 4 に示す信号伝達回路装置 4 0 0 における、第 1 エッジ検出回路 4 0 2、第 2 エッジ検出回路 4 0 4、D フリップフロップ 4 1 0、帰還パルス生成回路 4 1 2、第 2 トランス 4 1 4、波形整形回路 4 1 6、論理比較回路 4 1 8、第 1 パルス生成回路 4 2 0、第 2 パルス生成回路 4 2 2 と同様であるから詳しい説明は省略する。

【 0 2 6 1 】

このように構成すれば、第 1 入力パルス S b 1、第 2 入力パルス S b 2、第 1 補正信号 S a 1、第 2 補正信号 S a 2 はそれぞれ別のトランスによって出力側回路 4 3 0 B へ伝達されるため、入力信号伝達部 4 3 0 C におけるトランスの寿命を延ばすことができる。

【 0 2 6 2 】

図 1 6 は、図 1 2 に示した信号伝達回路装置 3 3 0 のさらに別の変形例である。信号伝達回路装置 8 5 0 は、論理比較信号 S c を該論理比較信号 S c に同期した論理比較パルス信号 S c p に変換する比較パルス生成回路 8 7 6 を設けたことにより、第 1 パルス生成回路 3 5 4 および第 2 パルス生成回路 3 5 6 を不要とした点が図 1 2 と異なる。このように構成すれば、信号伝達回路装置の構成を簡略化することができる。

【 0 2 6 3 】

比較パルス生成回路 8 7 6 の構成は図 3 に示した信号伝達回路装置 8 0 0 における比較パルス生成回路 8 2 0 と同様である。

【 0 2 6 4 】

信号伝達回路装置 8 5 0 における、第 1 エッジ検出回路 8 5 2、第 2 エッジ検出回路 8 5 4、第 1 トランス 8 6 2、第 2 トランス 8 6 4、R S フリップフロップ 8 6 6、帰還パルス生成回路 8 6 8、第 3 トランス 8 7 0、波形整形回路 8 7 2、および論理比較回路 8 7 4 の構成は、図 1 2 に示す信号伝達回路装置 3 3 0 における、第 1 エッジ検出回路 3 3 2、第 2 エッジ検出回路 3 3 4、第 1 トランス 3 4 0、第 2 トランス 3 4 2、R S フリッ

プフロップ 344、帰還パルス生成回路 346、第 3 トランス 348、波形整形回路 350、論理比較回路 352 と同様であるから詳しい説明は省略する。

【0265】

信号合成回路 850E は、制御入力信号 S_{in} 、第 1 入力パルス S_{b1} 、第 2 入力パルス S_{b2} 、および論理比較パルス信号 S_{cp} を受信し、第 1 入力パルス S_{b1} 、第 2 入力パルス S_{b2} 、または論理比較パルス信号 S_{cp} を受信したタイミングで、その時点での制御入力信号 S_{in} の電位に基づいてセット信号 S_{set} またはリセット信号 S_{res} を出力する。図 16 に示すように、第 1 入力パルス S_{b1} 、第 2 入力パルス S_{b2} 、および論理比較パルス信号 S_{cp} を受信する論理和回路 856 と、論理和回路 856 の出力と制御入力信号 S_{in} を受信する第 1 論理積回路 858 と、論理和回路 856 の出力と制御入力信号 S_{in} の反転信号を受信する第 2 論理積回路 860 により信号合成回路 850E を構成すれば、比較的簡便な構成により信号合成回路 850E を構成することが可能であるが、信号合成回路 850E の構成については図 16 に示した構成に限定されるものではなく、種々の変形実施が可能である。

10

【0266】

図 17 は、図 12 に示した信号伝達回路装置 330 の各部の信号を示すタイミングチャートである。タイミングチャート 700 は、信号伝達回路装置 330 における、前述した制御入力信号 S_{in} 、第 1 入力パルス S_{b1} 、第 2 入力パルス S_{b2} 、セット信号 S_{set} 、リセット信号 S_{res} 、第 1 補正信号 S_{a1} 、第 2 補正信号 S_{a2} 、制御出力信号 S_{out} 、帰還パルス S_{fp} 、帰還信号 S_f 、および論理比較信号 S_c の、時間経過に伴う電位（第 1 電位または第 2 電位）の遷移を示したものである。なお、作図の都合上、各パルス幅の比率は必ずしも正確ではない。

20

【0267】

第 1 補正信号 S_{a1} 、第 2 補正信号 S_{a2} 、帰還パルス S_{fp} 、帰還信号 S_f 、および論理比較信号 S_c の動作については第 2 の実施の形態と同様であるから詳しい説明については省略する。

【0268】

ここで、信号伝達回路装置 330 における帰還信号伝達部 330D の構成は図 2 と同様であるから、帰還信号 S_f の立ち上がりは制御出力信号 S_{out} の立ち上がりから遅延時間 T_d だけ遅れる。

30

【0269】

図 17 (a) に示す制御入力信号 S_{in} は、信号伝達回路装置 330 の入力端子 331 に入力される制御入力信号 S_{in} の一例であり、パルス幅 $25 \mu s$ 、周期 $50 \mu s$ の信号を示している。

【0270】

制御入力信号 S_{in} が第 2 電位から第 1 電位へ遷移すると（図 17 (a)、立ち上がり $X1$ ）、第 1 エッジ検出回路 332 が制御入力信号 S_{in} の立ち上がりエッジを検出し、第 1 入力パルス S_{b1} として図 17 (b)、パルス $A1$ を生成する。ここで、信号伝達時の消費電力を低減させるために、第 1 入力パルス S_{b1} および第 2 入力パルス S_{b2} におけるパルス幅は制御入力信号 S_{in} と比較して十分に小さく設定される。

40

【0271】

第 1 入力パルス S_{b1} は第 1 論理和回路 336 に入力され、第 1 論理和回路 336 はセット信号 S_{set} として図 17 (d)、パルス $A2$ を送信する。

【0272】

セット信号 S_{set} は第 1 トランス 340 を介して RS フリップフロップ 344 のセット端子 S に入力されるので、図 17 (d)、パルス $A2$ と同じタイミングで制御出力信号 S_{out} は第 1 電位へと遷移する（図 17 (h)、立ち上がり $X2$ ）。

【0273】

制御入力信号 S_{in} が第 1 電位から第 2 電位へ遷移すると（図 17 (a)、立ち下がり $Y1$ ）、第 2 エッジ検出回路 334 が制御入力信号 S_{in} の立ち下がりエッジを検出し、

50

第2入力パルス $Sb2$ として図17(c)、パルス $B1$ を生成する。

【0274】

第2入力パルス $Sb2$ は第2論理和回路338に入力され、第2論理和回路338はリセット信号 $Sres$ として図17(e)、パルス $B2$ を送信する。

【0275】

リセット信号 $Sres$ は第2トランス342を介してRSフリップフロップ344のリセット端子Rに入力されるので、図17(e)、パルス $B2$ と同じタイミングで制御出力信号 $Sout$ は第2電位へと遷移する(図17(h)、立ち下がりY2)。

【0276】

したがって、入力側回路330Aから出力側回路330Bへの信号伝達が正常に行われている状態において、制御入力信号 Sin は常に制御出力信号 $Sout$ と同じ電位(第1電位または第2電位)に保たれる。

10

【0277】

次に、リセット信号 $Sres$ に図17(e)、ノイズ $R1$ が混入した場合について説明する。

【0278】

リセット信号 $Sres$ にノイズ $R1$ が混入すると、制御出力信号 $Sout$ は一時的に第1電位から第2電位へと遷移する(図17(h)、立ち下がりZ1)が、制御出力信号 $Sout$ における電位の遷移は帰還信号 Sf における電位の遷移として、論理比較回路352へと送信され、論理比較回路352は制御入力信号 Sin と帰還信号 Sf が“不一致”
となったことに基づいて第1電位となる(図17(k)、立ち上がりR2)。

20

【0279】

すると、いま制御入力信号 Sin は第1電位であるから、第1パルス生成回路354は第1補正信号 $Sa1$ として図17(f)、パルス $R3$ を生成し、第1論理和回路336は入力された第1補正信号 $Sa1$ に基づき、セット信号 $Sset$ として図14(d)、パルス $R4$ を送信する。セット信号 $Sset$ は第1トランス340を介してRSフリップフロップ344のセット端子Sに入力され、制御出力信号 $Sout$ を第1電位に補正する(図17(h)、立ち上がりZ2)。

【0280】

結果的に、回路内にノイズが混入した場合、論理比較回路352において、制御入力信号 Sin と制御出力信号 $Sout$ が“不一致”となったことが即座に検知され、第1パルス生成回路または第2パルス生成回路により、第1補正信号 $Sa1$ または第2補正信号 $Sa2$ が送信される。したがって、制御出力信号 $Sout$ は入出力が“不一致”となった直後に制御入力信号 Sin と同じ電位(第1電位または第2電位)へと補正される。

30

【0281】

異常状態としては、前述したノイズ混入の他に、たとえば第1トランスまたは第2トランスにおいて、パルスが伝達されない場合等が考えられるが、その場合においても同様に出力信号補正機能が働き、制御出力信号 $Sout$ を制御入力信号 Sin と同じ電位(第1電位または第2電位)に補正する。各部の信号の流れは同様であるから詳しい説明については省略する。

40

【0282】

次に、図12に示す信号伝達回路装置330に帰還信号 Sf の遅延時間 Td よりも短いパルス幅をもつ制御入力信号 Sin を入力した場合の各部の信号のタイミングチャートを図18に示す。タイミングチャート750は、信号伝達回路装置330における、前述した制御入力信号 Sin 、第1入力パルス $Sb1$ 、第2入力パルス $Sb2$ 、セット信号 $Sset$ 、リセット信号 $Sres$ 、第1補正信号 $Sa1$ 、第2補正信号 $Sa2$ 、制御出力信号 $Sout$ 、帰還パルス Sfp 、帰還信号 Sf 、および論理比較信号 Sc の、時間経過に伴う電位(第1電位または第2電位)の遷移を示したものである。

【0283】

図18(a)に示す信号は信号伝達回路装置330の入力端子331に入力される制御

50

入力信号 S_{in} の一例であり、パルス幅 $1\ \mu s$ 、周期 $5\ \mu s$ の信号を示している。

【0284】

制御入力信号 S_{in} が第2電位から第1電位に遷移すると(図18(a)、立ち上がり $X1$)、第1エッジ検出回路332が制御入力信号 S_{in} の立ち上がりエッジを検出し、第1入力パルス S_{b1} として図18(b)、パルス $A1$ を生成する。

【0285】

この時、制御入力信号 S_{in} の遷移の瞬間における帰還信号 S_f は第2電位のままであるから、論理比較回路352での論理比較の結果は“不一致”となり、論理比較信号 S_c は第1電位となる(図18(k)、立ち上がり $X3$)。それに伴い第1パルス生成回路は図18(f)、パルス $A2$ を生成する。第1入力パルス S_{b1} におけるパルス $A1$ と、第1補正信号 S_{a1} におけるパルス $A2$ は相互補完の関係にある。

10

【0286】

第1論理和回路336は第1入力パルス S_{b1} と第1補正信号 S_{a1} を論理和処理し、セット信号 S_{set} として図18(d)、パルス $A3$ を送信する。セット信号 S_{set} は第1トランス340を介してRSフリップフロップ344のセット端子 S に入力されるので、図18(d)、パルス $A3$ と同じタイミングで制御出力信号 S_{out} は第1電位へと遷移する(図18(h)、立ち上がり $X2$)。

【0287】

この時、制御出力信号 S_{out} が第1電位となったことに伴い、帰還パルス生成回路346は連続パルスの供給を停止する(図18(i))が、帰還信号 S_f は遅延時間 T_d の遅れにより第2電位のままとなる(図18(j))。

20

【0288】

制御入力信号 S_{in} が第1電位から第2電位に遷移すると(図18(a)、立ち下がり $Y1$)、第2エッジ検出回路334が制御入力信号 S_{in} の立ち下がりエッジを検出し、第2入力パルス S_{b2} として図18(c)、パルス $B1$ を生成する。

【0289】

第2入力パルス S_{b2} は第2論理和回路338に入力され、第2論理和回路338はリセット信号 S_{res} として図18(e)、パルス $B2$ を送信する。リセット信号 S_{res} は、第2トランス342を介してRSフリップフロップ344のリセット端子 R に入力されるので、図18(e)、パルス $B2$ と同じタイミングで制御出力信号 S_{out} は第2電位へと遷移する(図18(h)、立ち下がり $Y2$)。

30

【0290】

この時、制御出力信号 S_{out} の立ち上がりから遅延時間 T_d が経過する前に、制御出力信号 S_{out} が第2電位になってしまうため、帰還信号 S_f は第2電位のままとなり、論理比較信号 S_c は、制御入力信号 S_{in} の立ち下がりのタイミングで第2電位となる(図18(k)、立ち下がり $Y3$)。

【0291】

したがって、制御入力信号 S_{in} の立ち下がりのタイミングで第2パルス生成回路356はパルスを生成しないが(図18(g))、制御出力信号 S_{out} は第2入力パルス S_{b2} によって既に第2電位へと遷移しているため、制御出力信号 S_{out} のパルス幅が増大することは無い。

40

【0292】

結果的に、信号伝達回路装置330に遅延時間 T_d よりも小さいパルス幅を有する制御入力信号 S_{in} を入力しても制御出力信号 S_{out} のパルス幅は増大せず、図2に示した信号伝達回路装置220と比較して、制御入力信号 S_{in} の最小入力パルス幅を大幅に小さくすることができる。

【0293】

以上、第4の実施の形態について説明した。信号伝達回路装置330は、第1パルス生成回路354および第2パルス生成回路356とともに第1エッジ検出回路332および第2エッジ検出回路334を備えているので、出力信号補正機能を有したまま、遅延時間

50

Tdの影響を受けることなく制御入力信号Sinの最小入力パルス幅を大幅に小さくすることができる。

【0294】

さらに、帰還信号伝達部330Dを帰還パルス生成回路346、第3トランス348、波形整形回路350により構成したので、帰還信号伝達部250Dを第1出力エッジ検出回路262、第2出力エッジ検出回路264、第3トランス266、第4トランス268、および第2RSフリップフロップ270により構成した図8と比較して帰還信号伝達部330Dにおけるトランスの数を一つにすることができ、信号伝達回路装置の小型化を図るとともに帰還信号伝達部の耐ノイズ特性が向上する。

【0295】

<第2の技術的特徴について>

図22は、本発明に係る半導体装置の第1実施形態を示す模式図である。本実施形態の半導体装置X10Aは、コイルL1を集積化した半導体装置であって、コイルL1の一端には、第1の電流供給用パッドX11aと第1の電圧測定用パッドX11bが接続されており、コイルL1の他端には、第2の電流供給用パッドX12aと第2の電圧測定用パッドX12bが接続されている。

【0296】

図23は、半導体装置X10Aの不良品検査を説明するための模式図である。半導体装置X10Aの不良品検査に用いられる検査装置X20は、第1の電流供給用パッドX11aに接触させる第1の電流供給用プローブX21aと、第1の電圧測定用パッドX11bに接触させる第1の電圧測定用プローブX21bと、第2の電流供給用パッドX12aに接触させる第2の電流供給用プローブX22aと、第2の電圧測定用パッドX12bに接触させる第2の電圧測定用プローブX22bと、第1の電流供給用プローブX21aと第2の電流供給用プローブX22aとの間に所定の定電流Iを流す定電流源X23と、第1の電圧測定用プローブX21bと第2の電圧測定用プローブX22bとの間に発生する電圧を測定する電圧計X24と、を有して成る。

【0297】

半導体装置X10Aの不良品検査では、定電流源X23からコイルL1に所定の定電流Iが流され、そのときに発生するコイルL1の両端間電圧(コイルL1の直列抵抗成分RLに起因して発生する電圧降下)を電圧計X24で測定される。

【0298】

ここで、定電流源X23からコイルL1に定電流Iを流すためには、パッドX11a及びX12aにそれぞれプローブX21a及びX22aを接触させる必要があり、接触抵抗成分Rx a及びRy aが不可避免的に発生する。従って、定電流源X23からコイルL1に定電流Iを流す経路上では、接触抵抗成分Rx a及びRy aに起因する電圧降下(=I×(Rx a+Ry a))が発生する。

【0299】

一方、コイルL1の両端間電圧を電圧計X24で測定するためには、パッドX11b及びX12bにそれぞれプローブX21b及びX22bを接触させる必要があり、上記と同様、接触抵抗成分Rx b及びRy bが不可避免的に発生する。しかし、電圧計X24の内部インピーダンスは極めて高く、電圧計X24の両端間には殆ど電流が流れないため、接触抵抗成分Rx b及びRy bに起因する電圧降下はほぼゼロとなる。

【0300】

すなわち、本実施形態の半導体装置X10Aの不良品検査に際して、電圧計X24で得られる検出電圧Vdetの電圧値は、下記(2)式で表される通り、上記した接触抵抗成分の影響を何ら受けることなく、コイルL1の直列抵抗成分RLのみに応じて変動する。

【0301】

$$V_{det} = I \times R_L \quad \dots \quad (2)$$

【0302】

従って、本実施形態の半導体装置X10Aであれば、その不良品検査に際して、コイル

10

20

30

40

50

L 1 の直列抵抗成分 R L を正確に測定することができるので、コイル L 1 の断線が生じている不良品をリジェクトすることはもちろん、コイル L 1 の抵抗値異常（例えば、巻線同士の中途短絡）が生じている不良品についても、これを適切にリジェクトすることが可能となり、不良品の市場流出を未然に防止することが可能となる。

【 0 3 0 3 】

図 2 4 は、本発明に係る半導体装置の第 2 実施形態を示す模式図であり、図 2 5 は、半導体装置 X 1 0 B の不良品検査を説明するための模式図である。

【 0 3 0 4 】

本実施形態の半導体装置 X 1 0 B において、先に述べた第 1 の電流供給用パッド X 1 1 a と第 1 の電圧測定用パッド X 1 1 b は、第 1 の共用パッド X 1 1 c として一体的に形成されている。なお、第 1 の共用パッド X 1 1 c は、第 1 の電流供給用プローブ X 2 1 a と第 1 の電圧測定用プローブ X 2 1 b を同時に接触させることが可能な面積（第 1 の電流供給パッド X 2 1 a や第 1 の電圧測定用パッド X 1 1 b の面積に比べて 2 倍程度の大きさ）を有するように形成されている。

【 0 3 0 5 】

また、本実施形態の半導体装置 X 1 0 B において、先に述べた第 2 の電流供給用パッド X 1 2 a と第 2 の電圧測定用パッド X 1 2 b は、第 2 の共用パッド X 1 2 c として一体的に形成されている。なお、第 2 の共用パッド X 1 2 c は、第 2 の電流供給用プローブ X 2 2 a と第 2 の電圧測定用プローブ X 2 2 b を同時に接触させることが可能な面積（第 2 の電流供給パッド X 1 2 a や第 2 の電圧測定用パッド X 1 2 b の面積に比べて 2 倍程度の大きさ）を有するように形成されている。

【 0 3 0 6 】

このように、1 つのパッドサイズを十分に大きく設計できるのであれば、1 つのパッドに 2 つのプローブを接触させる検査方法を採用してもよい。

【 0 3 0 7 】

なお、半導体装置 X 1 0 B の不良品検査に用いられる検査装置 X 2 0 の構成や検査方法については、先に述べた通りであるため、重複した説明は省略する。

【 0 3 0 8 】

次に、ハイブリッド自動車に搭載されるモータ駆動装置に本発明を適用した構成を例に挙げて詳細な説明を行う。

【 0 3 0 9 】

図 2 6 は、本発明に係る半導体装置を用いたモータ駆動装置の一構成例を示すブロック図である。本構成例のモータ駆動装置は、ハイサイドスイッチ S W H と、ローサイドスイッチ S W L と、ハイサイドスイッチ S W H の制御手段であるスイッチ制御装置 1 と、エンジンコントロールユニット 2（以下では、E C U [Engine Control Unit] 2 と呼ぶ）と、直流電圧源 E 1 及び E 2 と、n p n 型バイポーラトランジスタ Q 1 と、p n p 型バイポーラトランジスタ Q 2 と、キャパシタ C 1 ~ C 3 と、抵抗 R 1 ~ R 8 と、ダイオード D 1 とを有して成る。

【 0 3 1 0 】

スイッチ制御装置 1 は、第 1 半導体チップ 1 0 と、第 2 半導体チップ 2 0 と、第 3 半導体チップ 3 0 と、を一のパッケージに封止して成る。

【 0 3 1 1 】

スイッチ制御装置 1 に関する第 1 の特長は、入出力間絶縁耐圧が 1 2 0 0 V という点である。第 2 の特長は、U V L O を内蔵している点である。第 3 の特長は、ウォッチドッグタイマ機能を内蔵している点である。第 4 の特長は、過電流保護機能（自動復帰型）を内蔵している点である。第 5 の特長は、過電流保護動作時におけるスローオフ機能を内蔵している点である。第 6 の特長は、外部エラー検出機能（E R R I N）を内蔵している点である。第 7 の特長は、異常状態出力機能（F L T、O C P O U T）を内蔵している点である。第 8 の特長は、アクティブミラークランプ機能を内蔵している点である。第 9 の特長は、ショートサーキットクランプ機能を内蔵している点である。

【0312】

第1半導体チップ10は、直流電圧源E1から第1電源電圧VCC1（GND1基準で5[V]や3.3[V]など）の供給を受けて駆動され、入力信号INに基づいてスイッチ制御信号S1及びS2を生成するコントローラが集積化されたコントローラチップである。第1半導体チップ10の主な機能としては、スイッチ制御信号S1、S2の生成機能ないし出力機能、トランス伝達異常監視機能（入力信号INの入出力論理監視機能）、エラー状態出力機能、UVLO機能、及び、外部エラー入力信号処理機能を挙げることができる。なお、第1半導体チップ10の耐圧は、第1電源電圧VCC1（GND1基準）を考慮して、適切な耐圧（例えば7[V]耐圧）に設計すればよい。

【0313】

10

第2半導体チップ20は、直流電圧源E2から第2電源電圧VCC2（GND2基準で10～30[V]）の供給を受けて駆動され、第1半導体チップ10から第3半導体チップ30を介して入力されるスイッチ制御信号S1及びS2に基づいて、一端に数[kV]の高電圧が印加されるハイサイドスイッチSWHの駆動制御を行うドライバが集積化されたドライバチップである。第2半導体チップ20の主な機能としては、出力信号OUTの生成機能ないし出力機能、過電流/過電圧保護機能、及び、UVLO機能を挙げることができる。なお、第2半導体チップ20の耐圧は、第2電源電圧VCC2（GND2基準）を考慮して、適切な耐圧（例えば40[V]耐圧）に設計すればよい。

【0314】

第3半導体チップ30は、第1半導体チップ10と第2半導体チップ20との間を直流的に絶縁しながら、スイッチ制御信号S1及びS2、ウォッチドッグ信号S3、及び、フォルト信号S4の受け渡しを行うトランスが集積化されたトランスチップである。

20

【0315】

上記したように、本構成例のスイッチ制御装置1は、コントローラが集積化される第1半導体チップ10やドライバが集積化される第2半導体チップ20とは別に、トランスのみを搭載する第3半導体チップ30を独立に有して成り、これらを一のパッケージに封止して成る構成とされている。

【0316】

このような構成とすることにより、第1半導体チップ10、及び、第2半導体チップ20については、いずれも一般の低耐圧プロセス（数[V]耐圧～数十[V]耐圧）で作成することが可能となるので、専用の高耐圧プロセス（数[kV]耐圧）を用いる必要がなくなり、製造コストを低減することが可能となる。

30

【0317】

また、第1半導体チップ10、及び、第2半導体チップ20については、いずれも実績のある既存プロセスで作成することが可能であり、新たに信頼性試験を行う必要がないので、開発期間の短縮や開発コストの低減に貢献することができる。

【0318】

また、トランス以外の直流絶縁素子（例えばフォトカブラ）を用いる場合であっても、第3半導体チップ30のみを載せ換えることにより、容易に対応することが可能となるので、コントローラチップやドライバチップまで開発し直す必要がなくなり、開発期間の短縮や開発コストの低減に貢献することができる。

40

【0319】

ECU2は、エンジン運転及びモータ運転における電氣的な制御を総合的に行うための手段であり、スイッチ制御装置1との間で、各種信号（IN、RST、FLT、OCPOUT）のやり取りを行うマイクロコントローラである。

【0320】

ハイサイドスイッチSWH、及び、ローサイドスイッチSWLは、それぞれ、第1モータ駆動電圧VD1の印加端とモータコイルの一端との間、及び、第2モータ駆動電圧VD2の印加端とモータコイルの一端との間に接続され、各々のオン/オフ制御に応じて、モータ駆動電流の供給制御を行う手段である。なお、本構成例のモータ駆動装置では、ハイ

50

サイドスイッチ S W H 及びローサイドスイッチ S W L として、それぞれ、絶縁ゲートバイポーラトランジスタ (I G B T [Insulated Gate Bipolar Transistor]) を用いているが、本発明の構成はこれに限定されるものではなく、 S i C [Silicon Carbide] 半導体を用いた M O S [Metal Oxide Semiconductor] 電界効果トランジスタや、 S i 半導体を用いた M O S 電界効果トランジスタを採用しても構わない。特に、 S i C 半導体を用いた M O S 電界効果トランジスタは、 S i 半導体を用いた M O S 電界効果トランジスタよりも消費電力が小さく、耐熱温度が高いため、ハイブリッド自動車への搭載に好適である。

【 0 3 2 1 】

次に、スイッチ制御装置 1 の内部構成について詳細に説明する。

10

【 0 3 2 2 】

第 1 半導体チップ 1 0 は、第 1 送信部 1 1 と、第 2 送信部 1 2 と、第 1 受信部 1 3 と、第 2 受信部 1 4 と、ロジック部 1 5 と、第 1 低電圧ロックアウト部 1 6 (以下では第 1 U V L O [Under Voltage Lock Out] 部 1 6 と呼ぶ) と、外部エラー検出部 (外部エラー検出用コンパレータ) 1 7 と、 N チャンネル型 M O S 電界効果トランジスタ N a 及び N b と、を有して成る。

【 0 3 2 3 】

第 2 半導体チップ 2 0 は、第 3 受信部 2 1 と、第 4 受信部 2 2 と、第 3 送信部 2 3 と、第 4 送信部 2 4 と、ロジック部 2 5 と、ドライバ部 2 6 と、第 2 低電圧ロックアウト部 2 7 (以下では、第 2 U V L O 部 2 7 と呼ぶ) と、過電流検出部 (過電流検出用コンパレータ) 2 8 と、 O C P [Over Current Protection] タイマ 2 9 と、 P チャンネル型 M O S 電界効果トランジスタ P 1 及び P 2 と、 N チャンネル型 M O S 電界効果トランジスタ N 1 ~ N 3 と、 S R フリップフロップ F F と、を有して成る。

20

【 0 3 2 4 】

第 3 半導体チップ 3 0 は、第 1 トランス 3 1 と、第 2 トランス 3 2 と、第 3 トランス 3 3 と、第 4 トランス 3 4 と、を有して成る。

【 0 3 2 5 】

第 1 送信部 1 1 は、ロジック部 1 5 から入力されるスイッチ制御信号 S 1 を第 1 トランス 3 1 経由で第 3 受信部 2 1 に送信する手段である。第 2 送信部 1 2 は、ロジック部 1 5 から入力されるスイッチ制御信号 S 2 を第 2 トランス 3 2 経由で第 4 受信部 2 2 に送信する手段である。第 1 受信部 1 3 は、第 3 送信部 2 3 から第 3 トランス 3 3 経由で入力されるウォッチドッグ信号 S 3 を受信してロジック部 1 5 に伝達する手段である。第 4 受信部 1 4 は、第 4 送信部 2 4 から第 4 トランス 3 4 経由で入力されるドライバ異常信号 S 4 を受信してロジック部 1 5 に伝達する手段である。

30

【 0 3 2 6 】

ロジック部 1 5 は、 E C U 2 との間で、各種信号 (I N 、 R S T 、 F L T 、 O C P O U T) のやり取りを行うとともに、第 1 送信部 1 1 、第 2 送信部 1 2 、第 1 受信部 1 3 、及び、第 2 受信部 1 4 を用いて、第 2 半導体チップ 2 0 との間で、各種信号 (S 1 ~ S 4) のやり取りを行う手段である。

【 0 3 2 7 】

40

なお、ロジック部 1 5 は、入力信号 I N がハイレベルであるときには、出力信号 O U T をハイレベルとするようにスイッチ制御信号 S 1 、 S 2 を生成し、逆に、入力信号 I N がローレベルであるときには、出力信号 O U T をローレベルとするようにスイッチ制御信号 S 1 、 S 2 を生成する。より具体的に述べると、ロジック部 1 5 は、入力信号 I N のポジティブエッジ (ローレベルからハイレベルへの立上がりエッジ) を検出してスイッチ制御信号 S 1 にパルスを立てる一方、入力信号 I N のネガティブエッジ (ハイレベルからローレベルへの立下がりエッジ) を検出してスイッチ制御信号 S 2 にパルスを立てる。

【 0 3 2 8 】

また、ロジック部 1 5 は、リセット信号 R S T がローレベルであるときには、出力信号 O U T の生成動作をディセーブルとするように、すなわち、出力信号 O U T をローレベル

50

で固定するようにスイッチ制御信号 S 1、S 2 を生成し、逆に、リセット信号 R S T がハイレベルであるときには、出力信号 O U T の生成動作をイネーブルとするように、すなわち、出力信号 O U T を入力信号 I N に応じた論理レベルとするようにスイッチ制御信号 S 1、S 2 を生成する。なお、リセット信号 R S T が所定時間（例えば 5 0 0 [n s] ）にわたってローレベルに維持された場合、ロジック部 1 5 は、過電流検出部 2 8 による保護動作を復帰させるようにスイッチ制御信号 S 1、S 2 を生成する。

【 0 3 2 9 】

また、ロジック部 1 5 は、スイッチ制御装置 1 の正常時には、トランジスタ N a をオフとして、第 1 状態信号 F L T をオープン（抵抗 R 1 によるプルアップ状態）とし、スイッチ制御装置 1 の異常時（第 1 半導体チップ 1 0 側での低電圧異常やスイッチ制御信号 S 1 及び S 2 のトランス伝達異常、或いは、E R R I N 信号異常が検出された時）には、トランジスタ N a をオンとして、第 1 状態信号 F L T をローレベルとする。このような構成であれば、E C U 2 は、第 1 状態信号 F L T を監視することにより、スイッチ制御装置 1 の状態を把握することが可能となる。なお、第 1 半導体チップ 1 0 側での低電圧異常については、第 1 U V L O 部 1 6 での検知結果に基づいて判断すればよく、また、スイッチ制御信号 S 1、S 2 のトランス伝達異常については、入力信号 I N（スイッチ制御信号 S 1、S 2）とウォッチドッグ信号 S 3 との比較結果に基づいて判断すればよい。また、E R R I N 信号異常については、外部エラー検出部 1 7 の出力結果に基づいて判断すればよい。

【 0 3 3 0 】

また、ロジック部 1 5 は、スイッチ制御装置 1 の正常時には、トランジスタ N b をオフとして、第 2 状態信号 O C P O U T をオープン（抵抗 R 2 によるプルアップ状態）とし、スイッチ制御装置 1 の異常時（第 2 半導体チップ 2 0 側での低電圧異常やハイスайдスイッチ S W H に流れるモータ駆動電流の過電流が検出された時）には、トランジスタ N b をオンとして、第 2 状態信号 O C P O U T をローレベルとする。このような構成であれば、E C U 2 は、第 2 状態信号 O C P O U T を監視することにより、スイッチ制御装置 1 の状態を把握することが可能となる。なお、第 2 半導体チップ 2 0 側での低電圧異常やハイスайдスイッチ S W H に流れるモータ駆動電流の過電流については、ドライバ異常信号 S 4 に基づいて判断すればよい。

【 0 3 3 1 】

第 1 U V L O 部 1 6 は、第 1 電源電圧 V C C 1 が低電圧状態であるか否かを監視し、その監視結果をロジック部 1 5 に伝達する手段である。

【 0 3 3 2 】

外部エラー検出部 1 7 は、抵抗 R 3 と抵抗 R 4 の接続ノードから E R R I N 端子に入力される電圧（監視対象となるアナログ電圧を抵抗分割して得られる分圧電圧）と所定の閾値電圧とを比較し、その比較結果をロジック部 1 5 に伝達する手段である。

【 0 3 3 3 】

第 3 受信部 2 1 は、第 1 送信部 1 1 から第 1 トランス 3 1 経由で入力されるスイッチ制御信号 S 1 を受信して S R フリップフロップ F F のセット入力端（S）に伝達する手段である。第 4 受信部 2 2 は、第 2 送信部 1 2 から第 2 トランス 3 2 経由で入力されるスイッチ制御信号 S 2 を受信して S R フリップフロップ F F のリセット入力端（R）に伝達する手段である。第 3 送信部 2 3 は、ロジック部 2 5 から入力されるウォッチドッグ信号 S 2 を第 3 トランス 3 3 経由で第 1 受信部 1 3 に送信する手段である。第 4 送信部 2 4 は、ロジック部 2 5 から入力されるドライバ異常信号 S 4 を第 4 トランス 3 4 経由で第 2 受信部 1 4 に送信する手段である。

【 0 3 3 4 】

S R フリップフロップ F F は、セット入力端（S）に入力されるスイッチ制御信号 S 1 のパルスエッジをトリガとして出力信号をハイレベルにセットし、リセット入力端（R）に入力されるスイッチ制御信号 S 2 のパルスエッジをトリガとして出力信号をローレベルにリセットする。すなわち、上記の出力信号は、E C U 2 からロジック部 1 5 に入力される入力信号 I N と同一信号となる。なお、上記の出力信号は、S R フリップフロップ F F

の出力端（Ｑ）からロジック部２５に送出される。

【０３３５】

ロジック部２５は、ＳＲフリップフロップＦＦの出力信号（入力信号ＩＮと同一信号）に基づいて、ドライバ部２６の駆動信号を生成する。

【０３３６】

また、ロジック部２５は、第２ＵＶＬＯ部２７及び過電流検出部２８での検知結果に基づいて、低電圧異常や過電流が生じていると判断した場合、その旨を異常検知信号でドライバ部２６に伝達するとともに、ドライバ異常信号Ｓ４でロジック部１５にも伝達する。このような構成とすることにより、第２半導体チップ２０に異常が生じた場合でも、ドライバ部２６は速やかに保護動作を行うことが可能となり、ロジック部１５はＥＣＵ２への異常通知動作（第２状態信号ＯＣＰＯＵＴのローレベル遷移）を行うことが可能となる。なお、ロジック部２５は、過電流保護動作後、所定時間が経過した時点で過電流保護動作からの自動復帰を行う機能を有している。

10

【０３３７】

また、ロジック部２５は、ＳＲフリップフロップＦＦの出力信号をそのままウォッチドッグ信号Ｓ３として第３送信部２３に出力する。このように、第２半導体チップ２０から第１半導体チップ１０に向けてウォッチドッグ信号Ｓ３を返信する構成であれば、ロジック部１５において、第１半導体チップ１０に入力された入力信号ＩＮと、これに対して第２半導体チップ２０から返信されたウォッチドッグ信号Ｓ３を比較することにより、トランス伝達異常の有無を判定することが可能となる。

20

【０３３８】

ドライバ部２６は、ロジック部２５から入力される駆動信号に基づいて、トランジスタＰ１とトランジスタＮ１のオン／オフ制御を行い、トランジスタＰ１とトランジスタＮ１との接続ノードから出力信号ＯＵＴを出力する手段である。出力信号ＯＵＴは、トランジスタＱ１及びＱ２から成る駆動回路を介して、ハイスサイドスイッチＳＷＨに入力されている。上記の駆動回路は、出力信号ＯＵＴにハイスサイドスイッチＳＷＨの駆動能力を持たせるべく、出力信号ＯＵＴの立上がり／立下がり時間（スルーレート）を調整する手段である。なお、出力信号ＯＵＴがハイレベルであるときには、ハイスサイドスイッチＳＷＨがオンとされ、逆に、出力信号ＯＵＴがローレベルであるときには、ハイスサイドスイッチＳＷＨがオフとされる。

30

【０３３９】

なお、ドライバ部２６は、出力信号ＯＵＴの電圧レベル（ＧＮＤ２基準）がローレベルとなったとき、ハイスサイドスイッチＳＷＨのゲートからＣＬＡＭＰ端子を介して電荷（ミラー電流）を吸い込むように、トランジスタＮ２をオンとする機能（アクティブミラークランプ機能）を有している。このような構成とすることにより、ハイスサイドスイッチＳＷＨをオフする際には、上記の駆動回路で設定されるスルーレートに依ることなく、トランジスタＮ２を介してハイスサイドスイッチＳＷＨのゲート電位を速やかにローレベルへ立ち下げることが可能となる。

【０３４０】

また、ドライバ部２６は、出力信号ＯＵＴの電圧レベル（ＧＮＤ２基準）がハイレベルとなったとき、ＣＬＡＭＰ端子を介してハイスサイドスイッチＳＷＨのゲートを電源電圧ＶＣＣ２にクランプするように、トランジスタＰ２をオンとする機能（ショートサーキットクランプ機能）を有している。このような構成とすることにより、ハイスサイドスイッチＳＷＨをオンする際、ハイスサイドスイッチＳＷＨのゲート電位が電源電圧ＶＣＣ２よりも高電位まで上昇することはなくなる。

40

【０３４１】

また、ドライバ部２６は、ロジック部２５から入力される異常検知信号に基づいて保護動作を行う必要があると判断した場合、トランジスタＰ１、Ｐ２及びトランジスタＮ１、Ｎ２をいずれもオフとする一方、トランジスタＮ３をオンとする機能（スローオフ機能）を有している。このようなスイッチ制御により、保護動作時には、ハイスサイドスイッチＳ

50

WHのゲートから抵抗R5を介して、通常動作時よりも緩やかに電荷を引き抜くことができる。このような構成とすることにより、保護動作時にモータ電流が瞬断されることを回避できるので、モータコイルの逆起電力によって生じるサージを抑制することが可能となる。なお、抵抗R5の抵抗値を適宜選択することにより、保護動作時の立ち下がり時間を任意に調整することができる。

【0342】

第2UVLO部27は、第2電源電圧VCC2が低電圧状態であるか否かを監視し、その監視結果をロジック部25に伝達する手段である。

【0343】

過電流検出部28は、抵抗R7と抵抗R8の接続ノードからOCP/DESATIN端子に入力される電圧(ダイオードD1のアノード電圧を抵抗分割して得られる分圧電圧)と所定の閾値電圧とを比較し、その比較結果をロジック部25に伝達する手段である。なお、ハイスサイドスイッチSWHに流れるモータ駆動電流が大きいほど、ハイスサイドスイッチSWHとして用いられている絶縁ゲートバイポーラトランジスタのコレクタ・エミッタ間電圧が大きくなる。従って、ハイスサイドスイッチSWHに流れるモータ駆動電流が大きいほど、ダイオードD1のアノード電圧が上昇し、延いては、OCP/DESATIN端子に入力される電圧が上昇する。そこで、過電流検出部28は、OCP/DESATINに入力される電圧(GND2基準)が所定の閾値(例えば0.5[V])に達したとき、ハイスサイドスイッチSWHに流れるモータ駆動電流が過電流状態であると判定する。

【0344】

なお、本構成例では、ハイスサイドスイッチSWHとして用いられている絶縁ゲートバイポーラトランジスタのコレクタ・エミッタ間電圧を検出することで、モータ駆動電流の検出を行う方式(電圧検出方式)を採用した構成を例に挙げて説明を行ったが、モータ駆動電流の検出方式はこれに限定されるものではなく、例えば、ハイスサイドスイッチSWHに流れるモータ駆動電流(或いは、これと同等の挙動を示すミラー電流)をセンス抵抗に流して電圧信号を生成し、これをOCP/DESATIN端子に入力する方式(電流検出方式)を採用しても構わない。

【0345】

OCPタイマ29は、過電流保護動作後の経過時間をカウントする手段である。

【0346】

第1トランス31は、第1半導体チップ10から第2半導体チップ20にスイッチ制御信号S1を伝達するための直流絶縁素子である。第2トランス32は、第1半導体チップ10から第2半導体チップ20にスイッチ制御信号S2を伝達するための直流絶縁素子である。第3トランス33は、第2半導体チップ20から第1半導体チップ10にウォッチドッグ信号S3を伝達するための直流絶縁素子である。第4トランス34は、第2半導体チップ20から第1半導体チップ10にドライバ異常信号S4を伝達するための直流絶縁素子である。

【0347】

このように、第1半導体チップ10と第2半導体チップ20との間で、スイッチ制御信号S1及びS2だけでなく、ウォッチドッグ信号S3やドライバ異常信号S4をやり取りする構成であれば、ハイスサイドスイッチSWHのオン/オフ制御だけでなく、種々の保護機能を適切に実現することが可能となる。

【0348】

図27は、トランス31~34を介した送受信回路部分の詳細図である。本図に示すように、第1半導体チップ10側に設けられる第1送信部11、第2送信部12、第1受信部13、及び、第2受信部14は、いずれもVCC1-GND1間の電源電圧で駆動されるものであり、第2半導体チップ20側に設けられる第3受信部21、第4受信部22、第3送信部23、及び、第4送信部24は、いずれもVCC2-GND2間の電源電圧で駆動されるものである。

【0349】

このような構成であれば、先にも述べた通り、第1半導体チップ10、及び、第2半導体チップ20については、いずれも一般の低耐圧プロセス（数[V]耐圧～数十[V]耐圧）で作成することが可能となるので、専用の高耐圧プロセス（数[kV]耐圧）を用いる必要がなくなり、製造コストを低減することが可能となる。

【0350】

なお、図27では、第1受信部13、第2受信部14、第3受信部21、及び、第4受信部22のいずれについても、ヒステリシス特性を有するコンパレータを用いた構成が描写されているが、ヒステリシス特性の有無については任意である。

【0351】

上記構成から成るスイッチ制御装置1の諸機能の詳細について、総括的に説明する。

10

【0352】

[UVLO1（コントローラ側低電圧時誤動作防止機能）]

スイッチ制御装置1は、コントローラ側電源電圧（VCC1 - GND1間電圧）が所定の下側閾値電圧 V_{UVLO1L} 以下になると、ハイスайдスイッチSWHをオフとし、FLT端子をローレベルとする。一方、スイッチ制御装置1は、コントローラ側電源電圧（VCC1 - GND1間電圧）が所定の上側閾値電圧 V_{UVLO1H} 以上になると、通常動作を開始し、FLT端子をオープン（ハイレベル）とする。

【0353】

[UVLO2（ドライバ側低電圧時誤動作防止機能）]

スイッチ制御装置1は、ドライバ側電源電圧（VCC2 - GND2間電圧）が所定の下側閾値電圧 V_{UVLO2L} 以下になると、ハイスайдスイッチSWHをオフとし、OCPOUT端子をローレベルとする。一方、スイッチ制御装置1は、ドライバ側電源電圧（VCC2 - GND2間電圧）が所定の上側閾値電圧 V_{UVLO2H} 以上になると通常動作を開始し、OCPOUT端子をオープン（ハイレベル）とする。

20

【0354】

[アナログエラー入力]

スイッチ制御装置1は、ERRIN端子への入力電圧が所定の閾値電圧 V_{ERRDET} 以上になると、ハイスайдスイッチSWHをオフとし、FLT端子をローレベルとする。このような構成とすることにより、スイッチ制御装置1の周辺回路に生じる異常についても、これを監視して適切な保護動作を行うことができるので、例えば、モータ電源の過電圧保護動作に利用することが可能である。なお、上記の閾値電圧 V_{ERRDET} には、所定のヒステリシス（ V_{ERRHYS} ）を持たせるとよい。

30

【0355】

[過電流保護]

スイッチ制御装置1は、OCP/DESATIN端子への入力電圧が所定の閾値電圧 V_{OCDET} （対GND2）以上になると、ハイスайдスイッチSWHをオフとし、OCPOUT端子をローレベルとする。

【0356】

[過電流保護自動復帰]

スイッチ制御装置1は、過電流保護動作後、一定時間（ t_{OCPRLS} ）経過すると、自動復帰し、OCPOUT端子をオープン（ハイレベル）とする。なお、復帰時間は、スイッチ制御装置1の内部で固定的に設定してもよいし、装置外部から調整可能としてもよい。

40

【0357】

[ウォッチドッグタイマ]

スイッチ制御装置1は、ECU2から第1半導体チップ10に入力される入力信号INと、第2半導体チップ20から第1半導体チップ10にフィードバックされたウォッチドッグ信号S3とを比較し、両信号の論理が不一致である場合には、ハイスайдスイッチSWHをオフとし、FLT端子をローレベルとする。

【0358】

[保護動作時スローオフ]

50

スイッチ制御装置 1 は、過電流保護動作時、P R O O U T 端子をローレベルとし、O U T 端子をオープンとする。このような制御により、ハイスイドスイッチ S W H をゆっくりとオフすることが可能となる。なお、オフ時のスルーレートは、外付けの抵抗 R 5 の抵抗値を適宜選択することによって任意に調整することが可能である。

【 0 3 5 9 】

[アクティブミラークランプ]

スイッチ制御装置 1 は、ハイスイドスイッチ S W H のゲート電位が所定の閾値電圧 V_{AMC} 以下になったとき、C L A M P 端子を L とする。このような制御により、ハイスイドスイッチ S W H を確実にオフすることが可能となる。

【 0 3 6 0 】

[ショートサーキットクランプ]

スイッチ制御装置 1 は、C L A M P 端子の印加電圧が $V_{CC2} - V_{SCC}$ 以上になると、C L A M P 端子をハイレベルとする。このような制御により、ハイスイドスイッチ S W H のゲート電位が第 2 電源電圧 V_{CC2} よりも上昇してしまうことがなくなる。

【 0 3 6 1 】

図 2 8 は、端子配置及びパッケージ内におけるチップ配列の一例を示す模式図である。図 2 8 に示すように、本構成例のスイッチ制御装置 1 において、パッケージは、相対する 2 辺にそれぞれ複数のピンが配列されるものであり、第 1 半導体チップ 1 0、第 2 半導体チップ 2 0、及び、第 3 半導体チップ 3 0 は、前記ピンの配列方向に対して垂直（紙面の横方向）に並べられている。

【 0 3 6 2 】

このようなチップ配列を採用することにより、第 1 半導体チップ 1 0 に接続されるピン 1 1 ~ 2 0 と第 2 半導体チップ 2 0 に接続されるピン 1 ~ 1 0 を相対する 2 辺に分配して配列することができるので、ピン間隔を最小限に維持したまま、ピン 1 1 ~ 2 0 とピン 1 ~ 1 0 との短絡を防止することが可能となる。

【 0 3 6 3 】

また、図 2 8 で示すように、本構成例のスイッチ制御装置 1 において、第 1 半導体チップ 1 0 及び第 3 半導体チップ 3 0 は、第 1 アイランド 4 0 上に搭載されており、第 2 半導体チップ 2 0 は、第 2 アイランド 5 0 上に搭載されている。このような構成とすることにより、第 1 アイランド 4 0 を低圧側アイランド（G N D 1 固定）、第 2 アイランド 5 0 を高圧側アイランド（V E E 2 固定）というように、互いに電源系を分離して用いることが可能となる。なお、第 1 アイランド 4 0 と第 2 アイランド 5 0 は、いずれも非磁性素材（例えば銅）から成るが、磁性素材（例えば鉄）を用いても構わない。

【 0 3 6 4 】

図 2 9 は、外部端子の説明テーブルである。ピン 1（N C）はノンコネクション端子である。ピン 2（V E E 2）は負電源端子（例えば、最低： - 1 5 V）である。ピン 3（G N D 2）は G N D 端子であり、スイッチ制御装置 1 の外部において絶縁ゲートバイポーラトランジスタ T r 1 のエミッタに接続される。ピン 4（O C P / D E S A T I N）は過電流検出端子である。ピン 5（O U T）は出力端子である。ピン 6（V C C 2）は正電源端子（例えば、最高： 3 0 V）である。ピン 7（C L A M P）はクランプ端子である。ピン 8（P R O O U T）はスロー O F F 出力端子である。ピン 9（V E E 2）は負電源端子である。ピン 1 0（N C）はノンコネクション端子である。ピン 1 1（G N D 1）は G N D 端子である。ピン 1 2（I N）は制御入力端子である。ピン 1 3（R S T）はリセット入力端子である。ピン 1 4（F L T）は第 1 状態信号（コントローラチップ側の異常状態検出信号）の出力端子である。ピン 1 5（O C P O U T）は第 2 状態信号（ドライバチップ側の異常状態検出信号）の出力端子である。ピン 1 6（E R R I N）はエラー検出端子である。ピン 1 7（V C C 1）は電源端子（例えば 5 V）である。ピン 1 8（N C）及びピン 1 9（N C）はいずれもノンコネクション端子である。ピン 2 0（G N D 1）は G N D 端子である。

【 0 3 6 5 】

図 30 は、スイッチ制御装置 1 の電気的特性テーブルである。なお、本テーブル中の数値は、特に指定のない限り、 $T_a = 25$ 、 $V_{CC1} = 5V$ 、 $V_{CC2} = 20V$ 、 $V_{EE2} = -8V$ とした場合の数値である。

【0366】

次に、第 3 半導体チップ 30 におけるトランス配列について、図 31 及び図 32 を参照しながら詳細に説明する。図 31 は、トランス 31 ~ 34 のレイアウト例を示す模式図であり、図 32 は、トランス 31 の縦構造を示すチップ断面図である。

【0367】

第 1 トランス 31 を形成する一次側コイル L11 の一端には、パッド a1 及び b1 が接続されており、一次側コイル L11 の他端には、パッド c1 及び d1 が接続されている。第 2 トランス 32 を形成する一次側コイル L21 の一端には、パッド a2 及び b2 が接続されており、一次側コイル L21 の他端には、パッド c1 及び d1 が接続されている。

【0368】

第 3 トランス 33 を形成する二次側コイル L32 の一端には、パッド a3 及び b3 が接続されており、二次側コイル L32 の他端には、パッド c2 及び d2 が接続されている。第 4 トランス 34 を形成する二次側コイル L42 の一端には、パッド a4 及び b4 が接続されており、二次側コイル L42 の他端には、パッド c2 及び d2 が接続されている。

【0369】

なお、第 1 トランス 31 を形成する二次側コイル L12、第 2 トランス 32 を形成する二次側コイル L22、第 3 トランス 33 を形成する一次側コイル L31、及び、第 4 トランス 34 を形成する一次側コイル L41 については、図 32 に二次側コイル L12 の一部が描写されている以外、いずれも図 31 及び図 32 に明示されていないが、基本的には、上記と同様の構成を有している。

【0370】

すなわち、第 1 トランス 31 を形成する二次側コイル L12 の一端には、パッド a5 及び b5 が接続されており、二次側コイル L12 の他端には、パッド c3 及び d3 が接続されている。第 2 トランス 32 を形成する二次側コイル L22 の一端には、パッド a6 及び b6 が接続されており、二次側コイル L22 の他端には、パッド c3 及び d3 が接続されている。

【0371】

第 3 トランス 33 を形成する一次側コイル L31 の一端には、パッド a7 及び b7 が接続されており、一次側コイル L31 の他端には、パッド c4 及び d4 が接続されている。第 4 トランス 34 を形成する一次側コイル L41 の一端には、パッド a8 及び b8 が接続されており、一次側コイル L41 の他端には、パッド c4 及び d4 が接続されている。

【0372】

ただし、上記のパッド a5 ~ a8、パッド b5 ~ b8、パッド c3 及び c4、並びにパッド d3 及び d4 については、不図示のビアを介して第 3 半導体チップ 30 の内部から表面まで引き出されている。

【0373】

上記複数のパッドのうち、パッド a1 ~ a8 は、それぞれ、第 1 の電流供給用パッド X11a に相当するものであり、パッド b1 ~ b8 は、それぞれ、第 1 の電圧測定用パッド X11b に相当するものである。また、パッド c1 ~ c4 は、それぞれ、第 2 の電流供給用パッド X12a に相当するものであり、パッド d1 ~ d4 は、それぞれ、第 2 の電圧測定用パッド X12b に相当するものである。

【0374】

従って、本構成例の第 3 半導体チップ 30 であれば、図 23 で説明した不良品検査を実施し、各コイルの直列抵抗成分を正確に測定することができるので、各コイルの断線が生じている不良品をリジェクトすることはもちろん、各コイルの抵抗値異常（例えば、巻線同士の中途短絡）が生じている不良品についても、これを適切にリジェクトすることが可能となり、不良品の市場流出を未然に防止することが可能となる。

【0375】

なお、上記の不良品検査を通過した第3半導体チップ30については、上記複数のパッドを第1半導体チップ10及び第2半導体チップ20との接続用に用いればよい。

【0376】

具体的に述べると、パッドa1及びb1は、第1送信部11の信号出力端に接続すればよく、パッドa2及びb2は、第2送信部12の信号出力端に接続すればよい。また、パッドc1及びd1は、を第1半導体チップ10側のコモン電圧印加端(GND1)に接続すればよい。

【0377】

また、パッドa3及びb3は、第1受信部13の信号入力端に接続すればよく、パッドa4及びb4は、第2受信部14の信号入力端に接続すればよい。また、パッドc2及びd2は、第1半導体チップ10側のコモン電圧印加端(GND1)に接続すればよい。

10

【0378】

一方、パッドa5及びb5は、第3受信部21の信号入力端に接続すればよく、パッドa6及びb6は、第4受信部22の信号入力端に接続すればよい。また、パッドc3及びd3は、第2半導体チップ20側のコモン電圧印加端(GND2)に接続すればよい。

【0379】

また、パッドa7及びb7は、第3送信部23の信号出力端に接続すればよく、パッドa8及びb8は、第4送信部24の信号出力端に接続すればよい。また、パッドc4及びd4は、を第2半導体チップ20側のコモン電圧印加端(GND2)に接続すればよい。

20

【0380】

ここで、第1トランス31～第4トランス34は、図31に示すように、各々の信号伝達方向毎にカップリングして並べられている。より具体的に述べると、第1半導体チップ10から第2半導体チップ20に向けて信号を伝達する第1トランス31と第2トランス32が第1ガードリング35によって第1のペアとされており、また、第2半導体チップ20から第1半導体チップ10に向けて信号を伝達する第3トランス33と第4トランス34が第2ガードリング36によって第2のペアとされている。

【0381】

このようなカップリングを行った理由は、第1トランス31～第4トランス34を各々形成する一次側コイルと二次側コイルを第3半導体チップ30の基板上下方向に積み重ねる形で積層形成した場合において、一次側コイルと二次側コイルとの間で耐圧を確保するためである。ただし、第1ガードリング35、及び、第2ガードリング36については、必ずしも必須の構成要素ではない。

30

【0382】

なお、第1ガードリング35及び第2ガードリング36は、それぞれ、パッドe1及びe2を介して、接地端などの低インピーダンス配線に接続すればよい。

【0383】

また、本構成例の第3半導体チップ30において、パッドc1及びd1は、コイルL11とコイルL21との間で共有されている。また、パッドc2及びd2は、コイルL32とコイルL42との間で共有されている。また、パッドc3及びd3は、コイルL12とコイルL22との間で共有されている。また、パッドc4及びd4は、コイルL31とコイルL41との間で共有されている。このような構成とすることにより、パッド数を削減して、第3半導体チップ30の小型化を図ることが可能となる。

40

【0384】

また、図31に示したように、第1トランス31～第4トランス34を各々形成する一次側コイルと二次側コイルは、チップ正面から見たときに長方形状となるように巻き回すことが望ましい。このような構成とすることにより、一次側コイルと二次側コイルが互いに重複する部分の面積が大きくなり、トランスの伝達効率を高めることが可能となる。

【0385】

なお、上記の実施形態では、ハイブリッド自動車に搭載されるモータ駆動装置に本発明

50

を適用した構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、チップ上にコイルを集積化した半導体装置全般に適用することが可能である。

【0386】

また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【0387】

例えば、半導体装置のレイアウトに関して、コイルの個数、形状、配置や、パッドの配置は任意である。

【0388】

< 第3の技術的特徴について >

以下では、本発明に係る信号伝達装置を用いたモータ駆動装置（特に、高電圧を用いるハイブリッド自動車に搭載されるモータ駆動用IC）を例に挙げて詳細な説明を行う。なお、本発明に係る信号伝達装置が搭載されるモータ駆動装置の全体的な構成や動作については、先出の図26～図30を参照しながら既に説明した通りであるため、以下では、重複した説明を割愛し、信号伝達装置の構成及び動作について重点的な説明を行う。

【0389】

[信号伝達装置の第1実施形態]

図35は、本発明に係る信号伝達装置の第1実施形態を示す回路ブロック図である。本実施形態の信号伝達装置は、一次側回路の接地電圧GND1と二次側回路の接地電圧GND2とを互いに絶縁させた状態で、一次側回路から二次側回路にスイッチ制御信号S1、S2を伝達するための回路ブロックとして、ロジック部15と、第1送信部11と、第2送信部12と、第1トランス31と、第2トランス32と、第3受信部21と、第4受信部22と、SRフリップフロップFFと、を有する。これらの回路ブロックはいずれも図26や図27で先出のものであるが、本実施形態の信号伝達装置においては、ノイズ等に起因する誤動作を回避するために、ロジック部15、並びに、第3受信部21及び第4受信部22の構成に創意工夫が凝らしてある。以下では、その特徴的な構成部分について重点的に説明する。

【0390】

ロジック部15は、インバータ15-1及び15-2と、第1パルス生成部15-3と、第2パルス生成部15-4と、を有している。

【0391】

インバータ15-1の入力端は、入力信号INの入力端に接続されている。インバータ15-1の出力端は、インバータ15-2の入力端に接続される一方、第2パルス生成部15-4の入力端にも接続されている。インバータ15-2の出力端は、第1パルス生成部15-3の入力端に接続されている。

【0392】

第1パルス生成部15-3は、インバータ15-2及び15-3を介して入力される入力信号INのポジティブエッジに応じて、第1トランス駆動信号S1aにN発（ただしN2）のパルスを発生させる。なお、第1トランス駆動信号S1aは、第1送信部11を形成するバッファ11-1を介して第1トランス31の一次側巻線に出力される。

【0393】

第2パルス生成部15-4は、インバータ15-2から入力される反転入力信号INBのポジティブエッジ（すなわち、入力信号INのネガティブエッジ）に応じて、第2トランス駆動信号S2aにN発（ただしN2）のパルスを発生させる。なお、第2トランス駆動信号S2aは、第2送信部12を形成するバッファ12-1を介して第2トランス32の一次側巻線に出力される。

【0394】

このように、第1実施形態の信号伝達装置において、ロジック部15は、入力信号INがローレベルからハイレベルに変遷するポジティブエッジに応じて第1トランス駆動信号S1aにN発のパルスを連続的に発生させ、入力IN信号がハイレベルからローレベルに

10

20

30

40

50

変遷するネガティブエッジに応じて第2トランス駆動信号S2aにN発のパルスを連続的に発生させるトランス駆動信号生成部として機能する。

【0395】

第1トランス31は、一次側巻線に入力される第1トランス駆動信号S1aに応じて二次側巻線に第1誘起信号S1bを発生させる。

【0396】

第2トランス32は、一次側巻線に入力される第2トランス駆動信号S2aに応じて二次側巻線に第2誘起信号S2bを発生させる。

【0397】

第3受信部21は、第1誘起信号S1bと所定の閾値電圧とを比較して第1比較信号S1cを生成する第1コンパレータ21-1と、第1比較信号1cにN発のパルスが連続的に発生したことを検出して第1検出信号1dにパルスを発生させる第1パルス検出部21-2と、を有している。

10

【0398】

第4受信部22は、第2誘起信号S2bと所定の閾値電圧とを比較して第2比較信号S2cを生成する第2コンパレータ22-1と、第2比較信号2cにN発のパルスが連続的に発生したことを検出して第2検出信号2dにパルスを発生させる第2パルス検出部22-2と、を有している。

【0399】

SRフリップフロップFFは、セット入力端(S)に入力される第1検出信号S1dに発生されたパルスに応じて出力信号OUTをローレベルからハイレベルに変遷させ、リセット入力端(R)に入力される第2検出信号S2dに発生されたパルスに応じて出力信号OUTをハイレベルからローレベルに変遷させる。

20

【0400】

すなわち、先に説明されたスイッチ制御信号S1は、第1トランス駆動信号S1a、第1誘起信号S1b、第1比較信号S1c、及び、第1検出信号S1dという種々の信号形態を取りつつ、ロジック部15からSRフリップフロップFFに伝達される。同様に、先に説明されたスイッチ制御信号S2は、第2トランス駆動信号S2a、第2誘起信号S2b、第2比較信号S2c、及び、第2検出信号S2dという種々の信号形態を取りつつ、ロジック部15からSRフリップフロップFFに伝達される。

30

【0401】

図36は、第1実施形態の信号伝達装置で実現されるノイズキャンセル動作の一例を示すタイミングチャートであり、上から順に、入力信号IN、第1トランス駆動信号S1a、第1誘起信号S1b、第1比較信号S1c、第2トランス駆動信号S2a、第2誘起信号S2b、第2比較信号S2c、第1検出信号S1d、第2検出信号S2d、及び、出力信号OUTが描写されている。

【0402】

時刻t11において、入力信号INがローレベルからハイレベルに立ち上げられると、第1パルス生成部15-3は、第1トランス駆動信号S1aのパルス駆動を開始する。これに伴い、第1トランス31の二次側巻線には、第1トランス駆動信号S1aに応じた第1誘起信号S1bが発生し、第1コンパレータ21-1から出力される第1比較信号S1cには、第1トランス駆動信号S1aと同数のパルスが発生する。なお、第1パルス検出部21-2は、時刻t11以降、第1比較信号S1cにN発のパルスが連続的に発生されるまで第1検出信号S1dをローレベルに維持する。

40

【0403】

時刻t12において、第1トランス駆動信号S1aにN発目のパルスが発生され、これに伴って、第1比較信号S1cにN発目のパルスが発生されると、第1パルス検出部21-2は、第1検出信号S1dにパルスを発生させる。SRフリップフロップFFは、このパルスに応じて出力信号OUTをローレベルからハイレベルに立ち上げる。

【0404】

50

時刻 t_{13} において、入力信号 I_N がハイレベルに維持されている状態で、第 2 誘起信号 S_{2b} にノイズが重畳し、第 2 比較信号 S_{2c} に誤パルスが発生した場合を考える。このような場合でも、第 2 パルス検出部 222 は、第 2 比較信号 S_{2c} に N 発のパルスが連続的に発生されない限り、第 2 検出信号 S_{2d} をローレベルに維持するため、出力信号 $O_U T$ が意図せずローレベルに立ち下げられることはない。

【0405】

時刻 t_{14} において、入力信号 I_N がハイレベルからローレベルに立ち下げられると、第 2 パルス生成部 15-4 は、第 2 トランス駆動信号 S_{2a} のパルス駆動を開始する。これに伴い、第 2 トランス 32 の二次側巻線には、第 2 トランス駆動信号 S_{2a} に応じた第 2 誘起信号 S_{2b} が発生し、第 2 コンパレータ 22-1 から出力される第 2 比較信号 S_{2c} には、第 2 トランス駆動信号 S_{2a} と同数のパルスが発生する。なお、第 2 パルス検出部 22-2 は、時刻 t_{14} 以降、第 2 比較信号 S_{2c} に N 発のパルスが連続的に発生されるまで第 2 検出信号 S_{2d} をローレベルに維持する。

10

【0406】

時刻 t_{15} において、第 2 トランス駆動信号 S_{2a} に N 発目のパルスが発生され、これに伴って、第 2 比較信号 S_{2c} に N 発目のパルスが発生されると、第 2 パルス検出部 22-2 は、第 2 検出信号 S_{2d} にパルスを発生させる。SR フリップフロップ FF は、このパルスに応じて出力信号 $O_U T$ をハイレベルからローレベルに立ち下げる。

【0407】

時刻 t_{16} において、入力信号 I_N がローレベルに維持されている状態で、第 1 誘起信号 S_{1b} にノイズが重畳し、第 1 比較信号 S_{1c} に誤パルスが発生した場合を考える。このような場合でも、第 1 パルス検出部 21-2 は、第 1 比較信号 S_{1c} に N 発のパルスが連続的に発生されない限り、第 1 検出信号 S_{1d} をローレベルに維持するため、出力信号 $O_U T$ が意図せずハイレベルに立ち下げられることはない。

20

【0408】

このように、一次側回路で生成されるトランス駆動信号に N 発のパルスを連続的に生じさせ、二次側回路で生成される比較信号に N 発のパルスが連続的に生じたときだけ出力信号 $O_U T$ の論理レベルを変遷させる構成であれば、トランスがノイズの影響を受けて誤パルスを生じた場合であっても、その発生数が $(N-1)$ 回までであれば、出力信号 $O_U T$ に意図しない論理変遷を生じさせずに済む。従って、ハイサイドスイッチ SW_H の誤オン/誤オフをなくして、ハイサイドスイッチ SW_H やローサイドスイッチ SW_L として用いられるパワートランジスタの破壊を未然に防止することが可能となる。

30

【0409】

なお、第 1 実施形態の信号伝達装置では、ノイズに起因する誤パルスが発生しても、正常時の N パルスカウント動作に影響がないように、第 1 パルス検出部 21-2 及び第 2 パルス検出部 22-2 の構成に何らかの対策（1 発目のパルスを検出してから所定期間内に N 発目のパルスが検出されなければ、それまでの検出結果をリセットするなど）を施しておく必要がある点に留意すべきである。

【0410】

ただし、上記の対策を施したとしても、入力信号 I_N のパルスエッジ近傍でトランスにノイズが重畳すると、誤パルスと正当パルスを区別することができなくなり、誤パルスのカウント値を正当パルスのカウント値に含めてしまうため、入力信号 I_N の論理レベルに変遷が生じてから出力信号 $O_U T$ の論理レベルに変遷が生じるまでの所要時間にバラツキが生じて、出力信号 $O_U T$ のジッタ成分が大きくなるという問題が稀ながらも生じ得る。

40

【0411】

そこで、以下では、上記の問題を解消すべく、本発明に係る信号伝達装置の第 2 実施形態を提案する。

【0412】

[信号伝達装置の第 2 実施形態]

図 37 は、本発明に係る信号伝達装置の第 2 実施形態を示す回路ブロック図である。本

50

実施形態の信号伝達装置は、基本的に先出の第1実施形態と同様の構成であるが、トランス31及び32が近接して配置されている場合には、第1誘起信号S1b及び第2誘起信号S2bの両方に同一のノイズが発生するであろうという想定の下、ロジック部15、並びに、第3受信部21及び第4受信部22の内部構成に変更が加えられている。そこで、以下では、上記の変更部分について重点的な説明を行う。

【0413】

ロジック部15は、パルス生成部15-5と、パルスカウンタ15-6と、エッジ検出部15-7と、パルス分配部15-8と、を有している。

【0414】

パルス生成部15-5は、所定周波数のパルス信号SBを生成し、これをパルスカウンタ15-6とパルス分配部15-8に各々出力する。なお、パルス生成部15-5には、エッジ検出部15-7からエッジ検出信号SAが入力されており、このエッジ検出信号SAがハイレベルとされたときにその駆動が開始される。また、パルス生成部15-5には、パルスカウンタ15-6からカウンタ出力信号SCが入力されており、このカウンタ出力信号SCがローレベルとされたときにその駆動が停止される。

【0415】

パルスカウンタ15-6は、パルス信号SBのパルス数をカウントし、そのカウント値がNに達するまでカウンタ出力信号SCをハイレベルに維持し、そのカウント値がNに達したときにカウンタ出力信号SCをハイレベルからローレベルに変遷させる。なお、パルスカウンタ15-6には、エッジ検出部15-7からエッジ検出信号SAが入力されており、このエッジ検出信号SAがハイレベルとされたときに、そのカウント値がリセットされる。

【0416】

エッジ検出部15-7は、入力信号INのパルスエッジを検出したときに、エッジ検出信号SAにパルスを発生させる。具体的に述べると、入力信号INがローレベルからハイレベルに立ち上げられたとき、逆に、ハイレベルからローレベルに立ち下げられたとき、いずれの場合においても、エッジ検出信号SAは、それまでのローレベルから所定期間だけハイレベルに立ち上げられ、その後、再びローレベルに立ち下げられる。

【0417】

パルス分配部15-8は、入力信号INの論理レベルに応じて、パルス信号SBを第1トランス駆動信号S1a及び第2トランス駆動信号S2bのいずれか一方として分配する。具体的に述べると、入力信号INがハイレベルである場合、パルス分配部15-8は、パルス信号SBを第1トランス駆動信号S1aとして出力し、第2トランス駆動信号S2aをローレベルに維持する。逆に、入力信号INがローレベルである場合、パルス分配部15-8は、パルス信号SBを第2トランス駆動信号S2aとして出力し、第1トランス駆動信号S1aをローレベルに維持する。

【0418】

図38は、トランス駆動信号S1a及びS2aの第1生成動作を示すタイミングチャートであり、上から順に、入力信号IN、エッジ検出信号SA、パルス信号SB、カウンタ出力信号SC、第1トランス駆動信号S1a、及び、第2トランス駆動信号S2aが描写されている。

【0419】

時刻t21において、入力信号INがローレベルからハイレベルに立ち上げられると、エッジ検出部15-7は、エッジ検出信号SAをそれまでのローレベルからハイレベルに立ち上げ、その後、再びローレベルに立ち下げる。パルス生成部15-5は、エッジ検出信号SAがハイレベルとされたときにその駆動を開始し、時刻t21の時点から遅滞なくパルス信号SBを出力し始める。パルスカウンタ15-6は、エッジ検出信号SAがハイレベルとされたときにそのカウント値がリセットされ、パルス信号SBのパルス数を一から数え始める。また、パルスカウンタ15-6のカウント値がリセットされたことに伴い、カウンタ出力信号SCはローレベルからハイレベルに立ち上げられており、時刻t21以

降、パルス信号 S B のパルス数が N に達するまで、カウンタ出力信号 S C はハイレベルに維持される。パルス分配部 15 - 8 は、時刻 t 2 1 以降、入力信号 I N がハイレベルとされている間、パルス信号 S B を第 1 トランス駆動信号 S 1 a として出力し、第 2 トランス駆動信号 S 2 a をローレベルに維持する。

【 0 4 2 0 】

時刻 t 2 2 において、パルス信号 S B のパルス数が N に達すると、パルスカウンタ 15 - 6 は、カウンタ出力信号 S C をハイレベルからローレベルに立ち下げ、これを受けたパルス生成部 15 - 5 は、その駆動を停止する。従って、時刻 t 2 2 以降、入力信号 I N がローレベルに立ち下げられるまでの間、第 1 トランス駆動信号 S 1 a 及び第 2 トランス駆動信号 S 2 a は、いずれもローレベルに維持された状態となる。

10

【 0 4 2 1 】

時刻 t 2 3 において、入力信号 I N がハイレベルからローレベルに立ち下げられると、エッジ検出部 15 - 7 は、エッジ検出信号 S A をそれまでのローレベルからハイレベルに立ち上げ、その後、再びローレベルに立ち下げる。パルス生成部 15 - 5 は、エッジ検出信号 S A がハイレベルとされたときにその駆動を開始し、時刻 t 2 3 の時点から遅滞なくパルス信号 S B を出力し始める。パルスカウンタ 15 - 6 は、エッジ検出信号 S A がハイレベルとされたときにそのカウント値がリセットされ、パルス信号 S B のパルス数を一から数え始める。また、パルスカウンタ 15 - 6 のカウント値がリセットされたことに伴い、カウンタ出力信号 S C はローレベルからハイレベルに立ち上げられており、時刻 t 2 3 以降、パルス信号 S B のパルス数が N に達するまで、カウンタ出力信号 S C はハイレベルに維持される。パルス分配部 15 - 8 は、時刻 t 2 3 以降、入力信号 I N がローレベルとされている間、パルス信号 S B を第 2 トランス駆動信号 S 2 a として出力し、第 1 トランス駆動信号 S 1 a をローレベルに維持する。

20

【 0 4 2 2 】

時刻 t 2 4 において、パルス信号 S B のパルス数が N に達すると、パルスカウンタ 15 - 6 は、カウンタ出力信号 S C をハイレベルからローレベルに立ち下げ、これを受けたパルス生成部 15 - 5 はその駆動を停止する。従って、時刻 t 2 4 以降、入力信号 I N がハイレベルに立ち上げられるまでの間、第 1 トランス駆動信号 S 1 a 及び第 2 トランス駆動信号 S 2 a は、いずれもローレベルに維持された状態となる。

【 0 4 2 3 】

30

このように、第 2 実施形態の信号伝達装置においても、ロジック部 15 は、入力信号 I N がローレベルからハイレベルに変遷するポジティブエッジに応じて第 1 トランス駆動信号 S 1 a に N 発のパルスを連続的に発生させ、入力 I N 信号がハイレベルからローレベルに変遷するネガティブエッジに応じて第 2 トランス駆動信号 S 2 a に N 発のパルスを連続的に発生させるトランス駆動信号生成部として機能する。この点については、先述の第 1 実施形態と同様である。

【 0 4 2 4 】

図 3 7 に戻り、第 3 受信部 2 1 及び第 4 受信部 2 2 の内部構成についての説明を行う。

【 0 4 2 5 】

第 3 受信部 2 1 は、第 1 コンパレータ 2 1 - 1 と、第 1 カウンタ 2 1 - 3 を有している。第 1 カウンタ 2 1 - 3 は、第 1 比較信号 S 1 c に発生されたパルス数をカウントして、そのカウント値が N に達したときに第 1 検出信号 S 1 d にパルスを発生させる回路ブロックである。また、第 1 カウンタ 2 1 - 3 は、第 2 比較信号 S 2 c に発生されたパルスによってカウント値がリセットされる構成とされている。この作用効果については、後ほど説明する。

40

【 0 4 2 6 】

第 4 受信部 2 2 は、第 2 コンパレータ 2 2 - 1 と、第 2 カウンタ 2 2 - 3 を有している。第 2 カウンタ 2 2 - 3 は、第 2 比較信号 S 2 c に発生されたパルス数をカウントして、そのカウント値が N に達したときに第 2 検出信号 S 2 d にパルスを発生させる回路ブロックである。また、第 2 カウンタ 2 2 - 3 は、第 1 比較信号 S 1 c に発生されたパルスによ

50

ってカウント値がリセットされる構成とされている。この作用効果については、後ほど説明する。

【 0 4 2 7 】

このように、第 2 実施形態では、第 1 実施形態で挙げられた第 1 パルス検出部 2 1 - 2 及び第 2 パルス検出部 2 2 - 2 に各々相当する回路ブロックとして、それぞれ、第 1 カウンタ 2 1 - 3 及び第 2 カウンタ 2 2 - 3 が用いられている。

【 0 4 2 8 】

図 3 9 は、第 2 実施形態の信号伝達装置で実現されるノイズキャンセル動作の一例を示すタイミングチャートであり、上から順番に、入力信号 I N、第 1 トランス駆動信号 S 1 a、第 1 誘起信号 S 1 b、第 1 比較信号 S 1 c、第 2 トランス駆動信号 S 2 a、第 2 誘起信号 S 2 b、第 2 比較信号 S 2 c、第 1 検出信号 S 1 d、第 2 検出信号 S 2 d、及び、出力信号 O U T が描写されている。

【 0 4 2 9 】

時刻 t 3 1 において、入力信号 I N がローレベルからハイレベルに立ち上げられると、ロジック部 1 5 は、先出の図 3 8 で示した信号生成動作により、第 1 トランス駆動信号 S 1 a のパルス駆動を開始する。これに伴い、第 1 トランス 3 1 の二次側巻線には、第 1 トランス駆動信号 S 1 a に応じた第 1 誘起信号 S 1 b が発生し、第 1 コンパレータ 2 1 - 1 から出力される第 1 比較信号 S 1 c には、第 1 トランス駆動信号 S 1 a と同数のパルスが発生する。なお、第 1 カウンタ 2 1 - 3 は、時刻 t 3 1 以降、第 1 比較信号 S 1 c のパルス数が N に達するまで、第 1 検出信号 S 1 d をローレベルに維持する。また、時刻 t 3 1 において、第 1 比較信号 S 1 c に発生した 1 発目のパルスにより、第 2 カウンタ 2 2 - 3 のカウント値がリセットされるので、第 2 検出信号 S 2 d はハイレベルからローレベルに立ち下げられる。時刻 t 3 1 以降についても、第 1 比較信号 S 1 c にパルスが発生する毎に、第 2 カウンタ 2 2 - 3 のカウント値が逐一リセットされ、第 2 検出信号 S 2 d がローレベルに維持される。

【 0 4 3 0 】

時刻 t 3 2 において、第 1 トランス駆動信号 S 1 a に N 発目のパルスが発生され、第 1 比較信号 S 1 c のパルス数が N に達すると、第 1 カウンタ 2 1 - 3 は、第 1 検出信号 S 1 d をローレベルからハイレベルに立ち上げる。S R フリップフロップ F F は、このポジティブエッジに応じて出力信号 O U T をローレベルからハイレベルに立ち上げる。

【 0 4 3 1 】

時刻 t 3 3 において、入力信号 I N がハイレベルからローレベルに立ち下げられると、ロジック部 1 5 は、先出の図 3 8 で示した信号生成動作により、第 2 トランス駆動信号 S 2 a のパルス駆動を開始する。これに伴い、第 2 トランス 3 2 の二次側巻線には、第 2 トランス駆動信号 S 2 a に応じた第 2 誘起信号 S 2 b が発生し、第 2 コンパレータ 2 2 - 1 から出力される第 2 比較信号 S 2 c には、第 2 トランス駆動信号 S 2 a と同数のパルスが発生する。なお、第 2 カウンタ 2 2 - 3 は、時刻 t 3 3 以降、第 2 比較信号 S 2 c のパルス数が N に達するまで、第 2 検出信号 S 2 d をローレベルに維持する。また、時刻 t 3 3 において、第 2 比較信号 S 2 c に発生した 1 発目のパルスにより、第 1 カウンタ 2 1 - 3 のカウント値がリセットされるので、第 1 検出信号 S 1 d はハイレベルからローレベルに立ち下げられる。時刻 t 3 3 以降についても、第 2 比較信号 S 2 c にパルスが発生する毎に、第 1 カウンタ 2 1 - 3 のカウント値が逐一リセットされ、第 1 検出信号 S 1 d がローレベルに維持される。

【 0 4 3 2 】

時刻 t 3 4 において、第 2 トランス駆動信号 S 2 a に N 発目のパルスが発生され、第 2 比較信号 S 2 c のパルス数が N に達すると、第 2 カウンタ 2 2 - 3 は、第 2 検出信号 S 2 d をローレベルからハイレベルに立ち上げる。S R フリップフロップ F F は、このポジティブエッジに応じて出力信号 O U T をハイレベルからローレベルに立ち下げる。

【 0 4 3 3 】

時刻 t 3 5 において、入力信号 I N がローレベルに維持されている状態で、第 1 誘起信

10

20

30

40

50

号 S 1 b 及び第 2 誘起信号 S 2 b の両方に同一のノイズが重畳し、第 1 比較信号 S 1 c 及び第 2 比較信号 S 2 c の両方に誤パルスが発生した場合を考える。このような場合でも、第 1 カウンタ 2 1 - 3 及び第 2 カウンタ 2 2 - 3 は、それぞれ、第 1 比較信号 S 1 c 及び第 2 比較信号 S 2 c のパルス数が N に達しない限り、第 1 検出信号 S 1 d 及び第 2 検出信号 S 2 d をローレベルに維持するため、出力信号 O U T が意図しない論理レベルに変遷することはない。

【 0 4 3 4 】

また、第 1 カウンタ 2 1 - 3 のカウント値は、第 2 比較信号 S 2 c に発生した誤パルスによってリセットされ、第 2 カウンタ 2 2 - 3 のカウント値は、第 1 比較信号 S 1 c に発生した誤パルスによってリセットされる。従って、時刻 t 3 6 において、入力信号 I N がローレベルからハイレベルに立ち上げられた際、仮にその直前でトランスにノイズが重畳した場合（すなわち、時刻 t 3 5 と時刻 t 3 6 が時間的に近接している場合）であっても、第 1 カウンタ 2 1 - 3 では、上記ノイズに起因して発生する誤パルスをカウント値に含めることなく、正常な信号伝達動作に伴って第 1 比較信号 S 1 c に発生する正当パルスの数のみを一から数え始めることができるので、N 発目のパルスが検出されるタイミングにバラツキを生じることなく、出力信号 O U T のジッタ特性を良好に維持することが可能となる。

【 0 4 3 5 】

なお、図 3 9 では、入力信号 I N がローレベルに維持されている状態でノイズが重畳した場合を例に挙げて説明を行ったが、これとは逆に、入力信号 I N がハイレベルに維持されている状態（例えば時刻 t 3 2 と時刻 t 3 3 との間）でノイズが重畳した場合については、第 2 カウンタ 2 2 - 3 のカウント値が第 1 比較信号 S 1 c に発生した誤パルスによってリセットされていることが奏功し、時刻 t 3 3 において、入力信号 I N がハイレベルからローレベルに立ち下げられた際には、第 2 カウンタ 2 2 - 3 において、上記ノイズに起因して発生する誤パルスをカウント値に含めることなく、正常な信号伝達動作に伴って第 2 比較信号 S 2 c に発生する正当パルスの数のみを一から数え始めることが可能となる。

【 0 4 3 6 】

このように、第 2 実施形態の信号伝達装置では、第 1 カウンタ 2 1 - 3 のカウント値が第 2 比較信号 S 2 c に発生されたパルスによってリセットされ、第 2 カウンタ 2 2 - 3 のカウント値が第 1 比較信号 S 1 c に発生されたパルスによってリセットされるので、第 1 コンパレータ 2 1 - 1 のみで第 1 誘起信号 S 1 b が N 回連続して検出されるか、或いは、第 2 コンパレータ 2 2 - 1 のみで第 2 誘起信号 S 2 b が N 回連続して検出されない限り、第 1 検出信号 S 1 d 及び第 2 検出信号 S 2 d にパルスが発生されることはなく、延いては、出力信号 O U T の論理レベルが変遷されることもない。

【 0 4 3 7 】

すなわち、第 2 実施形態の信号伝達装置であれば、一方のトランスのみに N 回連続で生成されるパルスを正常な信号伝達動作に伴って発生する正当パルス、両方のトランスに同時に生成されるパルスをノイズに起因して発生する誤パルスとして区別することができるので、誤パルスのカウント値を正当パルスのカウント値に含めずに済む。

【 0 4 3 8 】

従って、第 2 実施形態の信号伝達装置であれば、先述の第 1 実施形態と同様の作用効果を楽しむだけでなく、入力信号 I N の論理レベルに変遷が生じてから出力信号 O U T の論理レベルに変遷が生じるまでの所要時間を一定に保ち、出力信号 O U T のジッタ特性を良好に維持することが可能となる。

【 0 4 3 9 】

なお、上記の第 1 実施形態及び第 2 実施形態では、いずれも、一次側回路で生成されるトランス駆動信号に N 発のパルスを連続的に生じさせ、二次側回路で生成される比較信号に N 発のパルスが連続的に生じたときだけ出力信号 O U T の論理レベルを変遷させる構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、一次側回路で生成されるトランス駆動信号については、(N + a) 発（ただし N ≥ 2、a ≥ 0）の

10

20

30

40

50

パルスを連続的に生じさせる構成としても構わない。このような構成とすることにより、二次側回路でのパルス検出動作に冗長性を持たせることができるので（ $a = 0$ では冗長性なし）、信号伝達動作の安定性を高めることが可能となる。

【0440】

ただし、第1トランス駆動信号 $S1a$ 及び第2トランス駆動信号 $S2a$ の生成動作として、先出の図38で示した第1生成動作を採用した場合、入力信号 IN の論理レベルが変遷するタイミングによっては、出力信号 OUT のジッタ成分が増大する懸念がある。この懸念について、図40A及び図40Bを比較参照しながら説明する。

【0441】

図40A及び図40Bは、いずれも、出力ジッタの発生理由を説明するためのタイミングチャートであり、上から順に、入力信号 IN 、エッジ検出信号 SA 、パルス信号 SB 、カウンタ出力信号 SC 、第1トランス駆動信号 $S1a$ 、第1誘起信号 $S1b$ 、第1比較信号 $S1c$ 、第2トランス駆動信号 $S2a$ 、第2誘起信号 $S2b$ 、第2比較信号 $S2c$ 、第1検出信号 $S1d$ 、第2検出信号 $S2d$ 、及び、出力信号 OUT が描写されている。

【0442】

まず、図40Aを参照しながら、入力信号 IN の論理レベルが変遷する直前のタイミングで、第1トランス駆動信号 $S1a$ に $(N + b)$ 発目（ただし $0 \leq b < a$ ）のパルスが発生されている場合について説明する。

【0443】

時刻 $t41$ において、入力信号 IN がローレベルからハイレベルに立ち上げられると、エッジ検出部15-7は、エッジ検出信号 SA をそれまでのローレベルからハイレベルに立ち上げ、その後、再びローレベルに立ち下げる。パルス生成部15-5は、エッジ検出信号 SA がハイレベルとされたときにその駆動を開始し、時刻 $t41$ の時点から遅滞なくパルス信号 SB を出力し始める。パルスカウンタ15-6は、エッジ検出信号 SA がハイレベルとされたときにそのカウント値がリセットされ、パルス信号 SB のパルス数を一から数え始める。また、パルスカウンタ15-6のカウント値がリセットされたことに伴い、カウンタ出力信号 SC はローレベルからハイレベルに立ち上げられており、時刻 $t41$ 以降、パルス信号 SB のパルス数が $(N + a)$ に達するまで、カウンタ出力信号 SC はハイレベルに維持される。パルス分配部15-8は、時刻 $t41$ 以降、入力信号 IN がハイレベルとされている間、パルス信号 SB を第1トランス駆動信号 $S1a$ として出力し、第2トランス駆動信号 $S2a$ をローレベルに維持する。

【0444】

上記の信号生成動作により、時刻 $t41$ において、ロジック部15は第1トランス駆動信号 $S1a$ のパルス駆動を開始する。これに伴い、第1トランス31の二次側巻線には、第1トランス駆動信号 $S1a$ に応じた第1誘起信号 $S1b$ が発生し、第1コンパレータ21-1から出力される第1比較信号 $S1c$ には、第1トランス駆動信号 $S1a$ と同数のパルスが発生する。なお、第1カウンタ21-3は、時刻 $t41$ 以降、第1比較信号 $S1c$ のパルス数が N に達するまで、第1検出信号 $S1d$ をローレベルに維持する。また、時刻 $t41$ において、第1比較信号 $S1c$ に発生した1発目のパルスにより、第2カウンタ22-3のカウント値がリセットされるので、第2検出信号 $S2d$ はハイレベルからローレベルに立ち下げられる。時刻 $t41$ 以降についても、第1比較信号 $S1c$ にパルスが発生する毎に、第2カウンタ22-3のカウント値が逐一リセットされ、第2検出信号 $S2d$ がローレベルに維持される。

【0445】

時刻 $t42$ において、第1トランス駆動信号 $S1a$ に N 発目のパルスが発生され、第1比較信号 $S1c$ のパルス数が N に達すると、第1カウンタ21-3は、第1検出信号 $S1d$ をローレベルからハイレベルに立ち上げる。SRフリップフロップFFは、このポジティブエッジに応じて出力信号 OUT をローレベルからハイレベルに立ち上げる。

【0446】

一方、パルスカウンタ15-6は、パルス信号 SB のパルス数が $(N + a)$ に達するま

でカウンタ出力信号 S_C をハイレベルに維持する。従って、パルス生成部 15 - 5 におけるパルス信号 S_B (延いては第 1 トランス駆動信号 S_{1a}) の生成が継続される。

【 0 4 4 7 】

その後、時刻 t_{43} において、入力信号 I_N がハイレベルからローレベルに立ち下げられると、エッジ検出部 15 - 7 は、エッジ検出信号 S_A をそれまでのローレベルからハイレベルに立ち上げ、その後、再びローレベルに立ち下げる。パルス生成部 15 - 5 は、エッジ検出信号 S_A がハイレベルとされた時点で $(N + b)$ 発目以降のパルス生成を中断し、新たに 1 発目からパルス生成を開始する。パルスカウンタ 15 - 6 は、エッジ検出信号 S_A がハイレベルとされたときにそのカウント値がリセットされ、パルス信号 S_B のパルス数を一から数え始める。また、パルスカウンタ 15 - 6 のカウント値がリセットされたことに伴い、時刻 t_{43} 以降、パルス信号 S_B のパルス数が $(N + a)$ に達するまで、カウンタ出力信号 S_C はハイレベルに維持される。パルス分配部 15 - 8 は、時刻 t_{43} 以降、入力信号 I_N がローレベルとされている間、パルス信号 S_B を第 2 トランス駆動信号 S_{2a} として出力し、第 1 トランス駆動信号 S_{1a} をローレベルに維持する。

【 0 4 4 8 】

上記の信号生成動作により、時刻 t_{43} において、ロジック部 15 は第 2 トランス駆動信号 S_{2a} のパルス駆動を開始する。これに伴い、第 2 トランス 32 の二次側巻線には、第 2 トランス駆動信号 S_{2a} に応じた第 2 誘起信号 S_{2b} が発生し、第 2 コンパレータ 22 - 1 から出力される第 2 比較信号 S_{2c} には、第 2 トランス駆動信号 S_{2a} と同数のパルスが発生する。なお、第 2 カウンタ 22 - 3 は、時刻 t_{43} 以降、第 2 比較信号 S_{2c} のパルス数が N に達するまで、第 2 検出信号 S_{2d} をローレベルに維持する。また、時刻 t_{43} において、第 2 比較信号 S_{2c} に発生した 1 発目のパルスにより、第 1 カウンタ 21 - 3 のカウント値がリセットされるので、第 1 検出信号 S_{1d} はハイレベルからローレベルに立ち下げられる。時刻 t_{43} 以降についても、第 2 比較信号 S_{2c} にパルスが発生する毎に、第 1 カウンタ 21 - 3 のカウント値が逐一リセットされ、第 1 検出信号 S_{1d} がローレベルに維持される。

【 0 4 4 9 】

ここで問題となるのは、入力信号 I_N がハイレベルからローレベルに立ち下げられる直前のタイミングで、第 1 トランス駆動信号 S_{1a} に $(N + b)$ 発目のパルスが発生している点である。この場合、第 1 トランス駆動信号 S_{1a} に発生された $(N + b)$ 発目のパルスに応じて第 1 比較信号 S_{1c} にも $(N + b)$ 発目のパルスが発生され、このパルスによって第 2 カウンタ 22 - 3 のカウント値をリセットする形となるが、第 1 コンパレータ 21 - 1 の応答能力によっては、第 1 誘起信号 S_{1b} に現れるパルスが消滅した後も、しばらくの間、第 1 比較信号 S_{1c} がハイレベルに維持されることがある。

【 0 4 5 0 】

上記の現象により、時刻 t_{43} 以降も第 1 比較信号 S_{1c} がハイレベルに維持されていた場合、第 2 カウンタ 22 - 3 のリセット状態が解消されないため、第 2 カウンタ 22 - 3 では、時刻 t_{43} 以降、第 2 比較信号 S_{2c} に発生される 1 発目のパルスをカウントすることができなくなる。

【 0 4 5 1 】

その結果、時刻 t_{44} において、第 2 トランス駆動信号 S_{2a} に N 発目のパルスが発生され、これに応じたパルスが第 2 比較信号 S_{2c} に生じても、第 2 カウンタ 22 - 3 のカウント値は $(N - 1)$ となるため、第 2 検出信号 S_{2d} がローレベルに維持されてしまい、 S_R フリップフロップ FF で生成される出力信号 $O_U T$ は、ハイレベルのままとなる。

【 0 4 5 2 】

時刻 t_{45} において、第 2 トランス駆動信号 S_{2a} に $(N + 1)$ 発目のパルスが発生され、これに応じたパルスが第 2 比較信号 S_{2c} に生じると、第 2 カウンタ 22 - 3 のカウント値が N となり、第 2 検出信号 S_{2d} がローレベルからハイレベルに立ち上げられる。従って、 S_R フリップフロップ FF では、このポジティブエッジに応じて出力信号 $O_U T$ がハイレベルからローレベルに立ち下げられる。

【 0 4 5 3 】

その後、時刻 t_{46} において、パルス信号 S_B のパルス数が $(N + a)$ に達すると、パルスカウンタ 15 - 6 は、カウンタ出力信号 S_C をハイレベルからローレベルに立ち下げ、これを受けたパルス生成部 15 - 5 は、その駆動を停止する。従って、時刻 t_{46} 以降、入力信号 I_N がハイレベルに立ち上げられるまでの間、第 1 トランス駆動信号 S_{1a} 及び第 2 トランス駆動信号 S_{2a} は、いずれもローレベルに維持された状態となる。

【 0 4 5 4 】

このように、図 40 A の場合、実質的には、第 2 比較信号 S_{2c} に $(N + 1)$ 発目のパルスが発生されるまで、出力信号 O_{UT} をハイレベルからローレベルに立ち下げることができない状態となる。

10

【 0 4 5 5 】

次に、図 40 B を参照しながら、入力信号 I_N の論理レベルが変遷する直前のタイミングで、第 1 トランス駆動信号 S_{1a} に $(N + b)$ 発目のパルスが発生されていない場合について説明する。

【 0 4 5 6 】

この場合でも、第 1 トランス駆動信号 S_{1a} に発生された $(N + b)$ 発目のパルスに応じて第 1 比較信号 S_{1c} に $(N + b)$ 発目のパルスが発生され、このパルスによって第 2 カウンタ 22 - 3 のカウント値をリセットする形となる点については、図 40 A と同様である。また、第 1 コンパレータ 21 - 1 の応答能力によっては、第 1 誘起信号 S_{1b} に現れるパルスが消滅した後も、しばらくの間、第 1 比較信号 S_{1c} がハイレベルに維持されることがある点についても、図 40 A と同様である。

20

【 0 4 5 7 】

図 40 A と異なるのは、第 1 比較信号 S_{1c} が時刻 t_{43} よりも前にローレベルに戻っており、第 2 カウンタ 22 - 3 のリセット状態が解消されている点である。このような状態で入力信号 I_N がハイレベルからローレベルに立ち下げられた場合、第 2 カウンタ 22 - 3 では、時刻 t_{43} 以降、第 2 比較信号 S_{2c} に発生される 1 発目のパルスを適切にカウントすることが可能となる。

【 0 4 5 8 】

その結果、時刻 t_{44} において、第 2 トランス駆動信号 S_{2a} に N 発目のパルスが発生され、これに応じたパルスが第 2 比較信号 S_{2c} に生じた時点で、第 2 カウンタ 22 - 3 のカウント値が N となり、第 2 検出信号 S_{2d} がローレベルからハイレベルに立ち上げられる。従って、 S_R フリップフロップ FF では、このポジティブエッジに応じて出力信号 O_{UT} がハイレベルからローレベルに立ち下げられる。

30

【 0 4 5 9 】

その後、時刻 t_{46} において、パルス信号 S_B のパルス数が $(N + a)$ に達すると、パルスカウンタ 15 - 6 は、カウンタ出力信号 S_C をハイレベルからローレベルに立ち下げ、これを受けたパルス生成部 15 - 5 は、その駆動を停止する。従って、時刻 t_{46} 以降、入力信号 I_N がハイレベルに立ち上げられるまでの間、第 1 トランス駆動信号 S_{1a} 及び第 2 トランス駆動信号 S_{2a} は、いずれもローレベルに維持された状態となる。

【 0 4 6 0 】

このように、図 40 B の場合、第 2 比較信号 S_{2c} に N 発目のパルスが発生された時点で、出力信号 O_{UT} をハイレベルからローレベルに立ち下げることが可能となる。

40

【 0 4 6 1 】

なお、上記では、出力信号 O_{UT} をハイレベルからローレベルに立ち下げの場合を例に挙げて説明を行ったが、これとは逆に、出力信号 O_{UT} をローレベルからハイレベルに立ち上げる場合についても、同様であることは言うまでもない。

【 0 4 6 2 】

図 40 A 及び図 40 B を比較参照することで分かるように、先出の図 38 で示した第 1 生成動作を採用した場合、入力信号 I_N の論理レベルが変遷するタイミングによっては、出力信号 O_{UT} の論理レベルを変遷させるタイミングがずれてしまい、出力信号 O_{UT} の

50

ジッタ成分が増大する懸念がある。

【 0 4 6 3 】

このような不具合を解消するためには、第 1 トランス駆動信号 $S1a$ 及び第 2 トランス駆動信号 $S2a$ の生成動作として、図 3 8 で示した第 1 生成動作ではなく、図 4 1 で示した第 2 生成動作を採用することが望ましい。

【 0 4 6 4 】

図 4 1 は、第 1 トランス駆動信号 $S1a$ 及び第 2 トランス駆動信号 $S2a$ の第 2 生成動作を示すタイミングチャートであり、上から順に、入力信号 IN 、エッジ検出信号 SA 、パルス信号 SB 、カウンタ出力信号 SC 、第 1 トランス駆動信号 $S1a$ 、及び、第 2 トランス駆動信号 $S2a$ が描写されている。

10

【 0 4 6 5 】

時刻 $t51$ において、入力信号 IN がローレベルからハイレベルに立ち上げられると、エッジ検出部 15 - 7 は、エッジ検出信号 SA をローレベルからハイレベルに立ち上げる。パルス生成部 15 - 5 は、エッジ検出信号 SA がハイレベルとされたときにその駆動を開始するが、時刻 $t51$ の時点でパルス信号 SB を出力し始めるのではなく、所定時間 $Twait$ が経過するまでの間（ここでは、エッジ検出信号 SA がハイレベルに維持されている間）パルス信号 SB を生成しない。パルスカウンタ 15 - 6 は、エッジ検出信号 SA がハイレベルとされたときにそのカウント値がリセットされ、パルス信号 SB のパルス数を一から数え始める。また、パルスカウンタ 15 - 6 のカウント値がリセットされたことに伴い、カウンタ出力信号 SC はローレベルからハイレベルに立ち上げられており、時刻 $t51$ 以降、パルス信号 SB のパルス数が $(N + a)$ に達するまで、カウンタ出力信号 SC はハイレベルに維持される。パルス分配部 15 - 8 は、時刻 $t51$ 以降、入力信号 IN がハイレベルとされている間、パルス信号 SB を第 1 トランス駆動信号 $S1a$ として出力し、第 2 トランス駆動信号 $S2a$ をローレベルに維持する。

20

【 0 4 6 6 】

時刻 $t52$ において、時刻 $t51$ から所定時間 $Twait$ が経過すると、エッジ検出部 15 - 7 は、エッジ検出信号 SA をハイレベルから再びローレベルに立ち下げる。パルス生成部 15 - 5 は、エッジ検出信号 SA がローレベルとされた時点で遅滞なくパルス信号 SB を出力し始める。

【 0 4 6 7 】

時刻 $t53$ において、パルス信号 SB のパルス数が N に達しても、パルスカウンタ 15 - 6 は、カウンタ出力信号 SC をハイレベルに維持する。従って、パルス生成部 15 - 5 におけるパルス信号 SB の生成は継続される。

30

【 0 4 6 8 】

時刻 $t54$ において、パルス信号 SB のパルス数が $(N + a)$ に達すると、パルスカウンタ 15 - 6 は、カウンタ出力信号 SC をハイレベルからローレベルに立ち下げ、これを受けたパルス生成部 15 - 5 はその駆動を停止する。従って、時刻 $t54$ 以降、入力信号 IN がローレベルに立ち下げられるまでの間、第 1 トランス駆動信号 $S1a$ 及び第 2 トランス駆動信号 $S2a$ は、いずれもローレベルに維持された状態となる。

【 0 4 6 9 】

時刻 $t55$ において、入力信号 IN がハイレベルからローレベルに立ち下げられると、エッジ検出部 15 - 7 は、エッジ検出信号 SA をローレベルからハイレベルに立ち上げる。パルス生成部 15 - 5 は、エッジ検出信号 SA がハイレベルとされたときにその駆動を開始するが、時刻 $t55$ の時点でパルス信号 SB を出力し始めるのではなく、所定時間 $Twait$ が経過するまでの間（ここでは、エッジ検出信号 SA がハイレベルに維持されている間）パルス信号 SB を生成しない。パルスカウンタ 15 - 6 は、エッジ検出信号 SA がハイレベルとされたときにそのカウント値がリセットされ、パルス信号 SB のパルス数を一から数え始める。また、パルスカウンタ 15 - 6 のカウント値がリセットされたことに伴い、カウンタ出力信号 SC はローレベルからハイレベルに立ち上げられており、時刻 $t55$ 以降、パルス信号 SB のパルス数が $(N + a)$ に達するまで、カウンタ出力信号 S

40

50

Cはハイレベルに維持される。パルス分配部15-8は、時刻 t_{55} 以降、入力信号INがローレベルとされている間、パルス信号SBを第2トランス駆動信号S2aとして出力し、第1トランス駆動信号S1aをローレベルに維持する。

【0470】

時刻 t_{56} において、時刻 t_{55} から所定時間Twaitが経過すると、エッジ検出部15-7は、エッジ検出信号SAをハイレベルから再びローレベルに立ち下げる。パルス生成部15-5は、エッジ検出信号SAがローレベルとされた時点で遅滞なくパルス信号SBを出力し始める。

【0471】

時刻 t_{57} において、パルス信号SBのパルス数がNに達しても、パルスカウンタ15-6は、カウンタ出力信号SCをハイレベルに維持する。従って、パルス生成部15-5におけるパルス信号SBの生成は継続される。

【0472】

時刻 t_{58} において、パルス信号SBのパルス数が $(N+a)$ に達すると、パルスカウンタ15-6は、カウンタ出力信号SCをハイレベルからローレベルに立ち下げ、これを受けたパルス生成部15-5はその駆動を停止する。従って、時刻 t_{58} 以降、入力信号INがハイレベルに立ち上げられるまでの間、第1トランス駆動信号S1a及び第2トランス駆動信号S2aは、いずれもローレベルに維持された状態となる。

【0473】

次に、第1トランス駆動信号S1a及び第2トランス駆動信号S2aの生成動作として図4-1で示した第2生成動作を採用したことにより、出力信号OUTのジッタ成分を低減することが可能な理由について、図4-2A及び図4-2Bを比較参照しながら説明する。

【0474】

図4-2A及び図4-2Bは、いずれも、出力ジッタの解消理由を説明するためのタイミングチャートであり、上から順に、入力信号IN、エッジ検出信号SA、パルス信号SB、カウンタ出力信号SC、第1トランス駆動信号S1a、第1誘起信号S1b、第1比較信号S1c、第2トランス駆動信号S2a、第2誘起信号S2b、第2比較信号S2c、第1検出信号S1d、第2検出信号S2d、及び、出力信号OUTが描写されている。

【0475】

まず、図4-2Aを参照しながら、入力信号INの論理レベルが変遷する直前のタイミングで、第1トランス駆動信号S1aに $(N+b)$ 発目のパルスが発生されている場合について説明する。

【0476】

時刻 t_{61} において、入力信号INがローレベルからハイレベルに立ち上げられると、エッジ検出部15-7は、エッジ検出信号SAをローレベルからハイレベルに立ち上げる。パルス生成部15-5は、エッジ検出信号SAがハイレベルとされたときにその駆動を開始するが、時刻 t_{61} の時点でパルス信号SBを出力し始めるのではなく、所定時間Twaitが経過するまでの間（ここでは、エッジ検出信号SAがハイレベルに維持されている間）パルス信号SBを生成しない。パルスカウンタ15-6は、エッジ検出信号SAがハイレベルとされたときにそのカウント値がリセットされ、パルス信号SBのパルス数を一から数え始める。また、パルスカウンタ15-6のカウント値がリセットされたことに伴い、カウンタ出力信号SCはローレベルからハイレベルに立ち上げられており、時刻 t_{61} 以降、パルス信号SBのパルス数が $(N+a)$ に達するまで、カウンタ出力信号SCはハイレベルに維持される。パルス分配部15-8は、時刻 t_{61} 以降、入力信号INがハイレベルとされている間、パルス信号SBを第1トランス駆動信号S1aとして出力し、第2トランス駆動信号S2aをローレベルに維持する。

【0477】

上記の信号生成動作により、時刻 t_{62} において、ロジック部15は第1トランス駆動信号S1aのパルス駆動を開始する。これに伴い、第1トランス31の二次側巻線には、第1トランス駆動信号S1aに応じた第1誘起信号S1bが発生し、第1コンパレータ2

10

20

30

40

50

1 - 1 から出力される第 1 比較信号 S_{1c} には、第 1 トランス駆動信号 S_{1a} と同数のパルスが発生する。なお、第 1 カウンタ 21 - 3 は、時刻 t_{62} 以降、第 1 比較信号 S_{1c} のパルス数が N に達するまで、第 1 検出信号 S_{1d} をローレベルに維持する。また、時刻 t_{62} において、第 1 比較信号 S_{1c} に発生した 1 発目のパルスにより、第 2 カウンタ 22 - 3 のカウント値がリセットされるので、第 2 検出信号 S_{2d} はハイレベルからローレベルに立ち下げられる。時刻 t_{62} 以降についても、第 1 比較信号 S_{1c} にパルスが発生する毎に、第 2 カウンタ 22 - 3 のカウント値が逐一リセットされ、第 2 検出信号 S_{2d} がローレベルに維持される。

【0478】

時刻 t_{63} において、第 1 トランス駆動信号 S_{1a} に N 発目のパルスが発生され、第 1 比較信号 S_{1c} のパルス数が N に達すると、第 1 カウンタ 21 - 3 は、第 1 検出信号 S_{1d} をローレベルからハイレベルに立ち上げる。SR フリップフロップ FF は、このポジティブエッジに応じて出力信号 OUT をローレベルからハイレベルに立ち上げる。

【0479】

一方、パルスカウンタ 15 - 6 は、パルス信号 S_B のパルス数が $(N + a)$ に達するまでカウンタ出力信号 SC をハイレベルに維持する。従って、パルス生成部 15 - 5 におけるパルス信号 S_B (延いては第 1 トランス駆動信号 S_{1a}) の生成が継続される。

【0480】

その後、時刻 t_{64} において、入力信号 IN がハイレベルからローレベルに立ち下げられると、エッジ検出部 15 - 7 は、エッジ検出信号 SA をそれまでのローレベルからハイレベルに立ち上げる。パルス生成部 15 - 5 は、エッジ検出信号 SA がハイレベルとされた時点で $(N + b)$ 発目以降のパルス生成を中断するが、時刻 t_{64} の時点で新たなパルス信号 S_B の出力を開始するのではなく、所定時間 T_{wait} が経過するまでの間 (ここではエッジ検出信号 SA がハイレベルに維持されている間) パルス信号 S_B の生成を行わず、時刻 t_{65} から改めてパルス信号 S_B の生成を開始する。パルスカウンタ 15 - 6 は、エッジ検出信号 SA がハイレベルとされたときにそのカウント値がリセットされ、パルス信号 S_B のパルス数を一から数え始める。また、パルスカウンタ 15 - 6 のカウント値がリセットされたことに伴い、時刻 t_{64} 以降、パルス信号 S_B のパルス数が $(N + a)$ に達するまで、カウンタ出力信号 SC はハイレベルに維持される。パルス分配部 15 - 8 は、時刻 t_{64} 以降、入力信号 IN がローレベルとされている間、パルス信号 S_B を第 2 トランス駆動信号 S_{2a} として出力し、第 1 トランス駆動信号 S_{1a} をローレベルに維持する。

【0481】

上記の信号生成動作により、時刻 t_{65} において、ロジック部 15 は第 2 トランス駆動信号 S_{2a} のパルス駆動を開始する。これに伴い、第 2 トランス 32 の二次側巻線には、第 2 トランス駆動信号 S_{2a} に応じた第 2 誘起信号 S_{2b} が発生し、第 2 コンパレータ 22 - 1 から出力される第 2 比較信号 S_{2c} には、第 2 トランス駆動信号 S_{2a} と同数のパルスが発生する。なお、第 2 カウンタ 22 - 3 は、時刻 t_{65} 以降、第 2 比較信号 S_{2c} のパルス数が N に達するまで、第 2 検出信号 S_{2d} をローレベルに維持する。また、時刻 t_{65} において、第 2 比較信号 S_{2c} に発生した 1 発目のパルスにより、第 1 カウンタ 21 - 3 のカウント値がリセットされるので、第 1 検出信号 S_{1d} はハイレベルからローレベルに立ち下げられる。時刻 t_{65} 以降についても、第 2 比較信号 S_{2c} にパルスが発生する毎に、第 1 カウンタ 21 - 3 のカウント値が逐一リセットされ、第 1 検出信号 S_{1d} がローレベルに維持される。

【0482】

ここで、第 1 トランス駆動信号 S_{1a} に発生された $(N + b)$ 発目のパルスに応じて第 1 比較信号 S_{1c} に $(N + b)$ 発目のパルスが発生され、このパルスによって第 2 カウンタ 22 - 3 のカウント値をリセットする形となる点については、図 40A と同様である。また、第 1 コンパレータ 21 - 1 の応答能力によっては、第 1 誘起信号 S_{1b} に現れるパルスが消滅した後も、しばらくの間、第 1 比較信号 S_{1c} がハイレベルに維持されること

10

20

30

40

50

がある点についても、図 4 0 A と同様である。

【 0 4 8 3 】

図 4 0 A と異なるのは、第 1 比較信号 $S 1 c$ がハイレベルに維持されている間、第 2 トランス駆動信号 $S 2 a$ にパルスが発生されず、第 1 比較信号 $S 1 c$ がローレベルに戻り、第 2 カウンタ 2 2 - 3 のリセット状態が解消されてから、第 2 トランス駆動信号 $S 2 a$ にパルスが発生され始める点である。

【 0 4 8 4 】

このような信号生成動作を採用することにより、入力信号 $I N$ の論理レベルが変遷する直前のタイミングで、第 1 トランス駆動信号 $S 1 a$ に $(N + b)$ 発目のパルスが発生された場合であっても、第 2 カウンタ 2 2 - 3 では、時刻 $t 6 5$ 以降、第 2 比較信号 $S 2 c$ に発生される 1 発目のパルスを適切にカウントすることが可能となる。

10

【 0 4 8 5 】

その結果、時刻 $t 6 6$ において、第 2 トランス駆動信号 $S 2 a$ に N 発目のパルスが発生され、これに応じたパルスが第 2 比較信号 $S 2 c$ に生じた時点で、第 2 カウンタ 2 2 - 3 のカウント値が N となり、第 2 検出信号 $S 2 d$ がローレベルからハイレベルに立ち上げられる。従って、 $S R$ フリップフロップ $F F$ では、このポジティブエッジに応じて出力信号 $O U T$ がハイレベルからローレベルに立ち下げられる。

【 0 4 8 6 】

その後、時刻 $t 6 7$ において、パルス信号 $S B$ のパルス数が $(N + a)$ に達すると、パルスカウンタ 1 5 - 6 は、カウンタ出力信号 $S C$ をハイレベルからローレベルに立ち下げ、これを受けたパルス生成部 1 5 - 5 は、その駆動を停止する。従って、時刻 $t 6 7$ 以降、入力信号 $I N$ がハイレベルに立ち上げられるまでの間、第 1 トランス駆動信号 $S 1 a$ 及び第 2 トランス駆動信号 $S 2 a$ は、いずれもローレベルに維持された状態となる。

20

【 0 4 8 7 】

このように、図 4 2 A の場合、第 2 比較信号 $S 2 c$ に N 発目のパルスが発生された時点で、出力信号 $O U T$ をハイレベルからローレベルに立ち下げることが可能となる。

【 0 4 8 8 】

次に、図 4 2 B を参照しながら、入力信号 $I N$ の論理レベルが変遷する直前のタイミングで、第 1 トランス駆動信号 $S 1 a$ に $(N + b)$ 発目のパルスが発生されていない場合について説明する。

30

【 0 4 8 9 】

図 4 2 A と異なるのは、第 1 比較信号 $S 1 c$ が時刻 $t 6 4$ よりも前にローレベルに戻っており、所定時間 $T w a i t$ の経過を待たずして、第 2 カウンタ 2 2 - 3 のリセット状態が解消されている点である。このような状態で入力信号 $I N$ がハイレベルからローレベルに立ち下げられた場合、第 2 カウンタ 2 2 - 3 では、時刻 $t 6 4$ 以降、第 2 比較信号 $S 2 c$ に発生される 1 発目のパルスを適切にカウントすることが可能となる。ただし、先にも述べたように、第 2 トランス駆動信号 $S 2 a$ のパルス駆動が実際に開始されるタイミングは、図 4 2 A と同様、所定時間 $T w a i t$ が経過された時刻 $t 6 5$ となる。

【 0 4 9 0 】

その結果、時刻 $t 6 6$ において、第 2 トランス駆動信号 $S 2 a$ に N 発目のパルスが発生され、これに応じたパルスが第 2 比較信号 $S 2 c$ に生じた時点で、第 2 カウンタ 2 2 - 3 のカウント値が N となり、第 2 検出信号 $S 2 d$ がローレベルからハイレベルに立ち上げられる。従って、 $S R$ フリップフロップ $F F$ では、このポジティブエッジに応じて出力信号 $O U T$ がハイレベルからローレベルに立ち下げられる。

40

【 0 4 9 1 】

その後、時刻 $t 6 7$ において、パルス信号 $S B$ のパルス数が $(N + a)$ に達すると、パルスカウンタ 1 5 - 6 は、カウンタ出力信号 $S C$ をハイレベルからローレベルに立ち下げ、これを受けたパルス生成部 1 5 - 5 は、その駆動を停止する。従って、時刻 $t 6 7$ 以降、入力信号 $I N$ がハイレベルに立ち上げられるまでの間、第 1 トランス駆動信号 $S 1 a$ 及び第 2 トランス駆動信号 $S 2 a$ は、いずれもローレベルに維持された状態となる。

50

【 0 4 9 2 】

このように、図 4 2 B の場合でも、図 4 2 A と同様、第 2 比較信号 S 2 c に N 発目のパルスが発生された時点で、出力信号 O U T をハイレベルからローレベルに立ち下げることが可能となる。

【 0 4 9 3 】

なお、上記では、出力信号 O U T をハイレベルからローレベルに立ち下げの場合を例に挙げて説明を行ったが、これとは逆に、出力信号 O U T をローレベルからハイレベルに立ち上げる場合についても、同様であることは言うまでもない。

【 0 4 9 4 】

図 4 2 A 及び図 4 2 B を比較参照することで分かるように、先出の図 4 1 で示した第 2 生成動作を採用した場合、入力信号 I N の論理レベルが変遷するタイミングに依らず、出力信号 O U T の論理レベルを変遷させるタイミングを一致させることができるので、出力信号 O U T のジッタ成分を低減することが可能となる。

【 0 4 9 5 】

なお、上記の実施形態では、本発明に係る信号伝達装置を用いたモータ駆動装置を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、トランスを用いた信号伝達装置全般に適用することが可能である。例えば、本発明をトランスカブラに適用した場合であれば、信号の誤伝送を防止することによって、システムの破綻を回避することが可能となる。

【 0 4 9 6 】

また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【 0 4 9 7 】

例えば、上記実施形態では、入力信号 I N がローレベルからハイレベルに立ち上げられたときに、出力信号 O U T をローレベルからハイレベルに立ち上げるためのスイッチ制御信号 S 1 と、入力信号 I N がハイレベルからローレベルに立ち下げられたときに、出力信号 O U T をハイレベルからローレベルに立ち下げるためのスイッチ制御信号 S 2 と、をトランス 3 1 及び 3 2 を用いて個別に伝達する信号伝達装置を例に挙げて説明を行ったが、ノイズ等に起因する誤動作を回避するために、一次側回路で生成されるトランス駆動信号に N 発のパルスを連続的に生じさせ、二次側回路で生成される比較信号に N 発のパルスが連続的に生じたときだけ出力信号 O U T の論理レベルを変遷させるという技術思想については、単一のトランスを用いる信号伝達装置にも適用することが可能である。

【 0 4 9 8 】

その場合、本発明が適用された信号伝達装置は、入力信号のパルスエッジに応じてトランス駆動信号に $(N + a)$ 発（ただし、 $N \geq 2$ 、 $a \geq 0$ ）のパルスを発生させるトランス駆動信号生成部と；一次側巻線に入力される前記トランス駆動信号に応じて二次側巻線に誘起信号を発生させるトランスと；前記誘起信号と所定の閾値電圧とを比較して比較信号を生成するコンパレータと；前記比較信号に N 発のパルスが発生したことを検出して出力信号にパルスを発生させるパルス検出部と；を有する構成とすればよい。

【 産業上の利用可能性 】

【 0 4 9 9 】

< 第 1 の技術的特徴について >

以上説明したように本発明の信号伝達回路装置は、帰還信号伝達部、論理比較回路、第 1 パルス生成回路、および第 2 パルス生成回路による出力信号補正機能を備えているので、制御出力信号が制御入力信号と“不一致”の状態となっても直ちに制御出力信号を制御入力信号と“一致”させることができる。また、帰還信号伝達部をフリップフロップを有する構成としたり、第 1 パルス生成回路および第 2 パルス生成回路と並列に第 1 エッジ検

10

20

30

40

50

出回路および第2エッジ検出回路を備える構成とすれば、極めて小さいパルス幅をもった制御入力信号に対しても正確な制御出力信号を出力することができるため、その産業上の利用可能性は高い。

【0500】

<第2の技術的特徴について>

本発明は、例えば、ハイブリッド自動車、電気自動車、エアコン等の家電製品、及び、産業機械などに広く搭載されるモータ駆動IC（ゲートドライバIC）の信頼性を高める上で好適に利用可能な技術である。

【0501】

<第3の技術的特徴について>

本発明は、例えば、高電圧を用いるハイブリッド自動車、電気自動車、エアコン等の家電製品、及び、産業機械などに広く搭載されるモータ駆動IC（ゲートドライバIC）の信頼性を高める上で好適に利用可能な技術である。

【符号の説明】

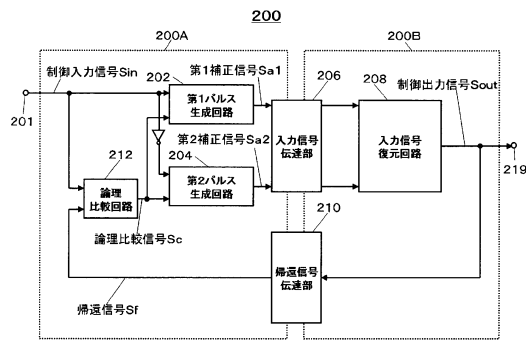
【0502】

200、220、250、280、300、330、360、400、430、800、850	信号伝達回路装置	
200A、220A、250A、280A、300A、330A、360A、400A、430A、800A、850A	入力側回路	
200B、220B、250B、280B、300B、330B、360B、400B、430B、800B、850B	出力側回路	20
201、221、251、281、301、331、361、401、431、801、851	入力端子	
219、249、279、299、329、359、399、429、469、849、899	出力端子	
202、222、252、282、302、354、384、420、452	第1パルス生成回路	
204、224、254、284、304、356、386、422、454	第2パルス生成回路	
212、238、272、298、322、352、382、418、450、818、874	論理比較回路	30
820、876	比較パルス生成回路	
206、220C、250C、280C、300C、330C、360C、400C、430C、800C、850C	入力信号伝達部	
208	入力信号復元回路	
210、220D、250D、280D、300D、330D、360D、400D、430D、800D、850D	帰還信号伝達部	
230、260、290、320、344、374、810、866	RSフリップフロップ	
270	第2RSフリップフロップ	40
226、256、286、308、340、366、408、436、806、862	第1トランス	
228、258、288、316、342、368、414、438、808、864	第2トランス	
234、266、294、318、348、388、456、814、870	第3トランス	
268、390、458	第4トランス	
378、446	第5トランス	
232、346、376、412、444、812、868	帰還パルス生成回路	
236、350、380、416、448、816、872	波形整形回路	50

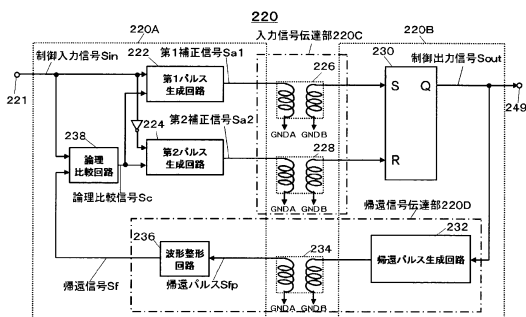
2 6 2、3 1 2	第 1 出力エッジ検出回路	
2 6 4、3 1 4	第 2 出力エッジ検出回路	
2 9 2	出力エッジ検出回路	
2 9 6、3 1 0、4 1 0、4 4 2	D フリップフロップ	
3 0 6、4 0 6、4 4 0、8 5 6	論理和回路	
3 3 2、3 6 2、4 0 2、4 3 2、8 5 2	第 1 エッジ検出回路	
3 3 4、3 6 4、4 0 4、4 3 4、8 5 4	第 2 エッジ検出回路	
3 3 6、3 7 0	第 1 論理和回路	
3 3 8、3 7 2	第 2 論理和回路	
8 5 0 E	信号合成回路	10
8 0 2、8 5 8	第 1 論理積回路	
8 0 4、8 6 0	第 2 論理積回路	
9 0 2	電流源	
9 0 4	スイッチングトランジスタ	
9 0 6	キャパシタ	
9 1 0	コンパレータ	
G N D A	第 1 の接地電位	
G N D B	第 2 の接地電位	
G N D	接地電位	
S	セット端子	20
R	リセット端子	
Q	フリップフロップ出力端子	
C L K	クロック端子	
X 1 0 A、X 1 0 B	半導体装置	
X 1 1 a	第 1 の電流供給用パッド	
X 1 1 b	第 1 の電圧測定用パッド	
X 1 1 c	第 1 の共通パッド (X 1 1 a + X 1 1 b)	
X 1 2 a	第 2 の電流供給用パッド	
X 1 2 b	第 2 の電圧測定用パッド	
X 1 2 c	第 2 の共通パッド (X 1 2 a + X 1 2 b)	30
X 2 0	検査装置	
X 2 1 a	第 1 の電流供給用プローブ	
X 2 1 b	第 1 の電圧測定用プローブ	
X 2 2 a	第 2 の電流供給用プローブ	
X 2 2 b	第 2 の電圧測定用プローブ	
X 2 3	定電流源	
X 2 4	電圧計	
1	スイッチ制御装置	
2	エンジンコントロールユニット (E C U)	
1 0	第 1 半導体チップ (コントローラチップ)	40
1 1	第 1 送信部	
1 1 - 1	バッファ	
1 2	第 2 送信部	
1 2 - 1	バッファ	
1 3	第 1 受信部	
1 4	第 2 受信部	
1 5	ロジック部	
1 5 - 1、1 5 - 2	インバータ	
1 5 - 3	第 1 パルス生成部	
1 5 - 4	第 2 パルス生成部	50

1 5 - 5	パルス生成部	
1 5 - 6	パルスカウンタ	
1 5 - 7	エッジ検出部	
1 5 - 8	パルス分配部	
1 6	第 1 低電圧ロックアウト部 (第 1 U V L O 部)	
1 7	外部エラー検出部 (コンパレータ)	
2 0	第 2 半導体チップ (ドライバチップ)	
2 1	第 3 受信部	
2 1 - 1	第 1 コンパレータ	
2 1 - 2	第 1 パルス検出部	10
2 1 - 3	第 1 カウンタ	
2 2	第 4 受信部	
2 2 - 1	第 1 コンパレータ	
2 2 - 2	第 2 パルス検出部	
2 2 - 3	第 2 カウンタ	
2 3	第 3 送信部	
2 4	第 4 送信部	
2 5	ロジック部	
2 6	ドライバ部	
2 7	第 2 低電圧ロックアウト部 (第 2 U V L O 部)	20
2 8	過電流検出部 (コンパレータ)	
2 9	O C P タイマ	
3 0	第 3 半導体チップ (トランスチップ)	
3 1	第 1 トランス	
3 2	第 2 トランス	
3 3	第 3 トランス	
3 4	第 4 トランス	
3 5	第 1 ガードリング	
3 6	第 2 ガードリング	
4 0	第 1 アイランド (低圧側アイランド)	30
5 0	第 2 アイランド (高圧側アイランド)	
S W H	ハイサイドスイッチ (I G B T、S i C - M O S)	
S W L	ローサイドスイッチ (I G B T、S i C - M O S)	
N a、N b、N 1 ~ N 3	N チャンネル型 M O S 電界効果トランジスタ	
P 1、P 2	P チャンネル型 M O S 電界効果トランジスタ	
E 1、E 2	直流電圧源	
Q 1	n p n 型バイポーラトランジスタ	
Q 2	p n p 型バイポーラトランジスタ	
C 1 ~ C 3	キャパシタ	
R 1 ~ R 8	抵抗	40
D 1	ダイオード	
a 1 ~ a 8	パッド (第 1 の電流供給用パッドに相当)	
b 1 ~ b 8	パッド (第 1 の電圧測定用パッドに相当)	
c 1 ~ c 4	パッド (第 2 の電流供給用パッドに相当)	
d 1 ~ d 4	パッド (第 2 の電圧測定用パッドに相当)	
e 1、e 2	パッド	
L 1 1、L 2 1、L 3 1、L 4 1	一次側コイル	
L 1 2、L 2 2、L 3 2、L 4 2	二次側コイル	

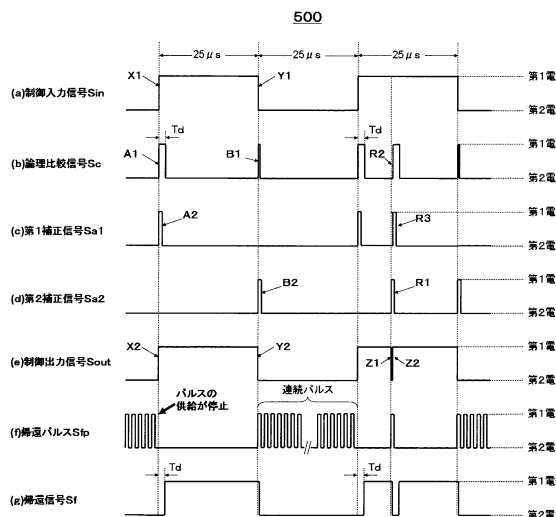
【図1】



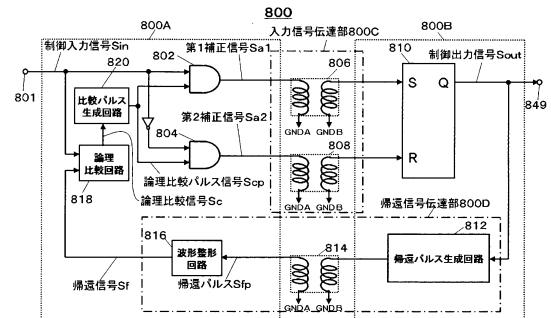
【図2】



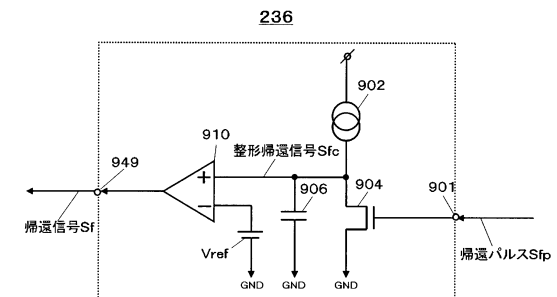
【図4】



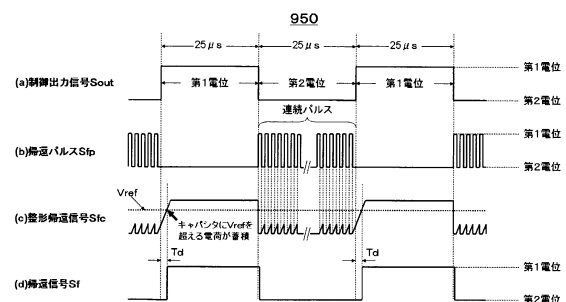
【図3】



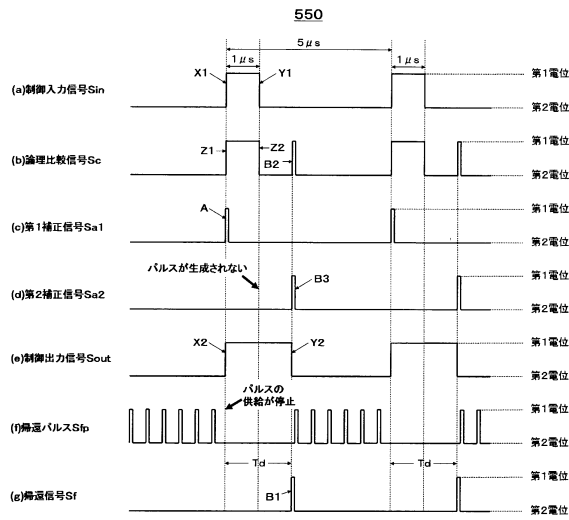
【図5】



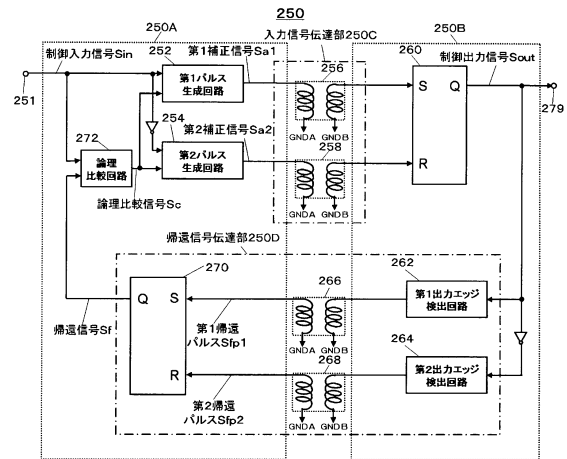
【図6】



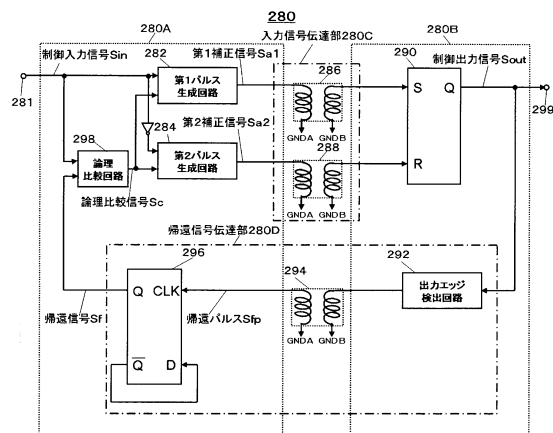
【図 7】



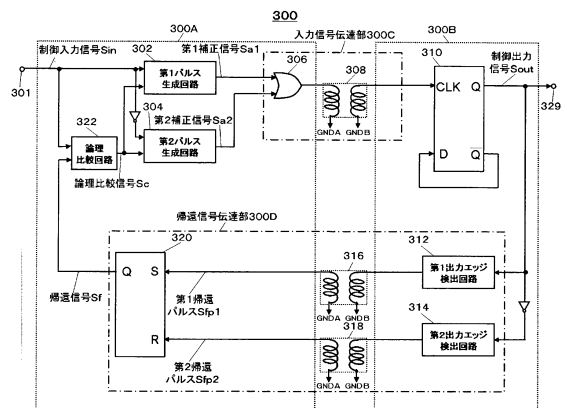
【図 8】



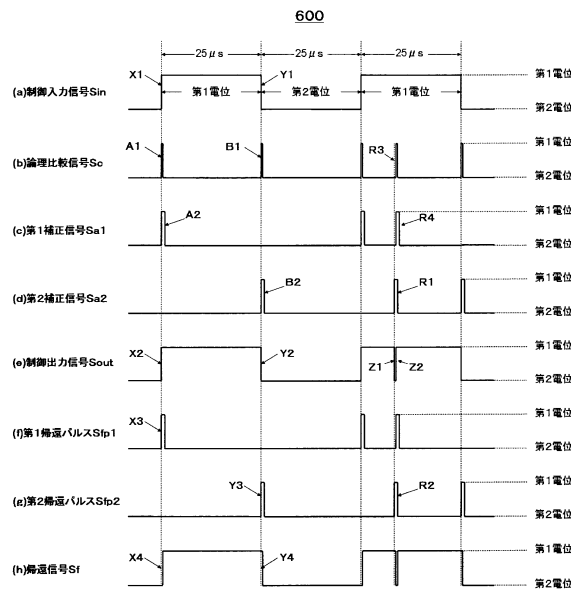
【図 9】



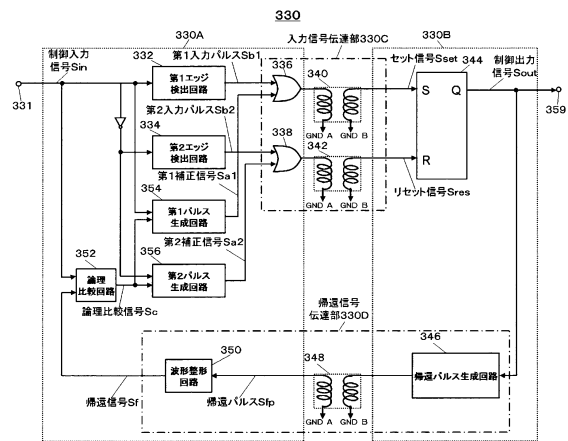
【図 10】



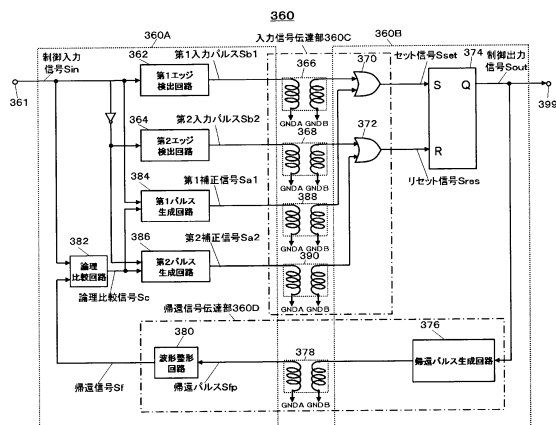
【図 11】



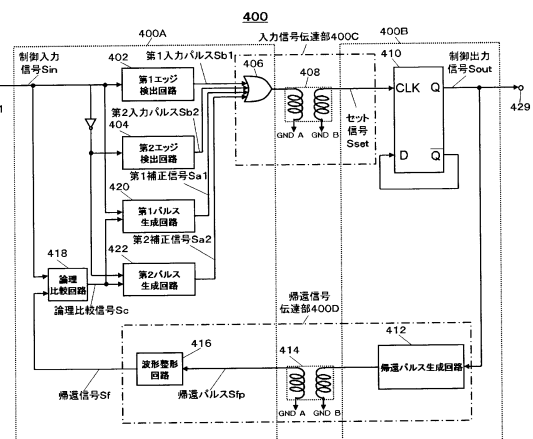
【図 12】



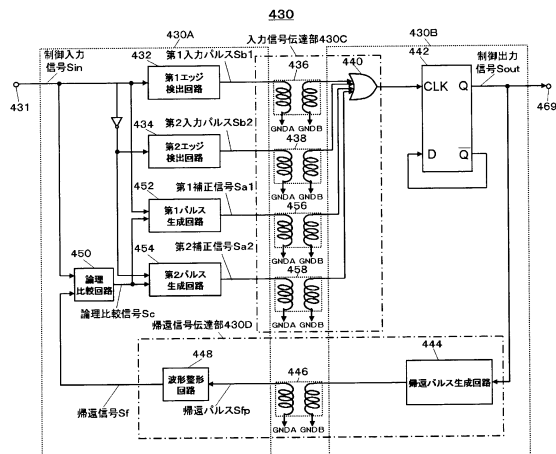
【図 13】



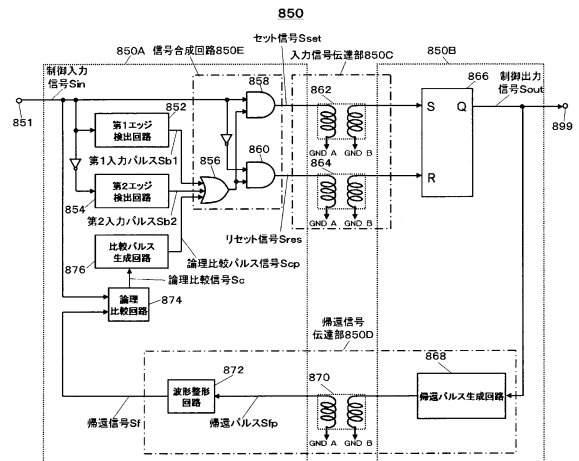
【図 14】



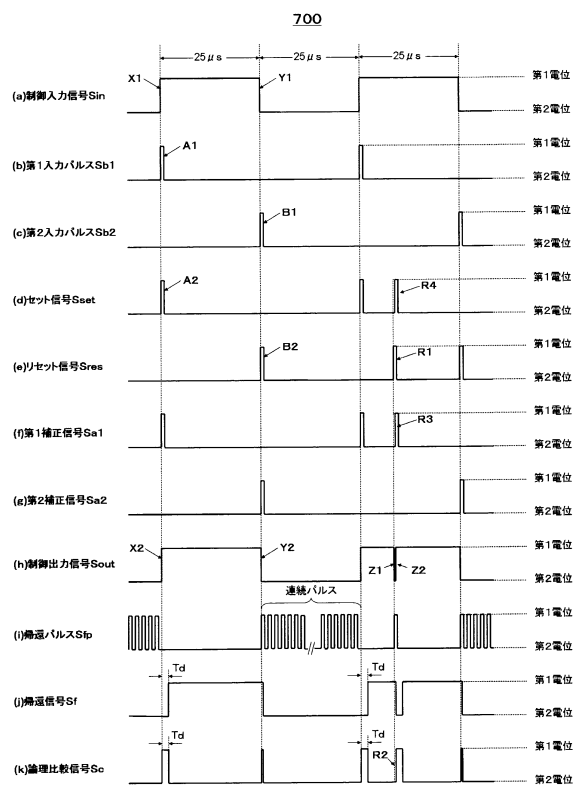
【図15】



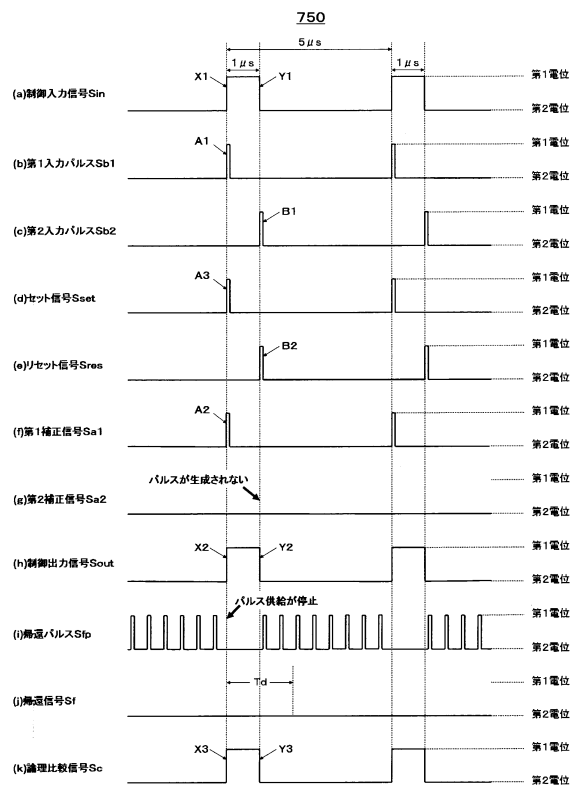
【図16】



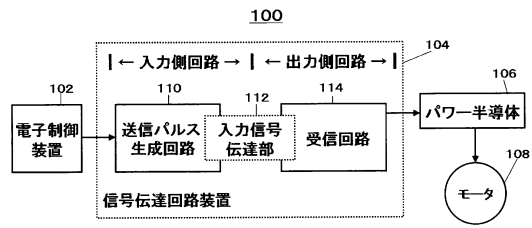
【図17】



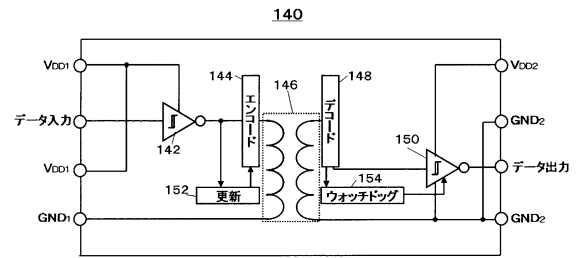
【図18】



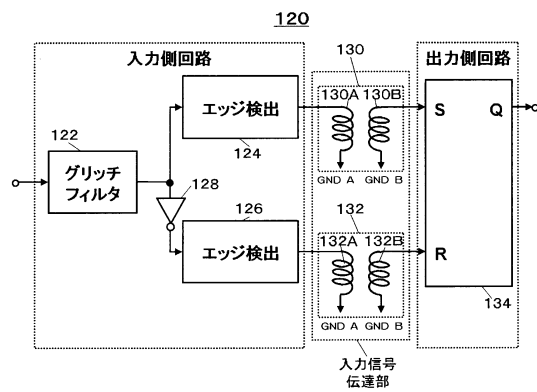
【図 19】



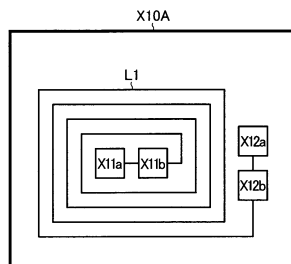
【図 21】



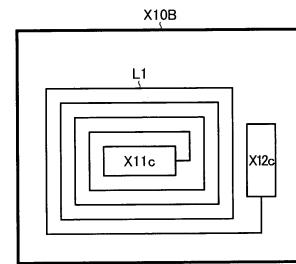
【図 20】



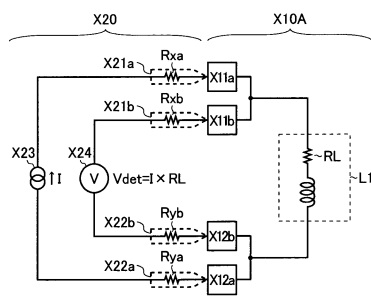
【図 22】



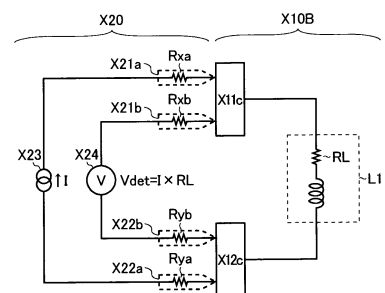
【図 24】



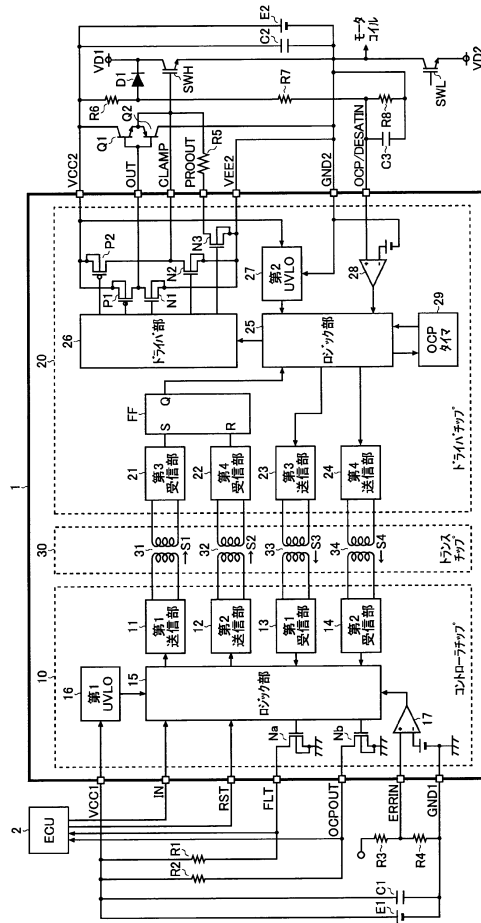
【図 23】



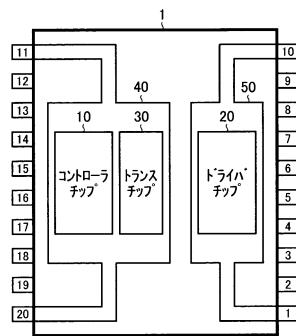
【図 25】



【図 26】



【図 28】

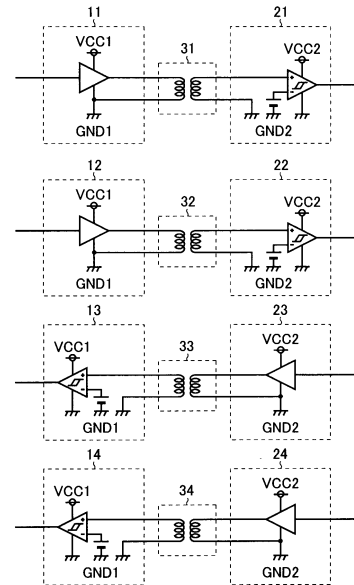


【図 29】

端子番号	端子名	端子番号	端子名
1	NC	11	GND1
2	VEE2	12	IN
3	GND2	13	RST
4	OC/DESATIN	14	FLT
5	OUT	15	OC/POUT
6	VCC2	16	ERRIN
7	CLAMP	17	VCC1
8	PROOUT	18	NC
9	VEE2	19	NC
10	NC	20	GND1

※NC: Non Connection

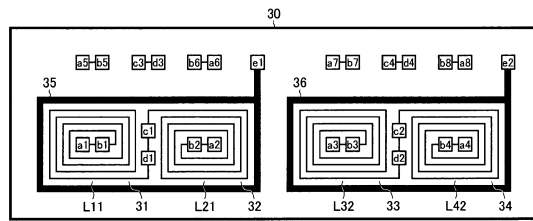
【図 27】



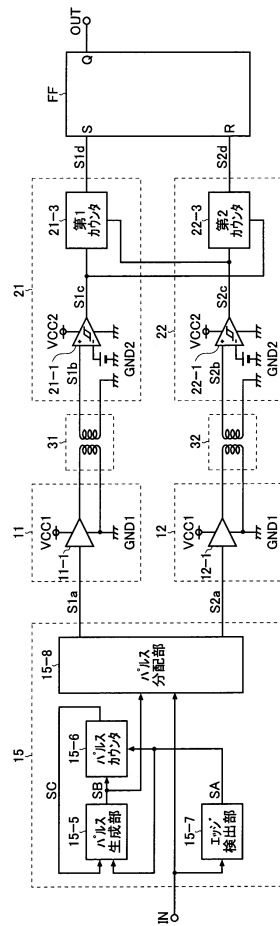
【図 30】

項目	記号	規格値	単位	条件
全体				
入力側回路電流	I_{CC1}	0.65	mA	
出力側回路電流	I_{CC2}	1.8	mA	
ロジック				
ロジックレベル入力電圧	V_{INH}	3.5~5.5	V	
ロジックレベル入力電圧	V_{INL}	0~1.5	V	
ロジックレベル入力電流	I_{INH}	100	μ A	入力=5V
ロジックレベル入力電流	I_{INL}	0	μ A	入力=0V
オープンドレイン出力L電圧	V_{ODL}	0.18	V	入力電流=5mA
出力				
出力ソース側オン抵抗	R_{ONOUTH}	3.6	Ω	$I_{OUT}=-100mA$
出力シンク側オン抵抗	R_{ONOUTL}	1.8	Ω	$I_{OUT}=100mA$
CLAMPソース側オン抵抗	$R_{ONCLAMPH}$	2.8	Ω	$I_{CLAMP}=-100mA$
CLAMPシンク側オン抵抗	$R_{ONCLAMPL}$	1.5	Ω	$I_{CLAMP}=100mA$
CLAMP H参照電圧	V_{CLAMPH}	2.0	V	
CLAMP L参照電圧	V_{CLAMPL}	2.0	V	
PROOUTオン抵抗	$R_{ONPROOUTL}$	1.5	Ω	$I_{PROOUT}=100mA$
Turn ON Time	t_{PON}	60	ns	
Turn OFF Time	t_{POFF}	60	ns	
Propagation distortion	t_{PDIST}	0	ns	
Rise Time	t_{RISE}	30	ns	
Fall Time	t_{FALL}	30	ns	
保護機能				
入力側UVLO OFF電圧	V_{UVLO1H}	4.0	V	
入力側UVLO ON電圧	V_{UVLO1L}	3.8	V	
出力側UVLO OFF電圧	V_{UVLO2H}	12.0	V	
出力側UVLO ON電圧	V_{UVLO2L}	11.0	V	
Watchdog timer マスク時間	t_{WDMASK}	10	μ s	
過電流検出電圧	V_{OCDET}	4	V	
過電流保護自動復帰時間	T_{OCPRLS}	10	ms	
ERR検出電圧	V_{ERRDET}	1.2	V	
ERR検出ヒステリシス	V_{ERRHYS}	0.10	V	

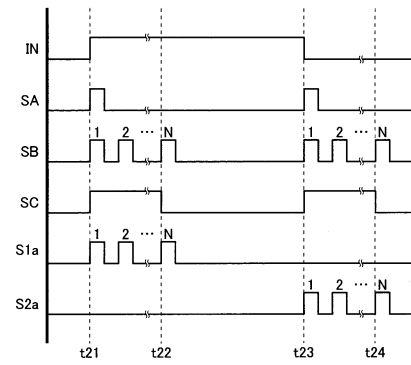
【図 3 1】



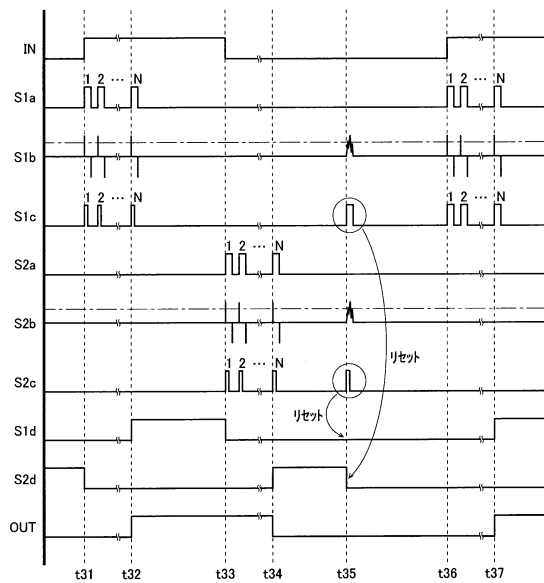
【図 37】



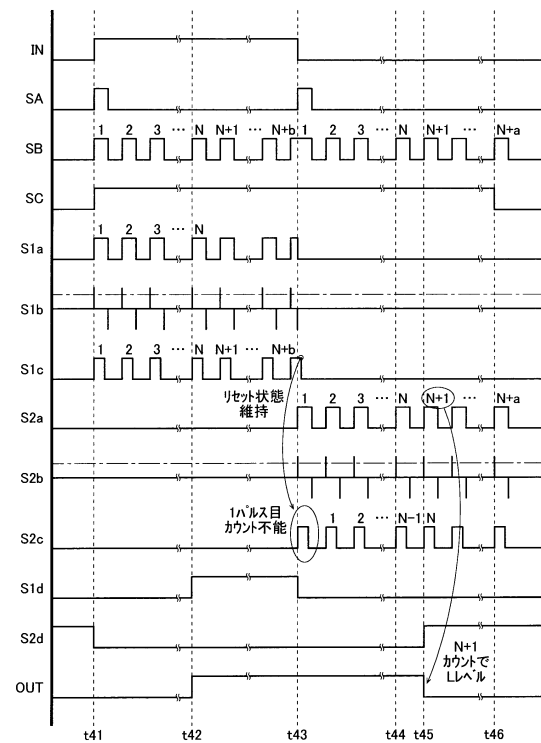
【図 38】



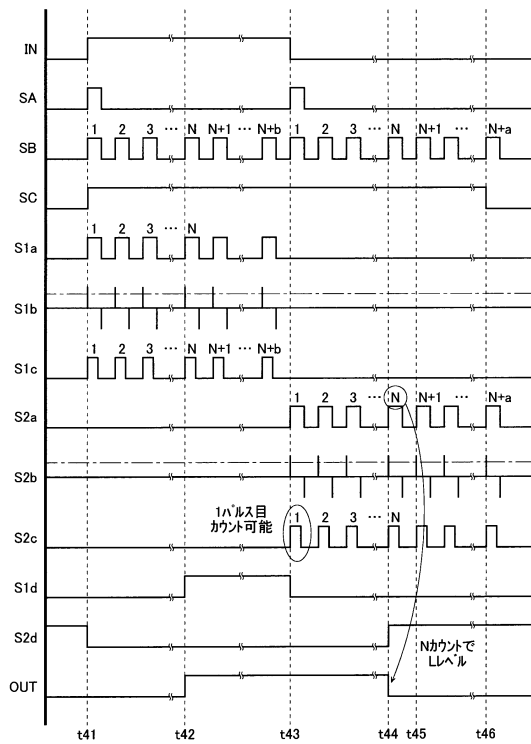
【図 39】



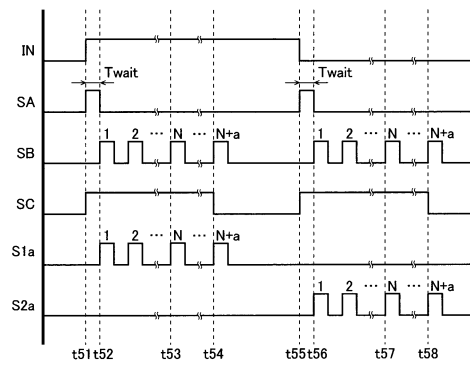
【図 40 A】



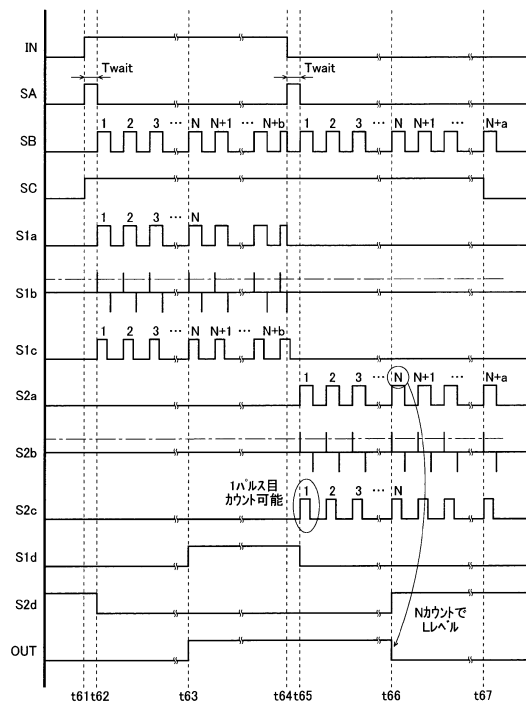
【図 40 B】



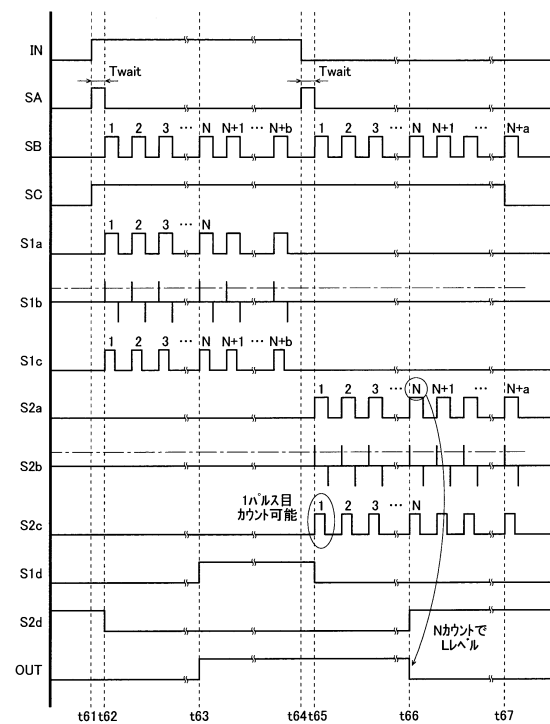
【図 41】



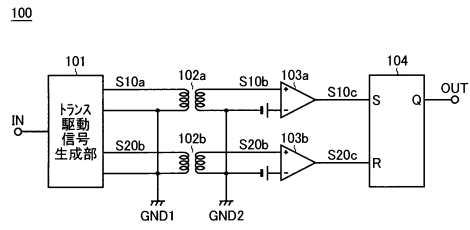
【図 42 A】



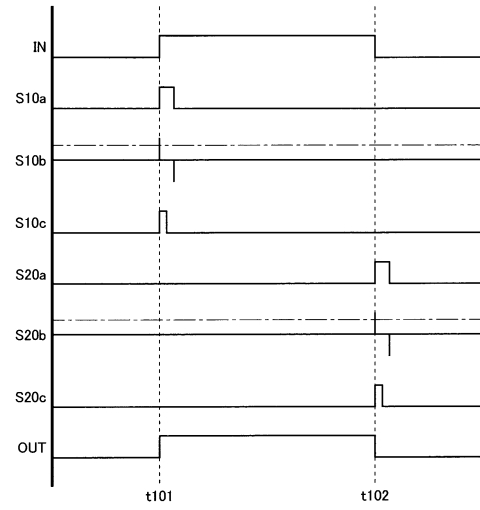
【図 42 B】



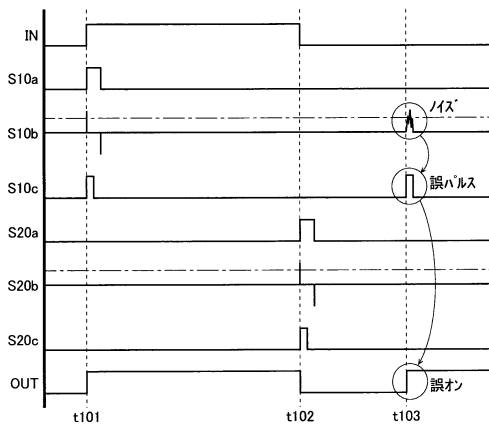
【図 4 3】



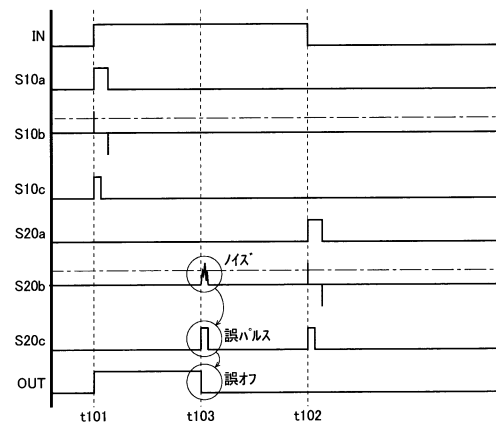
【図 4 4】



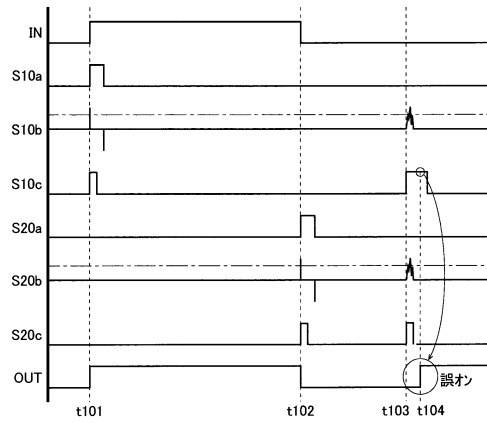
【図 4 5 A】



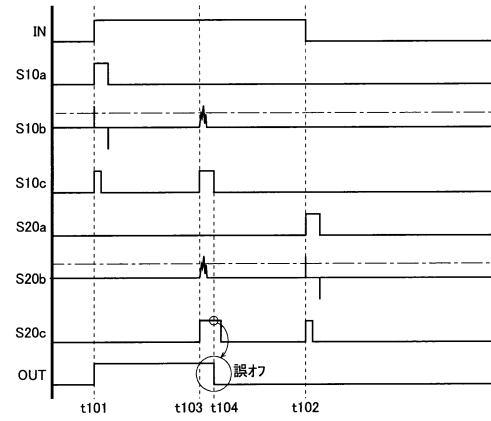
【図 4 5 B】



【図 4 6 A】



【図 4 6 B】



フロントページの続き

(51)Int.Cl. F I
G 0 1 R 31/06 (2006.01) H 0 1 L 21/66 F
G 0 1 R 31/06

(72)発明者 滝原 裕貴
京都府京都市右京区西院溝崎町2-1 ローム株式会社内

審査官 白井 亮

(56)参考文献 特開2009-188621(JP,A)
特表2003-523147(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 4 L 2 5 / 0 2
G 0 1 R 3 1 / 0 6
H 0 1 L 2 1 / 6 6
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4
H 0 4 L 2 5 / 0 3