

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5124476号
(P5124476)

(45) 発行日 平成25年1月23日 (2013. 1. 23)

(24) 登録日 平成24年11月2日 (2012. 11. 2)

(51) Int. Cl.

F I

GO 1 R 19/00 (2006. 01)

GO 1 R 19/00 B

GO 1 R 19/165 (2006. 01)

GO 1 R 19/165 A

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2008-545149 (P2008-545149)	(73) 特許権者	510134581
(86) (22) 出願日	平成18年11月14日 (2006. 11. 14)		奇美電子股▲ふん▼有限公司
(65) 公表番号	特表2009-519463 (P2009-519463A)		Chimei Innolux Corp
(43) 公表日	平成21年5月14日 (2009. 5. 14)		oration
(86) 国際出願番号	PCT/IB2006/054233		台湾苗栗縣竹南鎮科學路160號 新竹
(87) 国際公開番号	W02007/069102		科學工業園區
(87) 国際公開日	平成19年6月21日 (2007. 6. 21)		No. 160 Kesyue Rd., C
審査請求日	平成21年11月11日 (2009. 11. 11)		hu-Nan Site, Hsinchu
(31) 優先権主張番号	05112229.9		Science Park, Chu-N
(32) 優先日	平成17年12月15日 (2005. 12. 15)		an 350, Miao-Li Coun
(33) 優先権主張国	欧州特許庁 (EP)		ty, Taiwan,
		(74) 代理人	100147485
			弁理士 杉村 憲司

最終頁に続く

(54) 【発明の名称】 電流測定回路及び方法

(57) 【特許請求の範囲】

【請求項 1】

電荷積分回路と、インバータを有する比較器回路と、論理回路とを有し、

前記電荷積分回路は、測定される電流から電荷を積分し、得られる電圧変化を前記比較器回路の入力として適用するよう配置され、

前記比較器回路は、入力される電圧を閾値電圧レベルと比較し、その比較に応じた出力を前記論理回路へ供給するよう配置され、前記閾値電圧レベルは、前記インバータのスイッチング閾値レベルであり、

前記論理回路は、比較器出力に依存してフィードバック信号を生成し、該フィードバック信号を、キャパシタを介して前記電荷積分回路へ供給するよう配置され、前記電荷積分回路は、さらに、測定される電流からの前記電荷の積分を相殺する、受け取った前記フィードバック信号からの反対の電荷を容量性カップリングにより受け取るよう配置され、

前記論理回路は、さらに、前記比較器回路からの出力を基に且つ測定される電流のレベルに依存して出力信号を生成するよう配置され、

前記論理回路によって生成される前記出力信号は、測定される電流のレベルに依存した幅のパルスを有し、

前記パルスは、比較器出力電圧の第1のスイッチングと第2のスイッチングとの間のタイミングから発生することを特徴とする電流測定装置。

【請求項 2】

10

20

前記出力信号をデジタル出力データに変換するよう配置される変換器回路をさらに有する、請求項 1 記載の装置。

【請求項 3】

前記電荷積分回路は、当該電荷積分回路の入力としての測定される電流から前記比較器回路の入力を分離するよう配置されるトランジスタを有する、請求項 1 又は 2 記載の装置。

【請求項 4】

請求項 1 乃至 3 のうちいずれか一項記載の 1 又はそれ以上の装置を有し、前記 1 又はそれ以上の装置の回路は、当該アクティブマトリクスデバイスの基板上に形成される薄膜部品を有する、アクティブマトリクスデバイス。

【請求項 5】

電荷積分回路が、測定される電流から電荷を積分し、得られる電圧変化を比較器回路へ入力として適用する段階と、

前記比較器回路が、インバータを有し、入力される電圧を閾値電圧レベルと比較し、その比較に応じた出力を論理回路へ供給する段階と、前記閾値電圧レベルは、前記インバータのスイッチング閾値レベルであり、

前記論理回路が、比較器出力に依存してフィードバック信号を生成し、該フィードバック信号を、キャパシタを介して前記電荷積分回路へ供給する段階と、

前記電荷積分回路が、測定される電流からの前記電荷の積分を相殺する、受け取った前記フィードバック信号からの反対の電荷を容量性カップリングにより受け取る段階と、

前記論理回路が、前記比較器回路からの出力を基に且つ測定される電流のレベルに依存して出力信号を生成する段階とを有し、

前記論理回路によって生成される前記出力信号は、測定される電流のレベルに依存した幅のパルスを有し、

前記パルスは、比較器出力電圧の第 1 のスイッチングと第 2 のスイッチングとの間のタイミングから発生することを特徴とする電流測定方法。

【請求項 6】

変換器回路が前記出力信号をデジタル出力データに変換する段階をさらに有する、請求項 5 記載の方法。

【請求項 7】

前記電荷積分回路は、当該電荷積分回路の入力としての測定される電流から前記比較器回路の入力を分離するよう配置されるトランジスタを有する、請求項 5 又は 6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流測定回路及び方法に関する。本発明は、具体的には、それだけに限定されないが、例えばアクティブマトリクスディスプレイのような薄膜応用での使用に適する。

【背景技術】

【0002】

電流測定のための回路は、多くの用途で必要とされている。多数のかかる用途で、正確な電子部品が使用され得、これにより、電流測定回路の機能は、かかる正確性に依存することができる。

【0003】

例えば、特開 2001-324519 号公報（特許文献 1）は、電流源、コンデンサ回路及び比較器を備えた電流測定回路を開示する。その出力信号は、比較器のオフセット電圧の閾値電圧に依存し、従って、当該測定回路の正確性は、これらの特性の精度又は定義に依存する。

【特許文献 1】特開 2001-324519 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、他の用途において、電流測定回路で使用可能な電子部品がそれほど正確ではなく又はそれほど適切でなく定義されることを実現する。例えば、アクティブマトリクスディスプレイで、ディスプレイ基板上に配置される薄膜トランジスタは、しばしば、明確な特性を有さない。本発明者は、さらに、それほど正確でなく又はそれほど適切でなく定義される電子部品を有する電流測定回路及び方法を提供することが望まれていることに気付いた。

【課題を解決するための手段】

10

【0005】

第1の態様で、本発明は、電荷積分回路と、比較器回路と、論理回路とを有し、前記電荷積分回路は、測定される電流から電荷を積分し、得られる電圧変化を前記比較器回路の入力として適用するよう配置され、前記比較器回路は、入力される電圧を閾値電圧レベルと比較し、その比較に応じた出力を前記論理回路へ供給するよう配置され、前記論理回路は、比較器出力に依存してフィードバック信号を生成し、該フィードバック信号を前記電荷積分回路へ供給するよう配置され、前記電荷積分回路は、さらに、測定される電流からの前記電荷の積分に反して、受け取った前記フィードバック信号から電荷を積分するよう配置され、前記論理回路は、さらに、前記比較器回路からの出力を基に且つ測定される電流のレベルに依存して出力信号を生成するよう配置される電流測定装置を提供する。

20

【0006】

前記論理回路によって生成される前記出力信号は、測定される電流のレベルに依存した幅のパルスを有することができる。

【0007】

当該装置は、前記出力信号をデジタル出力データに変換するよう配置される変換器回路をさらに有することができる。

【0008】

前記比較器回路はインバータを有することができ、前記閾値電圧レベルは、前記インバータのスイッチング閾値レベルである。

【0009】

30

前記電荷積分回路は、当該電荷積分回路の入力としての測定される電流から前記比較器回路の入力を分離するよう配置されるトランジスタを有することができる。

【0010】

さらなる態様では、本発明は、前出の態様のいずれかに従う1又はそれ以上の装置を有するアクティブマトリクスデバイスであって、該1又はそれ以上の装置の回路は、当該アクティブマトリクスデバイスの基板上に形成される薄膜部品を有するアクティブマトリクスデバイスを提供する。

【0011】

さらなる態様では、本発明は、電荷積分回路が、測定される電流から電荷を積分し、得られる電圧変化を比較器回路へ入力として適用する段階と、前記比較器回路が、入力される電圧を閾値電圧レベルと比較し、その比較に応じた出力を論理回路へ供給する段階と、前記論理回路が、比較器出力に依存してフィードバック信号を生成し、該フィードバック信号を前記電荷積分回路へ供給する段階と、前記電荷積分回路が、測定される電流からの前記電荷の積分に反して、受け取った前記フィードバック信号から電荷を積分する段階と、前記論理回路が、前記比較器回路からの出力を基に且つ測定される電流のレベルに依存して出力信号を生成する段階とを有する電流測定方法を提供する。

40

【0012】

前記論理回路によって生成される前記出力信号は、測定される電流のレベルに依存した幅のパルスを有することができる。

【0013】

50

当該方法は、変換器回路が前記出力信号をデジタル出力データに変換する段階をさらに有することができる。

【 0 0 1 4 】

前記比較器回路はインバータを有することができ、前記閾値電圧レベルは、前記インバータのスイッチング閾値レベルである。

【 0 0 1 5 】

前記電荷積分回路は、当該電荷積分回路の入力としての測定される電流から前記比較器回路の入力を分離するよう配置されるトランジスタを有することができる。

【 0 0 1 6 】

測定される電流がキャパシタの配置へ印加されるところの配置及び方法が提供される。電流フローにより、コンデンサでの電圧は、キャパシタンス値及び電流値に依存した変化率を有して時間とともに変化する。変化する電圧は、比較器回路の入力へ印加される。比較器回路は、キャパシタ配置での電圧を一定の基準レベルと比較する。この基準レベルの値は、比較器のために使用される回路に依存する。比較器回路の出力は、測定された電流を表す出力信号と、コンデンサ配置に適用されるフィードバック信号とを生成する論理回路へ適用される。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

以下、本発明の実施例について、一例として、添付の図面を参照して記載する。

【 0 0 1 8 】

以下で記載される実施例は、アクティブマトリクスディスプレイ装置の基板上で薄膜技術によって提供される部品を用いる。それでもなお、当然、他の実施例において、同一の又は対応する電流測定回路（及び対応する電流測定方法）は、他の種類の装置の一部として、又は独立型の電流測定回路として提供され得る。さらに、これは、基板上に配置された薄膜デバイス以外の電子部品の種類を用いて実施されても良い。

【 0 0 1 9 】

図 1 は、第 1 の実施例に従う電流測定回路 1 のブロック図である。この実施例では、電流測定回路 1 は、他のアクティブマトリクスディスプレイ装置部品とともに基板上に作られる薄膜部品を用いて実装され、それによって、アクティブマトリクスディスプレイの部分形成する。電流測定回路 1 は、コンデンサ回路 2 と、比較器回路 4 と、論理回路 6 と、カウンタ回路 8 とを有する。コンデンサ回路 2 の第 1 の入力、そこで測定される電流 10 を入力するために設けられている。コンデンサ回路 2 の出力は、比較器回路 4 の入力へ結合される。比較器回路 4 の出力は、論理回路 6 の入力へ結合される。論理回路 6 の第 1 の出力は、コンデンサ回路 2 の第 2 の入力へ結合される。論理回路 6 の第 2 の出力は、カウンタ回路 8 の入力へ結合される。カウンタ回路 8 の出力は、測定された電流レベルを表す出力データ 20 を出力するために設けられている。

【 0 0 2 0 】

概して、電流測定回路の動作中に、以下の信号及び電圧は、電流測定回路 1 の上記の部分の間で印加される又は流れる。測定される電流 10 は、コンデンサ回路 2 へ入力される。比較器入力電圧 12 は、コンデンサ回路 2 から比較器回路 4 へ印加される。比較器出力電圧 14 は、比較器回路 4 から論理回路 6 へ印加される。フィードバック信号 16 は、論理回路 6 からコンデンサ回路 2 へ印加される。出力信号 18 は、論理回路 6 からカウンタ回路 8 の出力 8 へ印加される。測定された電流レベルを表す出力データ 20 は、カウンタ回路 8 から出力される。

【 0 0 2 1 】

概して、電流測定回路 1 の動作は以下の通りである。論理回路 6 によって出力される出力信号 18 は、測定される電流 10 の電流値に比例する持続期間を有するデジタルパルスを含む。測定される電流 10 は、コンデンサ回路 2 によって積分され、結果として得られる電圧変化は、比較器回路 4 の入力へ比較器入力電圧 12 として印加される。比較器出力電圧 14 は、論理回路 6 へ印加される。論理回路 6 は、比較器回路 4 の入力で比較器入力

10

20

30

40

50

電圧 12 の既知の変化を生じさせるようにコンデンサ回路 2 へ帰還させるフィードバック信号を供給する。このような電圧の変化は、測定される電流 10 によって引き起こされる変化に対抗する。測定される電流 10 がこの既知の電圧変化を相殺するために必要とされる時間は、カウンタ回路 8 へ入力される出力信号 18 でパルスとして表される。パルスの持続期間は、測定される電流 10 の電流値を表す。カウンタ回路 8 は、回路の出力パルスを、デジタル出力データ 20、例えば、電流レベルを表すデジタル数に変換する。

【 0 0 2 2 】

出力パルスの持続期間は、測定される電流 10 の電流値と、電流測定回路 1 内のコンデンサの値とに依存する。それは、コンデンサ回路 2 の特性に強く依存せず、従って、電流測定回路 1 は、明確な特性を有さない薄膜トランジスタを用いて作られる場合に特に有利である。電流測定回路 1 の動作について、以下、図 2 及び 3 を参照してより詳細に記載する。

10

【 0 0 2 3 】

図 2 は、電流測定回路 1 の動作中に実行される処理ステップを示すフローチャートである。説明を簡単にするために、処理ステップは、順次的なステップとして図示及び記載をされる。しかし、明らかなように、実際には、ステップの幾つかは重なり、又は同時に起こりうる。

【 0 0 2 4 】

図 3 は、本実施例における電流測定回路 1 の動作で用いられる又はその動作から生ずる波形の図式的表示（実寸ではない。）である。時間に対して図 3 に示される（且つ、図 1 に関して先に記載された）波形は、以下の通りである。すなわち、比較器入力電圧 12、比較器出力電圧 14、フィードバック信号 16、及び出力信号 18 である。また、図 3 には、リセット時間段 32 及び入力電流積分時間段 34 が示されている。様々な電圧レベルが比較器入力電圧 12 の波形において示されている。すなわち、リセット電圧 V_{reset} 、電圧差 V_{delta} 、及びスイッチング閾値電圧 $V_{threshold}$ である。比較器出力電圧 14 の波形では、比較器出力の第 1 のスイッチング 42、比較器出力の第 2 のスイッチング 44、及び比較器出力の第 3 のスイッチング 46 が示されている。フィードバック信号 16 では、参照番号 48 によって表されるフィードバック信号のスイッチングオンが示されている。出力信号 18 の波形では、持続期間 T_{OUT} の出力パルス 50 が示されている。

20

30

【 0 0 2 5 】

測定の開始時に、ステップ s2 で、比較器入力電圧 12 は、リセット電圧 V_{reset} にリセットされる。本実施例では、測定される電流 10 は負であり、従って、リセット電圧 V_{reset} は、比較器のスイッチング閾値電圧 $V_{threshold}$ よりも大きい正である。

【 0 0 2 6 】

ステップ s4 で、測定される電流 10 はコンデンサ回路 2 によって積分され、結果として、比較器入力電圧 12 は下がる。ステップ s6 で、比較器入力電圧 12 が閾値電圧レベル $V_{threshold}$ に達すると、比較器出力電圧 14 は、図 3 で比較器出力電圧の第 1 のスイッチング 42 によって示されるように、第 1 の時間の間に切り替わる。

40

【 0 0 2 7 】

この変化は論理回路 6 へ印加される。論理回路 6 は、それに応答して、ステップ s8 で、図 3 で参照番号 48 によって示されるように、コンデンサ回路 2 へ印加されるフィードバック信号 16 を（測定される電流 10 が負の電流である本例に関しては）低レベルから高レベルへ切り替える。

【 0 0 2 8 】

フィードバック信号 16 のレベルの変化は、比較器入力電圧 12 を既知の量だけ、すなわち、図 3 に示される電圧差 V_{delta} だけ上昇させる。これにより、比較器入力電圧 12 は、もう一度、閾値電圧レベル $V_{threshold}$ を上回り、ステップ s10 で、比較器出力電圧 14 は、図 3 で比較器出力電圧の第 2 のスイッチング 44 によって示され

50

るように、第2の時間の間に切り替わる。

【0029】

ステップs12で、比較器入力電圧12は、測定される入力電流10が積分され続ける間は、下がり続ける。

【0030】

これは、比較器入力電圧12が再びスイッチング閾値に達するまで続く。この時点で、ステップs14において、比較器出力電圧14は、図3で比較器出力電圧の第3のスイッチング46によって示されるように、第3の時間の間に切り替わる。

【0031】

ステップs16で、比較器出力電圧14からの論理回路6による出力パルス50の生成は完了する。本実施例で、出力パルス50は、図3に示される出力パルス幅（すなわち、持続期間） T_{OUT} を与えるよう、比較器出力電圧14の第2のスイッチング44と第3のスイッチング46との間に時間をかけることによって、比較器のスイッチングのタイミングから生成される。

10

【0032】

この出力パルス50は、測定される入力電流10が電圧差 V_{delta} の量だけ比較器入力電圧12を変化させるのに要する時間によって決定される幅（すなわち、持続期間） T_{OUT} を有し、これは、測定される入力電流10に比例する。

【0033】

ステップs18で、カウンタ回路8は、出力パルス50、より具体的には、出力パルス幅又は持続期間 T_{OUT} を、測定される入力電流10の電流レベルを示す対応するデジタル電流値に変換し、これをデジタル出力データ20として出力する。

20

【0034】

図4は、コンデンサ回路2、比較器回路4及び論理回路6の詳細を示す回路図である。また、図4には、測定される電流10を供給する電流源60が示されている。本実施例では、電流源60はフォトダイオードである。

【0035】

コンデンサ回路2は、以降でC1及びC2と呼ばれる2つのコンデンサと、以降でT1及びT2と呼ばれる2つのトランジスタとを有する。コンデンサC1は、比較器回路4の入力と接地との間に接続されている。コンデンサC2は、比較器回路4の入力と、論理回路6の出力へ結合されて、そこからフィードバック信号16を受信するコンデンサ回路2の入力との間に接続されている。コンデンサC1及びC2の相対値は、前出の電圧差 V_{delta} の大きさを決定する。

30

【0036】

トランジスタT1は、比較器入力電圧12が前出のリセット電圧レベル V_{reset} （ステップs2参照。）に設定されることを可能にするよう設けられ、これは、トランジスタT1のゲートで信号“Reset”を有する。測定される電流10は、トランジスタT2を介して比較器回路4の入力ノードでのキャパシタンスへ印加される。

【0037】

トランジスタT2は、測定される電流10の入力から比較器回路4の入力ノードを分離させる。トランジスタT2は、測定入力における電圧を定め、この電圧が、比較器入力電圧12が変化する場合に変化することを防ぐ。トランジスタT2は、所謂カスコードデバイスと同様に動作すると考えることができ、比較器回路4の入力での電圧変化を回路の電流入力ノードから分離する。しかし、トランジスタT2は必須ではなく、従って、他の実施例では、コンデンサ回路2は、トランジスタT2を用いずに提供される。

40

【0038】

コンデンサ回路2の電流入力での電圧は、トランジスタT2のゲート電圧 V_B からトランジスタT2のゲート-ソース間電圧を引いたものに等しい。この電圧は、入力電流値及び比較器回路4の入力での電圧に対して比較的小さい依存性を有しうる。

【0039】

50

本実施例では、比較器回路 4 は、直列に接続された 2 つの CMOS インバータ 6 2 及び 6 4 から成る比較的簡単な回路である。この回路の基準電圧は、第 1 のインバータ 6 2 のスイッチング閾値電圧である。これは、インバータの 2 つの電力供給レベル VDD 及び VSS の間のおおよそ中間であるが、トランジスタ特性に依存し、従って、明確でない。有利に、基準電圧の値におけるこのような不確実性は、回路の動作に影響を及ぼさない。本実施例の論理回路 6 は、3 つの NAND ゲート 6 6、6 8 及び 7 0 と、3 つの CMOS インバータ 7 2、7 4 及び 7 6 とを有する。2 つの NAND ゲート 6 6 及び 6 8 はともに、SR フリップフロップ 6 9 を形成する。第 3 の NAND ゲート 7 0 は、出力信号 1 8 の前出のパルス 5 0 の生成において使用される。

【0040】

測定の開始時に、フリップフロップ 6 9 の状態は、NAND ゲート 6 6 で信号 “nReset” によってリセットされ（図 4 参照）、ロー（Low）となる。信号 “nReset” は、信号 “Reset” の逆数である。NAND ゲート 6 6 での信号 “nReset” のこのようなりセットは、比較器入力電圧 1 2 がリセットレベル Vreset に設定されるのと同時に起こる。これにより、比較器出力電圧 1 4 は高電圧レベルとなる。フリップフロップ 6 9 がリセットされる場合には、フィードバック信号 1 6 は低電圧レベルに設定される。信号 “Reset” がローレベルに戻り、“nReset” がハイ（High）レベルに戻ると、比較器入力電圧 1 2 は、測定される電流 1 0 がコンデンサ C 1 及び C 2 を放電するにつれて下がり始める。比較器入力電圧 1 2 が比較器のスイッチング電圧（すなわち、Vthreshold）に達すると、比較器出力電圧 1 4 は、ハイレベルからローレベルへ変化する。これは、フィードバック信号 1 6 をハイに至らせるようフリップフロップ 6 9 を設定する。（コンデンサ C 2 に帰還されている）フィードバック信号 1 6 がローからハイになると、比較器入力電圧 1 2 は、比較器出力電圧 1 4 を第 2 に時間の間に切り替えてハイレベルに戻す量（VDD - VSS）（C 2 / （C 2 + C 1））だけ増大する。フリップフロップ 6 9 の状態は、比較器出力電圧 1 4 におけるこの第 2 の変化によって影響を及ぼされず、従って、フィードバック信号 1 6 はハイレベルのままである。

【0041】

測定の開始時に、出力信号 1 8 はローである。出力信号 1 8 は、フィードバック信号 1 6 及び比較器出力電圧 1 4 の両方がハイである場合にハイとなる。これは、比較器回路 4 が第 2 の時間の間に切り替わり、その出力がローからハイになる場合に起こる。これは、出力パルス 5 0 の開始を表す。出力信号 1 8 は、比較器出力電圧 1 4 が第 3 の時間の間に切り替わる場合に再びローとなる（すなわち、出力パルス 5 0 は終了する。）。従って、出力パルス 5 0 の幅 TOUT は、測定される電流 1 0 が、コンデンサ C 1 及び C 2 の並列結合を電圧（VDD - VSS）（C 2 / （C 2 + C 1））により放電するのにかかる時間を表す。

【0042】

$$\text{電流値 } I = CV / T = (VDD - VSS) C 2 / T_{OUT}$$

ここで、TOUT は出力パルス 5 0 の幅である。

【0043】

上記の動作は、3 つの CMOS インバータ 7 2、7 4 及び 7 6 の使用によって、さらに優れたものとなる。以下、CMOS インバータ 7 2、7 4 及び 7 6 の動作について記載する。

【0044】

インバータ 7 2 は、NAND ゲート 7 0 の出力に直列に配置されている。インバータ 7 2 は、出力信号 1 8 をバッファリングする働きをする。

【0045】

インバータ 7 4 及び 7 6 は、論理回路 6 のフィードバック信号 1 6 の出力で互いに直列である。インバータ 7 4 及び 7 6 は、コンデンサ、すなわちコンデンサ C 2 へ供給されることで生ずるフィードバック信号 1 6 の存続期間を回避又は低減するよう、フリップフロップ 6 9 からのフィードバック信号をバッファリングする働きをする。これは、特に、フ

10

20

30

40

50

ィードバック信号 16 が出力信号 18 の生成の一部として N A N D ゲート 70 に帰還するために論理回路 6 の内部でも使用されるためである。

【 0 0 4 6 】

本実施例では、出力パルス 50、より具体的には、パルス幅 T_{OUT} は、デジタル数に変換される。本実施例で、これは、前出のカウンタ回路 8 によって実施される。図 5 は、カウンタ回路のさらなる詳細を示す回路図である。カウンタ回路 8 は、カウンタ 80 及びラッチ 82 を有する。カウンタ 80 は、リセット信号 86 によって測定の開始時にリセットされる。論理回路 6 からの出力信号 18 はカウンタ 80 に入力される。基準クロック信号 84 もカウンタ 80 に入力される。出力信号 18 に含まれる出力パルス 50 は、カウンタ 80 を有効にするために使用される。基準クロック信号 84 の周期は、分解され得るパルス幅 T_{OUT} の最小変化を決定する。カウンタ 80 は、カウンタ 80 の状態が測定の終了時にパルス幅 T_{OUT} の期間内の基準クロック周期の数を表すように、出力パルス 50 の間は増分される。次いで、(図 5 で N として示される) カウンタ 80 の状態は、ラッチ 82 に送られる。ラッチで、状態 N は、必要とされるまで保存され得る。その後、ラッチ信号 88 の制御下で、カウンタ 80 の状態 N は、前出のデジタル出力データ 20 としてラッチ 82 から出力される。

10

【 0 0 4 7 】

明らかなように、以上の実施例は、本発明が実施され得る方法の単なる一例であり、多数の他の実施例が可能である。

【 0 0 4 8 】

20

例えば、他の実施例では、ヒステリシスが比較器回路 4 とフリップフロップ 69 との間に与えられる。これは、比較器回路 4 が切り替わる点で回路が発振することを回避するために行われ得る。回路への電力供給ラインの有限な抵抗は、出力信号が切り替えられる場合に電力供給電圧が落ちることを引き起こす。かかる電圧変化は、比較器回路の入力へ戻され、比較回路を発振させる。ヒステリシスは、電力供給ライン上のノイズに対する回路の耐性をより高める。

【 0 0 4 9 】

他の例として、トランジスタ T2 は、コンデンサ回路 2 から削除され得る。また、インバータ 72、74 及び 76 は、論理回路 6 から削除され得る。

【 0 0 5 0 】

30

他の例として、電流測定回路 1 の感度は、フィードバック信号 16 の振幅又はコンデンサ C2 の値を変えることによって変更可能である。これは、電流値 I を出力パルス幅 T_{OUT} と関連付ける上記の式において $(V_{DD} - V_{SS})$ 又は C2 の値を変えることに等しい。これは、パルス幅 T_{OUT} が短すぎる又は長すぎる傾向を回避すべく、電流値の幅広い範囲が測定されることが望まれる場合に行われることが有用である。

【 0 0 5 1 】

以下、他の例について、図 6 を参照して記載する。図 6 は、さらなる実施例の電流測定回路のコンデンサ回路 2、比較器回路 4 及び論理回路 6 の詳細を示す回路図である。図 6 に示される実施例は、以下で記載される場合を除いて、図 4 を参照して先に記載された実施例に存在するのと同じ要素を有し、対応する要素には同じ参照番号が付されている。図 6 の配置は、

40

(i) トランジスタ T1 が、コンデンサ回路 2 ではなく、比較器回路 4 において C M O S インバータ 62 に並列に配置されていること、

(i i) コンデンサ回路 2 において、さらなるコンデンサ C3 が、図 4 の実施例で T1 が配置されていた場所に配置されていること、及び

(i i i) 比較器回路 4 において、第 2 の C M O S インバータ 64 が、N A N D ゲート 65 によって置換されていること
を除いて、図 4 の配置と同じである。

【 0 0 5 2 】

本実施例では、電圧は、これが、比較器が切り替わる第 1 の時間の前の遅延を小さくす

50

る場合に、比較器回路4の入力において、比較器回路4の閾値電圧 $V_{threshold}$ に近い値にリセットされる。このことは、比較器回路4において第1のCMOSインバータ62の入力と出力との間にトランジスタT1を接続することによって達成される。トランジスタT1のゲートは、図4の実施例のように信号Resetにより駆動される。リセット期間の間に、第1のCMOSインバータ62の入力及び出力はともに接続され、比較器入力電圧は、インバータの閾値電圧と等しくなる。リセット期間の終了時に、比較器入力電圧は、閾値電圧をわずかに上回るものとされる。このことは、比較器の入力と信号nResetとの間に接続されるコンデンサC3によって達成される。上記のかかる点から、図6の回路の挙動は、図4を参照して先に記載された回路の挙動と同じである。

【0053】

10

より一般的には、他のコンデンサ回路は、結合される効果が測定される電流の強さの指標を与えるように、測定される電流、並びに、それに反して、フィードバック信号を積分する電荷、フィードバック信号及び反対の若しくは競合する考えにおいて充電/積分する測定される電流の関数を提供すべく、上記のコンデンサ回路に代わって使用され得る。例えば、他の実施例では、コンデンサC1（及び、ひいてはVSS）が削除されても良く、その場合に、コンデンサ回路は単一のコンデンサC2しか有さない。実際には、他の実施例では、コンデンサの実際の使用を伴わずに積分を実行する適切な積分回路が、このようなコンデンサに基づく回路に代わって用いられ得る。

【0054】

同様に、他の比較器回路は、上記の特定の比較器回路に代わって用いられ得る。望ましくは、このような他の比較器回路は、絶対的な意味で特定される必要がない比較器閾値を有すべきであり、むしろ、フィードバック周期に関する繰り返しがより望ましい。

20

【0055】

他の論理回路は、上記の特定の論理回路に代わって用いられ得る。さらに、上記の回路に基づく論理回路、又は実際には他の論理回路では、波形、具体的には比較器出力電圧、の様々なスイッチング段によって提供される情報は、比較器出力電圧の第2及び第3のスイッチング又は遷移の間の時間がパルス幅の開始及び終了のために使用されるところの上記方法以外の他の方法で電流レベルの指示又は表示を与えるために用いられ得る。例えば、他のタイミングは、パルスを定めるために使用され得る。他の例として、このようなスイッチングの間の時間は、代わりに、例えば、基準周波数を変更することによって又はその

30

【0056】

さらに、パルス幅が上記の実施例と同様に使用される場合でさえ、これは、上記の方法でデジタル値に変更される必要はない。パルス幅をデジタル信号に変換する他の回路又は方法が用いられても良い。実際には、パルス幅又は他のパラメータ/出力は、パルス幅をこのようなデジタル指示に変換することさえ必要とせず、例えば、自動処理における出力として使用され得る。概して、本発明は、トランジスタ特性の変動を許容する簡単な回路が必要とされる又は望まれる電流測定に適用され得る。幅広いエレクトロニクス技術を用いるセンサ応用は1つのこのような分野である。1つの例は、アクティブマトリクスディスプレイの基板上への光センサの実装である。薄膜トランジスタ又は薄膜ダイオードは、光を検出し、光の強度に依存する電流を通す。この電流信号の大きさは非常に小さく、ディスプレイ又はディスプレイモジュール内の回路に加えられる信号からの電気雑音の影響を受けやすい。上記の電流測定回路及び方法は、それらの様々な実施例を含め、トランジスタ又はダイオードからの電流を、雑音に比較的敏感でないデジタル信号に変換するために使用される。

40

【図面の簡単な説明】

【0057】

【図1】本発明の実施例に従う電流測定回路のブロック図である。

【図2】図1の電流測定回路の動作の間に実行される処理ステップを示すフローチャートである。

50

【図3】図1の電流測定回路の動作において用いられる又はそのような動作から得られる波形の図式的表示である（実寸ではない。）。

【図4】図1の電流測定回路のある要素の詳細を示す回路図である。

【図5】図1の電流測定回路の一部であるカウンタ回路のさらなる詳細を示す回路図である。

【図6】さらなる電流測定回路のある要素の詳細を示す回路図である。

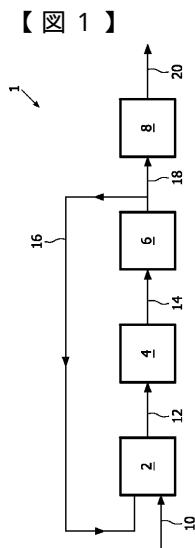
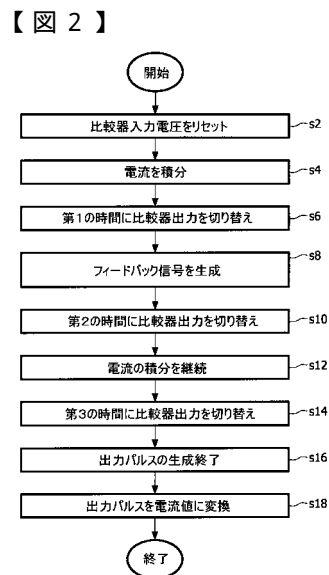
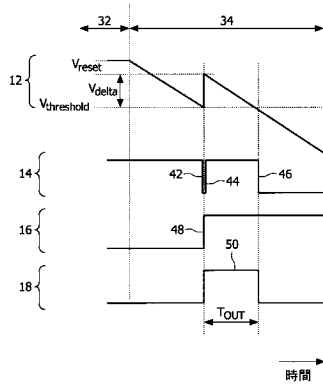


FIG. 1



【図 3】



【図 4】

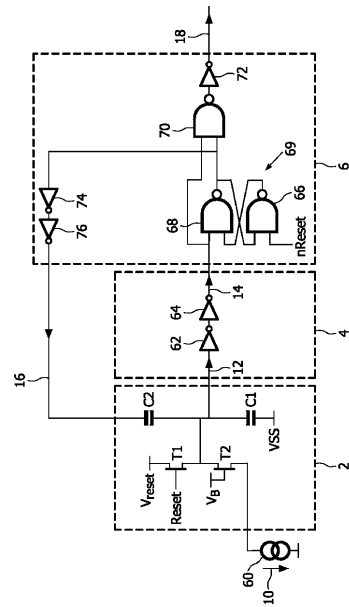


FIG. 4

【図 5】

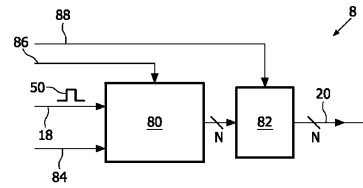


FIG. 5

【図 6】

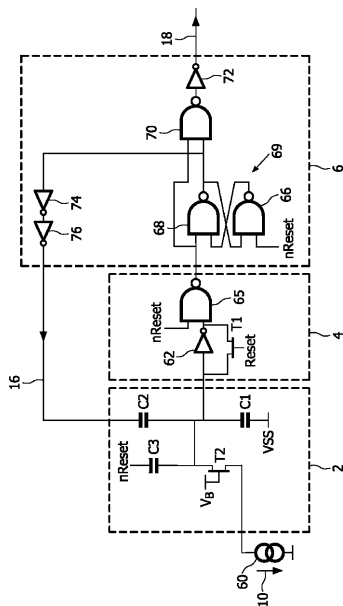


FIG. 6

フロントページの続き

(72)発明者 エドワーズ, マーティン ジェイ
オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

審査官 吉岡 一也

(56)参考文献 特開昭49-106268(JP, A)
特開2005-077409(JP, A)
特開2004-333208(JP, A)
特開昭62-222175(JP, A)
特開平09-033578(JP, A)
特開昭58-080927(JP, A)
特開平03-277927(JP, A)
特開平05-215607(JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 19/00

G01R 19/165