

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96135324

※ 申請日期：96/09/21

※IPC 分類：H01L²¹/₆₀

一、發明名稱：(中文/英文)

半導體裝置之製造方法

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(2006.01)

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

新光電氣工業股份有限公司

SHINKO ELECTRIC INDUSTRIES CO., LTD. (新光電氣工業株式会社)

代表人：(中文/英文)

黑岩護 / Mamoru KUROIWA (黑岩護)

住居所或營業所地址：(中文/英文)

日本國長野縣長野市小島田町 80 番地

80, OSHIMADA-MACHI, NAGANO-SHI, NAGANO 381-2287, JAPAN

國 籍：(中文/英文)

日本 / Japan

三、發明人：(共 2 人)

姓 名：(中文/英文)

(1) 山野孝治 / Takaharu YAMANO

(2) 荒井直 / Tadashi ARAI (荒井直)

國 籍：(中文/英文)

(1)~(2) 日本 / Japan

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實
發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2006/09/26；2006-260948

2.

3.

4.

5.

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體裝置之製造方法，以及係有關於一種半導體裝置之製造方法，其中該半導體裝置在從一平面圖觀看時具有一大約相同於一半導體晶片之尺寸，以及其中該半導體晶片係覆晶接合至一佈線圖案。

【先前技術】

在傳統半導體裝置中，具有一種稱為晶片尺寸封裝之半導體裝置(見例如圖 1)，該半導體裝置在從一平面圖觀看時係以幾乎相同於一半導體晶片之尺寸所製成。

圖 1 係一傳統半導體裝置之剖面圖。

參考圖 1，一傳統半導體裝置 100 包括一半導體晶片 101、內部連接端 102、一樹脂層 103、一佈線圖案 104、一防焊罩幕 106 及外部連接端 107。

該半導體晶片 101 包括已薄化之一半導體基板 110、一半導體積體電路 111、複數個電極墊 112 及一保護膜 113。該半導體積體電路 111 被提供於該半導體基板 110 之上表面。該半導體積體電路 111 包括一(或複數個)擴散層、絕緣層、介層及金屬線等。該複數個電極墊 112 被提供於該半導體積體電路 111 上方。該等複數個電極墊 112 電性連接至在該半導體積體電路 111 上所提之金屬線。該保護膜 113 被提供於該半導體積體電路 111 上方。該保護膜 113 係一用以保護該半導體積體電路 111 之薄膜。

該等內部連接端 102 被提供於該等電極墊 112 上。從該

樹脂層 103 暴露該等內部連接端 102 之上端。該等內部連接端 102 之上端連接至該佈線圖案 104。提供該樹脂層 103，以便覆蓋該半導體晶片 101 之提供有該等內部連接端 102 之表面。

該佈線圖案 104 被提供於該樹脂層 103 上。該佈線圖案 104 係連接至該等內部連接端 102。該佈線圖案 104 係經由該等內部連接端 102 電性連接至該等電極墊 112。該佈線圖案 104 具有外部連接端形成區域 104A，而在該等外部連接端形成區域 104A 上提供有該等外部連接端 107。該防焊罩幕 106 被提供於該樹脂層 103 上方，以便覆蓋該佈線圖案 104 之除了該等外部連接端形成區域 104A 之外的部分。

圖 2 至 10 顯示該傳統半導體裝置之製造步驟。在圖 2 至 10 中，相同組件係以相同於圖 1 所示之傳統半導體裝置 100 的元件符號來表示。

首先，在圖 2 所示之製程步驟中，在該尚未薄化之半導體基板 110 上方形成該半導體晶片 101，其中該半導體晶片 101 包括該半導體積體電路 111、該複數個電極墊 112 及該保護膜 113。接下來，在圖 3 所示之製程步驟中，在該複數個電極墊 112 上形成該等內部連接端 102。在此時，該複數個內部連接端 102 之高度係不同的。

然後，在圖 4 所示之製程步驟中，將一平板 115 靠著該複數個內部連接端 102 壓著，以對齊該等內部連接端 102 之高度。接著，在圖 5 所示之步驟中，形成該樹脂層 103，

以便覆蓋該等內部連接端 102 及該半導體晶片 101 之形成有該等內部連接端 102 的表面。

然後，在圖 6 所示之製程步驟中，研磨該樹脂層 103，直到從該樹脂層 103 暴露該等內部連接端 102 之上表面 102A 為止。在此時，實施該研磨，以便使該樹脂層 103 之上表面 103A 大致與該等內部連接端 102 之上表面 102A 齊平。

接下來，在圖 7 所示之製程步驟中，在該樹脂層 103 之上表面 103A 上方形成該佈線圖案 104。然後，在圖 8 所示之步驟中，在該樹脂層 103 上形成該防焊罩幕 106，以便覆蓋該佈線圖案 104 之除了該等外部連接端形成區域 104A 之外的部分。

接著，在圖 9 所示之製程步驟中，從該半導體基板 110 之下側研磨該半導體基板 110，以使該半導體基板 110 較薄。然後，在圖 10 所示之製程步驟中，在該等外部連接端形成區域 104A 上方形成該等外部連接端 107。在此方式中，完成該半導體裝置 100(見專利文件 1)。

[專利文件 1]日本專利第 3,614,828 號。

然而，該傳統半導體裝置 100 之製造方法需要對齊該複數個內部連接端 102 之高度的製程及藉由研磨該樹脂膜 103 從該樹脂層 103 暴露該複數個內部連接端 102 之上表面 102A 的製程，以致於會有需要許多製程步驟之問題，因而增加製造成本。

【發明內容】

根據上述問題建造本發明，以及本發明之目的提供一種半導體裝置之製造方法，以允許製造成本之降低。

依據本發明之第一觀點，提供一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一絕緣樹脂形成製程，用以形成一絕緣樹脂以覆蓋該等內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面；

一金屬層形成製程，用以在該絕緣樹脂上形成一金屬層；

一壓接製程，用以藉由壓著該金屬層以壓接該金屬層與該等內部連接端；以及

一佈線圖案形成製程，用以在該壓接製程後藉由蝕刻該金屬層以形成該等佈線圖案。

依據本發明，在該絕緣樹脂之形成以覆蓋該複數個內部連接端及該等半導體晶片之形成有該等內部連接端的表面後，藉由在該絕緣樹脂上形成打算用於該佈線圖案之該金屬層及壓著此金屬層以壓接該金屬層與該複數個內部連接端，可以不需要對齊該複數個內部連接端之高度的製程及研磨該絕緣樹脂以從該絕緣樹脂暴露該複數個內部連接端之部分的製程。在此方式中，可以減少製程步驟之

數目，以允許該半導體裝置之製造成本的降低。

依據本發明之第二觀點，提供一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一絕緣樹脂形成製程，用以形成一絕緣樹脂以覆蓋該等內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面；

一金屬層疊合製程，用以在該絕緣樹脂上連續地疊合一第一金屬層及一第二金屬層；

一壓接製程，用以藉由壓著該第二金屬層以壓接該第一金屬層與該等內部連接端；

一連接墊形成製程，用以在該壓接製程後藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

依據本發明，在該絕緣樹脂之形成以覆蓋該複數個內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面後，藉由在該絕緣樹脂上方連續地形成打算用於該佈線圖案之該第一金屬層及打算用於該等連接墊之該第二金屬層以及壓著該第二金屬層以壓接該第一金屬層與該複數個內部連接端，可以不需要對齊該複數個內部連接

端之高度的製程及研磨該絕緣樹脂以從該絕緣樹脂暴露該複數個內部連接端之部分的製程。在此方式中，可以減少製程步驟之數目，以允許該半導體裝置之製造成本的降低。

依據本發明之第三觀點，提供一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一絕緣樹脂形成製程，用以形成一絕緣樹脂以覆蓋該等內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面；

一層疊合製程，用以在該絕緣樹脂上連續地疊合一第一金屬層、一第二金屬層及一用以保護該第二金屬層之保護層；

一壓接製程，用以在該層疊合製程後藉由壓著該保護層以壓接該第一金屬層與該等內部連接端；

一保護層去除製程，用以在該壓接製程後去除該保護層；

一連接墊形成製程，用以藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

依據本發明，在該絕緣樹脂之形成以覆蓋該複數個內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面後，藉由在該絕緣樹脂上方連續地形成打算用於該佈線圖案之該第一金屬層、打算用於該等連接墊之該第二金屬層及打算用以保護該第二金屬層之該保護層，以及壓著該保護層以壓接該第一金屬層與該複數個內部連接端，可以不需要對齊該複數個內部連接端之高度的製程及研磨該絕緣樹脂以從該絕緣樹脂暴露該複數個內部連接端之部分的製程。在此方式中，可以減少製程步驟之數目，以允許該半導體裝置之製造成本的降低。

再者，藉由在壓接該第一金屬層與該複數個內部連接端時壓著在該第二金屬層上所形成之保護層，可以防止對該第二金屬層之損害。

依據本發明之第四觀點，提供一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一絕緣樹脂形成製程，用以形成一絕緣樹脂以覆蓋該等內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面；

一金屬層疊合製程，用以在該絕緣樹脂上連續地疊合一第一金屬層、一第二金屬層及一第三金屬層；

一壓接製程，用以藉由壓著該第三金屬層以壓接該第一金屬層與該等內部連接端；

一金屬柱形成製程，用以在該壓接製程後藉由蝕刻該第三金屬層以形成金屬柱；

一連接墊形成製程，用以藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

依據本發明，在該絕緣樹脂之形成以覆蓋該複數個內部連接端及該複數個半導體晶片之形成有該等內部連接端的表面後，藉由在該絕緣樹脂上方連續地形成打算用於該佈線圖案之該第一金屬層、打算用於該等連接墊之該第二金屬層及打算用於該等金屬柱之該第三金屬層以及壓著該第三金屬層以壓接該第一金屬層與該複數個內部連接端，可以不需要對齊該複數個內部連接端之高度的製程及研磨該絕緣樹脂以從該絕緣樹脂暴露該複數個內部連接端之部分的製程。在此方式中，可以減少製程步驟之數目，以允許該半導體裝置之製造成本的降低。

再者，由於在該等連接墊上方形成該等金屬柱，例如：藉由在該等金屬柱上方提供該等要連接至一安裝板（例如：一母板）之外部連接端，可以減少可能被施加至該等外部連接端之任何應力（力）。

依據本發明之第五觀點，提供一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之

半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一非等向性導電樹脂形成製程，用以形成一非等向性導電樹脂以覆蓋該等內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面；

一金屬層形成製程，用以在該非等向性導電樹脂上形成一金屬層；

一壓接製程，用以藉由壓著該金屬層以壓接該金屬層與該等內部連接端；以及

一佈線圖案形成製程，用以在該壓接製程後藉由蝕刻該金屬層以形成該等佈線圖案。

依據本發明，在該非等向性導電樹脂之形成以覆蓋該複數個內部連接端及該複數個半導體晶片之形成有該等內部連接端的表面後，藉由在該非等向性導電樹脂上方形成打算用於該等佈線圖案之該金屬層，及壓著該金屬層以壓接該金屬層與該複數個內部連接端，可以不需要對齊該複數個內部連接端之高度的製程及研磨該非等向性導電樹脂以從該非等向性導電樹脂暴露該複數個內部連接端之部分的製程。在此方式中，可以減少製程步驟之數目，以允許該半導體裝置之製造成本的降低。

再者，藉由使用該非等向性導電樹脂，壓著該金屬層之壓力相較於使用一絕緣樹脂之情況可以比較小，以便可以

更容易地製造該半導體裝置。

依據本發明之第六觀點，提供一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一非等向性導電樹脂形成製程，用以形成一非等向性導電樹脂以覆蓋該等內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面；

一金屬層疊合製程，用以在該非等向性導電樹脂上連續地疊合一第一金屬層及一第二金屬層；

一壓接製程，用以藉由壓著該第二金屬層以壓接該第一金屬層與該等內部連接端；

一連接墊形成製程，用以在該壓接製程後藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

依據本發明，在該非等向性導電樹脂之形成以覆蓋該複數個內部連接端及該複數個半導體晶片之形成有該等內部連接端的表面後，藉由在該非等向性導電樹脂上方形成打算用於該佈線圖案之該第一金屬層及打算用於該等連接墊之該第二金屬層，以及壓著該第二金屬層以壓接該第一金屬層與該複數個內部連接端，可以不需要對齊該複數

個內部連接端之高度的製程及研磨該非等向性導電樹脂以從該非等向性導電樹脂暴露該複數個內部連接端之部分的製程。在此方式中，可以減少製程步驟之數目，以允許該半導體裝置之製造成本的降低。

依據本發明之第七觀點，提供一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一非等向性導電樹脂形成製程，用以形成一非等向性導電樹脂以覆蓋該等內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面；

一層疊合製程，用以在該非等向性導電樹脂上連續地疊合一第一金屬層、一第二金屬層及一用以保護該第二金屬層之保護層；

一壓接製程，用以在該層疊合製程後藉由壓著該保護層以壓接該第一金屬層與該等內部連接端；

一保護層去除製程，用以在該壓接製程後去除該保護層；

一連接墊形成製程，用以藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

依據本發明，在該非等向性導電樹脂之形成以覆蓋該複數個內部連接端及該複數個半導體晶片之形成有該等內部連接端的表面後，藉由在該非等向性導電樹脂上方形成打算用於該佈線圖案之該第一金屬層、打算用於該等連接墊之該第二金屬層及打算用以保護該第二金屬層之該保護層，以及壓著該保護層以壓接該第一金屬層與該複數個內部連接端，可以不需要對齊該複數個內部連接端之高度的製程及研磨該非等向性導電樹脂以從該非等向性導電樹脂暴露該複數個內部連接端之部分的製程。在此方式中，可以減少製程步驟之數目，以允許該半導體裝置之製造成本的降低。

再者，藉由在壓接該第一金屬層與該複數個內部連接端時壓著在該第二金屬層上所形成之保護層，可以防止對該第二金屬層之損害。

依據本發明之第八觀點，提供一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一非等向性導電樹脂形成製程，用以形成一非等向性導電樹脂以覆蓋該等內部連接端及該複數個半導體晶片之提供有該等內部連接端的表面；

一金屬層疊合製程，用以在該非等向性導電樹脂上連續

地疊合一第一金屬層、一第二金屬層及一第三金屬層；

一壓接製程，用以藉由壓著該第三金屬層以壓接該第一金屬層與該等內部連接端；

一金屬柱形成製程，用以在該壓接製程後藉由蝕刻該第三金屬層以形成金屬柱；

一連接墊形成製程，用以藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

依據本發明，在該非等向性導電樹脂之形成以覆蓋該複數個內部連接端及該複數個半導體晶片之形成有該等內部連接端的表面後，藉由在該非等向性導電樹脂上方連續地形成打算用於該佈線圖案之該第一金屬層、打算用於該等連接墊之該第二金屬層及打算用於該等金屬柱之該第三金屬層，以及壓著該第三金屬層以壓接該第一金屬層與該複數個內部連接端，可以不需要對齊該複數個內部連接端之高度的製程及研磨該非等向性導電樹脂以從該非等向性導電樹脂暴露該複數個內部連接端之部分的製程。在此方式中，可以減少製程步驟之數目，以允許該半導體裝置之製造成本的降低。

再者，由於在該等連接墊上方形成該等金屬柱，例如：藉由在該等金屬柱上方提供該等要連接至一安裝板（例如：一母板）之外部連接端，可以減少可能被施加至該等外部連接端之任何應力（力）。

依據本發明，可以減少製程步驟，以最少化一半導體裝置之製造成本。

【實施方式】

現在將參考圖式以說明本發明之具體例。

(第一具體例)

圖 11 係依據本發明之第一具體例的一半導體裝置之剖面圖。

參考圖 11，依據本發明之第一具體例的一半導體裝置 10 包括一半導體晶片 11、內部連接端 12、一絕緣樹脂 13、佈線圖案 14、15、一防焊罩幕 16 及外部連接端 17。

該半導體晶片 11 包括一半導體基板 21、一半導體積體電路 22、電極墊 23 及一保護膜 24。該半導體基板 21 係一用以形成該半導體積體電路 22 之基板。已薄化該半導體基板 21。該半導體基板 21 之厚度 T_1 可以例如是 $100\mu\text{m}$ 至 $300\mu\text{m}$ 。該半導體基板 21 係例如一從一薄化矽晶圓已顆粒切割之基板。

該半導體積體電路 22 被提供於該半導體基板 21 之上表面。該半導體積體電路 22 包括例如在該半導體基板 21 中所形成之一(或複數個)擴散層(未顯示)、在該半導體基板 21 上方所疊合之絕緣層(未顯示)、在該疊合絕緣層中所形成之介層(未顯示)、以及佈線(未顯示)等。

該等電極墊 23 以複數個形式被提供於該半導體積體電路 22 上方。該等電極墊 23 電性連接至在該半導體積體電路 22 上所提供之佈線(未顯示)。至於該等電極墊 23 之材

料，可以例如使用鋁。

該保護膜 24 係形成於該半導體積體電路 22 上方。該保護膜 24 係一用以保護該半導體積體電路 22 之薄膜。至於該保護膜 24，可以使用一氮化矽膜、一 PSG 膜之類。

該等內部連接端 12 係形成於該等電極墊 23 上。該等內部連接端 12 係提供用以電性連接該半導體積體電路 22 與該佈線圖案 14 之連接端。該等內部連接端 12 之高度 H_1 可以例如是 $10\mu\text{m}$ 至 $60\mu\text{m}$ 。至於該等內部連接端 12，可以使用例如金凸塊、一鍍金膜或一包括一由非電解電鍍所形成之鎳膜及一覆蓋該鎳膜之金膜的金屬膜。該等金凸塊可以藉由一接合法或一電鍍法所形成。

該絕緣樹脂 13 係形成用以覆蓋該等內部連接端 12 之除了該等內部連接端 12 之上表面 12A 之外的部分及該半導體晶片 11。從該絕緣樹脂 13 暴露該等內部連接端 12 之上表面。該絕緣樹脂 13 之上表面 13A 大約與該等內部連接端 12 之上表面 12A 齊平。至於該絕緣樹脂，可以例如使用一黏著性薄片型絕緣樹脂(亦即，NCF(非導電膜))或一膠狀型絕緣樹脂(亦即，NCP(非導電膠))。該絕緣樹脂 13 之厚度 T_2 可以例如是 $10\mu\text{m}$ 至 $60\mu\text{m}$ 。

該佈線圖案 14 被提供於該絕緣樹脂 13 之上表面 13A 上方，以便與該等內部連接端 12 之上表面 12A 接觸。該佈線圖案 14 經由該等內部連接端 12 與該半導體積體電路 22 電性連接。該佈線圖案 14 具有外部連接端形成區域 14A，其中在該等外部連接端形成區域 14A 上提供有該等

外部連接端 17。

該佈線圖案 15 被提供於該絕緣樹脂 13 之上表面 13A 上方。該佈線圖案 15 具有外部連接端形成區域 15A，其中在該等外部連接端形成區域 15A 上提供有該等外部連接端 17。至於該等佈線圖案 14、15 之材料，可以例如使用銅。該等佈線圖案 14、15 之厚度可以例如是 12 μm 。

該防焊罩幕 16 被提供於該絕緣層 13 上方，以便覆蓋該等佈線圖案 14、15 之除了該等外部連接端形成區域 14A、15A 之外的部分。該防焊罩幕 16 具有用以暴露該等外部連接端形成區域 14A 之開口 16A 及用以暴露該等外部連接端形成區域 15A 之開口 16B。

該等外部連接端 17 被提供於該等佈線圖案 14、15 之外部連接端形成區域 14A、15A。該等外部連接端 17 係將與在一安裝板(未顯示)(例如：一母板之類)上所提供之墊電性接觸之連接端。至於該等外部連接端 17，可以例如使用焊料凸塊。

圖 12 至 22 係顯示依據本發明之第一具體例的半導體裝置之製造步驟的圖式，以及圖 23 係該半導體基板之平面圖。在圖 12 至 23 中，以相同元件符號表示相同於第一具體例之半導體裝置 10 中之任何組件。此外，在圖 12 至 23 中，"C" 表示在該半導體基板 31 中使用一切割機所要切割之位置(以下稱為"切割位置 C")。

首先，在圖 12 所示之製程步驟中，提供一半導體基板 31，其中該半導體基板 31 具有複數個半導體裝置形成區

域 A 及用以分隔該複數個半導體裝置形成區域 A 之劃線區域 B(見圖 23)。該等半導體裝置形成區域 A 係形成該等半導體裝置 10 之區域。薄化及在該切割位置 C 處切割該半導體基板 31，以構成先前所述之半導體基板 21(見圖 11)。至於該半導體基板 31，可以例如使用一矽晶圓。該半導體基板 31 之厚度 T_3 係例如 $500\mu\text{m}$ 至 $775\mu\text{m}$ 。

接下來，在圖 13 所示之製程步驟中，在該半導體基板 31 之對應於該等半導體裝置形成區域 A 的上表面上方形成該等半導體晶片 11，其中該等半導體晶片 11 包括半導體積體電路 22、電極墊 23 及保護膜 24。至於該等電極墊 23 之材料，可以例如使用鋁。至於該保護膜 24，可以使用一氮化矽膜、一 PSG 膜之類。

在圖 14 所示之製程步驟中，在該複數個半導體裝置形成區域 A 中所提供之複數個電極墊 23 上方，分別形成該等內部連接端。至於該等內部連接端 12，可以例如使用金凸塊、一鍍金膜或一包括一由非電解電鍍所形成之鎳膜及一覆蓋該鎳膜之金膜的金屬膜。該等金凸塊可以藉由例如一接合法來形成。藉由圖 14 所示之製程步驟所形成之複數個內部連接端 12 的高度係不同的。

之後，在圖 15 所示之製程步驟中，在該等內部連接端 12 及該複數個半導體晶片 11 之提供有該等內部連接端 12 的表面(該複數個半導體晶片 11 之上表面)上方形成該絕緣樹脂 13(絕緣樹脂形成製程)。至於該絕緣樹脂 13，可以例如使用一黏著性薄片型絕緣樹脂(亦即，NCF(非導電

薄膜))或一膠狀型絕緣樹脂(亦即，NCP(非導電膠))。當使用該黏著性薄片型絕緣樹脂時，藉由將該薄片型絕緣樹脂附著至圖 14 所示之結構的上表面以形成該絕緣樹脂 13。當使用該膠狀型絕緣樹脂做為該絕緣樹脂 13 時，藉由一印刷法(printing method)在圖 14 所示之結構的上表面上方形成該膠狀型絕緣樹脂，以及然後，將該絕緣樹脂預烤至一半硬化狀態。此半硬化絕緣樹脂係有黏性。該絕緣樹脂 13 之厚度 T_4 可以例如是 $20\mu\text{m}$ 至 $100\mu\text{m}$ 。

接下來，在圖 16 所示之製程步驟中，在該絕緣樹脂 13 之上表面 13A 上形成一金屬層 33(金屬層形成製程)。該金屬層 33 係一在稍後圖 18 所述之製程步驟期間將被蝕刻以構成該等佈線圖案 14、15 之金屬層。更特別地，提供一銅箔以做為該金屬層 33，以及將此銅箔黏附至該絕緣樹脂 13 之上表面 13A。該金屬層 33 之厚度 T_5 可以例如是 $10\mu\text{m}$ 。

然後，在圖 17 所示之製程步驟中，當加熱圖 17 所示之結構時，從該金屬層 33 之上表面 33A 壓著該金屬層 33，以使該金屬層之下表面 33B 與該複數個內部連接端 12 之上表面 12A 接觸，進而壓合該金屬層 33 與該等內部連接端 12(壓接製程)。並且，藉由加熱圖 17 所示之結構，將硬化該絕緣樹脂 13。在該壓接後，該絕緣樹脂 13 之厚度 T_2 可以例如是 $10\mu\text{m}$ 至 $60\mu\text{m}$ 。

在此方式中，藉由在該絕緣樹脂 13 上方形成打算用於該等佈線圖案 14、15 之金屬層 33 以及壓著該金屬層 33

以壓接該金屬層 33 與該複數個內部連接端 12，可以不需要對齊該複數個內部連接端 12 之高度的製程及研磨該絕緣樹脂 13 以從該絕緣樹脂暴露該複數個內部連接端之上部分的製程，其中該等製程係習慣上被實施的。在此方式中，可以減少用以製造該等半導體裝置 10 所需之製程步驟的數目，以允許該半導體裝置 10 之製造成本的降低。

接著，在圖 18 所示之製程步驟中，藉由蝕刻來圖案化該金屬層 33，以在該複數個半導體裝置形成區域 A 中形成該等佈線圖案 14、15(佈線圖案形成製程)，以及之後，實施該等佈線圖案 14、15 之粗化處理。

更特別地，在該金屬層 33 上方形成一圖案化光阻膜後，藉由使用該光阻膜做為一罩幕來蝕刻該金屬層 33，以形成該等佈線圖案 14、15。可以藉由一黑氧化製程或一粗化蝕刻製程實施該等佈線圖案 14、15 之粗化處理。實施該粗化處理，以便改善該等佈線圖案 14、15 與在該等佈線圖案 14、15 之上及側表面上所要形成之防焊罩幕 16 的黏著力。

然後，在圖 19 所示之製程步驟中，形成該防焊罩幕 16，以便覆蓋該絕緣樹脂 13 及該等佈線圖案 14、15 之除了該等外部連接端形成區域 14A、15A 之外的部分。

接下來，在圖 20 所示之製程步驟中，從該半導體基板 31 之背面拋光或研磨該半導體基板 31，以薄化該半導體基板 31。在薄化該半導體基板 31 中，可以例如使用一背面研磨設備。在薄化後，該半導體基板 31 之厚度 T_6 可以

例如是 $100\mu\text{m}$ 至 $300\mu\text{m}$ 。

然後，在圖 21 所示之製程步驟中，在該等佈線圖案 14、15 之外部連接端形成區域 14A、15A 上形成該等外部連接端 17。在此方式中，在該複數個半導體裝置形成區域 A 中形成等同該半導體裝置 10 之結構。

接下來，在圖 22 所示之製程步驟中，沿著該等切割位置 C 切割該半導體基板 31。在此方式中，完成複數個半導體裝置 10。

依據本具體例之製造方法，在該絕緣樹脂 13 之形成以覆蓋該複數個內部連接端 12 及該複數個半導體晶片 11 之形成有該等內部連接端 12 的表面（該複數個半導體晶片 11 之上表面）後，藉由在該絕緣樹脂 13 上形成打算用於該等佈線圖案 14、15 之金屬層 33，及藉由壓著此金屬層以壓接該金屬層 33 與該複數個內部連接端 12，可以不需要對齊該複數個內部連接端 12 之高度的製程及研磨該絕緣樹脂 13 以從該絕緣樹脂暴露該複數個內部連接端 12 之上部分的製程，以便可以減少製程步驟之數目，以允許該半導體裝置 10 之製造成本的降低。

（第二具體例）

圖 24 係顯示依據本發明之第二具體例之一半導體裝置之剖面圖。

參考圖 24，除了具有一非等向性導電樹脂 41 以取代在該半導體裝置 10 上所使用之絕緣樹脂 13 之外，以相似於第一具體例之半導體裝置 10 的方式配置第二具體例之一

半導體裝置 40。

至於該非等向性導電樹脂 41，可以使用一黏著性薄片型非等向性導電樹脂(亦即，ACF(非等向上導電膜))或一膠狀型非等向性導電樹脂(亦即，ACP(非等向性導電膠))等。ACP 或 ACF 係以環氧樹脂為主之絕緣樹脂，其中該以環氧樹脂為主之絕緣樹脂包含由在其中分散之鎳/金所覆蓋的小樹脂球體，以及它們係在垂直方向上具有導電率及在水平方向上具有絕緣特性之樹脂。該非等向性導電樹脂 41 之厚度 T_7 可以例如是 $10\mu\text{m}$ 至 $60\mu\text{m}$ 。

圖 25 至 27 係顯示依據本發明之第二具體例的半導體裝置之製造步驟的圖式。在圖 25 至 27 中，以相同元件符號表示相同於第二具體例之半導體裝置 40 中的任何組件。

參考圖 25 至 27，將說明依據本發明之第二具體例的半導體裝置 40 之一製造方法。首先，實施相似於在第一具體例中所說明之圖 12 至 14 中所示之製程步驟，藉此形成圖 14 所示之結構。

接下來，在圖 25 所示之製程步驟中，形成一非等向性導電樹脂 41 以覆蓋在該等內部連接端 12 及該複數個半導體晶片 11 之提供有該等內部連接端 12 的表面(該複數個半導體晶片 11 之上表面)(非等向性導電樹脂形成製程)。至於該非等向性導電樹脂，可以使用一黏著性薄片型非等向性導電樹脂(亦即，ACF(非等向性導電膜))或一膠狀型非等向性導電樹脂(亦即，ACP(非等向性導電膠))等。

當使用該膠狀型非等向性導電樹脂(亦即, ACP(非等向性導電膠))做為該非等向性導電樹脂 41 時, 藉由一印刷法形成該膠狀型非等向性導電樹脂, 以及然後, 預烤該膠狀型非等向性導電樹脂至一半硬化狀態。此半硬化狀態非等向性導電樹脂具有一做為一黏著劑之功能。該非等向性導電樹脂 41 之厚度 T_8 可以例如是 $20\mu\text{m}$ 至 $100\mu\text{m}$ 。

然後, 在圖 26 所示之製程步驟中, 在該非等向性導電樹脂 41 之上表面 41A 上形成一金屬層 33(金屬層形成製程)。更特別地, 提供一銅箔以做為該金屬層 33, 以及將此銅箔黏附至該非等向性導電樹脂 41 之上表面 41A。該金屬層 33 之厚度 T_5 可以例如是 $10\mu\text{m}$ 。

接著, 在圖 27 所示之製程步驟中, 當加熱圖 26 所示之結構時, 從該金屬層 33 之上表面 33A 壓著該金屬層 33, 以使該金屬層之下表面 33B 與該複數個內部連接端 12 之上表面 12A 接觸, 進而壓接該金屬層 33 與該等內部連接端 12(壓接製程)。並且, 藉由加熱圖 26 所示之結構, 將硬化該非等向性導電樹脂 41。在該壓接後, 該非等向性導電樹脂 41 之厚度 T_7 可以例如是 $10\mu\text{m}$ 至 $60\mu\text{m}$ 。

在此方式中, 在形成該非等向性導電樹脂 41 以覆蓋該等內部連接端 12 及該複數個半導體晶片 11 之提供有該等內部連接端 12 的表面(該複數個半導體晶片 11 之上表面)後, 藉由在該非等向性導電樹脂 41 上方形成打算用於該等佈線圖案 14、15 之金屬層 33, 以及壓著該金屬層 33 以壓接該金屬層 33 與該複數個內部連接端 12, 在壓著該

金屬層 33 時所施加之壓力可以小於使用一絕緣樹脂之情況，以便可以容易地製造該等半導體裝置 40。

之後，藉由實施相似於第一具體例所說明之圖 18 至 22 所示之製程步驟，完成該複數個半導體裝置 40。

依據本具體例之製造方法，在該非等向性導電樹脂 41 之形成以覆蓋該複數個內部連接端 12 及該複數個半導體晶片 11 之形成有該等內部連接端 12 的表面（該複數個半導體晶片 11 之上表面）後，藉由在該非等向性導電樹脂 41 上形成打算用於該等佈線圖案 14、15 之金屬層 33 及壓著此金屬層以壓接該金屬層 33 與該複數個內部連接端 12，可以不需要對齊該複數個內部連接端 12 之高度的製程及研磨該非等向性導電樹脂 41 以從該非等向性導電樹脂暴露該複數個內部連接端 12 之上部分的製程，以便可以減少製程步驟之數目，以允許該半導體裝置 40 之製造成本的降低。

再者，藉由提供該非等向性導電樹脂以取代在第一具體例之半導體裝置 10 上所提供之絕緣樹脂 13，在壓著該金屬層 33 時所施加之壓力可以比較小，因而可以容易地製造該半導體裝置 40。

（第三具體例）

圖 28 係依據本發明之第三具體例之一半導體裝置之剖面圖。

參考圖 28，除了該半導體裝置 10 之配置外還提供有連接墊 51，其它是以相似於第一具體例之半導體裝置 10 的

方式配置第三具體例之一半導體裝置 50。

該等連接墊 51 被提供於該等佈線圖案 14、15 之外部連接端形成區域 14A、15A 上。從在該防焊罩幕 16 中所形成之開口 16A、16B 暴露該等連接墊 51。在該等連接墊 51 上提供該等外部連接端 17。至於該等連接墊 51 之材料，可以使用錫、鎳、鈦之類。該等連接墊 51 之厚度可以例如是 $2\mu\text{m}$ 。

圖 29 至 34 係顯示依據本發明之第三具體例的半導體裝置之製造步驟的圖式。在圖 29 至 34 中，以相同元件符號表示相同於第三具體例之半導體裝置 50 中之任何組件。

參考圖 28 至 34，將說明依據本發明之第三具體例的半導體裝置 50 之製造方法。首先，實施相似於第一具體例中所說明之圖 12 至 15 所示的製程步驟，以形成圖 15 所示之結構。

接下來，在圖 29 所示之製程步驟中，在該絕緣樹脂 13 之上表面 13A 上連續地形成一第一金屬層 54 及一第二金屬層 55(金屬層疊合製程)。該第一金屬層 54 係將藉由蝕刻來圖案化以構成該等佈線圖案 14、15 之金屬層。並且，當蝕刻該第二金屬層 55 時，該第一金屬層做為一蝕刻中止層。該第二金屬層 55 係將藉由蝕刻來圖案化以構成該等連接墊 51 之金屬層。

當使用例如一錫層、一鎳層或一鈦層做為該第二金屬層 55 時，可以使用一銅層之類做為該第一金屬層 54。更特別地，藉由在該絕緣樹脂 13 之上表面 13A 上方黏附一薄

片狀金屬箔(其中在一銅箔(等同於該第一金屬層)上疊合一錫層(等同於該第二金屬層))以形成該第一及第二金屬層。該第一金屬層 54 之厚度 T_9 可以例如是 $10\mu\text{m}$ ，該第二金屬層 55 之厚度 T_{10} 可以例如是 $2\mu\text{m}$ 。

然後，在圖 30 所示之製程步驟中，當加熱圖 29 所示之結構時，壓著該第二金屬層 55 以使該第一金屬層 54 之上表面 54A 與該複數個內部連接端 12 之上表面 12A 接觸，藉此壓接該第一金屬層 54 與該等內部連接端 12(壓接製程)。並且，藉由加熱圖 29 所示之結構，將硬化該絕緣樹脂 13。在該壓接後，該絕緣樹脂 13 之厚度 T_2 可以例如是 $10\mu\text{m}$ 至 $60\mu\text{m}$ 。

在此方式中，藉由壓著該第二金屬層 55 以壓接該第一金屬層 54 與該複數個內部連接端 12，可以不需要對齊該複數個內部連接端之高度的製程及研磨該絕緣樹脂 13 以從該絕緣樹脂暴露該複數個內部連接端 12 之上部分的製程，以及因而可以減少製程步驟之數目，以允許該半導體裝置 50 之製造成本的降低。

接著，在圖 31 所示之製程步驟中，藉由蝕刻來圖案化該第二金屬層 55，以在該第一金屬層 54 上方之對應於該等外部連接端形成區域 14A、15A 的部分中形成連接墊 51(連接墊形成製程)。更特別地，在該第二金屬層 55 上方形成一圖案化光阻膜，以及藉由使用此光阻膜做為一罩幕，以非等向性蝕刻來蝕刻該第二金屬層 55，藉此形成該等連接墊 51。

在此時，該第一金屬層 54 在該第二金屬層 55 之蝕刻期間做為一蝕刻中止層，以便可以防止該絕緣樹脂 13 被蝕刻。

然後，在圖 32 所示之製程步驟中，在圖 31 所示之結構上方形成一圖案化光阻膜 57。該光阻膜 57 係一在蝕刻該第一金屬層 54 以形成該等佈線圖案 14、15 時所使用之罩幕。

接下來，在圖 33 所示之製程步驟中，藉由使用該光阻膜 57 做為該罩幕，蝕刻該第一金屬層 54，以形成該等佈線圖案 14、15(佈線圖案形成製程)。

然後，在圖 34 所示之製程步驟中，去除該光阻膜 57。之後，藉由實施相似於第一具體例所說明之圖 20 至 22 所示的製程步驟，完成複數個半導體裝置 50。

依據本具體例之半導體裝置的製造方法，在該絕緣樹脂 13 之形成以覆蓋該複數個內部連接端 12 及該複數個半導體晶片 11 之形成有該等內部連接端 12 的表面(該複數個半導體晶片 11 之上表面)後，藉由在該絕緣樹脂 13 上方連續地形成打算用於該等佈線圖案 14、15 之第一金屬層 54 及打算用於該等連接墊 51 之第二金屬層 55 以及壓著該第二金屬層 55 以壓接該第一金屬層 54 與該複數個內部連接端 12，可以不需要對齊該複數個內部連接端 12 之高度的製程及研磨該絕緣樹脂 13 以從該絕緣樹脂暴露該複數個內部連接端 12 之上部分的製程，以便可以減少製程步驟之數目，以允許該半導體裝置 50 之製造成本的降低。

在該半導體裝置 50 之具體例中，說明在該等佈線圖案 14、15 與該等半導體晶片 11 間提供有該絕緣樹脂 13，然而，可以使用依據第二具體例所說明之非等向性導電樹脂 41 以取代該絕緣樹脂 13。在此情況中，可以獲得相似於由依據第二具體例之半導體裝置 40 的製造方法所獲得之效果。

圖 35 至 37 顯示依據本發明之第三具體例之半導體裝置之製造方法的一修改版本。在圖 35 至 37 中，以相同元件符號表示相同於圖 29 所示之半導體裝置中之任何組件。

參考圖 35 至 37，將說明依據本發明之第三具體例之半導體裝置 50 之製造方法的一修改版本。首先，藉由實施相同於第一具體例所說明之圖 12 至 15 所示之製程步驟，形成圖 15 所示之結構。

接下來，在圖 35 所示之製程步驟中，在該絕緣樹脂 13 之上表面 13A 上連續地形成一第一金屬層 54、一第二金屬層 55 及一保護層 61(層疊合製程)。該保護層 61 係一用以保護該第二金屬層 55 之層。使用一具有低黏著力之黏著劑，將該保護層 61 黏附至該第二金屬層 55。於是，該保護層 61 係配置成易於從該第二金屬層 55 剝除。至於該保護膜 61，可以例如使用一銅箔。此外，該保護膜 61 之厚度 T_{11} 可以例如是 $35\mu\text{m}$ 至 $100\mu\text{m}$ 。

然後，在圖 36 所示之製程步驟中，當加熱圖 35 所示之結構時，壓著該保護層 61 以使該第一金屬層 54 之下表面 54A 與該複數個內部連接端 12 之上表面 12A 接觸，藉此

壓接該第一金屬層 54 及該等內部連接端 12(壓接製程)。並且，藉由加熱圖 35 所示之結構，將硬化該絕緣樹脂 13。在該壓接後，該絕緣樹脂 13 之厚度 T_2 可以例如是 $10\mu\text{m}$ 至 $60\mu\text{m}$ 。

在此方式中，藉由壓著在該第二金屬層 55 上所提供之保護層 61 以壓接該第一金屬層 54(將構成該等佈線圖案 14、15)與該複數個內部連接端 12，可以防止具有小厚度之第二金屬層被毀損。

接下來，在圖 37 所示之製程步驟中，去除該保護層 61(保護層去除製程)。之後，藉由實施相似於圖 31 至 34 所說明之製程步驟，以及然後實施相似於第一具體例之圖 20 至 22 所說明之製程步驟，完成複數個半導體裝置 50。

依據該半導體裝置之製造方法的本具體例之此修改版本，藉由在該第二金屬層 55 上形成該保護層 61，以及藉由壓著此保護層 61 以壓接打算用於該等佈線圖案 14、15 之第一金屬層 54 與該複數個內部連接端 12，可以防止具有小厚度之第二金屬層被毀損。

(第四具體例)

圖 38 係依據本發明之第四具體例之一半導體裝置之剖面圖。

參考圖 38，除了具有一封裝樹脂 72 以取代該防焊罩幕 16 且同時進一步包括金屬柱 71 之外，以相似於第三具體例之半導體裝置 50 的方式配置第四具體例之半導體裝置 70。

該等金屬柱 71 被提供於該等連接墊 51 上方。該等金屬柱 71 之側邊被該封裝樹脂 72 所覆蓋。從該封裝樹脂 72 暴露該等金屬柱 71 之上表面 71A。該等金屬柱 71 之上表面 71A 大約與該封裝樹脂 72 之上表面 72A 齊平。在該等金屬柱 71 之上表面 71A 上，提供該等外部連接端 17。

該等金屬柱 71 電性連接至該等外部連接端 17 及該等連接墊 51。該等金屬柱 71 具有一可減輕該等外部連接端 17 在連接至一安裝板(未顯示)(例如：一母板)時所可能遭受之應力(力)的功能。至於該等金屬柱 71 之材料，可以例如使用銅。該等金屬柱 71 之高度 H_2 可以是 $50\mu\text{m}$ 至 $100\mu\text{m}$ 。

該封裝樹脂 72 被提供於該絕緣樹脂 13 上，以便覆蓋該等佈線圖案 14、15、該等連接墊 51 及該等金屬柱 71 之側邊。至於該封裝樹脂 72，可以例如使用一藉由一轉注成型法或一壓縮成型法所形成之環氧樹脂。

圖 39 至 49 係顯示依據本發明之第四具體例的半導體裝置之製造步驟的圖式。在圖 39 至 49 中，以相同元件符號表示相同於圖 35 所示之結構中的任何組件。

參考圖 39 至 49，將說明第四具體例之半導體裝置 70 的一製造方法。首先，實施相似於第一具體例所說明之圖 12 至 15 所示之製程步驟，以形成圖 15 所示之結構。

接下來，在圖 39 所示之製程步驟中，在該絕緣樹脂 13 之上表面 13A 上連續地形成一第一金屬層 54、一第二金屬層 55 及一第三金屬層 74(金屬層疊合製程)。該第三金屬層 74 係一用以保護該第二金屬層 55 之層。當蝕刻該第

二金屬層 55 以構成連接墊 51 時，該第一金屬層 54 做為一蝕刻中止層。至於該第一金屬層 54 之材料，可以例如使用銅。該第一金屬層 54 之厚度 T_9 可以例如是 $10\mu\text{m}$ 。

當蝕刻該第三金屬層 74 以構成該等金屬柱 71 時，該第二金屬層 55 做為一蝕刻中止層。至於該第二金屬層 55 之材料，可以例如使用錫、鎳或鈦。該第二金屬層 55 之厚度 T_{10} 可以例如是 $2\mu\text{m}$ 。

該第三金屬層 74 係一在藉由蝕刻來圖案化後構成該等金屬柱 71 之金屬層。至於該第三金屬層 74 之材料，可以例如使用銅。該第三金屬層 74 之厚度 T_{12} 可以例如是 $50\mu\text{m}$ 至 $100\mu\text{m}$ 。

例如：藉由在該絕緣樹脂 13 之上表面 13A 上方黏附一藉由疊合一銅箔（等同於該第一金屬層 54）、一錫層（等同於該第二金屬層 55）及另一銅箔（等同於該第三金屬層 74）所構成之薄片型金屬箔，以形成該第一至第三金屬層 54、55、74。

接下來，在圖 40 所示之製程步驟中，當加熱圖 39 所示之結構時，壓著該第三金屬層 74，以使該第一金屬層 54 之下表面 54A 與該複數個內部連接端 12 之上表面 12A 接觸，進而壓接該第一金屬層 54 與該等內部連接端 12（壓接製程）。並且，藉由加熱圖 39 所示之結構，將硬化該絕緣樹脂 13。在該壓接後，該絕緣樹脂 13 之厚度 T_2 可以例如是 $10\mu\text{m}$ 至 $60\mu\text{m}$ 。

在此方式中，在該絕緣樹脂 13 之形成以覆蓋該複數個

內部連接端 12 及該複數個半導體晶片 11 之提供有該等內部連接端 12 的表面後，藉由在該絕緣樹脂 13 上連續地形成打算用於該等佈線圖案 14、15 之第一金屬層 54、該第二金屬層 55 及該第三金屬層 74 以及壓著該第三金屬層 74 以壓接該第一金屬層 54 與該複數個內部連接端 12，可以不需要對齊該複數個內部連接端 12 之高度的製程及研磨該絕緣樹脂 13 以從該絕緣樹脂 13 暴露該複數個內部連接端 12 之部分的製程，以便可以減少製程步驟之數目，以允許該半導體裝置 70 之製造成本的降低。

然後，在圖 41 所示之製程步驟中，在該第三金屬層 74 之對應於該等金屬柱 71 形成區域的部分上方形成一圖案化光阻膜 76。接著，在圖 42 所示之製程步驟中，使用該光阻膜 76 做為一罩幕，蝕刻該第三金屬層 74，以在該光阻膜 76 下方之部分中形成該等金屬柱 71(金屬柱形成製程)。

在此時，當蝕刻該第三金屬層 74 時，該第二金屬層 55 做為一蝕刻中止層，以便當蝕刻該第三金屬層 74 時，防止該第二金屬層 55 之蝕刻。

接下來，在圖 43 所示製程步驟中，使用該光阻膜 76 做為一罩幕，蝕刻該第二金屬層 55 以形成連接墊 51(連接墊形成製程)。

在此時，當蝕刻該第二金屬層 55 時，該第一金屬層 54 做為一蝕刻中止層，以便當蝕刻該第二金屬層 55 時，防止該第一金屬層 54 之蝕刻。

然後，在圖 44 所示之製程步驟中，去除該光阻膜 76。接著，在圖 45 所示之製程步驟中，在該圖 44 所示之結構上方形成一圖案化光阻膜 78。該光阻膜 78 係一用以藉由蝕刻該第一金屬層 54 以形成該等佈線圖案 14、15 之罩幕。

接下來，在圖 46 所示之製程步驟中，使用該光阻膜 78 做為一罩幕，蝕刻該第一金屬層，以形成該等佈線圖案 14、15(佈線圖案形成製程)。然後，在圖 47 所示之製程步驟中，去除該光阻膜 78。

接著，在圖 48 所示之製程步驟中，形成一封裝樹脂 72，以便覆蓋圖 47 所示之結構的上表面。例如可以藉由一轉注成型法或一壓縮成型法形成該封裝樹脂 72。至於該封裝樹脂 72，可以例如使用一環氧樹脂。

然後，在圖 49 所示之製程步驟中，去除該封裝樹脂 72 之過多部分，以使該等金屬柱 71 之上表面 71A 與該封裝樹脂 72 之上表面 72A 大致齊平。更特別地，藉由例如電漿灰化去除該封裝樹脂 72 之過多部分。

之後，藉由實施相似於第一具體例所說明之圖 20 至 22 所示之製程步驟，完成複數個半導體裝置 70。

依據該半導體裝置之製造方法的具體例，在該絕緣樹脂 13 之形成以覆蓋該複數個內部連接端 12 及該複數個半導體晶片 11 之形成有該等內部連接端 12 的表面後，藉由在該絕緣樹脂 13 上方連續地形成打算用於該等佈線圖案 14、15 之第一金屬層 54、該第二金屬層 55 及該第三金屬層 74，以及壓著該第三金屬層 74 以壓接該第一金屬層 54

與該複數個內部連接端 12，可以不需要對齊該複數個內部連接端 12 之高度的製程及研磨該絕緣樹脂 13 以從該絕緣樹脂 13 暴露該複數個內部連接端 12 之部分的製程，以便可以減少製程步驟之數目，以允許該半導體裝置 70 之製造成本的降低。

再者，藉由在該等外部連接端 17 與該等連接墊 51 間形成該等金屬柱 71，可以減輕對該等外部連接端 17 所施加之應力(力)。

本具體例之半導體裝置 70 被描述成在該等佈線圖案 14、15 與該等半導體晶片 11 間形成有該絕緣樹脂 13，然而，可以提供在第二具體例中所述之非等向性導電樹脂 41 以取代該絕緣樹脂 13。在此情況中，可以獲得相似於依據第二具體例之半導體裝置 40 的製造方法所獲得之效果。

在每一具體例中，如果該半導體基板係為一具有 8 吋直徑之晶圓，則在該壓接製程中藉由在 150°C 至 200°C 下施加 11,000 公斤或更大之壓力來實現本發明之目的。

雖然在此以前已說明本發明之較佳具體例，但是本發明並非侷限於任何所揭露之特定具體例，以及在所述請求項之範圍及精神內可以允許各種變更及修改。

本發明可應用至一從平面圖觀看時具有一尺寸大致相同於一半導體晶片之尺寸的半導體裝置之製造方法，其中該半導體晶片被覆晶接合至一佈線圖案。

【圖式簡單說明】

圖 1 係一傳統半導體裝置之剖面圖。

圖 2 顯示該傳統半導體裝置之一製程步驟(第一)。

圖 3 顯示該傳統半導體裝置之一製程步驟(第二)。

圖 4 顯示該傳統半導體裝置之一製程步驟(第三)。

圖 5 顯示該傳統半導體裝置之一製程步驟(第四)。

圖 6 顯示該傳統半導體裝置之一製程步驟(第五)。

圖 7 顯示該傳統半導體裝置之一製程步驟(第六)。

圖 8 顯示該傳統半導體裝置之一製程步驟(第七)。

圖 9 顯示該傳統半導體裝置之一製程步驟(第八)。

圖 10 顯示該傳統半導體裝置之一製程步驟(第九)。

圖 11 係依據本發明之第一具體例之一半導體裝置之剖面圖。

圖 12 顯示依據本發明之第一具體例之半導體裝置之一製程步驟(第一)。

圖 13 顯示依據本發明之第一具體例之半導體裝置之一製程步驟(第二)。

圖 14 顯示依據本發明之第一具體例之半導體裝置之一製程步驟(第三)。

圖 15 顯示依據本發明之第一具體例之半導體裝置之一製程步驟(第四)。

圖 16 顯示依據本發明之第一具體例之半導體裝置之一製程步驟(第五)。

圖 17 顯示依據本發明之第一具體例之半導體裝置之一製程步驟(第六)。

圖 18 顯示依據本發明之第一具體例的半導體裝置之一製程步驟(第七)。

圖 19 顯示依據本發明之第一具體例的半導體裝置之一製程步驟(第八)。

圖 20 顯示依據本發明之第一具體例的半導體裝置之一製程步驟(第九)。

圖 21 顯示依據本發明之第一具體例的半導體裝置之一製程步驟(第十)。

圖 22 顯示依據本發明之第一具體例的半導體裝置之一製程步驟(第十一)。

圖 23 係一半導體基板之平面圖。

圖 24 係依據本發明之第二具體例的一半導體裝置之剖面圖。

圖 25 顯示依據本發明之第二具體例的半導體裝置之一製造步驟(第一)。

圖 26 顯示依據本發明之第二具體例的半導體裝置之一製造步驟(第二)。

圖 27 顯示依據本發明之第二具體例的半導體裝置之一製造步驟(第三)。

圖 28 係依據本發明之第三具體例的一半導體裝置之剖面圖。

圖 29 顯示依據本發明之第三具體例的半導體裝置之一製造步驟(第一)。

圖 30 顯示依據本發明之第三具體例的半導體裝置之一

製造步驟(第二)。

圖 31 顯示依據本發明之第三具體例的半導體裝置之一製造步驟(第三)。

圖 32 顯示依據本發明之第三具體例的半導體裝置之一製造步驟(第四)。

圖 33 顯示依據本發明之第三具體例的半導體裝置之一製造步驟(第五)。

圖 34 顯示依據本發明之第三具體例的半導體裝置之一製造步驟(第六)。

圖 35 顯示依據本發明之第三具體例的一修改版本之半導體裝置的一製造步驟(第一)。

圖 36 顯示依據本發明之第三具體例的修改版本之半導體裝置的一製造步驟(第二)。

圖 37 顯示依據本發明之第三具體例的修改版本之半導體裝置的一製造步驟(第三)。

圖 38 係依據本發明之第四具體例的一半導體裝置之剖面圖。

圖 39 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第一)。

圖 40 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第二)。

圖 41 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第三)。

圖 42 顯示依據本發明之第四具體例的半導體裝置之一

製程步驟(第四)。

圖 43 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第五)。

圖 44 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第六)。

圖 45 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第七)。

圖 46 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第八)。

圖 47 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第九)。

圖 48 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第十)。

圖 49 顯示依據本發明之第四具體例的半導體裝置之一製程步驟(第十一)。

【主要元件符號說明】

10	半導體裝置
11	半導體晶片
12	內部連接端
12A	內部連接端 12 之上表面
13	絕緣樹脂
13A	絕緣樹脂 13 之上表面
14	佈線圖案
14A	外部連接端形成區域

- 15 佈線圖案
- 15A 外部連接端形成區域
- 16 防焊罩幕
- 16A 開口
- 16B 開口
- 17 外部連接端
- 21 半導體基板
- 22 半導體積體電路
- 23 電極墊
- 24 保護膜
- 31 半導體基板 31
- 33 金屬層
- 33A 金屬層 33 之上表面
- 33B 金屬層 33 之下表面
- 40 半導體裝置
- 41 非等向性導電樹脂
- 41A 非等向性導電樹脂 41 之上表面
- 50 半導體裝置
- 51 連接墊
- 54 第一金屬層
- 54A 第一金屬層 54 之下表面
- 55 第二金屬層
- 57 圖案化光阻膜
- 61 保護層

- 70 半導體裝置
- 71 金屬柱
- 71A 金屬柱 71 之上表面
- 72 封裝樹脂
- 72A 封裝樹脂 72 之上表面
- 74 第三金屬層
- 76 圖案化光阻膜
- 78 圖案化光阻膜
- 100 傳統半導體裝置
- 101 半導體晶片
- 102 內部連接端
- 102A 內部連接端 102 之上表面
- 103 樹脂層
- 103A 樹脂層 103 之上表面
- 104 佈線圖案
- 104A 外部連接端形成區域
- 106 防焊罩幕
- 107 外部連接端
- 110 半導體基板
- 111 半導體積體電路
- 112 電極墊
- 113 保護膜
- A 半導體裝置形成區域
- B 劃線區域

C	切割位置
H ₁	內部連接端 12 之高度
H ₂	金屬柱 71 之高度
T ₁	半導體基板 21 之厚度
T ₂	絕緣樹脂 13 之厚度
T ₃	半導體基板 31 之厚度
T ₄	絕緣樹脂 13 之厚度
T ₅	金屬層 33 之厚度
T ₆	半導體基板 31 之厚度
T ₇	非等向性導電樹脂 41 之厚度
T ₈	非等向性導電樹脂 41 之厚度
T ₉	第一金屬層 54 之厚度
T ₁₀	第二金屬層 55 之厚度
T ₁₁	保護膜 61 之厚度
T ₁₂	第三金屬層 74 之厚度

五、中文發明摘要：

本發明係有關於一種半導體裝置之製造方法，該半導體裝置在從一平面圖觀看時具有一大約相同於一半導體晶片之尺寸，其中該半導體晶片係覆晶接合至一佈線圖案，以及本發明之一目的提供該半導體裝置之製造方法，其允許減少製程步驟之數目，以實現製造成本之最小化。形成一絕緣樹脂 13，以覆蓋複數個內部連接端 12 及複數個半導體晶片 11 之提供有該複數個內部連接端的表面，然後，在該絕緣樹脂 13 上方形成一用以形成一佈線圖案之金屬層 33，以及藉由壓著該金屬層 33 以壓接該金屬層 33 與該複數個內部連接端 12。

六、英文發明摘要：

The present invention relates to a manufacturing method of a semiconductor device having a size approximately same as the size of a semiconductor chip when viewed in a plan view, in which the semiconductor chip is flip-chip bonded to a wiring pattern, and an object of the invention is to provide the manufacturing method of a semiconductor device which allows reduction in the number of process steps to realize the minimization of manufacturing cost. An insulating resin 13 is formed so as to cover a plurality of internal connection terminals 12 and a surface of a plurality of semiconductor chips 11 on which the plurality of internal connection terminals are provided, then a metal layer 33 for forming a wiring pattern is formed over the insulating resin 13, and by pressing the metal layer 33, the metal layer 33 and the plurality of internal connection terminals 12 are pressure-bonded.

十、申請專利範圍：

1. 一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一絕緣樹脂形成製程，用以形成一絕緣樹脂以覆蓋該等內部連接端及提供有該等內部連接端的該複數個半導體晶片之 1 表面；

一金屬層形成製程，用以在該絕緣樹脂上形成一金屬層；

一壓接製程，用以藉由壓著該金屬層以壓接該金屬層與該等內部連接端；以及

一佈線圖案形成製程，用以在該壓接製程後，藉由蝕刻該金屬層以形成該等佈線圖案。

2. 一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一絕緣樹脂形成製程，用以形成一絕緣樹脂以覆蓋該等內部連接端及提供有該等內部連接端的該複數個半導體晶片之 1 表面；

一金屬層疊合製程，用以在該絕緣樹脂上連續地疊合一

第一金屬層及一第二金屬層；

一壓接製程，用以藉由壓著該第二金屬層以壓接該第一金屬層與該等內部連接端；

一連接墊形成製程，用以在該壓接製程後，藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

3. 如申請專利範圍第 2 項之半導體裝置之製造方法，其中

該第一金屬層係一用以蝕刻該第二金屬層之蝕刻中止層。

4. 一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一絕緣樹脂形成製程，用以形成一絕緣樹脂以覆蓋該等內部連接端及提供有該等內部連接端的該複數個半導體晶片之 1 表面；

一層疊合製程，用以在該絕緣樹脂上連續地疊合一第一金屬層、一第二金屬層及一用以保護該第二金屬層之保護層；

一壓接製程，用以在該層疊合製程後，藉由壓著該保護層以壓接該第一金屬層與該等內部連接端；

一保護層去除製程，用以在該壓接製程後，去除該保護層；

一連接墊形成製程，用以藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

5. 如申請專利範圍第 4 項之半導體裝置之製造方法，其中

該第一金屬層係一用以蝕刻該第二金屬層之蝕刻中止層。

6. 一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一絕緣樹脂形成製程，用以形成一絕緣樹脂以覆蓋該等內部連接端及提供有該等內部連接端的該複數個半導體晶片之 1 表面；

一金屬層疊合製程，用以在該絕緣樹脂上連續地疊合一第一金屬層、一第二金屬層及一第三金屬層；

一壓接製程，用以藉由壓著該第三金屬層以壓接該第一金屬層與該等內部連接端；

一金屬柱形成製程，用以在該壓接製程後，藉由蝕刻該第三金屬層以形成金屬柱；

一連接墊形成製程，用以藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

7. 如申請專利範圍第 6 項之半導體裝置之製造方法，其中

該第二金屬層係一用以蝕刻該第三金屬層之蝕刻中止層。

8. 如申請專利範圍第 6 項之半導體裝置之製造方法，其中

該第一金屬層係一用以蝕刻該第二金屬層之蝕刻中止層。

9. 一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一非等向性導電樹脂形成製程，用以形成一非等向性導電樹脂以覆蓋該等內部連接端及提供有該等內部連接端的該複數個半導體晶片之 1 表面；

一金屬層形成製程，用以在該非等向性導電樹脂上形成一金屬層；

一壓接製程，用以藉由壓著該金屬層以壓接該金屬層與該等內部連接端；以及

一佈線圖案形成製程，用以在該壓接製程後，藉由蝕刻該金屬層以形成該等佈線圖案。

10. 一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一非等向性導電樹脂形成製程，用以形成一非等向性導電樹脂以覆蓋該等內部連接端及提供有該等內部連接端的該複數個半導體晶片之 1 表面；

一金屬層疊合製程，用以在該非等向性導電樹脂上連續地疊合一第一金屬層及一第二金屬層；

一壓接製程，用以藉由壓著該第二金屬層以壓接該第一金屬層與該等內部連接端；

一連接墊形成製程，用以在該壓接製程後，藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

11. 如申請專利範圍第 10 項之半導體裝置之製造方法，其中

該第一金屬層係一用以蝕刻該第二金屬層之蝕刻中止層。

12. 一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半

導體晶片具有電極墊；在該等電極墊上所提供之內部連接端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一非等向性導電樹脂形成製程，用以形成一非等向性導電樹脂以覆蓋該等內部連接端及提供有該等內部連接端的該複數個半導體晶片之 1 表面；

一層疊合製程，用以在該非等向性導電樹脂上連續地疊合一第一金屬層、一第二金屬層及一用以保護該第二金屬層之保護層；

一壓接製程，用以在該層疊合製程後，藉由壓著該保護層以壓接該第一金屬層與該等內部連接端；

一保護層去除製程，用以在該壓接製程後，去除該保護層；

一連接墊形成製程，用以藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

13. 如申請專利範圍第 12 項之半導體裝置之製造方法，其中

該第一金屬層係一用以蝕刻該第二金屬層之蝕刻中止層。

14. 一種半導體裝置之製造方法，該半導體裝置包括一上面形成有複數個半導體晶片之半導體基板，該複數個半導體晶片具有電極墊；在該等電極墊上所提供之內部連接

端；以及連接至該等內部連接端之佈線圖案，

該方法包括：

一非等向性導電樹脂形成製程，用以形成一非等向性導電樹脂以覆蓋該等內部連接端及提供有該等內部連接端的該複數個半導體晶片之 1 表面；

一金屬層疊合製程，用以在該非等向性導電樹脂上連續地疊合一第一金屬層、一第二金屬層及一第三金屬層；

一壓接製程，用以藉由壓著該第三金屬層以壓接該第一金屬層與該等內部連接端；

一金屬柱形成製程，用以在該壓接製程後，藉由蝕刻該第三金屬層以形成金屬柱；

一連接墊形成製程，用以藉由蝕刻該第二金屬層以形成連接墊；以及

一佈線圖案形成製程，用以藉由蝕刻該第一金屬層以形成該等佈線圖案。

15. 如申請專利範圍第 14 項之半導體裝置之製造方法，其中

該第二金屬層係一用以蝕刻該第三金屬層之蝕刻中止層。

16. 如申請專利範圍第 14 項之半導體裝置之製造方法，其中

該第一金屬層係一用以蝕刻該第二金屬層之蝕刻中止層。

十一、圖式：

圖 1

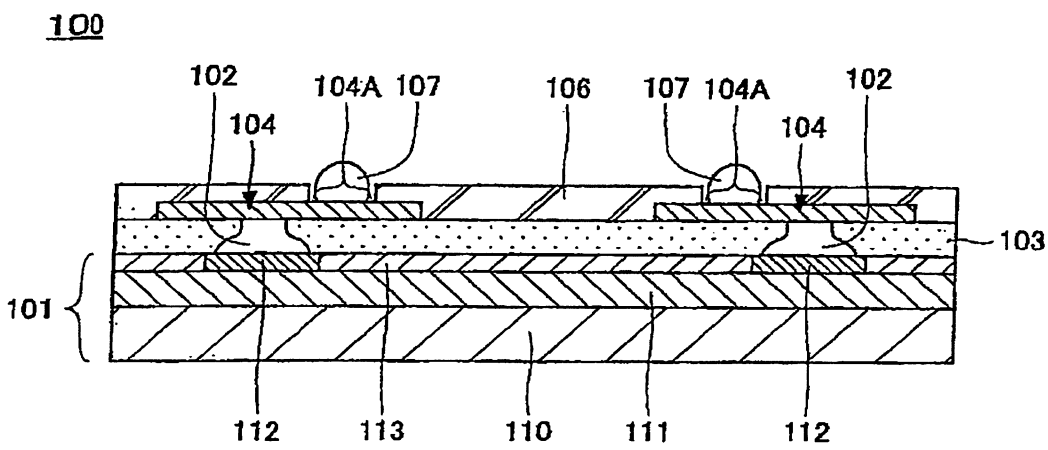


圖 2

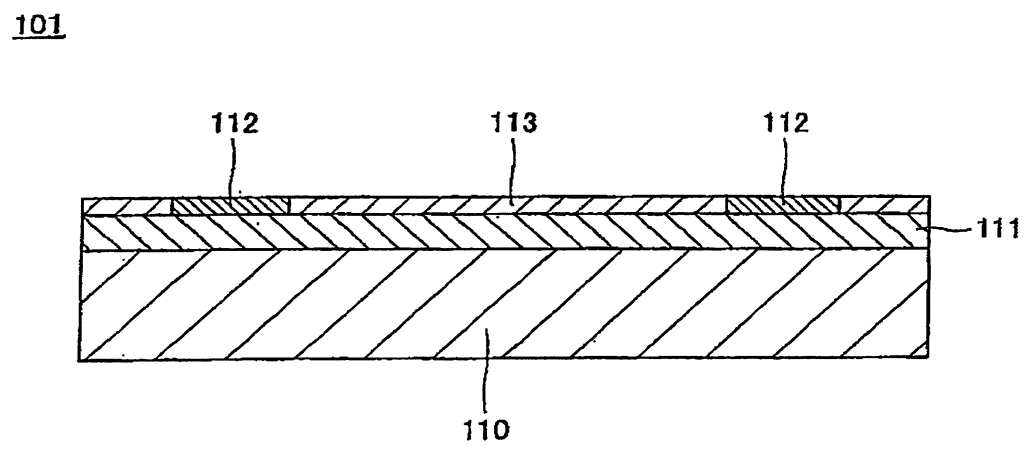


圖 3

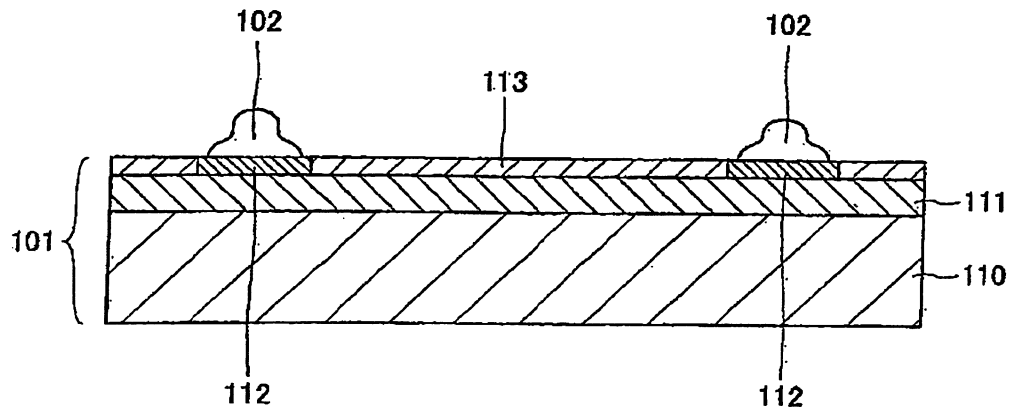


圖 4

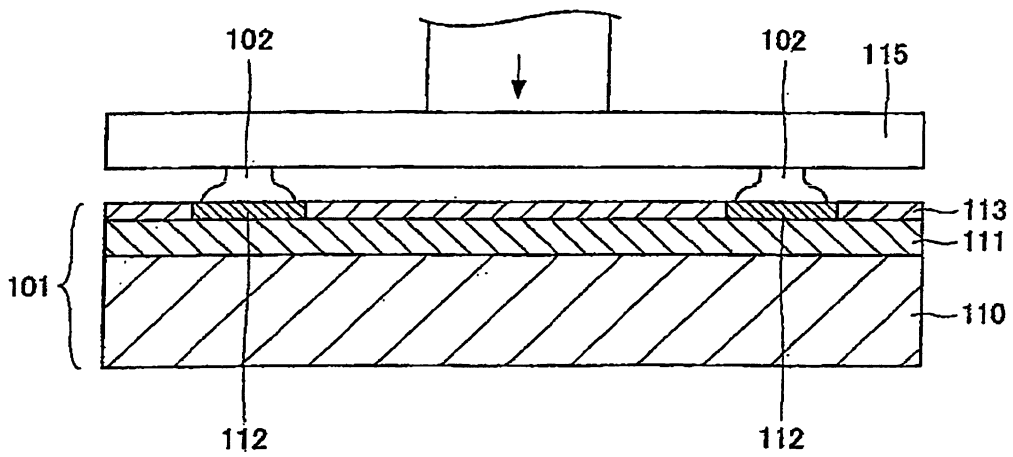


圖 5

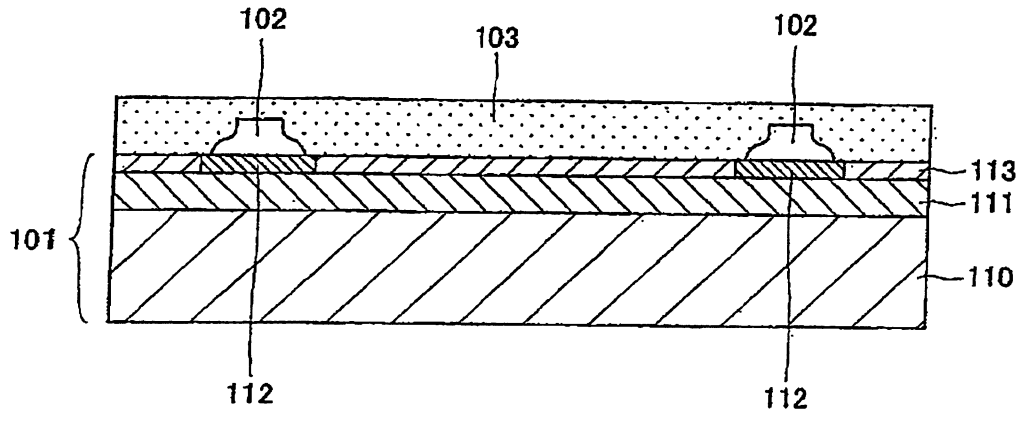


圖 6

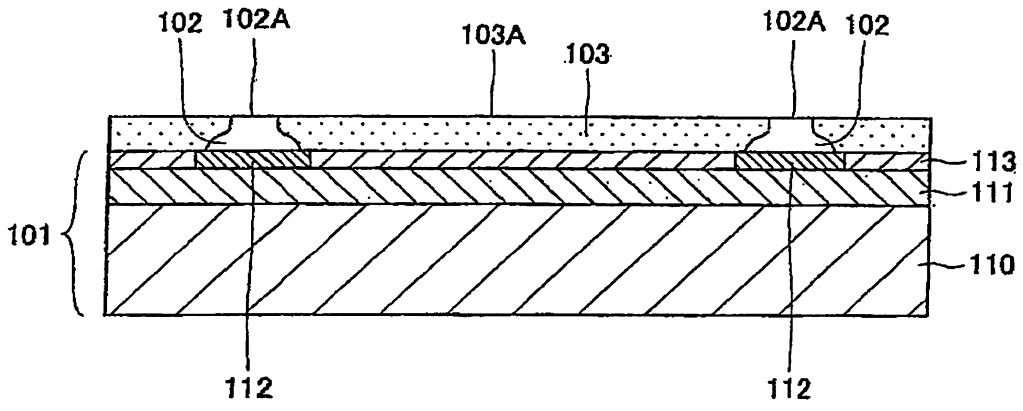


圖 7

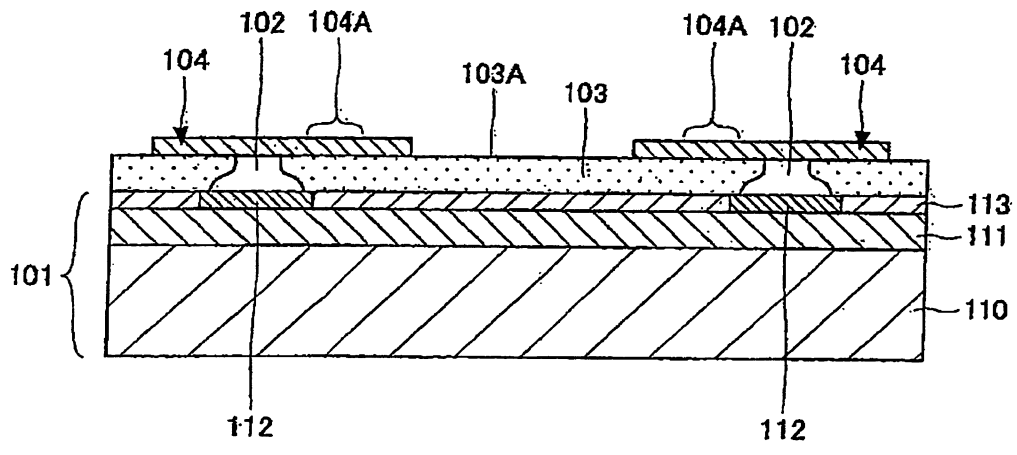


圖 8

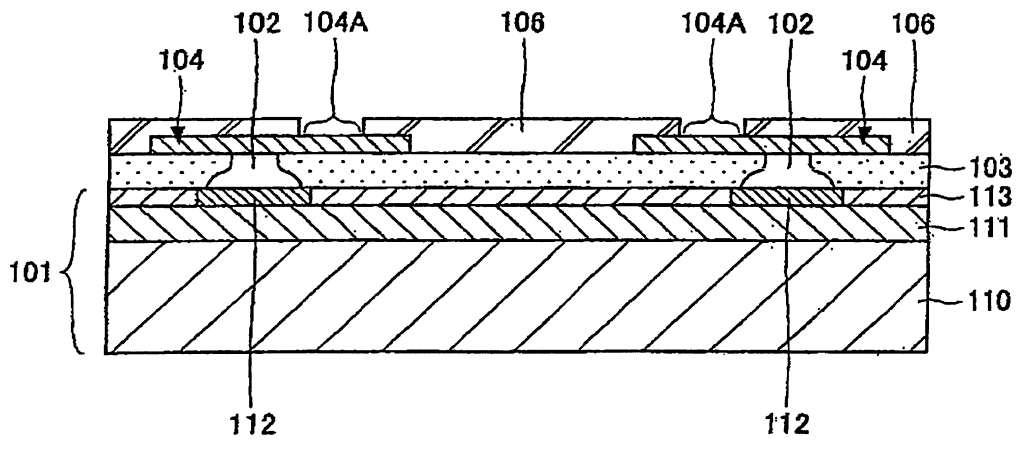


圖 9

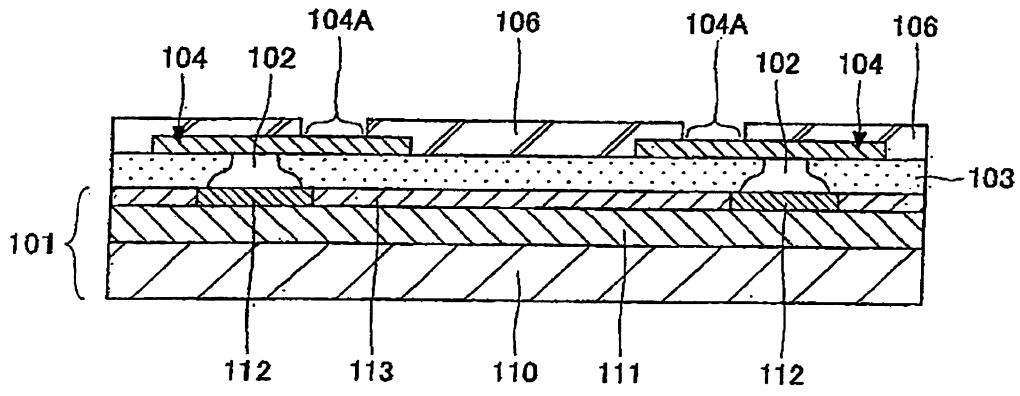


圖 10

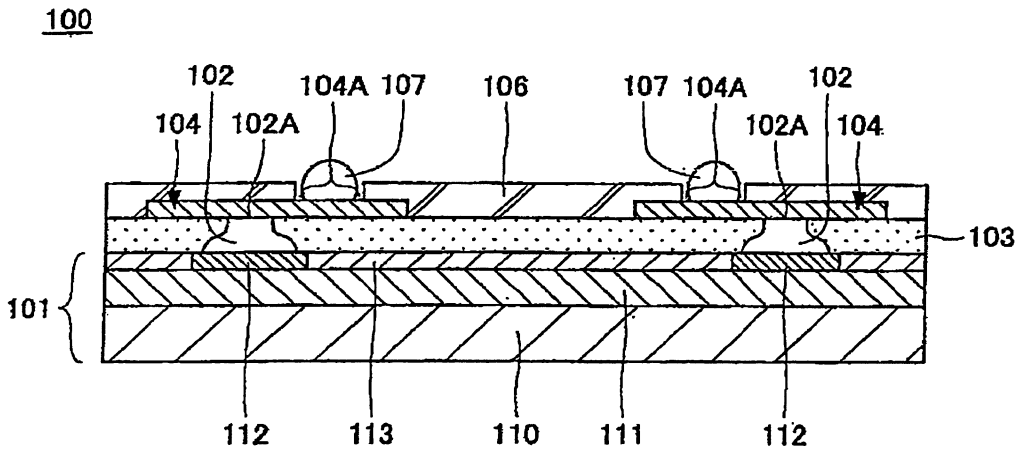


圖 11

10

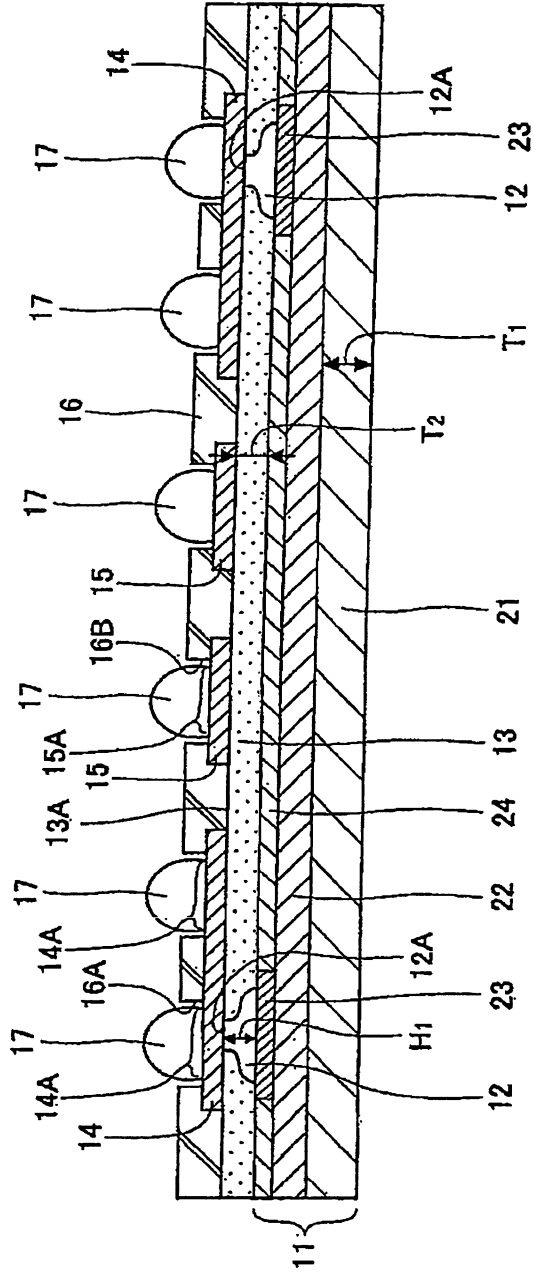


圖 12

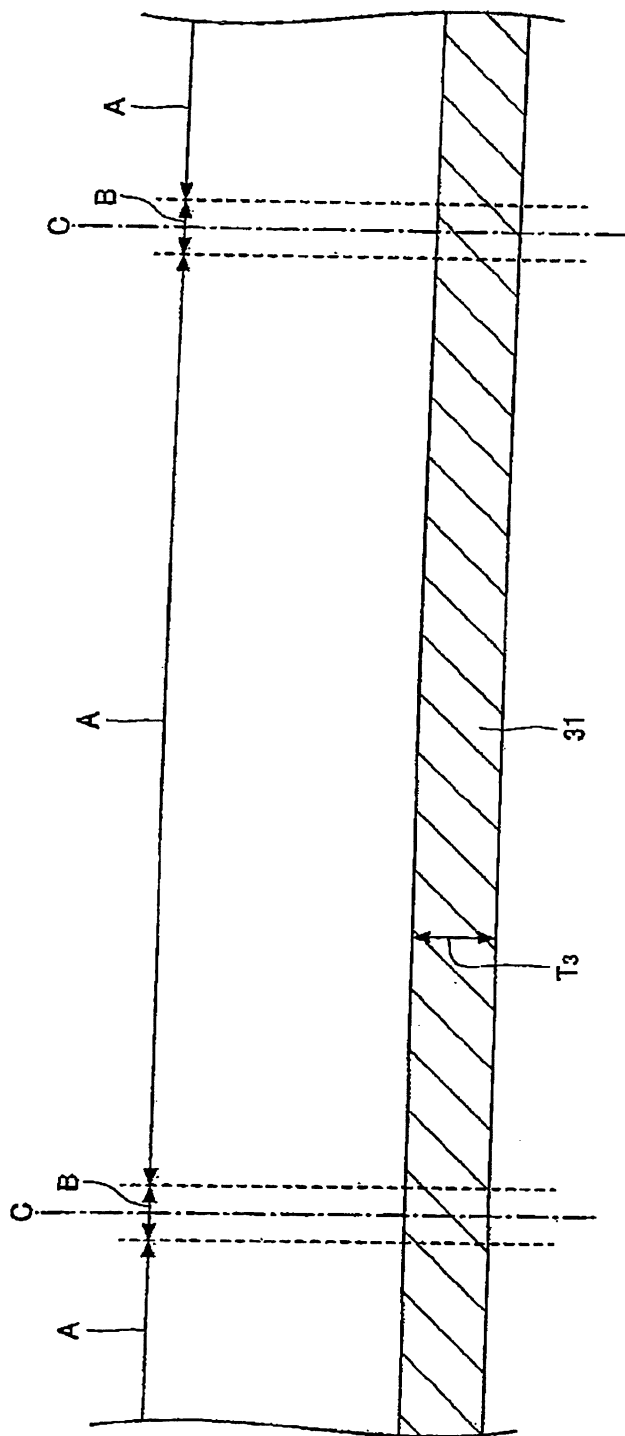


圖 13

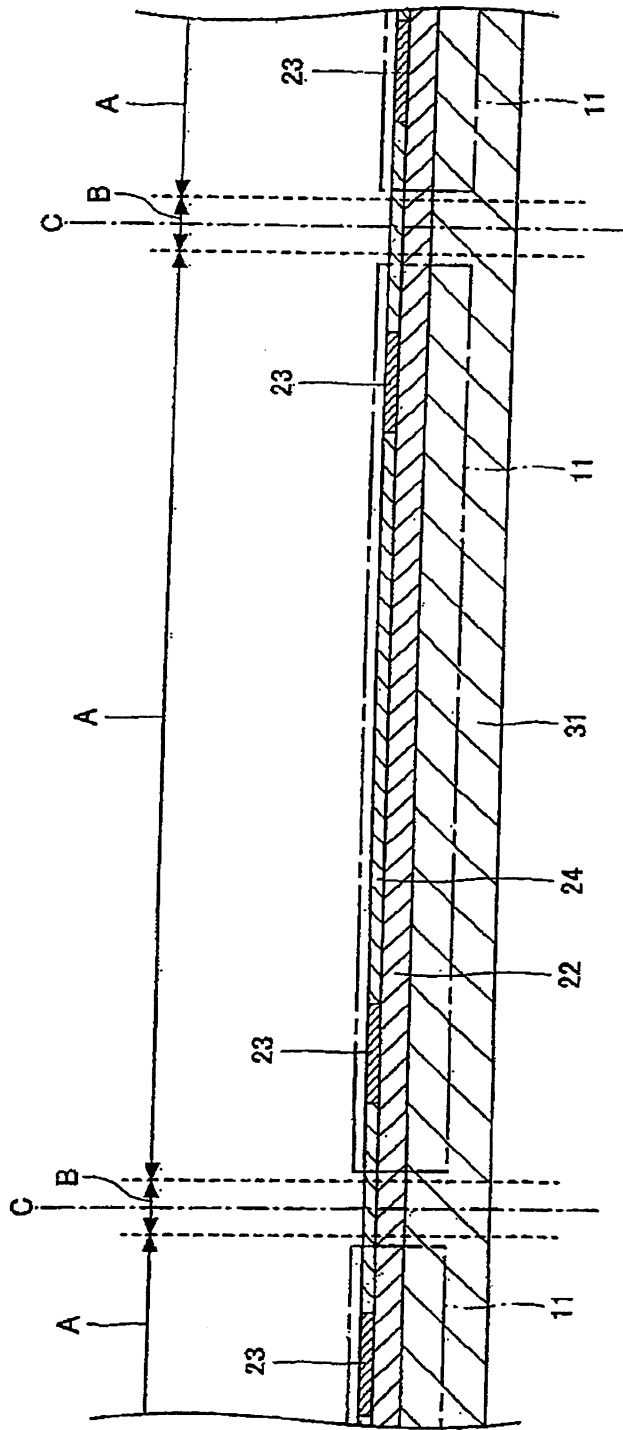


圖 14

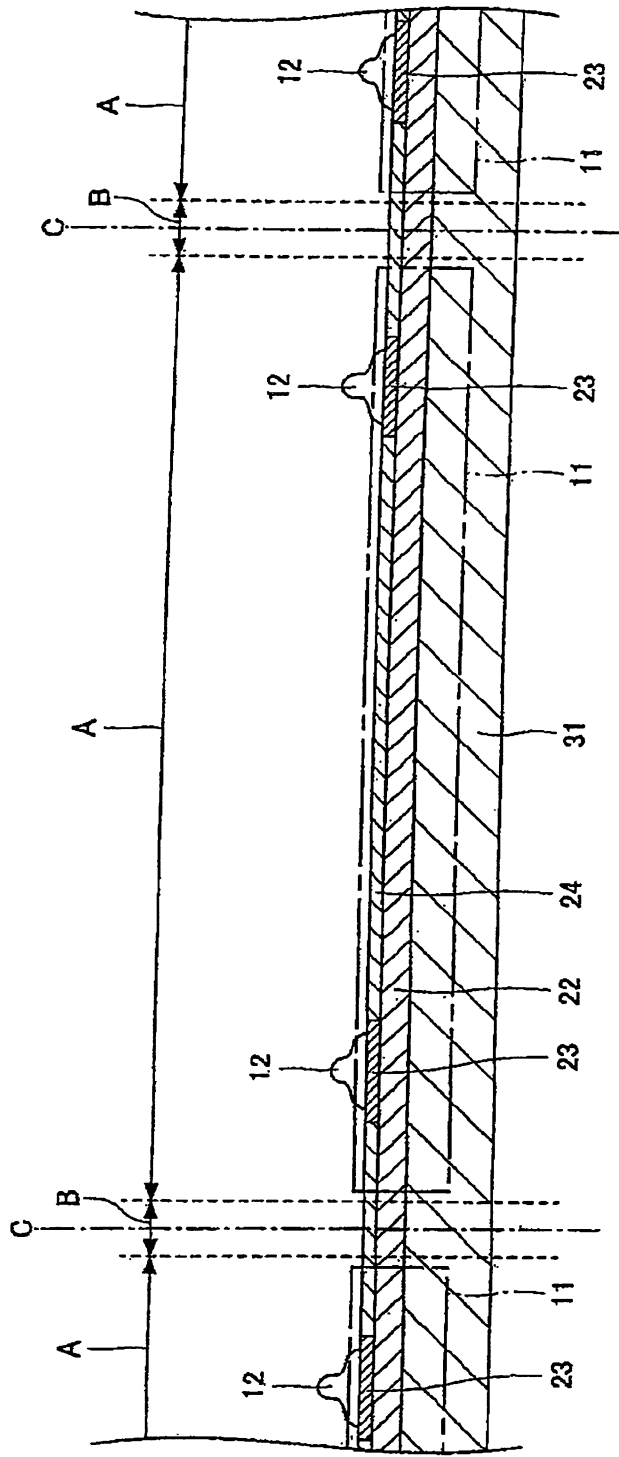


图 16

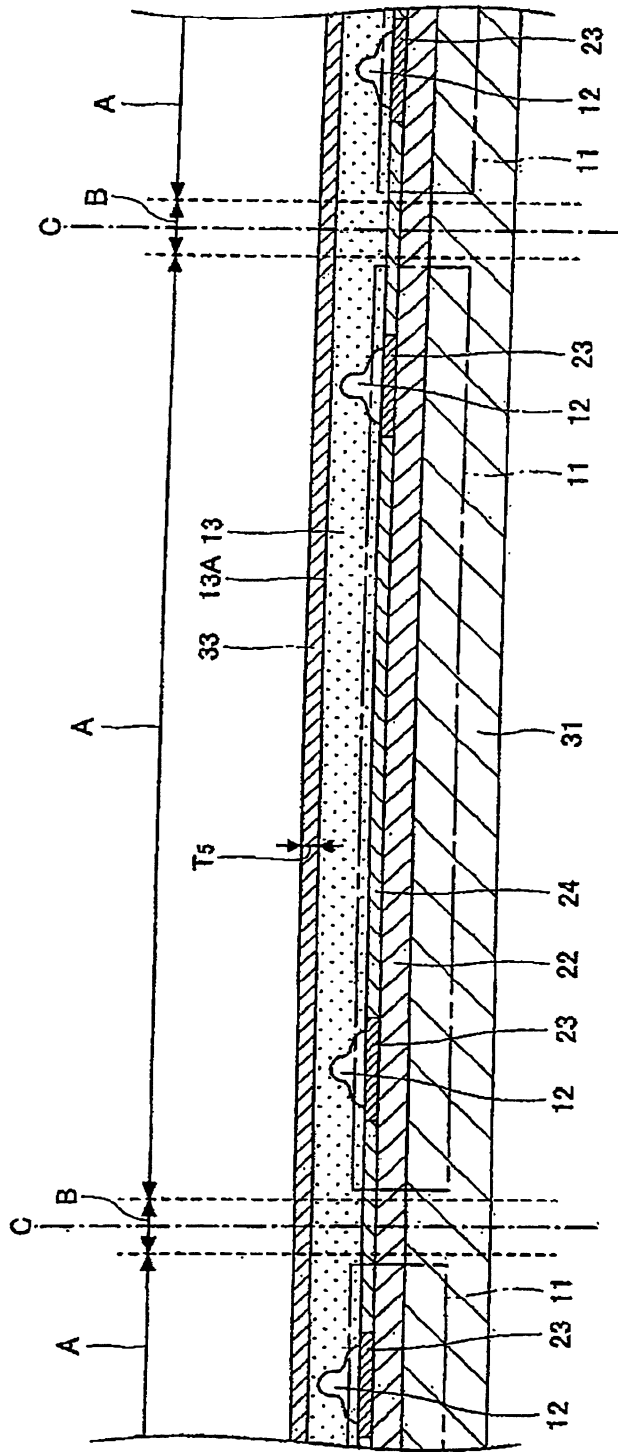
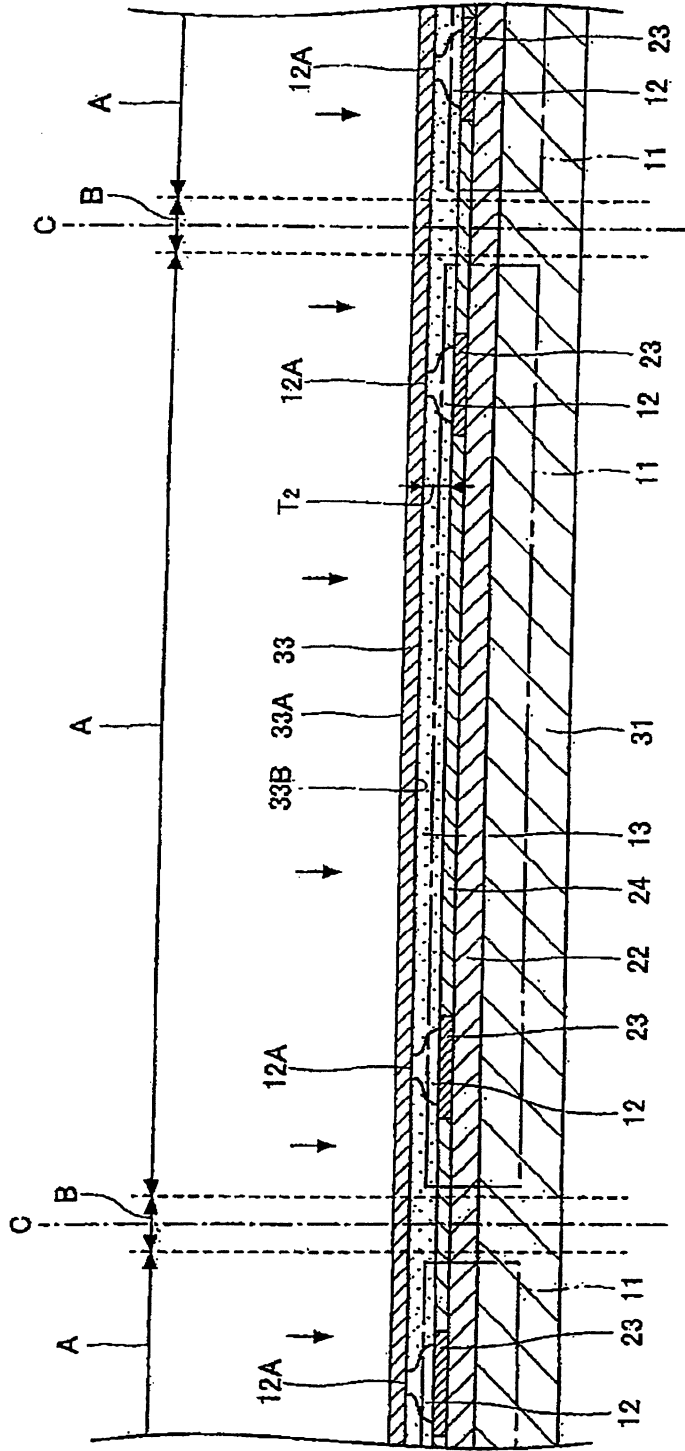


图 17



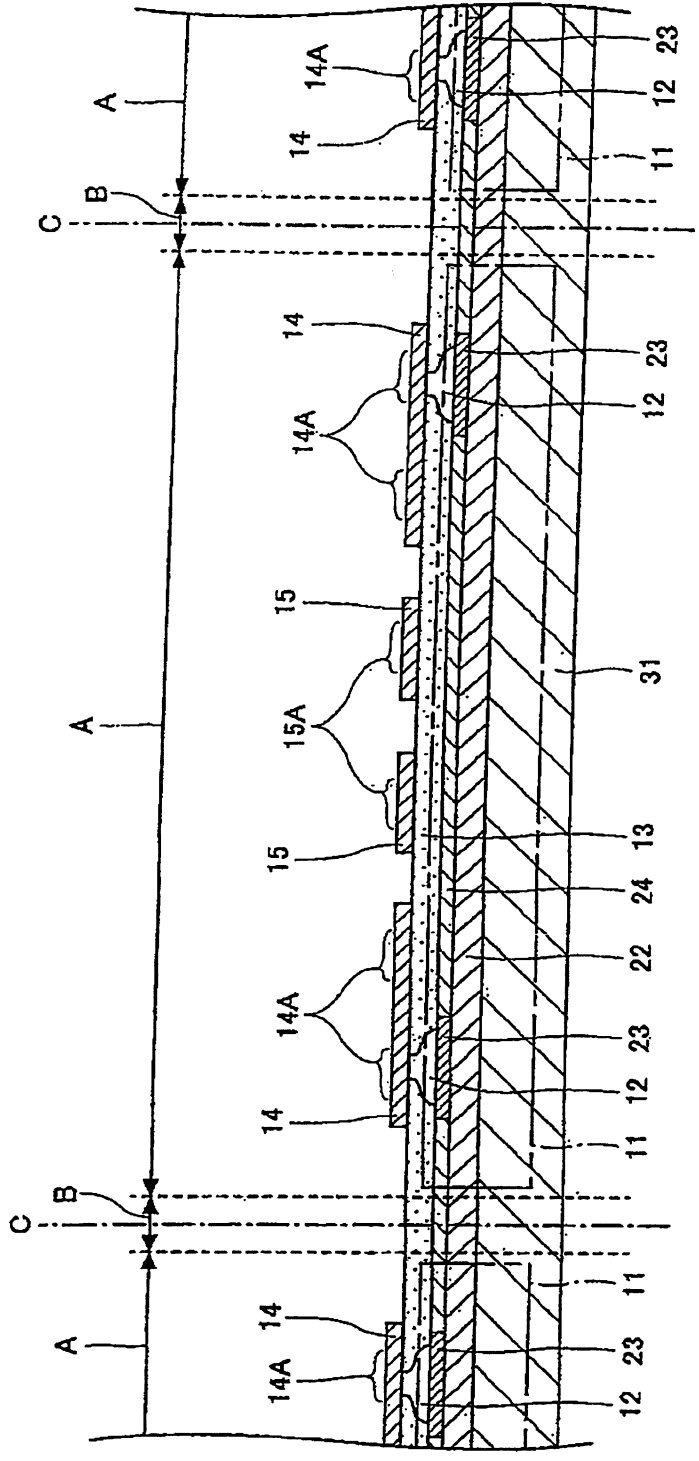


圖 18

图 19

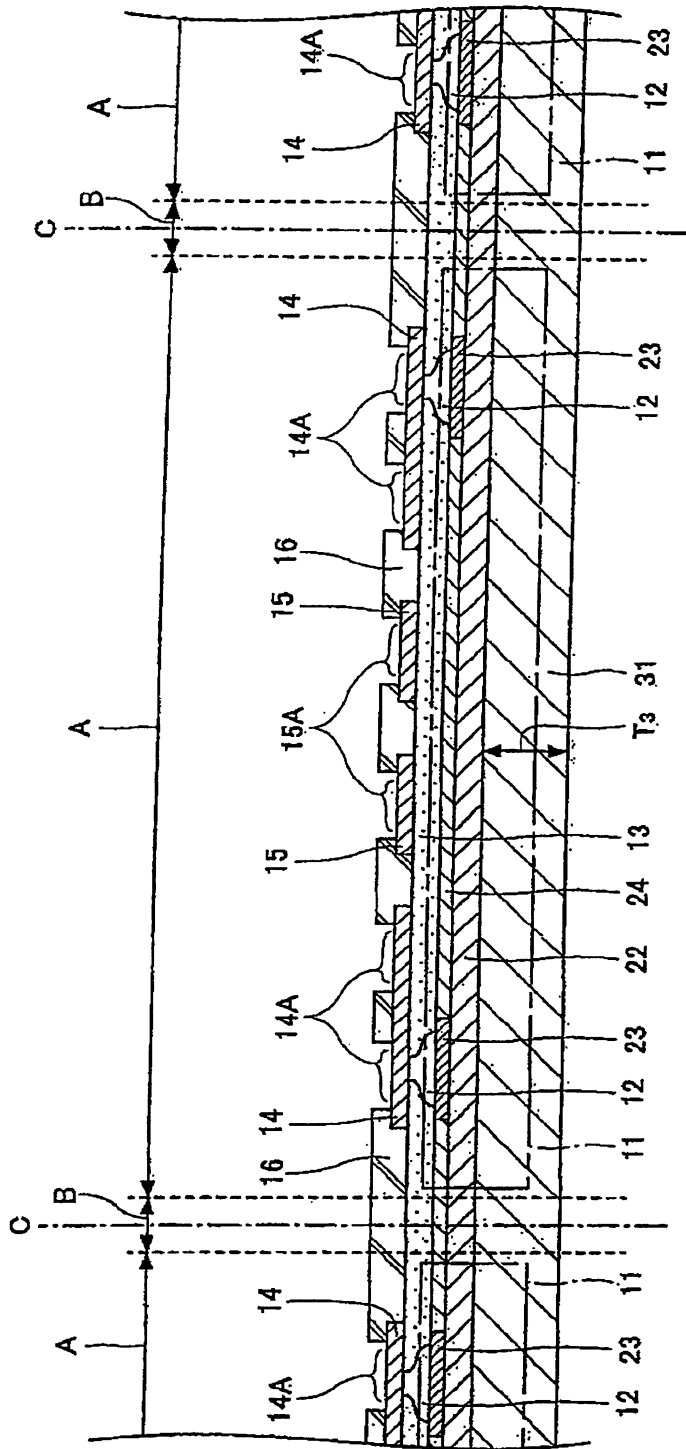


圖 20

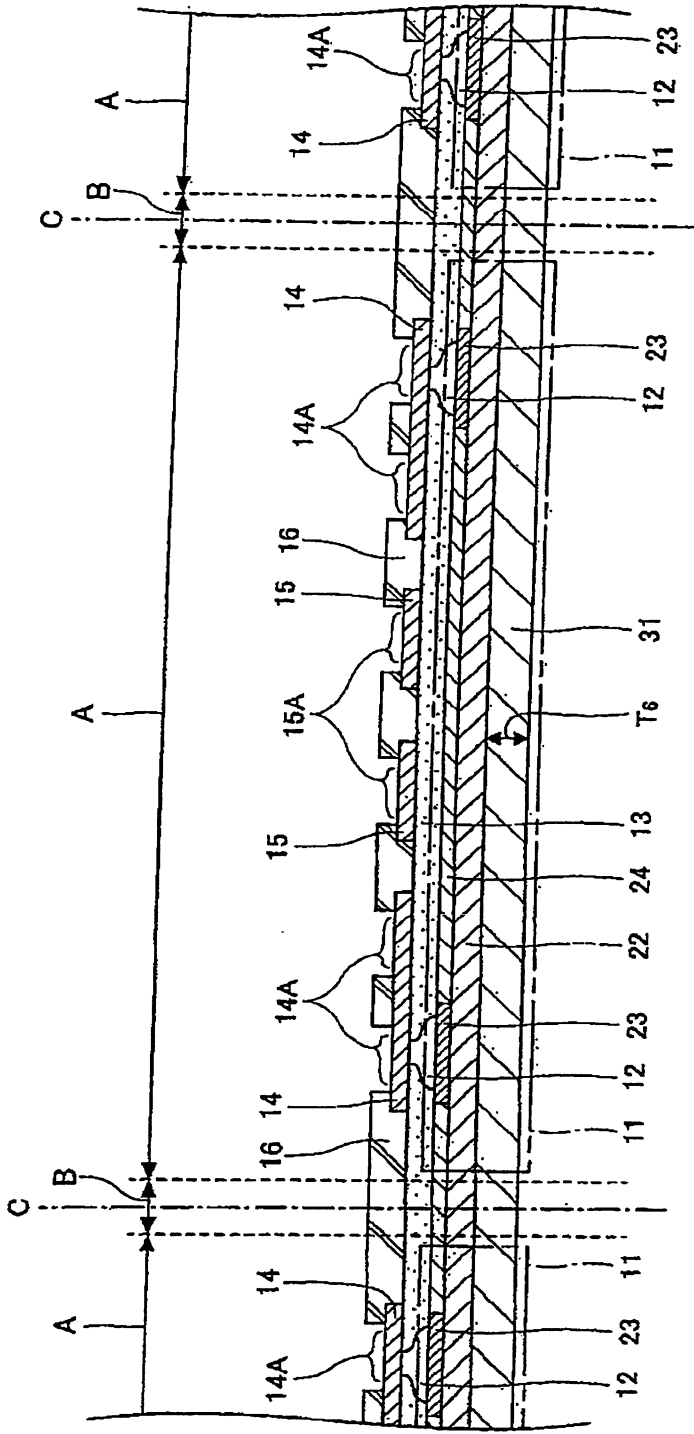


圖 21

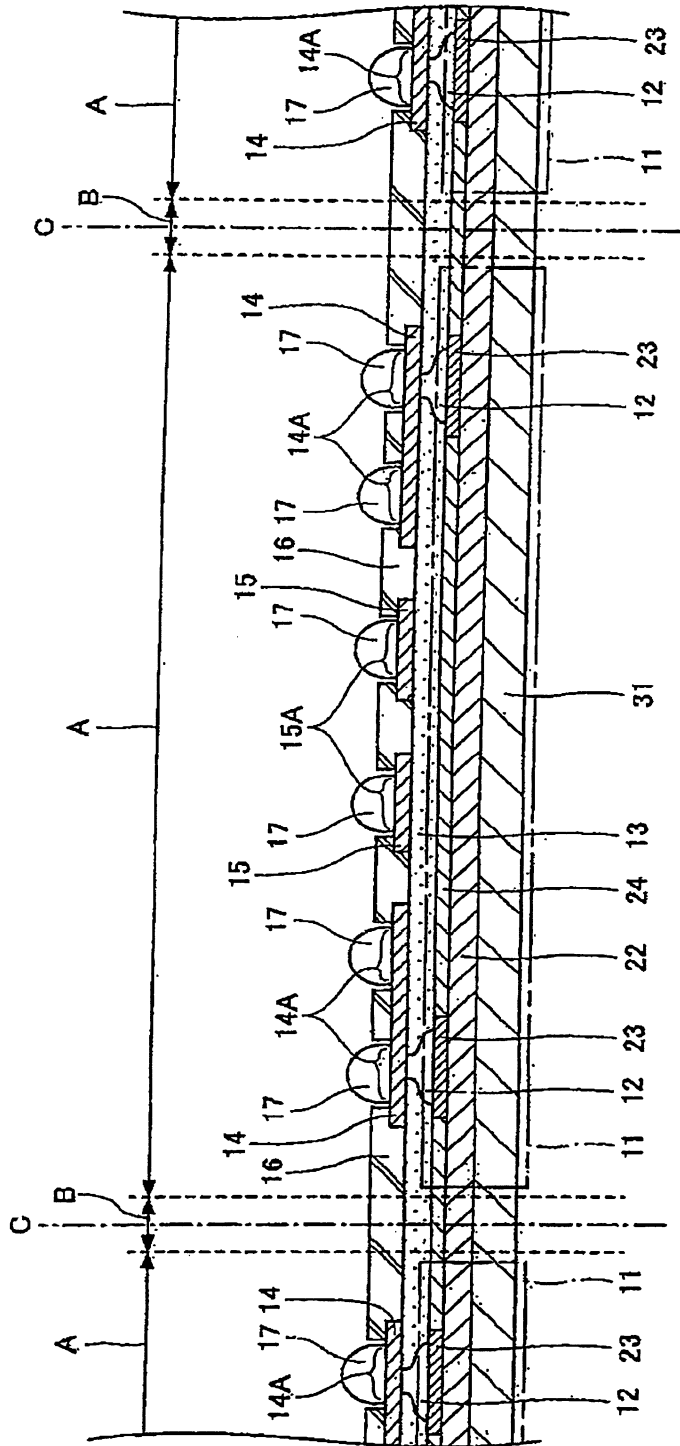


圖 22

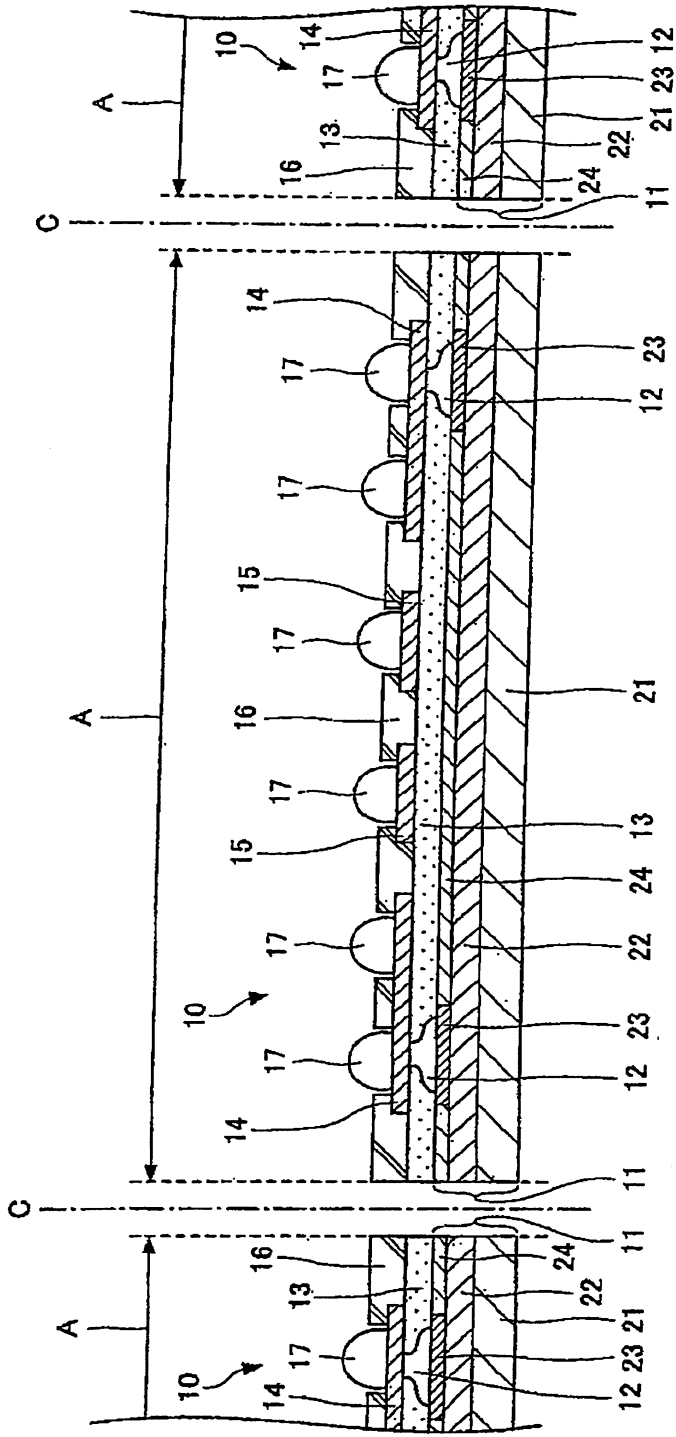


圖 23

31

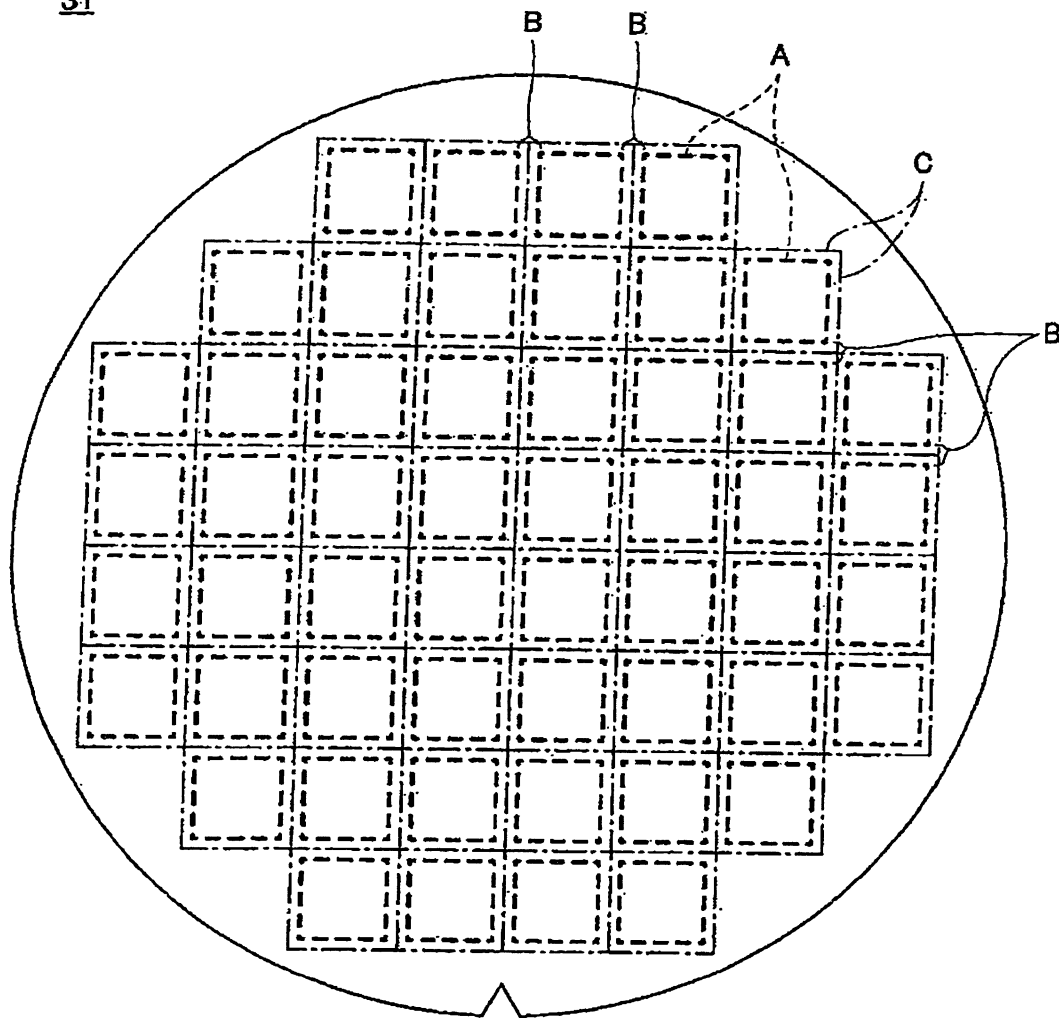


圖 25

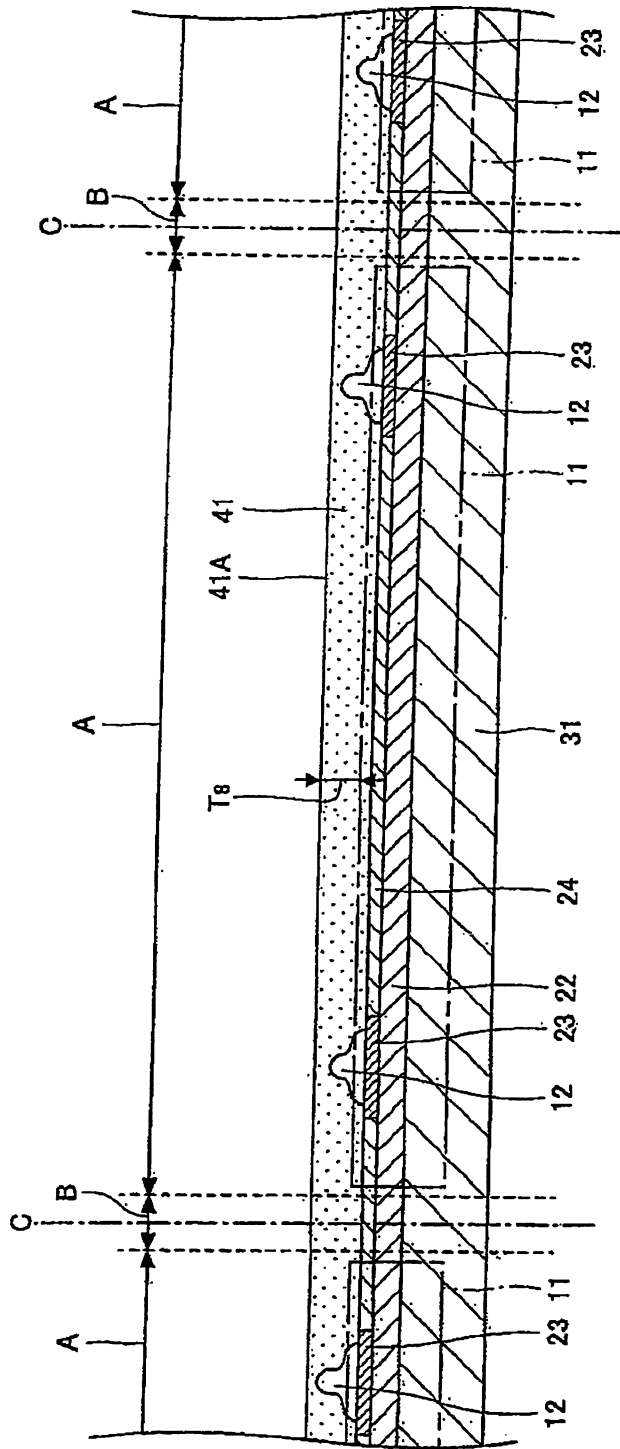


圖 26

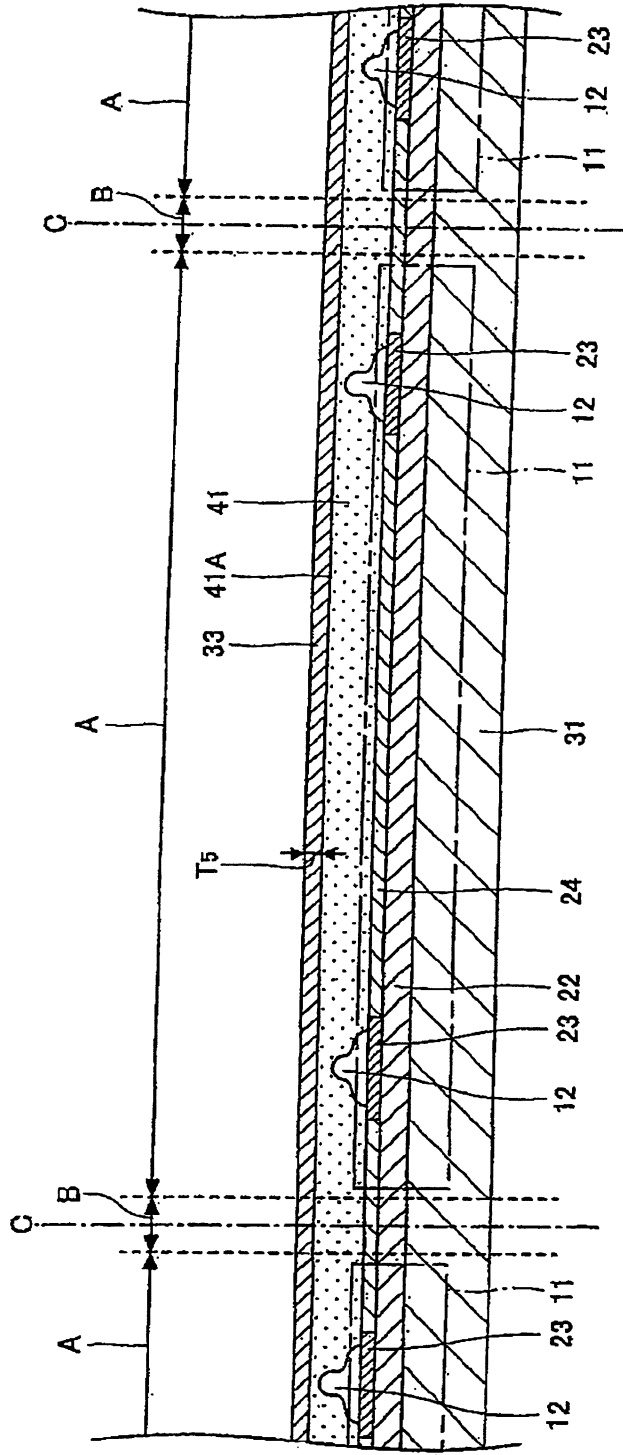


圖 27

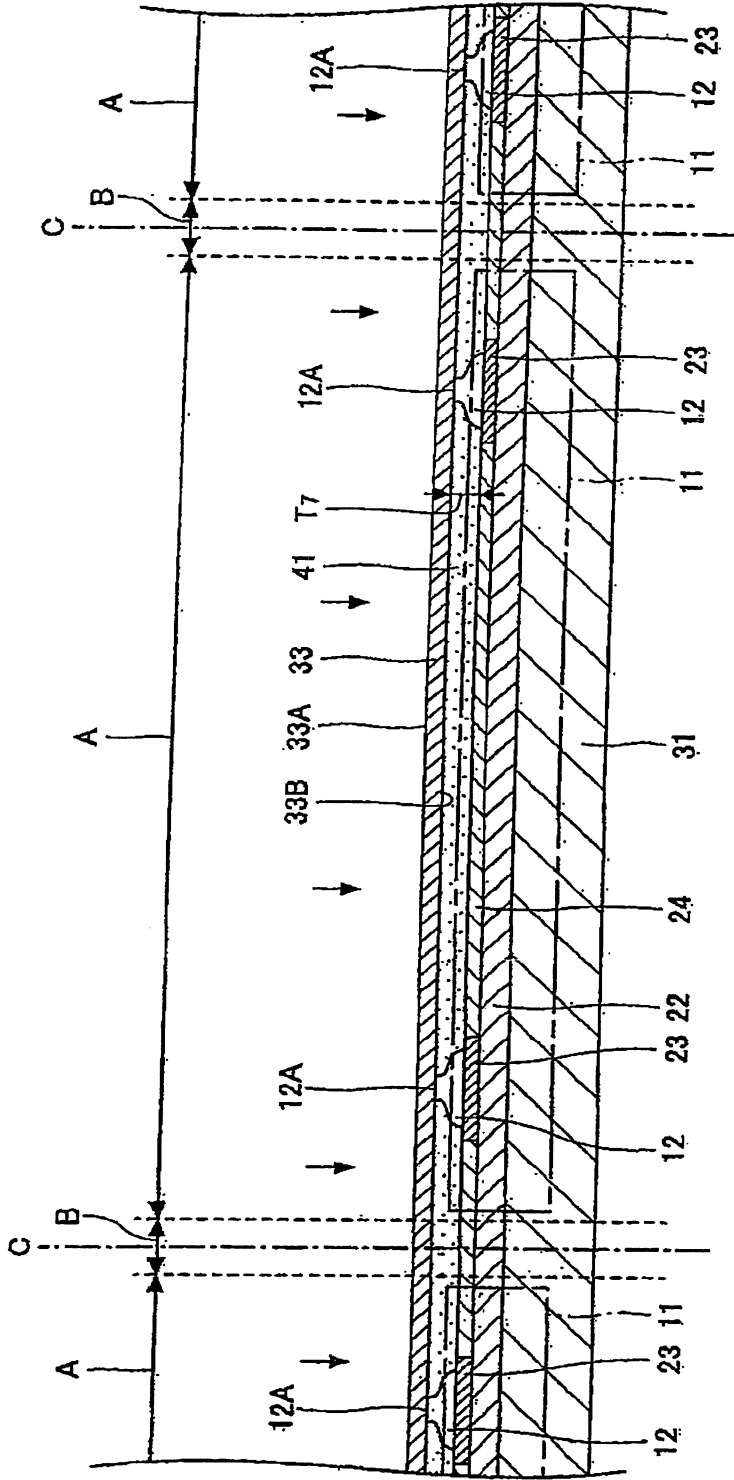


圖 28

50

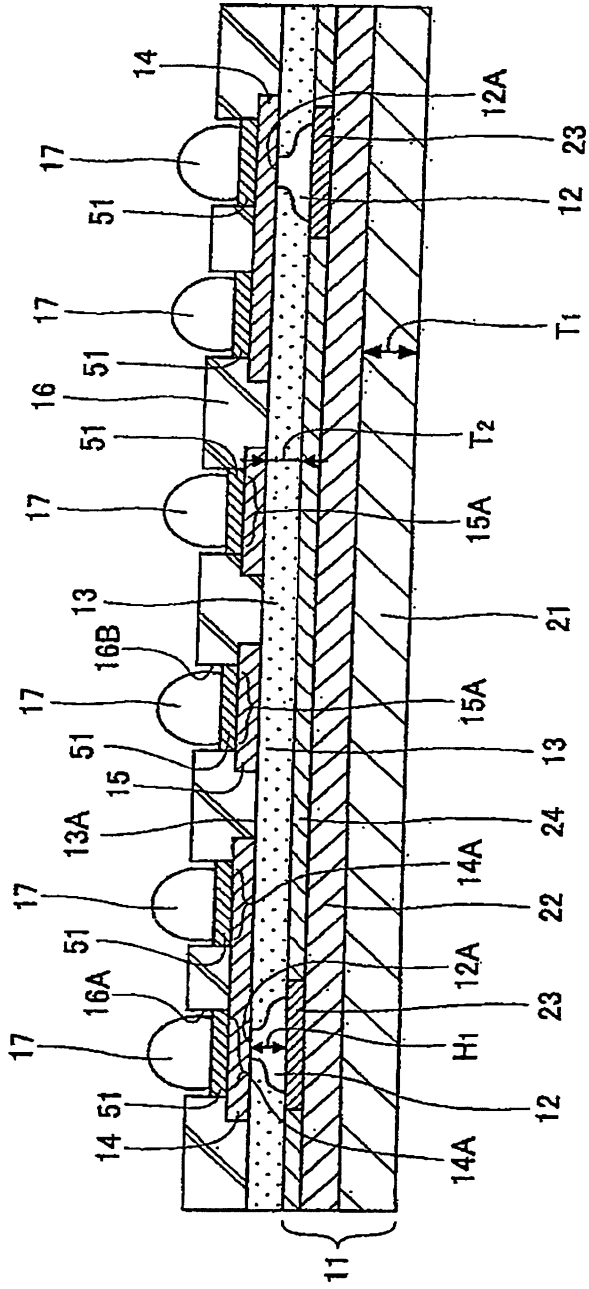
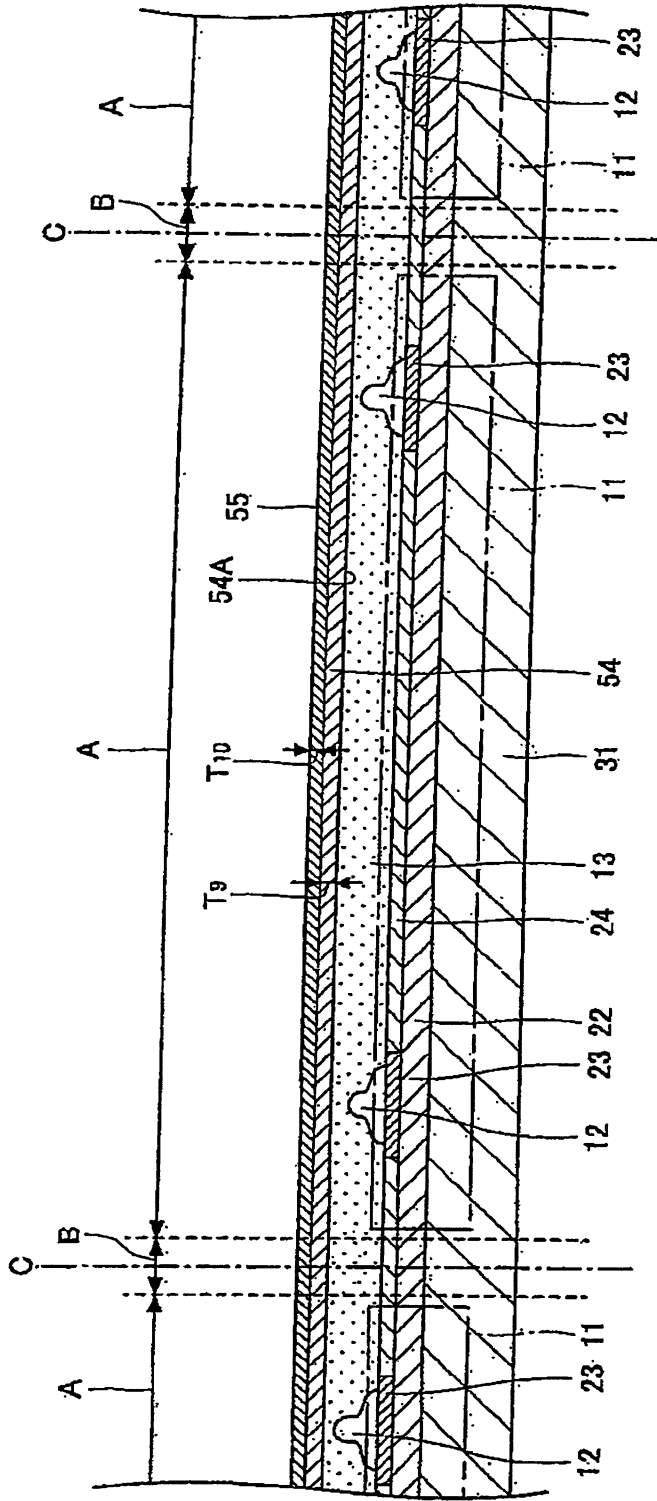


圖 29



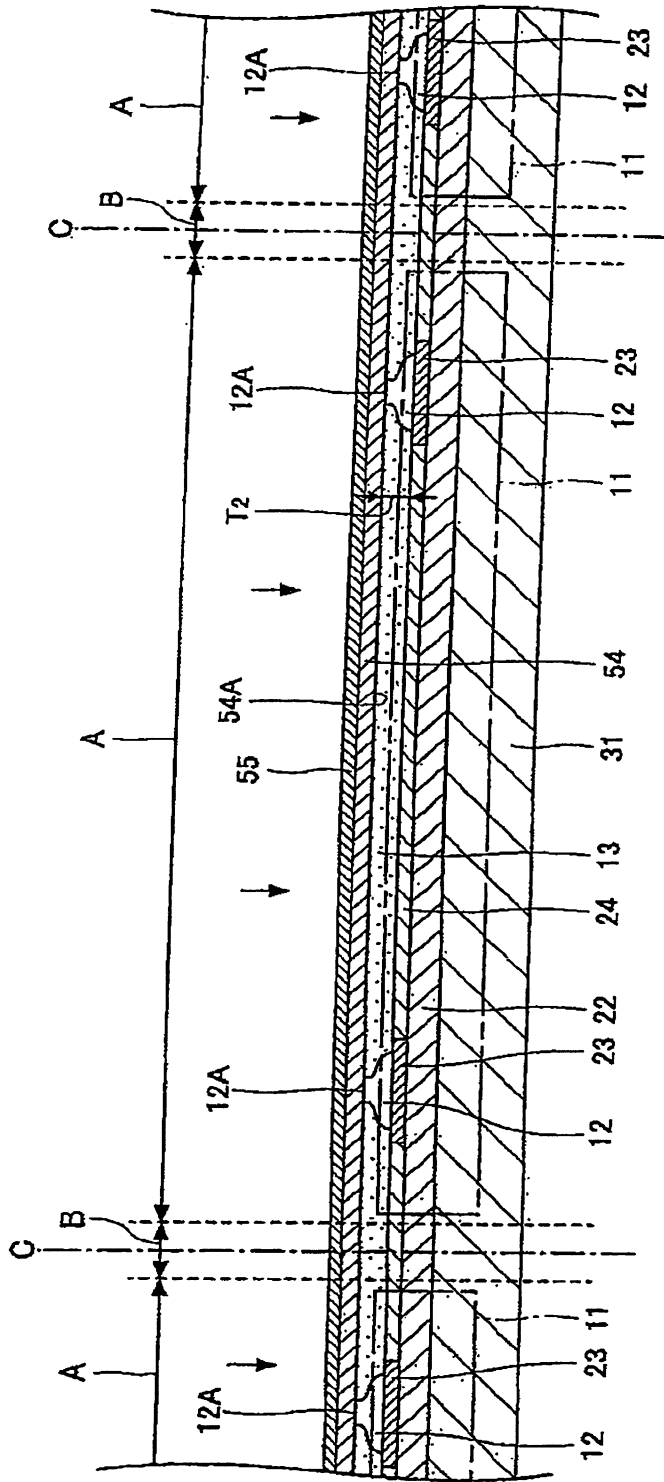
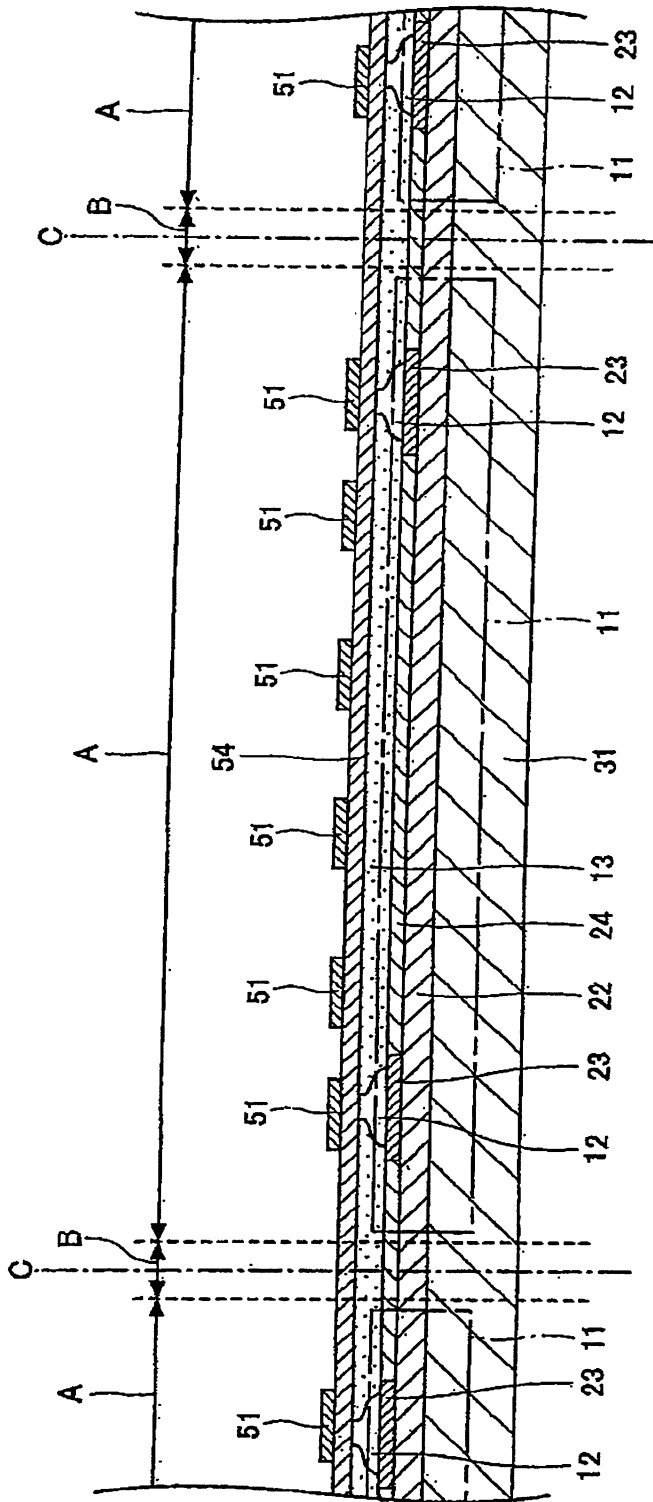


圖 30

圖 31



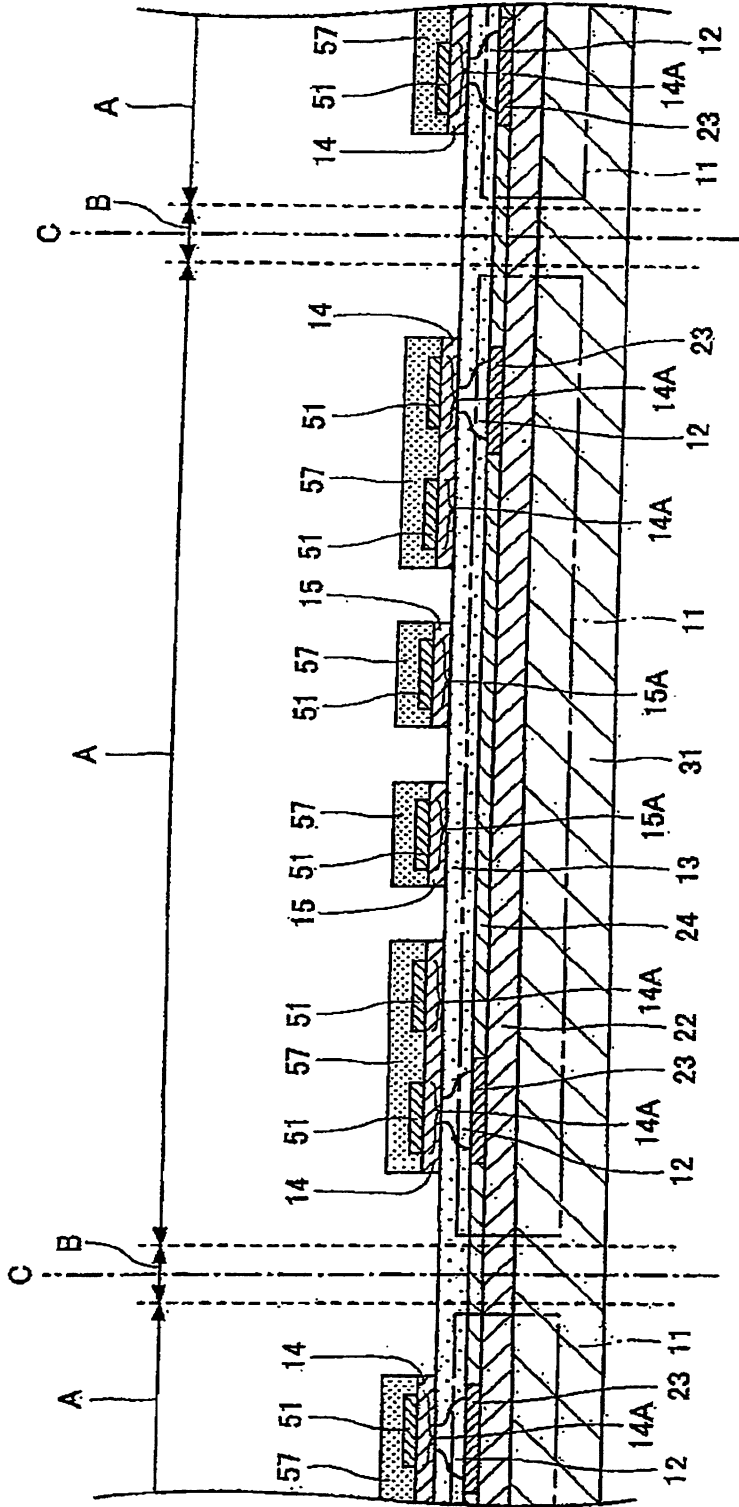


图 33

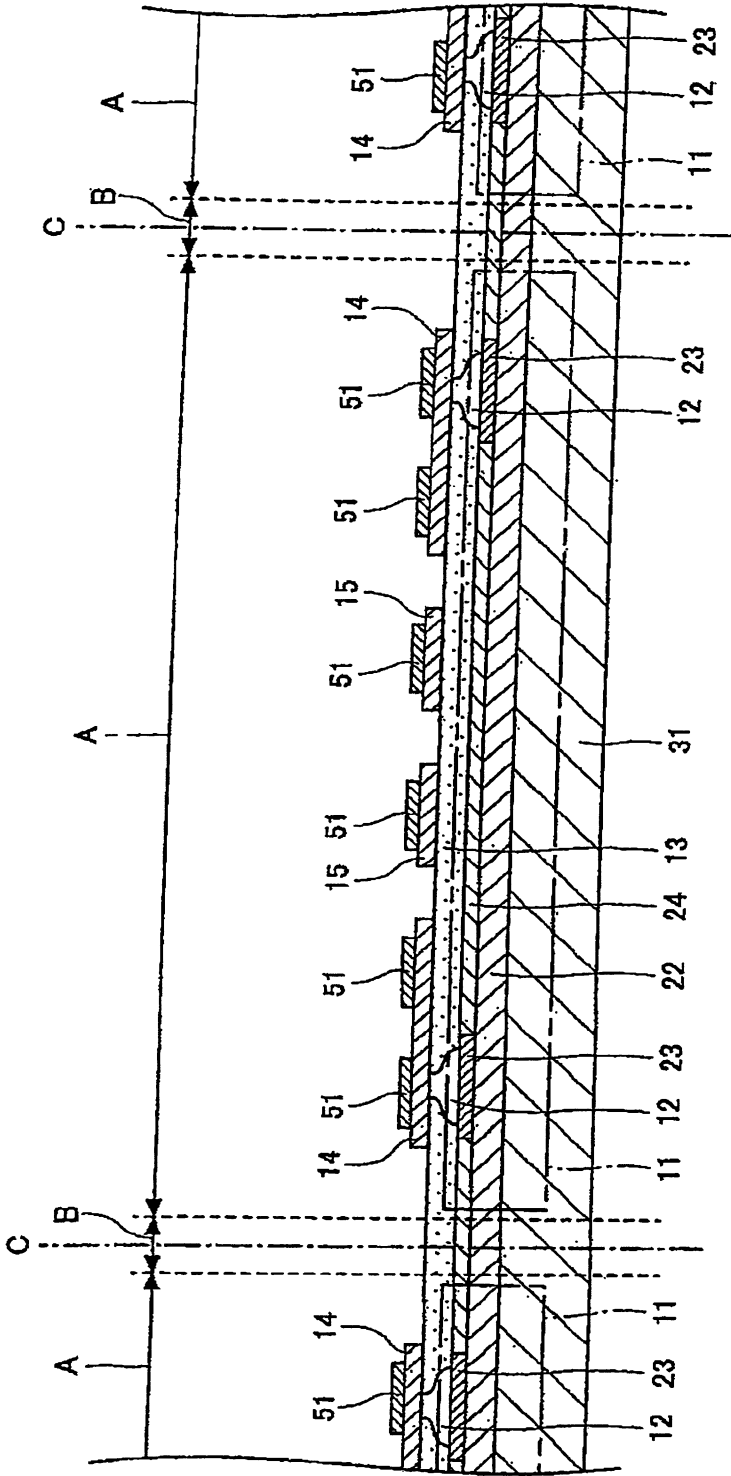


圖 34

圖 36

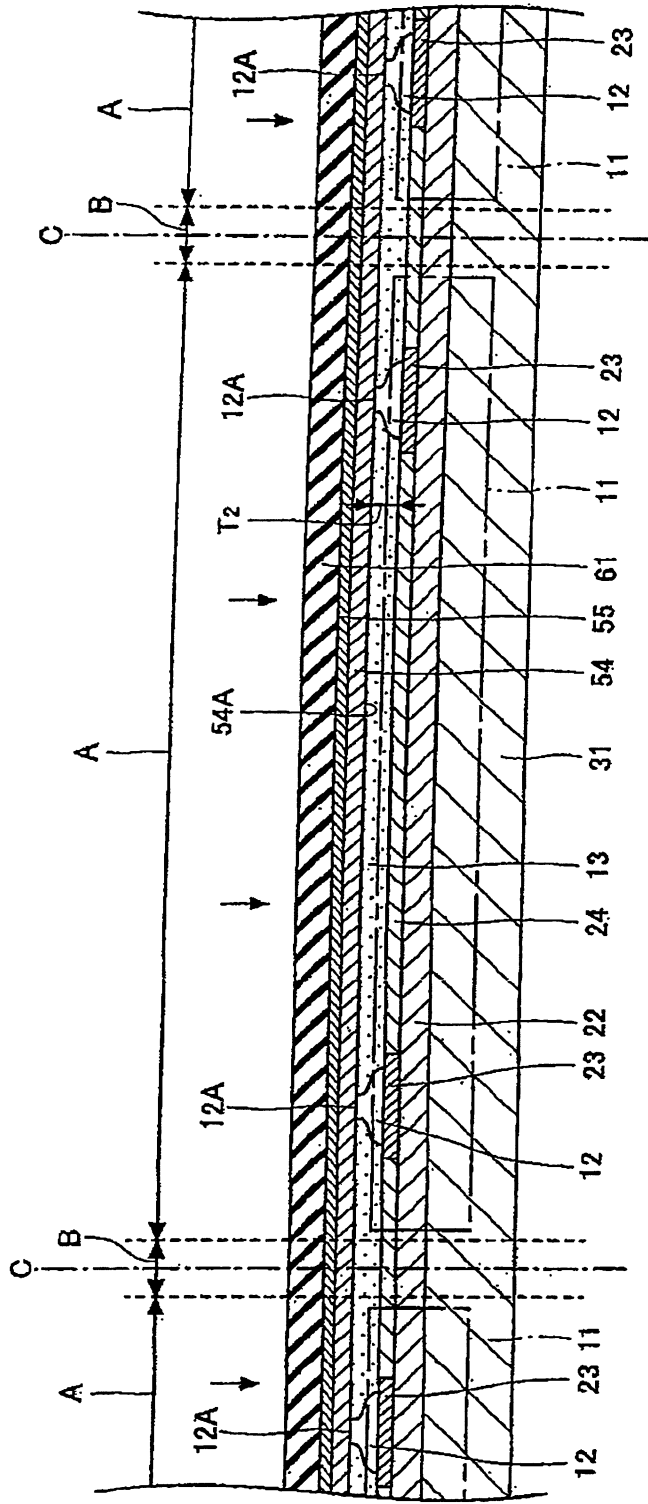


图 37

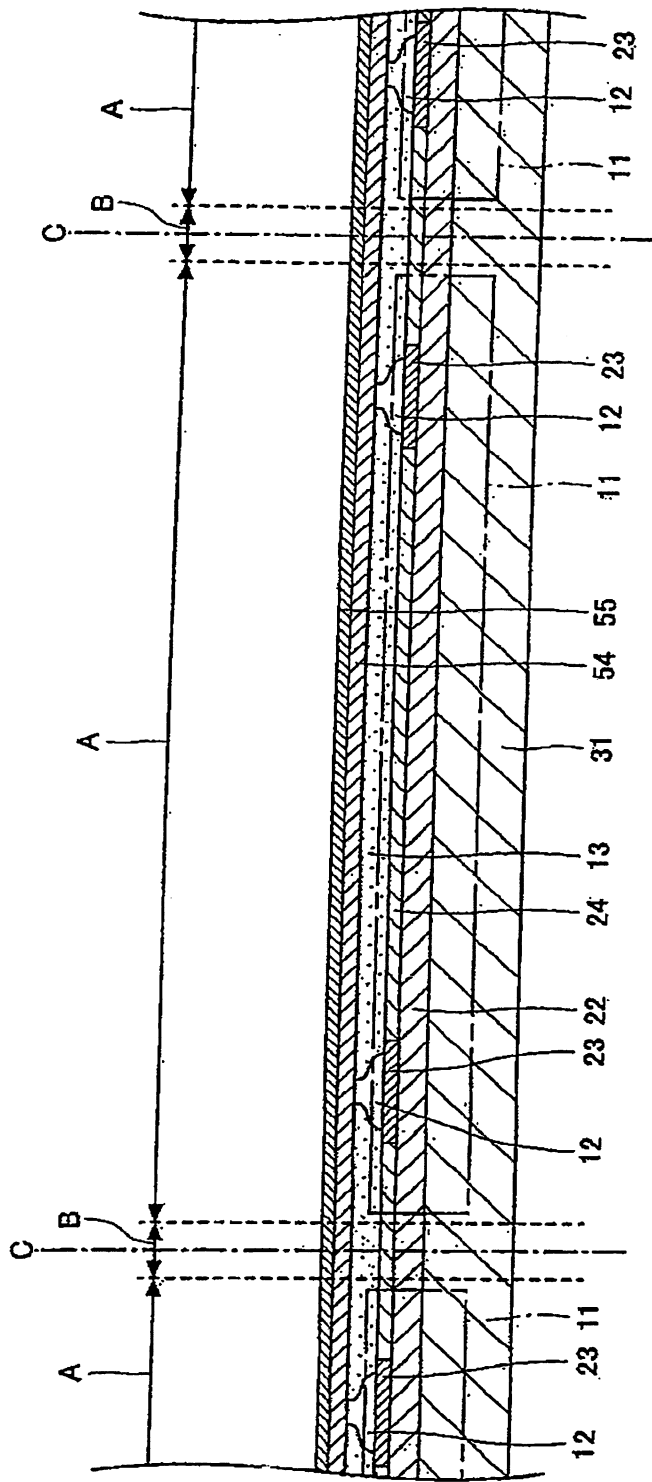


圖 38

70

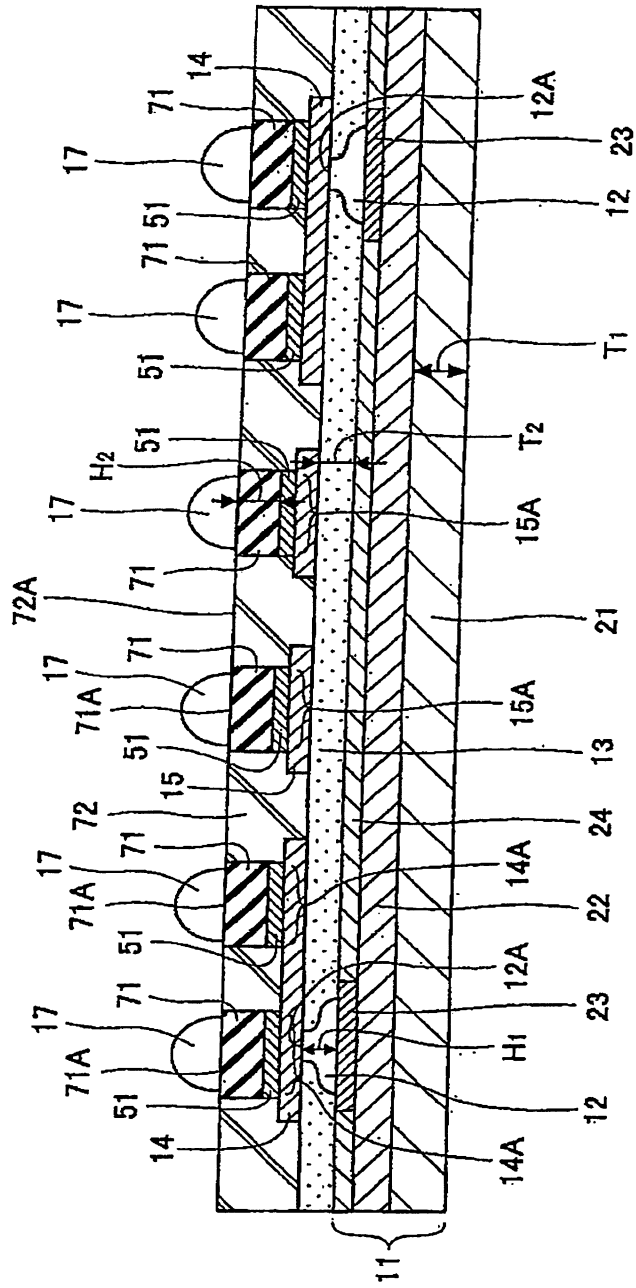


图 39

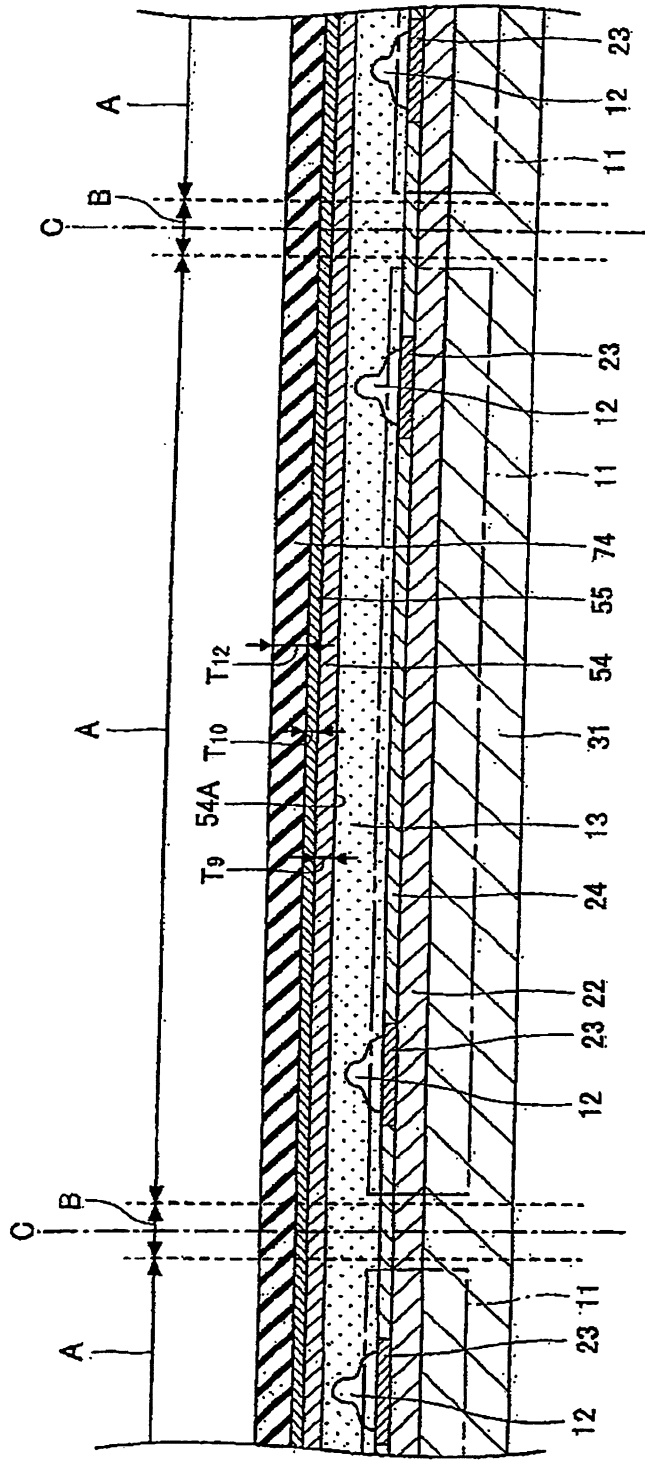


圖 41

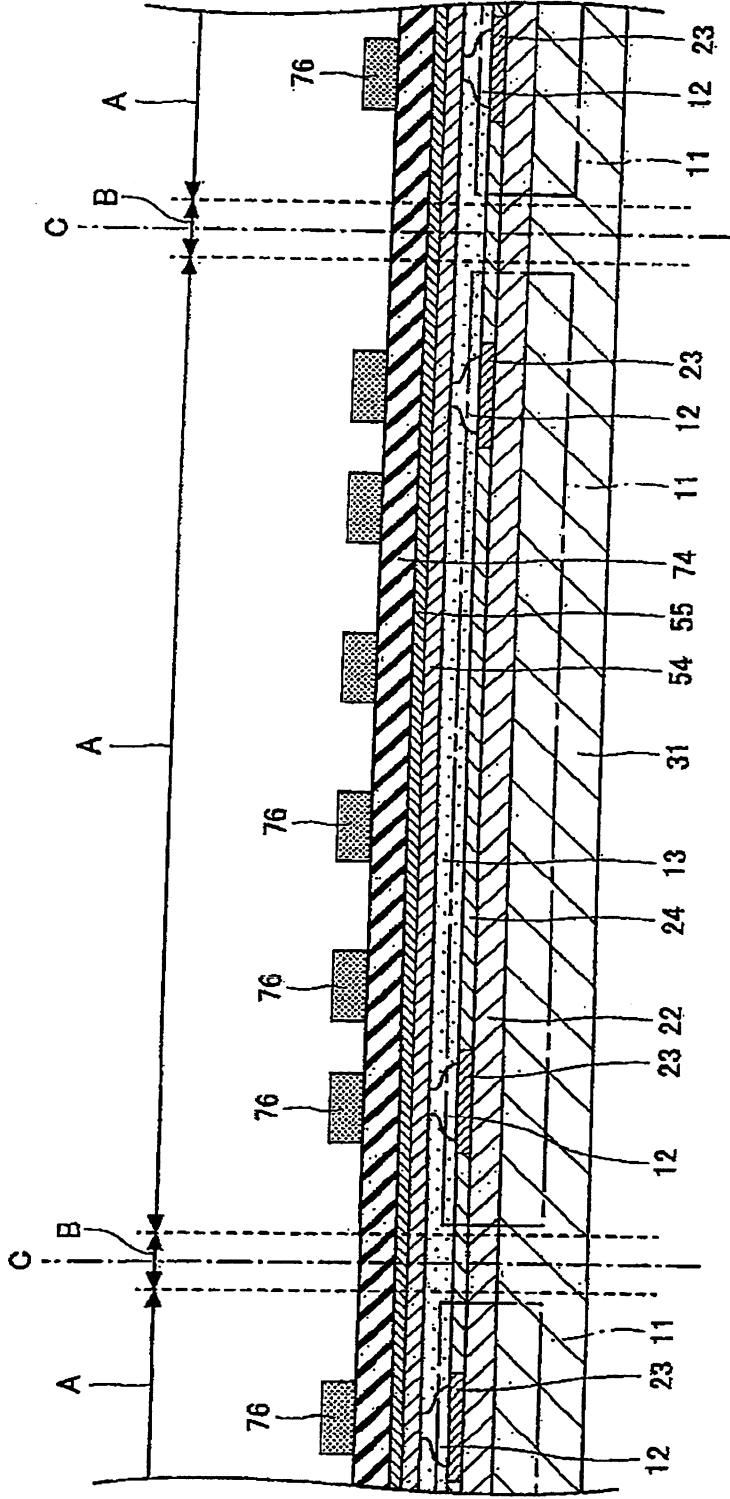
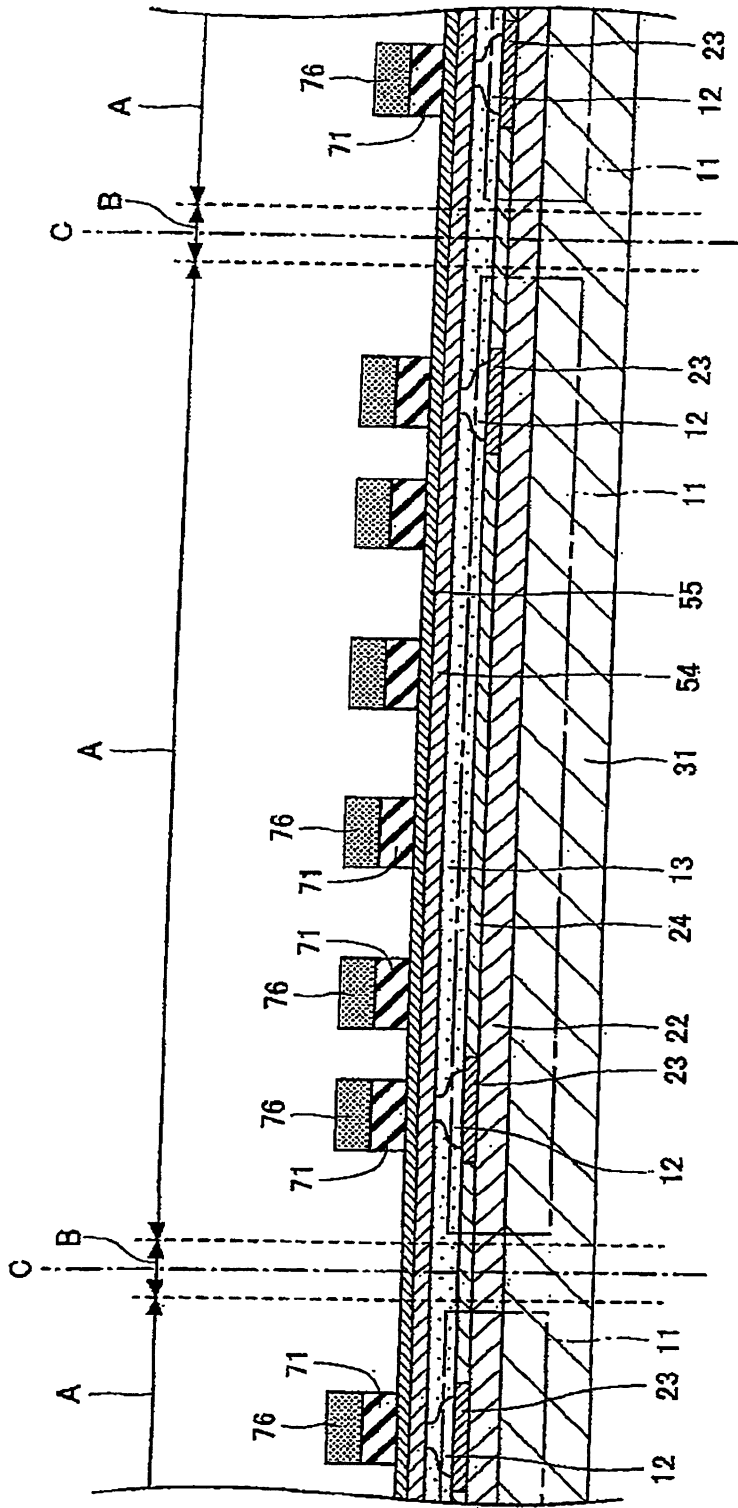


圖 42



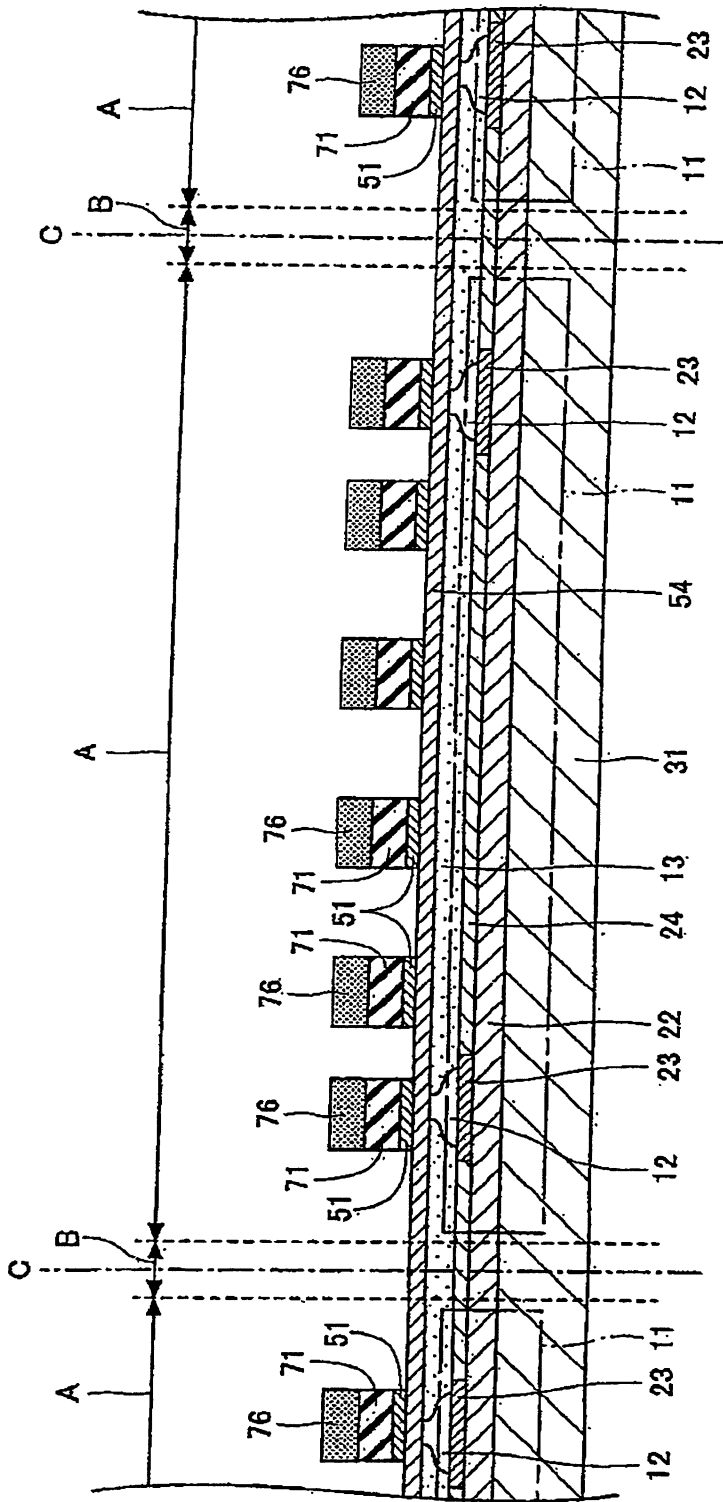


圖 43

圖 44

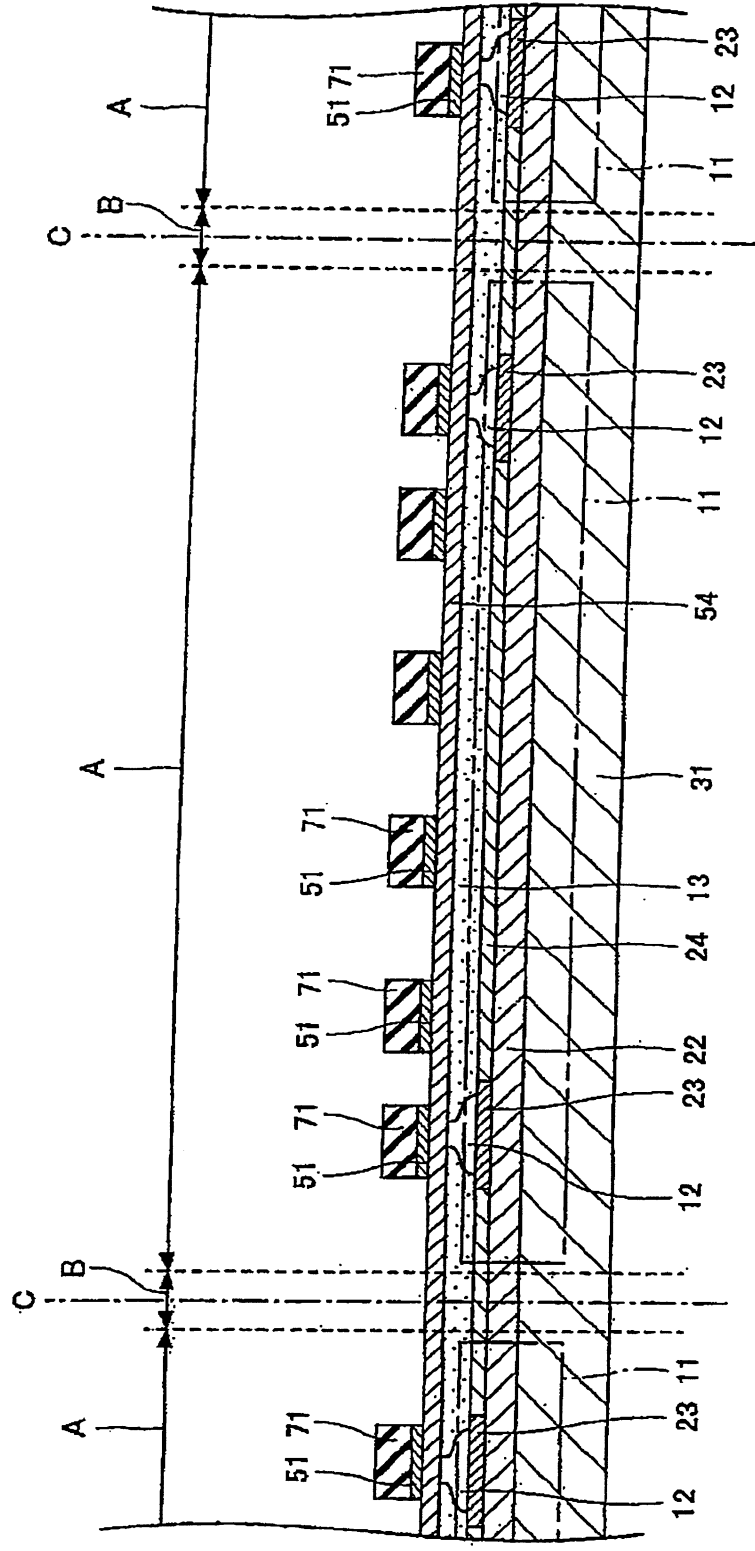


圖 45

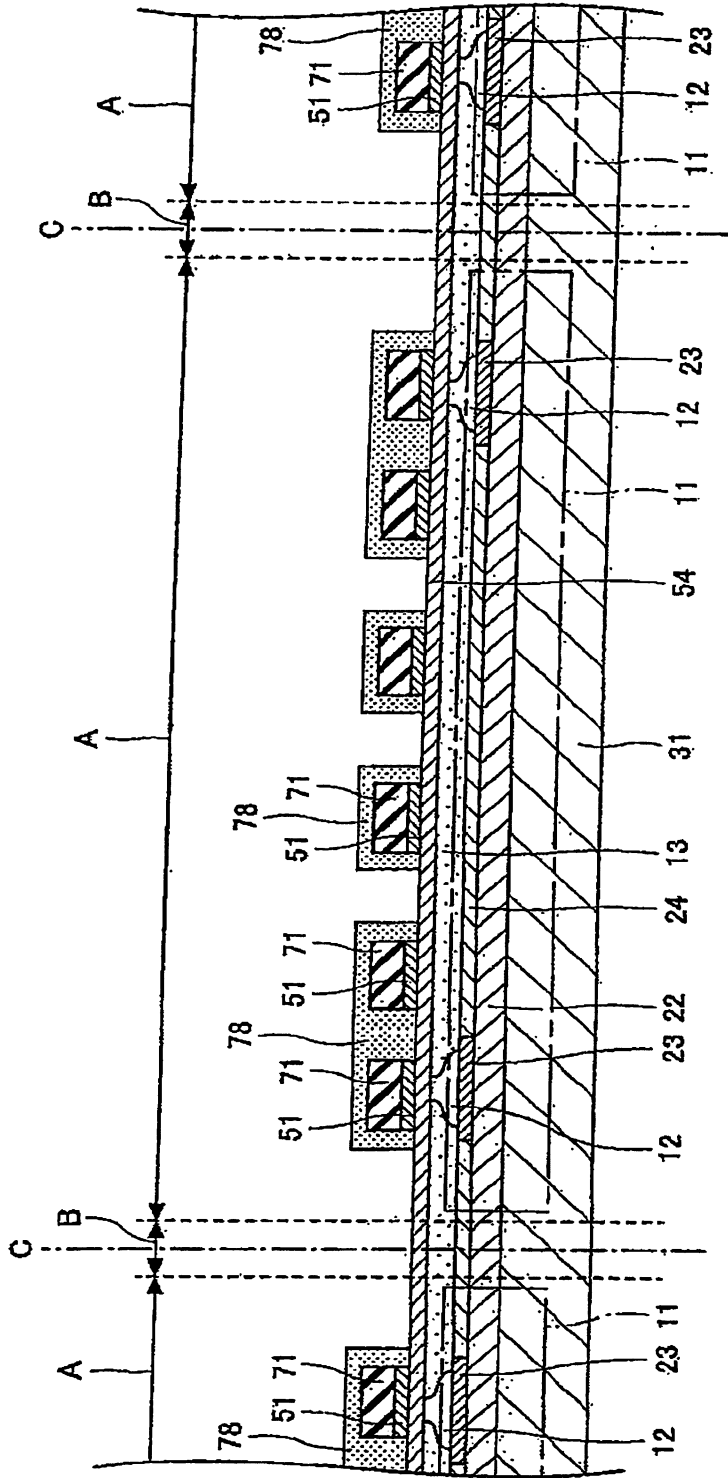


圖 46

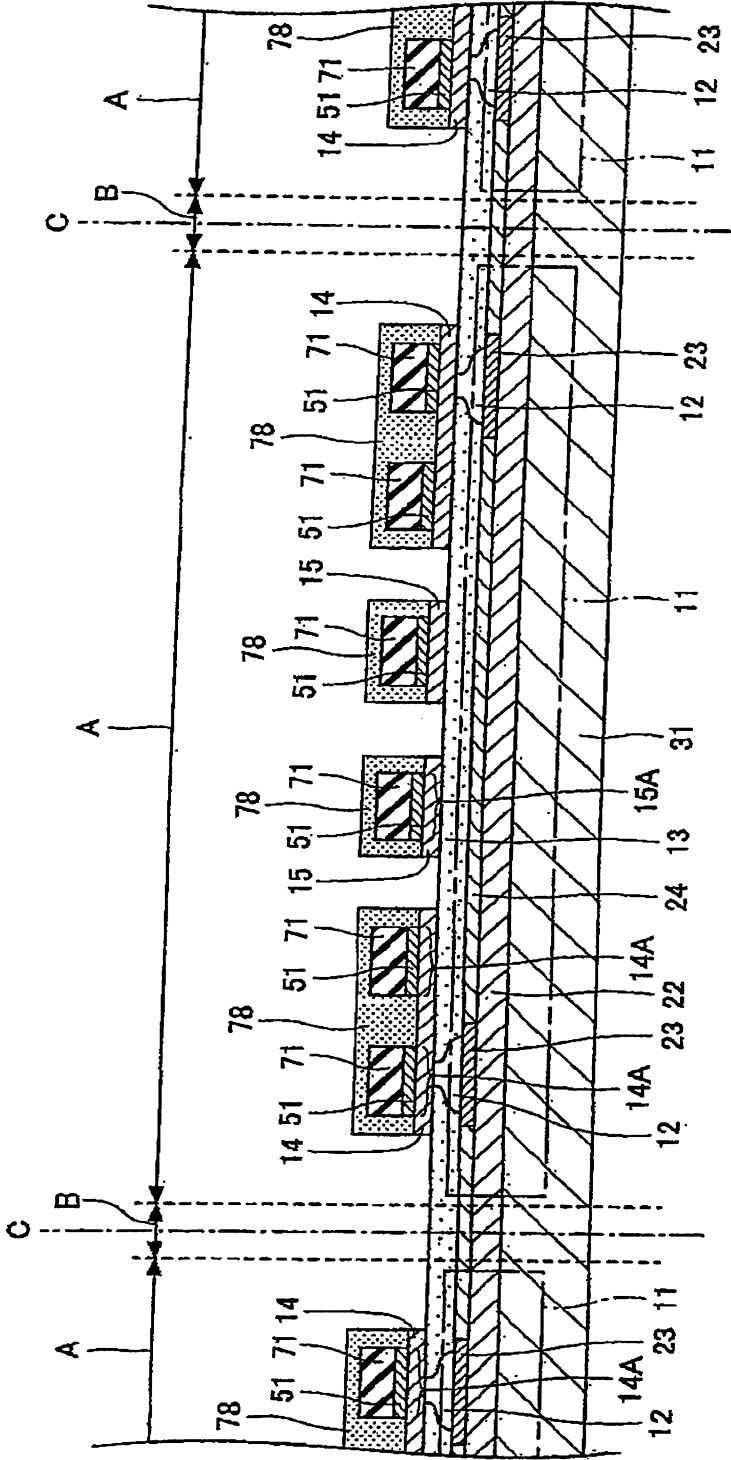
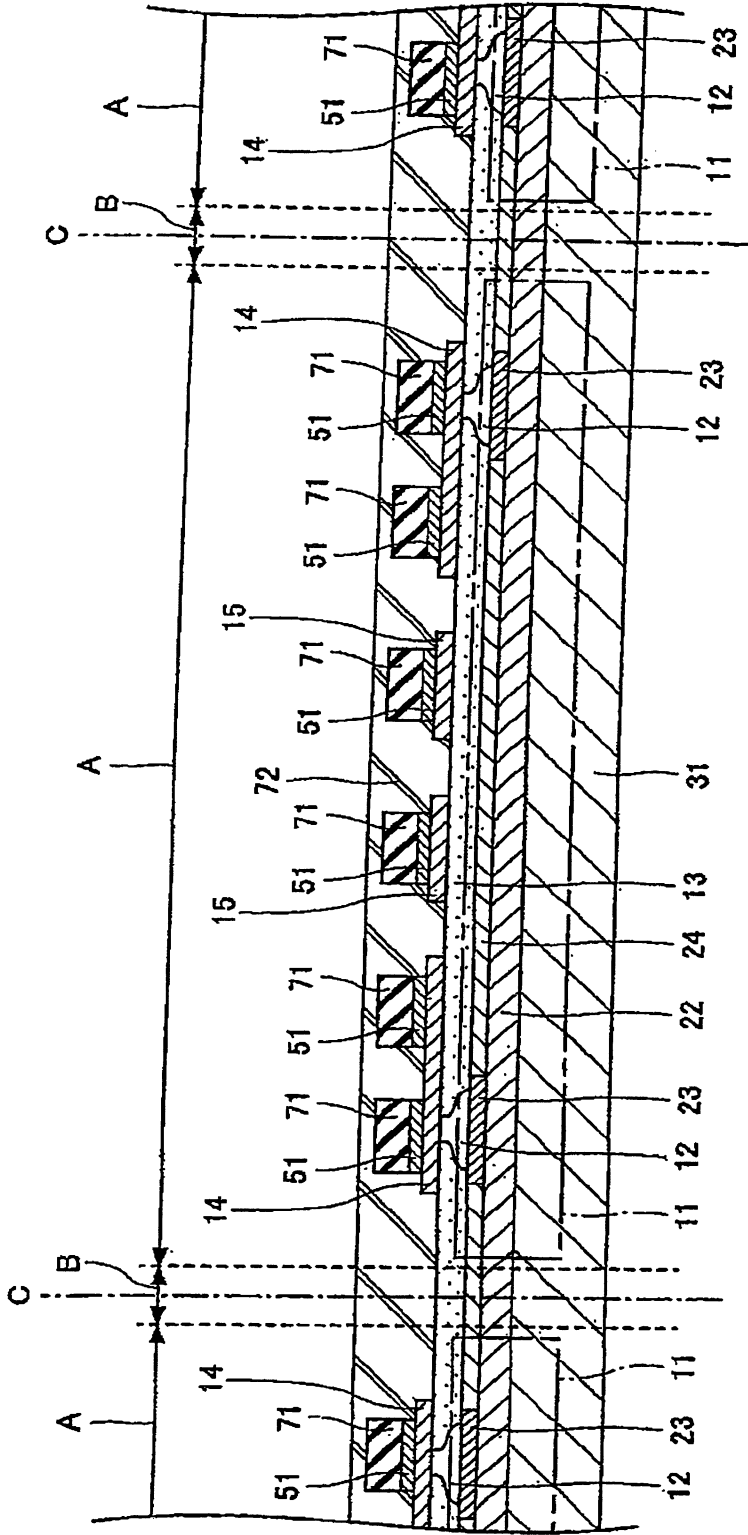


圖 48



七、指定代表圖：

(一)本案指定代表圖為：第 (17) 圖。

(二)本代表圖之元件符號簡單說明：

- 11 半導體晶片
- 12 內部連接端
- 12A 內部連接端 12 之上表面
- 13 絕緣樹脂
- 22 半導體積體電路
- 23 電極墊
- 24 保護膜
- 31 半導體基板 31
- 33 金屬層
- 33A 金屬層 33 之上表面
- 33B 金屬層 33 之下表面

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無