



(12) 发明专利

(10) 授权公告号 CN 102656691 B

(45) 授权公告日 2015. 07. 29

(21) 申请号 201080059846. 2

(22) 申请日 2010. 12. 02

(30) 优先权数据

2009-297140 2009. 12. 28 JP

(85) PCT国际申请进入国家阶段日

2012. 06. 28

(86) PCT国际申请的申请数据

PCT/JP2010/072068 2010. 12. 02

(87) PCT国际申请的公布数据

W02011/081000 EN 2011. 07. 07

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 盐野入丰 三宅博之 加藤清

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 叶晓勇 朱海煜

(51) Int. Cl.

H01L 27/105(2006. 01)

G11C 11/401(2006. 01)

G11C 11/405(2006. 01)

H01L 21/8234(2006. 01)

H01L 21/8242(2006. 01)

H01L 27/06(2006. 01)

H01L 27/088(2006. 01)

H01L 27/10(2006. 01)

H01L 27/108(2006. 01)

(56) 对比文件

CN 101252134 A, 2008. 08. 27,

CN 1897284 A, 2007. 01. 17,

JP 2001230329 A, 2001. 08. 24,

审查员 徐健

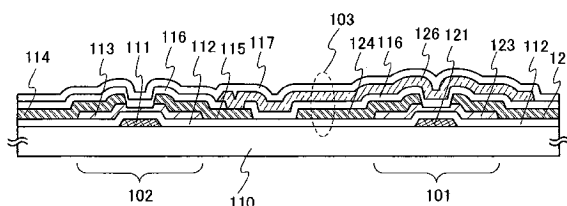
权利要求书5页 说明书34页 附图28页

(54) 发明名称

存储器装置和半导体装置

(57) 摘要

目的之一是提供可以抑制其功耗的存储器装置和包括该存储器装置的半导体装置。对该存储器装置中的每个存储器单元,作为用于保持积累在起存储器元件作用的晶体管中的电荷的开关元件,提供有包括氧化物半导体膜作为有源层的晶体管。用作存储器元件的晶体管具有第一栅电极、第二栅电极、位于第一栅电极和第二栅电极之间的半导体膜、位于第一栅电极和半导体膜之间的第一绝缘膜、位于第二栅电极和半导体膜之间的第二绝缘膜、以及与半导体膜接触的源电极和漏电极。



1. 一种半导体装置,包括:
第一线;
第二线;
第三线;
第四线;以及
存储器单元,包括第一晶体管和第二晶体管,
其中所述第一晶体管包括:
第一栅电极;
第一绝缘膜,在所述第一栅电极之上;
第一半导体膜,在所述第一绝缘膜之上;
第一源电极,与所述第一半导体膜电接触;
第一漏电极,与所述第一半导体膜电接触;
第二绝缘膜,在所述第一半导体膜、所述第一源电极和所述第一漏电极之上;以及
第二栅电极,在所述第二绝缘膜之上,
其中所述第二晶体管包括:
第三栅电极;
第三绝缘膜,在所述第三栅电极之上;
第二半导体膜,在所述第三绝缘膜之上;
第四绝缘膜,在所述第二半导体膜之上;
第二源电极,与所述第二半导体膜电接触;以及
第二漏电极,与所述第二半导体膜电接触,
其中所述第一晶体管的所述第一栅电极电连接到所述第一线,
其中所述第二晶体管的所述第三栅电极电连接到所述第二线,
其中所述第一晶体管的所述第一源电极和所述第一漏电极中的一个电连接到所述第三线,
其中所述第二晶体管的所述第二源电极和所述第二漏电极中的一个电连接到所述第四线,
其中所述第二晶体管的所述第二源电极和所述第二漏电极中的另一个电连接到所述第一晶体管的所述第二栅电极,以及
其中所述第二半导体膜包括氧化物半导体。
2. 根据权利要求1所述的半导体装置,其中所述氧化物半导体是 In-Ga-Zn-O 基氧化物半导体。
3. 根据权利要求1所述的半导体装置,其中所述氧化物半导体的氢浓度是 $5 \times 10^{19}/\text{cm}^3$ 或更小。
4. 根据权利要求1所述的半导体装置,其中所述第二晶体管的截止状态电流密度是 $100\text{zA}/\mu\text{m}$ 或更小。
5. 根据权利要求1所述的半导体装置,其中所述第二绝缘膜位于所述第一源电极和所述第一漏电极之上。
6. 一种半导体装置,包括:

- 第一线；
第二线；
第三线；
第四线；以及
存储器单元，包括第一晶体管和第二晶体管，
其中所述第一晶体管包括：
第一栅电极；
第一绝缘膜，在所述第一栅电极之上；
第一半导体膜，在所述第一绝缘膜之上；
第一源电极，与所述第一半导体膜电接触；
第一漏电极，与所述第一半导体膜电接触；
第二绝缘膜，在所述第一半导体膜、所述第一源电极和所述第一漏电极之上；以及
第二栅电极，在所述第二绝缘膜之上，
其中所述第二晶体管包括：
第三栅电极；
第三绝缘膜，在所述第三栅电极之上；
第二半导体膜，在所述第三绝缘膜之上；
第四绝缘膜，在所述第二半导体膜之上；
第二源电极，与所述第二半导体膜电接触；以及
第二漏电极，与所述第二半导体膜电接触，
其中所述第一晶体管的所述第一栅电极电连接到所述第一线，
其中所述第二晶体管的所述第三栅电极电连接到所述第二线，
其中所述第一晶体管的所述第一源电极和所述第一漏电极中的一个电连接到所述第三线，
其中所述第二晶体管的所述第二源电极和所述第二漏电极中的一个电连接到所述第四线，
其中所述第二晶体管的所述第二源电极和所述第二漏电极中的另一个电连接到所述第一晶体管的所述第二栅电极，以及
其中所述第一半导体膜和所述第二半导体膜包括氧化物半导体。
7. 根据权利要求6所述的半导体装置，其中所述氧化物半导体是 In-Ga-Zn-O 基氧化物半导体。
8. 根据权利要求6所述的半导体装置，其中所述氧化物半导体的氢浓度是 $5 \times 10^{19}/\text{cm}^3$ 或更小。
9. 根据权利要求6所述的半导体装置，其中所述第二晶体管的截止状态电流密度是 $100\text{zA}/\mu\text{m}$ 或更小。
10. 根据权利要求6所述的半导体装置，其中所述第二绝缘膜位于所述第一源电极和所述第一漏电极之上。
11. 一种半导体装置，其包括：
第一线；

- 第二线；
第三线；
第四线；以及
存储器单元，包括第一晶体管和第二晶体管，
其中所述第一晶体管包括：
第一栅电极；
第一绝缘膜，在所述第一栅电极之上；
第一半导体膜，在所述第一绝缘膜之上；
第一源电极，与所述第一半导体膜电接触；
第一漏电极，与所述第一半导体膜电接触；
第二绝缘膜，在所述第一半导体膜、所述第一源电极和所述第一漏电极之上；以及
第二栅电极，在所述第二绝缘膜之上，
其中所述第二晶体管包括：
第三栅电极；
第三绝缘膜，在所述第三栅电极之上；
第二半导体膜，在所述第三绝缘膜之上；
第四绝缘膜，在所述第二半导体膜之上；
第二源电极，与所述第二半导体膜电接触；以及
第二漏电极，与所述第二半导体膜电接触，
其中所述第一晶体管的所述第一栅电极电连接到所述第一线，
其中所述第二晶体管的所述第三栅电极电连接到所述第二线，
其中所述第一晶体管的所述第一源电极和所述第一漏电极中的一个电连接到所述第三线，
其中所述第二晶体管的所述第二源电极和所述第二漏电极中的一个电连接到所述第四线，
其中所述第二晶体管的所述第二源电极和所述第二漏电极中的另一个电连接到所述第一晶体管的所述第二栅电极，
其中所述第二半导体膜包括氧化物半导体，以及
其中所述第一源电极和所述第一漏电极中的一个与所述第二栅电极重叠，其中在其间有所谓第二绝缘膜。
12. 根据权利要求 11 所述的半导体装置，其中所述氧化物半导体是 In-Ga-Zn-O 基氧化物半导体。
13. 根据权利要求 11 所述的半导体装置，其中所述氧化物半导体的氢浓度是 $5 \times 10^{19} / \text{cm}^3$ 或更小。
14. 根据权利要求 11 所述的半导体装置，其中所述第二晶体管的截止状态电流密度是 $100 \text{ zA} / \mu \text{m}$ 或更小。
15. 根据权利要求 11 所述的半导体装置，其中所述第二绝缘膜位于所述第一源电极和所述第一漏电极之上。
16. 一种半导体装置，包括：

- 第一线；
第二线；
第三线；
第四线；以及
存储器单元，包括第一晶体管和第二晶体管，
其中所述第一晶体管包括：
第一栅电极；
第一绝缘膜，在所述第一栅电极之上；
第一半导体膜，在所述第一绝缘膜之上；
第一源电极，与所述第一半导体膜电接触；
第一漏电极，与所述第一半导体膜电接触；
第二绝缘膜，在所述第一半导体膜、所述第一源电极和所述第一漏电极之上；以及
第二栅电极，在所述第二绝缘膜之上，
其中所述第二晶体管包括：
第三栅电极；
第三绝缘膜，在所述第三栅电极之上；
第二半导体膜，在所述第三绝缘膜之上；
第四绝缘膜，在所述第二半导体膜之上；
第二源电极，与所述第二半导体膜电接触；以及
第二漏电极，与所述第二半导体膜电接触，
其中所述第一晶体管的所述第一栅电极电连接到所述第一线，
其中所述第二晶体管的所述第三栅电极电连接到所述第二线，
其中所述第一晶体管的所述第一源电极和所述第一漏电极中的一个电连接到所述第三线，
其中所述第二晶体管的所述第二源电极和所述第二漏电极中的一个电连接到所述第四线，
其中所述第二晶体管的所述第二源电极和所述第二漏电极中的另一个电连接到所述第一晶体管的所述第二栅电极，
其中所述第一半导体膜和所述第二半导体膜包括氧化物半导体，以及
其中所述第一源电极和所述第一漏电极中的一个与所述第二栅电极重叠，其中在其间有所谓第二绝缘膜。
17. 根据权利要求 16 所述的半导体装置，其中所述氧化物半导体是 In-Ga-Zn-O 基氧化物半导体。
18. 根据权利要求 16 所述的半导体装置，其中所述氧化物半导体的氢浓度是 $5 \times 10^{19} / \text{cm}^3$ 或更小。
19. 根据权利要求 16 所述的半导体装置，其中所述第二晶体管的截止状态电流密度是 $100 \text{ zA} / \mu \text{m}$ 或更小。
20. 根据权利要求 16 所述的半导体装置，其中所述第二绝缘膜位于所述第一源电极和所述第一漏电极之上。

21. 一种半导体装置,包括多个存储器单元,
其中所述多个存储器单元中的每个包括第一晶体管和第二晶体管,
其中所述第一晶体管包括:
第一栅电极;
第二栅电极,在所述第一栅电极之上;以及
第一沟道形成区域,在所述第一栅电极和所述第二栅电极之间,
其中所述第二晶体管包括第二沟道形成区域,所述第二沟道形成区域包括氧化物半导体,以及

其中所述第二晶体管的第一端子和第二端子中的一个电连接到所述第一晶体管的所述第二栅电极。

22. 根据权利要求 21 所述的半导体装置,其中所述氧化物半导体是 In-Ga-Zn-O 基氧化物半导体。

23. 根据权利要求 21 所述的半导体装置,其中所述氧化物半导体的氢浓度是 $5 \times 10^{19}/\text{cm}^3$ 或更小。

24. 根据权利要求 21 所述的半导体装置,其中所述第二晶体管的截止状态电流密度是 $100\text{zA}/\mu\text{m}$ 或更小。

存储器装置和半导体装置

技术领域

[0001] 本发明涉及非易失性半导体存储器装置。特别地,本发明涉及存储数据的存储器单元的结构及其驱动方法。

背景技术

[0002] 半导体存储器装置(在下文中,简单地称为存储器装置)的示例包括 DRAM 和 SRAM,其被归类为易失性存储器;掩蔽型 ROM、EPROM、EEPROM、闪速存储器和铁电存储器,其被归类为非易失性存储器;等等。包括单晶半导体衬底的这些存储器中的大部分已经投入实际使用。在上文的半导体存储器之中,闪速存储器被广泛销售,其主要用于例如 USB 存储器和存储器卡等移动存储介质。其原因是闪速存储器耐物理冲击,并且可以方便地使用,因为它们是可以重复写入和删除数据并且可以在不供应电力的情况下存储数据的非易失性存储器。

[0003] 作为闪速存储器的类型,存在 NAND 闪速存储器(其中多个存储器单元串联连接)和 NOR 闪速存储器(其中多个存储器单元采用矩阵设置)。这些闪速存储器中的任何存储器具有在每个存储器单元中起存储器元件的作用的晶体管。此外,起存储器元件作用的该晶体管具有在栅电极和充当有源层的半导体膜之间用于积累电荷的电极,称其为浮动栅极。该浮动栅极中电荷的积累实现数据的存储。

[0004] 专利文献 1 和 2 描述包括在玻璃衬底之上形成的浮动栅极的薄膜晶体管。

[0005] [参考文献]

[0006] [专利文献]

[0007] [专利文献 1] 日本专利申请公开第 H6-021478 号

[0008] [专利文献 2] 日本专利申请公开第 2005-322899 号。

发明内容

[0009] 注意,一般来说,在数据写入中施加于非易失性存储器的存储器元件的电压的绝对值近似是 20V,其趋向高于施加于易失性存储器的存储器元件的电压的绝对值。在可以重复重写数据的闪速存储器的情况下,在数据擦除以及数据写入中高电压需要施加于用作存储器元件的晶体管。因此,当闪速存储器操作时(例如在数据写入和数据擦除中)功耗变高,这是包括闪速存储器作为存储器装置的电子装置消耗高功率的一个因素。特别地,当闪速存储器用于例如照相机和移动电话等便携式电子装置时,高功耗引起短的不断使用时间的劣势。

[0010] 另外,尽管闪速存储器是非易失性存储器,但是数据由于电荷的轻微泄露而丢失。因此,迄今为止数据存储期近似是五年到十年,并且希望实现能够确保更长存储期的闪速存储器。

[0011] 此外,尽管闪速存储器可以重复写入和擦除数据,但是当电荷在浮动栅极中积累时,栅极绝缘膜容易由隧道电流而变差。因此,在一个存储器元件中数据重写的次数近似是

至多一万至十万次,并且希望实现可以重写一万至十万或更多次的闪速存储器。

[0012] 鉴于上文的问题,本发明的目的是提供可以抑制其功耗的存储器装置和使用该存储器装置的半导体装置。此外,本发明的目的是提供可以更长期存储数据的存储器装置和使用该存储器装置的半导体装置。此外,本发明的目的是提供可以多次重写数据的存储器装置和使用该存储器装置的半导体装置。

[0013] 在本发明的实施例中,非易失性存储器装置使用晶体管形成,该晶体管充当存储器元件并且除平常的栅电极外还包括用于控制阈值电压的第二栅电极。另外,在上文的存储器装置中,为了写入数据,电荷没有用高电压注入由绝缘膜环绕的浮动栅极;相反,用于控制用作存储器元件的该晶体管的阈值电压的该第二栅电极的电势用具有极低截止状态电流的晶体管控制。也就是说,根据本发明的一个实施例的存储器装置至少包括晶体管(其阈值电压由该第二栅电极控制)、用于保持该第二栅电极的电势的电容器、以及用作用于控制该电容器的充电和放电的开关元件的晶体管。

[0014] 用作存储器元件的晶体管的阈值电压的偏移量由第二栅电极的电势的高度来控制,更具体地,由源电极和第二栅电极之间的电势差来控制。另外,阈值电压的高度差或由阈值电压的高度差引起的源电极和漏电极之间的电阻差导致存储在存储器元件中的数据差别。

[0015] 用作存储器元件的晶体管可以是任何东西只要它是绝缘栅型场效应晶体管即可。具体地,晶体管包括第一栅电极、第二栅电极、位于第一栅电极和第二栅电极之间的半导体膜、位于第一栅电极和半导体膜之间的第一绝缘膜、位于第二栅电极和半导体膜之间的第二绝缘膜,以及与半导体膜接触的源电极和漏电极。

[0016] 此外,用作开关元件的晶体管具有沟道形成区域,其包括带隙比硅宽并且本征载流子密度比硅低的半导体材料。利用包括具有上文的特性的半导体材料的沟道形成区域,可以实现具有极低截止状态电流的晶体管。作为这样的半导体材料,例如可以给出氧化物半导体、碳化硅、氮化镓,或具有近似为硅的三倍的带隙宽度的类似物。

[0017] 注意氧化物半导体是示出半导体特性的金属氧化物,这些特性包括是微晶硅或多晶硅的特性的高迁移率 and 是非晶硅的均匀的特性两者。另外,通过减少杂质(其可以是电子施主(施主),例如水分或氢等)而高度纯化的氧化物半导体(纯化 OS)是 i 型(本征半导体)或大致上 i 型。包括上文的氧化物半导体的晶体管具有极低的截止状态电流的性质。具体地,在去除包括于氧化物半导体中的例如水分或氢等杂质后,通过二次离子质谱法(SIMS)测量的氧化物半导体中的氢浓度的值是 $5 \times 10^{19}/\text{cm}^3$ 或更小,优选为 $5 \times 10^{18}/\text{cm}^3$ 或更小,更优选为 $5 \times 10^{17}/\text{cm}^3$ 或更小,并且进一步优选为 $5 \times 10^{16}/\text{cm}^3$ 或更小。另外,可以通过霍尔效应测量而测量的氧化物半导体膜的载流子密度小于 $1 \times 10^{14}/\text{cm}^{-3}$,优选为小于 $1 \times 10^{12}/\text{cm}^{-3}$,更优选为小于 $1 \times 10^{11}/\text{cm}^{-3}$,其是最小测量极限或更小。即,氧化物半导体膜中的载流子密度极接近零。此外,氧化物半导体的带隙是 2eV 或更大,优选为 2.5eV 或更大,更优选为 3eV 或更大。利用通过例如水分或氢等杂质的浓度的足够减少而高度纯化的氧化物半导体膜,可以减小晶体管的截止状态电流。

[0018] 这里描述氧化物半导体膜和导电膜中的氢浓度的分析。氧化物半导体膜和导电膜中的氢浓度通过 SIMS 测量。已知在原理上难以通过 SIMS 在样品的表面附近或在使用不同材料形成的层叠膜之间的界面附近获得数据。从而,在膜的氢浓度在厚度方向上的分布通

过 SIMS 分析的情况下,采用在其中提供膜并且可以从其获得彼此没有大的改变并且几乎相同的值的区域中的平均值作为氢浓度。此外,在膜的厚度小的情况下,由于邻近彼此的膜的氢浓度的影响,在一些情况下找不到可以从其获得几乎相同的值的区域。在该情况下,采用提供有膜的区域的氢浓度的最大值或最小值作为膜的氢浓度。此外,在具有最大值的山形峰和具有最小值的谷形峰在提供膜的区域中不存在的情况下,采用拐点的值作为氢浓度。

[0019] 注意,发现通过溅射等形成的氧化物半导体膜包括大量水分或氢作为杂质。水分或氢容易形成施主能级,并且从而自身充当氧化物半导体中的杂质。从而,在本发明的一个实施例中,在氢气氛、氧气氛、超干空气(其中水的含量是 20ppm 或更小,优选为 1ppm 或更小,并且更优选为 10ppb 或更小的气体)的气氛或稀有气体(例如,氩和氦)气氛中对氧化物半导体膜进行热处理,以便减少该氧化物半导体膜中的例如水分或氢等杂质。上文的热处理优选在 500℃ 至 850℃ (备选地,玻璃衬底的应变点或更小)(含)进行,更优选为在 550℃ 至 750℃ (含)进行。注意该热处理在不超过约要使用的衬底的温度上限的温度进行。通过热处理消除水分或氢的效果通过热脱附谱(TDS)确认。

[0020] 炉中的热处理或快速热退火法(RTA 法)用于该热处理。作为该 RTA 法,可以采用使用灯光源的方法或其中短时间进行热处理并且在加热气体中移动衬底的方法。通过使用该 RTA 法,使热处理必需的时间短于 0.1 小时也是可能的。

[0021] 具体地,在使用通过上文的热处理而高度纯化的氧化物半导体膜作为有源层的晶体管中,例如甚至在具有 $1 \times 10^6 \mu\text{m}$ 的沟道宽度(W)和 $10 \mu\text{m}$ 的沟道长度(L)的元件中,在源电极和漏电极之间 1V 至 10V 电压的范围中,获得小于或等于半导体参数分析器的测量极限(即,小于或等于 $1 \times 10^{-13}\text{A}$)的截止状态电流(其在栅电极和源电极之间的电压是 0V 或更小的情况下是漏极电流)是可能的。因此,发现对应于采用这样的方式(截止状态电流的值除以晶体管的沟道宽度的值)计算的数值的截止状态电流密度是 $100\text{zA}/\mu\text{m}$ 或更小。另外,晶体管的截止状态电流通过使用其中包括高度纯化的氧化物半导体膜的 100nm 厚栅极绝缘膜用作用于保持电容器的电荷的开关元件的晶体管由电容器中电荷量每单位时间的转变来测量。然后,发现当晶体管的源电极和漏电极之间的电压是 3V 时,低截止状态电流可以低至 $10\text{zA}/\mu\text{m}$ 至 $100\text{zA}/\mu\text{m}$ 。因此,在与本发明的实施例相关的存储器装置中,包括高度纯化氧化物半导体膜作为有源层的晶体管的截止状态电流密度可以小于或等于 $100\text{zA}/\mu\text{m}$,优选为小于或等于 $10\text{zA}/\mu\text{m}$,或更优选为小于或等于 $1\text{zA}/\mu\text{m}$ 。因此,当栅电极和源电极之间的电压是 0V 或更小时,其中高度纯化氧化物半导体膜用作有源层的晶体管的截止状态电流远低于其中使用具有结晶性的硅的晶体管。

[0022] 另外,包括高度纯化氧化物半导体的晶体管几乎没有示出截止状态电流的温度依赖性。可以说这是因为氧化物半导体通过去除作为该氧化物半导体中的电子施主(施主)的杂质而高度纯化,并且导电型接近本征,使得费米能级位于禁带中间。这还产生于该氧化物半导体具有 3eV 或更大的能隙并且包括非常少的热激发载流子的事实。另外,源电极和漏电极处于衰退状态,其也是没有示出温度依赖性的因素。该晶体管主要用从该衰退源电极注入该氧化物半导体的载流子操作,并且截止状态电流在温度中的上述独立性可以由载流子密度在温度中的独立性解释。

[0023] 作为氧化物半导体,可以使用例如 In-Sn-Ga-Zn-O 基氧化物半导体等四金属元素

的氧化物；例如 In-Ga-Zn-O 基氧化物半导体、In-Sn-Zn-O 基氧化物半导体、In-Al-Zn-O 基氧化物半导体、Sn-Ga-Zn-O 基氧化物半导体、Al-Ga-Zn-O 基氧化物半导体和 Sn-Al-Zn-O 基氧化物半导体等三金属元素的氧化物；例如 In-Zn-O 基氧化物半导体、Sn-Zn-O 基氧化物半导体、Al-Zn-O 基氧化物半导体、Zn-Mg-O 基氧化物半导体、Sn-Mg-O 基氧化物半导体、In-Mg-O 基氧化物半导体和 In-Ga-O 基氧化物半导体等二金属元素的氧化物；Sn-O 基氧化物半导体；Zn-O 基氧化物半导体；等等。注意在本说明书中，例如 In-Sn-Ga-Zn-O 基氧化物半导体意味着包括铟(In)、锡(Sn)、镓(Ga)和锌(Zn)的金属氧化物，并且对化学计量组分比例没有特别限制。上文的氧化物半导体可包括硅。

[0024] 备选地，氧化物半导体可以由化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示。这里，M 表示从 Ga、Al、Mn 和 Co 选择的一个或多个金属元素。

[0025] 具有低截止状态电流的晶体管用作保持于存储器元件中积累的电荷的开关元件，由此可以防止电荷从该存储器元件泄露。因此，可以提供能够长时间存储数据的存储器装置和使用该存储器装置的半导体装置。

[0026] 此外，向存储器元件写入数据和从存储器元件读取数据需要的电压几乎由起开关元件作用的晶体管的操作电压确定。因此，可以提供其中操作电压与常规闪速存储器相比可以大幅降低并且可以抑制其功耗的存储器装置，以及使用该存储器装置的半导体装置。

[0027] 此外，因为与常规闪速存储器相比可以抑制栅极绝缘膜通过隧道电流的退化，所以可以提供其中可以增加重写次数的存储器装置以及使用该存储器装置的半导体装置。

附图说明

[0028] 图 1A 和 1B 图示存储器单元的结构。

[0029] 图 2A 图示存储器元件的结构并且图 2B 图示其操作。

[0030] 图 3A 和 3B 各自图示存储器单元的结构。

[0031] 图 4A 和 4B 各自图示存储器单元的结构。

[0032] 图 5 图示单元阵列的结构。

[0033] 图 6 图示单元阵列的结构。

[0034] 图 7 是图示存储器装置的驱动方法的时序图。

[0035] 图 8 图示存储器装置的结构。

[0036] 图 9 图示读取电路的结构。

[0037] 图 10A 至 10E 是图示存储器装置的制造方法的存储器单元的截面图。

[0038] 图 11A 和 11B 是存储器单元的俯视图。

[0039] 图 12 是其中使用氧化物半导体的反向交错晶体管的纵截面图。

[0040] 图 13 是沿图 12 中的截面 A-A' 的能带图(示意图)。

[0041] 图 14A 图示正电势(+VG)施加于栅电极(GE)的状态，并且图 14B 图示负电势(-VG)施加于栅电极(GE)的状态。

[0042] 图 15 图示真空能级和金属的功函数(ϕ_m)之间的关系与真空能级和氧化物半导体的电子亲和性(χ)之间的关系。

[0043] 图 16A 和 16B 图示存储器介质的结构。

[0044] 图 17A 至 17C 各自图示电子装置的结构。

- [0045] 图 18 图示用于测量的电路的结构。
- [0046] 图 19 示出测量结果(经过时间 Time 和输出电势 V_{out} 之间的关系)。
- [0047] 图 20 示出测量结果(源极-漏极电压 V 和截止状态电流 I 之间的关系)。
- [0048] 图 21 是图示存储器装置的驱动方法的时序图。

具体实施方式

[0049] 在下文中,本发明的实施例将参照附图详细描述。注意本发明不限于下列描述,并且本领域内技术人员容易理解方式和细节可以采用各种方式修改而不偏离本发明的范围和精神。因此,本发明不应该解释为限于下文的实施例的描述。

[0050] 注意本发明在它的类别中包括所有其中可以使用存储器装置的半导体装置:例如,如微处理器和图像处理电路、RF 标签、存储器介质、以及半导体显示装置等集成电路。此外,半导体显示装置在它的类别中包括其中使用半导体膜的电路元件包括在像素部分或驱动器电路中的半导体显示装置(例如液晶显示装置等)、其中为每个像素提供以有机发光元件(OLED)为代表的发光元件的发光装置、电子纸、数字微镜装置(DMD)、等离子体显示面板(PDP)、场发射显示器(FED)等等。

[0051] (实施例 1)

[0052] 图 1A 图示作为本发明的存储器装置的最小单位的存储器单元的电路图的一个示例。图 1A 中的存储器单元 100 包括起存储器元件作用的晶体管 101,以及可以控制到晶体管 101 的第二栅电极的电势的供应并且起开关元件作用的晶体管 102。此外,存储器单元可包括用于保持晶体管 101 的第二栅电极的电势的电容器 103。

[0053] 注意存储器单元 100 可视需要进一步具有例如二极管、电阻器或电感器等另一电路元件。

[0054] 起存储器元件作用的晶体管 101 具有第一栅电极、第二栅电极、位于第一栅电极和第二栅电极之间的半导体膜、位于第一栅电极和半导体膜之间的第一绝缘膜、位于第二栅电极和半导体膜之间的第二绝缘膜、以及提供与半导体膜接触的源电极和漏电极。利用晶体管 101 的第一栅电极、第二栅电极、源电极、以及漏电极的电势,可以控制存储器装置的各种操作。

[0055] 起开关元件作用的晶体管 102 具有沟道形成区域,其包括与硅的相比具有宽带隙和低本征载流子密度的半导体材料。截止状态电流可以通过对晶体管 102 的沟道形成区域使用这样的半导体材料而充分减小。

[0056] 作为其带隙比硅半导体宽并且其本征载流子密度比硅低的半导体材料的一个示例,可以采用例如碳化硅(SiC)或氮化镓(GaN)等化合物半导体、用例如氧化锌(ZnO)等金属氧化物形成的氧化物半导体等。在上文中,因为氧化物半导体可以通过溅射、湿法工艺(例如,印刷法)等形成,所以氧化物半导体具有高批量生产率的优势。另外,氧化物半导体的沉积温度是 300℃至 500℃(玻璃转变温度或更低,并且最大近似 700℃),而碳化硅的工艺温度和氮化镓的工艺温度分别是近似 1500℃和近似 1100℃。因此,氧化物半导体可以在便宜可用的玻璃衬底之上形成,并且在使用不具有高到足够耐受在 1500℃至 2000℃的热处理的耐热性的半导体材料的集成电路之上层叠由氧化物半导体形成的半导体元件是可能的。此外,可以使用更大的衬底。因此,在具有宽带隙的半导体中,氧化物半导体特别具有

高批量生产率的优势。此外,在要获得具有高结晶性的氧化物半导体以便提高晶体管的性质(例如,场效应迁移率)的情况下,具有结晶性的氧化物半导体可以通过在 450℃至 800℃的热处理容易地获得。

[0057] 在下列描述中,其中具有上文优势的氧化物半导体用作第二晶体管 102 的半导体膜的情况作为示例给出。

[0058] 注意尽管在图 1A 中,存储器单元 100 包括起开关元件作用的一个晶体管 102,但是本发明不限于该结构。在本发明的一个实施例中,只要在每个存储器单元中提供起开关元件作用的一个晶体管就是可接受的,并且这样的晶体管的数量可为多个。在存储器单元 100 包括起开关元件作用的多个晶体管的情况下,该多个晶体管可彼此并联、串联连接,或采用并联连接和串联连接的组合。

[0059] 注意其中晶体管彼此串联连接的状态指其中第一晶体管的仅源电极和漏电极中的一个连接到第二晶体管的仅源电极和漏电极中的一个的状态。此外,其中晶体管彼此并联连接的状态指其中第一晶体管的源电极连接到第二晶体管的源电极并且第一晶体管的漏电极连接到第二晶体管的漏电极的状态。

[0060] 另外,起开关元件作用的晶体管 102 与起存储器元件作用的晶体管 101 的不同之处在于只要包括提供在有源层的一侧上的栅电极就是可接受的。注意本发明不限于该结构,并且起开关元件作用的晶体管可像起存储器元件作用的晶体管那样包括在其间具有有源层的一对栅电极。

[0061] 此外,在本发明的一个实施例中,只要至少起开关元件作用的晶体管 102 具有在有源层中具有宽带隙的上文的半导体材料就是可接受的。因此,氧化物半导体膜可用于起存储器元件作用的晶体管 101 的有源层。备选地,对于起存储器元件作用的晶体管 101 的有源层,可使用除氧化物半导体外的下列半导体:非晶硅、微晶硅、多晶硅、单晶硅、非晶锗、微晶锗、多晶锗、单晶锗等。注意当氧化物半导体膜用于存储器单元 100 的所有晶体管时,可以简化工艺。

[0062] 然后,将描述图 1A 中存储器单元 100 中的晶体管 101、晶体管 102 和电容器 103 的连接关系。

[0063] 晶体管 102 的栅电极连接到写入字线 WL。晶体管 102 的源电极和漏电极中的一个连接到输入数据线 Din,并且晶体管 102 的源电极和漏电极中的另一个连接到晶体管 101 的第二栅电极。晶体管 101 的第一栅电极连接到读取字线 RL。晶体管 101 的源电极和漏电极中的一个连接到输出数据线 Dout,并且晶体管 101 的源电极和漏电极中的另一个连接到供应有例如地电势等固定电势的电力供应线。

[0064] 此外,电容器 103 的一对电极中的一个连接到晶体管 101 的第二栅电极,并且电容器 103 的该对电极中的另一个连接到供应有例如地电势等固定电势的电力供应线。

[0065] 注意在本说明书中术语“连接”指电连接并且对应于其中可以供应或传输电流、电势或电压的状态。因此,连接状态不仅意味直接连接的状态,而且意味通过例如布线、电阻器、二极管或晶体管等电路元件间接连接的状态(从而可以供应或传输电流、电势或电压)。

[0066] 另外,即使当在电路图中不同的部件彼此连接时,实际上存在一个导电膜具有多个部件的功能的情况,例如布线的一部分充当电极的情况等。术语“连接”还意味一个导电膜具有多个部件的功能这样的情况。

[0067] 包括在晶体管中的“源电极”和“漏电极”的名称根据晶体管的极性或施加于相应电极的电势电平之间的差别而彼此交换。一般而言,在 n 沟道晶体管中,向其施加较低电势的电极称为源电极,并且向其施加较高电势的电极称为漏电极。此外,在 p 沟道晶体管中,向其施加较低电势的电极称为漏电极,并且向其施加较高电势的电极称为源电极。在本说明书中,为了方便起见,尽管假定源电极和漏电极在一些情况下固定而描述晶体管的连接关系;然而,实际上源电极和漏电极的名称根据上文的电势之间的关系而彼此交换。

[0068] 注意在图 1A 中,晶体管 102 在有源层的一侧上具有栅电极。当晶体管 102 具有在其间具有有源层的一对栅电极时,这些栅电极中的一个连接到写入字线 WL,并且这些栅电极中的另一个可处于浮动状态(即,电绝缘)或可供应有电势。在后者的情况下,具有相同电势的电势可施加于该对电极,或例如地电势等固定电势可仅施加于栅电极中的该另一个。当控制供应给栅电极中的该另一个的电势电平时,可以控制晶体管 102 的阈值电压。

[0069] 然后,图 1B 图示具有图 1A 中的电路结构的存储器单元 100 的截面图的一个示例。图 1B 中的存储器单元在具有绝缘表面的衬底 110 之上包括起存储器元件作用的晶体管 101 和起开关元件作用的晶体管 102。

[0070] 具体地,晶体管 101 在具有绝缘表面的衬底 110 之上包括:第一栅电极 121;在该第一栅电极 121 之上的绝缘膜 112;充当有源层并且与第一栅电极 121 重叠的氧化物半导体膜 123,其中在其间提供该绝缘膜 112;在氧化物半导体膜 123 之上的源电极 124 和漏电极 125;在氧化物半导体膜 123、源电极 124 和漏电极 125 之上的绝缘膜 116;以及在绝缘膜 116 之上与氧化物半导体膜 123 重叠的第二栅电极 126。此外,绝缘膜 117 在第二栅电极 126 之上形成并且可包括为晶体管 101 的部件。

[0071] 另外,晶体管 102 在具有绝缘表面的衬底 110 之上包括:栅电极 111;在栅电极 111 之上的绝缘膜 112;充当有源层并且与栅电极 111 重叠的氧化物半导体膜 113,其中在其间提供该绝缘膜 112;以及在氧化物半导体膜 113 之上的源电极 114 和漏电极 115。绝缘膜 116 在氧化物半导体膜 113、源电极 114 以及漏电极 115 之上形成,并且绝缘膜 116 可包括为晶体管 102 的部件。

[0072] 另外,电容器 103 在晶体管 101 的源电极 124 和第二栅电极 126(其中在其间提供绝缘膜 116)彼此重叠的区域中形成。

[0073] 接着,作为起存储器元件作用的晶体管的操作的一个示例,将参照图 2A 和 2B 描述当晶体管 101 是 n 沟道晶体管并且使用二进制数据时的操作。注意,图 2A 图示晶体管 101 的电路图。包括在晶体管 101 中的每个电极的电势表示如下:第一栅电极的电势表示为 V_{cg} ,第二栅电极的电势表示为 V_{bg} ,源电极的电势表示为 V_s ,并且漏电极的电势表示为 V_d 。

[0074] 首先,将描述数据写入中晶体管 101 的操作。在数据写入中,等于或低于阈值电压 V_{th0} 的电压施加在晶体管 101 的第一栅电极和源电极之间。注意阈值电压 V_{th0} 对应于当第二栅电极的电势 V_{bg} 等于地电势 V_{gnd} 时晶体管 101 的阈值电压。具体地,数据写入中第一栅电极的电势和源电极的电势之间的关系是 $(V_{cg}-V_s) \leq V_{th0}$ 。因此,晶体管 101 在数据写入中处于截止状态,并且晶体管 101 的漏电极具有高阻抗。

[0075] 然后,在数据写入中,第二栅电极的电势 V_{bg} 的电平根据写入的数据值控制。当使用二进制数据时,高电势 V_{dd} 或低电势 V_{ss} 施加于第二栅电极。电势之间的关系可以表达为 $V_{dd} > V_{ss} \geq V_{gnd}$ 。例如,当第二栅电极的电势 V_{bg} 是等于 V_{gnd} 的低电势 V_{ss} 时,晶体管

101 的阈值电压保持在 V_{th_0} 。另一方面,当第二栅电极的电势 V_{bg} 是高电势 V_{dd} 时,晶体管 101 的阈值电压偏移到负侧并且变成 V_{th_1} 。

[0076] 注意,尽管在实施例 1 中,作为示例描述了数据写入中低电势 V_{ss} 等于 V_{gnd} 的情况,但是低电势 V_{ss} 不需要等于地电势 V_{gnd} 。例如, $V_{dd} > V_{ss} \geq V_{gnd}$ 也是可接受的。注意在该情况下,阈值电压的偏移量小于当第二栅电极的电势 V_{bg} 是高电势 V_{dd} 时的阈值电压的偏移量。

[0077] 接着,将描述数据存储中晶体管 101 的操作。在数据存储中,起开关元件作用的晶体管 102 处于截止状态。因为晶体管 102 的截止状态电流如上文描述的是极低的,所以保持在数据写入中设置的电势 V_{bg} 的电平。

[0078] 然后,将描述数据读取中晶体管 101 的操作。在数据读取中,高于阈值电压 V_{th_1} 并且低于阈值电压 V_{th_0} 的电压施加于晶体管 101 的第一栅电极和源电极。

[0079] 在数据读取之前进行的最后一次数据写入中使晶体管 101 的阈值电压为 V_{th_1} 的情况下,因为晶体管 101 的第一栅电极和源电极之间的电压变得高于阈值电压 V_{th_1} ,所以打开晶体管 101,使得源电极和漏电极之间的电阻降低。因此,晶体管 101 的源电极的电势 V_s 供应给晶体管 101 的漏电极。另一方面,在数据读取之前进行的最后一次数据写入中使晶体管 101 的阈值电压为 V_{th_0} 的情况下,当第一栅电极和源电极之间的电压高于阈值电压 V_{th_1} 但低于阈值电压 V_{th_0} 时保持晶体管 101 截止。因此,源电极和漏电极之间的电阻高,使得晶体管 101 的漏电极保持高阻抗。

[0080] 因此,漏电极的电势 V_d 根据在数据读取之前进行的最后一次数据写入中施加于第二栅电极的电势的电平来确定。图 2B 图示数据读取中晶体管 101 的第一栅电极的电势 V_{cg} 和漏极电流 I_d 。线 130 图示当阈值电压是 V_{th_1} 时电势 V_{cg} 和漏极电流 I_d 之间的关系。线 131 图示当阈值电压是 V_{th_0} 时电势 V_{cg} 和漏极电流 I_d 之间的关系。如在图 2B 中图示的,当第一栅电极和源电极之间的电压是高于阈值电压 V_{th_1} 并且低于阈值电压 V_{th_0} 的电压 V_{read} 时,从线 130 和线 131 理解到在阈值电压是 V_{th_1} 的情况下获得的漏极电流 I_{d_1} 高于在阈值电压是 V_{th_0} 的情况下获得的漏极电流 I_{d_0} 。因此,当读取漏电极的漏极电流 I_d 或电势 V_d 的量时,可以理解写入数据的值。

[0081] 注意在实施例 1 中,尽管描述了在数据读取中,第一栅电极和源电极之间的电压高于阈值电压 V_{th_1} 并且低于阈值电压 V_{th_0} 的情况,但是本发明不限于该结构。在数据读取中第一栅电极和源电极之间的电压不需要低于或等于阈值电压 V_{th_0} 。例如,在数据读取之前进行的最后一次数据写入中使晶体管 101 的阈值电压为 V_{th_1} 的情况下,当第一栅电极和源电极之间的电压在数据读取中高于阈值电压 V_{th_0} 时,打开晶体管 101,使得源电极和漏电极之间的电阻降低。在那时的源电极和漏电极之间的电阻由 R_{ds_0} 指代。另一方面,在数据读取之前进行的最后一次数据写入中使晶体管 101 的阈值电压为 V_{th_0} 的情况下,当第一栅电极和源电极之间的电压在数据读取中高于阈值电压 V_{th_0} 时,打开晶体管 101,使得源电极和漏电极之间的电阻降低。在那时的源电极和漏电极之间的电阻由 R_{ds_1} 指代。晶体管 101 至少在阈值电压是 V_{th_1} 的情况下在饱和区域中操作;因此,即使当晶体管 101 在晶体管 101 的阈值电压是 V_{th_1} 和晶体管 101 的阈值电压是 V_{th_0} 的两个情况下处于导通状态时,源电极和漏电极之间的电阻的差别也可以表达为 $R_{ds_0} < R_{ds_1}$ 。具体地,当 V_{gs} 代表第一栅电极和源电极之间的电压时,并且当 V_{ds} 代表源电极和漏电极之间的电压时,晶体管 101 应该在

$|V_{ds}| > |V_{gs} - V_{th_0}|$ 的范围中操作。当源电极和漏电极之间的电阻的差别表达为 $R_{ds_0} < R_{ds_1}$ 时,即使当第一栅电极和源电极之间的电压在数据读取中高于阈值电压 V_{th_0} 时,漏电极的电势 V_d 也可以根据在数据读取之前进行的最后一次数据写入中施加于第二栅电极的电势的电平来确定。例如,如在图 2B 中图示的,当第一栅电极和源电极之间的电压是高于阈值电压 V_{th_0} 的电压 V_{read}' 时,从线 130 和线 131 理解到在阈值电压是 V_{th_1} 的情况下获得的漏极电流 I_{d_1}' 高于在阈值电压是 V_{th_0} 的情况下获得的漏极电流 I_{d_0}' 。因此,读取漏电极的漏极电流 I_d 或电势 V_d 的量,从而可以理解写入数据的值。

[0082] 然后,将描述数据擦除中晶体管 101 的操作。在数据擦除中,等于或低于阈值电压 V_{th_1} 的电压施加在晶体管 101 的第一栅电极和源电极之间,如同在数据写入中那样。具体地,在数据擦除中第一栅电极的电势和源电极的电势之间的关系是 $(V_{cg} - V_s) \leq V_{th_1}$ 。因此,晶体管 101 在数据擦除中处于截止状态,并且晶体管 101 的漏电极具有高阻抗。另外,在数据擦除中,第二栅电极的电势 V_{bg} 设置为例如地电势等固定电势,并且晶体管 101 的阈值电压设置为 V_{th_0} 。

[0083] 注意在实施例 1 中,尽管解释了从其擦除写入数据的存储器装置的驱动方法,但是本发明不限于该结构。根据本发明的一个实施例的存储器装置与常规闪速存储器的不同之处是数据擦除不是必须的,其是优势中的一个。因此,例如可以写入另一个数据使得写入的数据被重写。

[0084] 注意在平常的闪速存储器的情况下,在数据写入中,其中积累电荷的浮动栅极用绝缘膜覆盖并且处于绝缘状态。因此,近似 20V 的高压需要施加于存储器元件以便电荷可通过使用隧道效应而积累在浮动栅极中。另一方面,在本发明的一个实施例中,写入和读取可以通过使用包括高度纯化氧化物半导体膜作为晶体管的有源层的晶体管来进行。因此,对于存储器装置的操作需要若干伏的电压,使得功耗可以明显减少。注意因为用于闪速存储器的存储器元件的晶体管和用于根据本发明的一个实施例的存储器元件的晶体管在结构和驱动方法上是不同的,所以难以通过施加于存储器元件的每个电极的电势准确理解功耗的差别。然而,例如当仅比较数据写入中的功耗时,数据可以在施加在第二栅电极和源电极之间的电压是 5V 的情况下充分写入根据本发明的一个实施例的存储器装置。相反,在平常的闪速存储器中,需要至少近似 16V 的电压施加在栅电极和源电极之间以使得通过在浮动栅极中积累电荷而写入数据。晶体管的功耗对应于通过将晶体管的栅极电压的平方除以晶体管的负载电阻而获得的值。从而,发现根据本发明的一个实施例的存储器装置的功耗是平常的闪速存储器的近似 10%。因此,从数据写入中功耗的比较理解到操作中的功耗可以大幅减少。

[0085] 注意,在使用平常的闪速存储器的半导体装置中,因为对于闪速存储器的操作需要的电压(操作电压)为高,所以施加于闪速存储器的电压通常通过使用升压 dc-dc 转换器等提升。然而,因为存储器装置的操作电压可以在根据本发明的一个实施例的存储器装置中降低,所以减少功耗是可能的。因此,可以减小在半导体装置中用于存储器装置的操作的外部电路(例如升压 dc-dc 转换器等)的负载,使得外部电路的功能扩展,并且可以实现半导体装置的更高性能。此外,可以降低存储器装置的操作电压,使得需要来弥补由高操作电压引起的故障的冗余电路设计是不必要的;因此用于半导体装置的集成电路的集成密度可以增加,并且可以形成更高性能的半导体装置。

[0086] 此外,在实施例 1 中,尽管描述了使用二进制数字数据时的驱动方法,但是本发明的存储器装置还可以使用具有三个或更多值的多值数据。在使用具有三个或更多值的多值数据的情况下,允许在数据写入中选择第二栅电极的电势 V_{bg} 的三个或更多电平。因为阈值电压的值由第二栅电极的电势 V_{bg} 控制,所以通过采用上文的结构,阈值电压的三个或更多电平可以根据第二栅电极的电势 V_{bg} 的电平来设置。多值数据可以使用由阈值电压的电平的差别引起的漏极电流的差别或由阈值电压的电平的差别引起的源电极和漏电极之间的电阻的差别而读取。此外,作为另一个方法,提前准备其电平稍稍高于阈值电压的电平的电压,并且将电压施加于第一栅电极使得数据根据阈值电压的电平而读取。例如,在读取四值数据的情况下,提前准备稍稍高于四电平阈值电压(V_{th0} 、 V_{th1} 、 V_{th2} 、 V_{th3})的四个电压(V_{read0} 、 V_{read1} 、 V_{read2} 、 V_{read3}),并且通过使用该四个电压读取数据四次;因此,可以读取该四值数据。通过上文的结构,存储器装置的存储能力可以增加并且防止存储器装置的面积扩大。

[0087] 注意在数据中具有三个或更多值的多值数据的情况下,因为阈值电压的电平之间的差别随值的数量增加到例如四个、五个和六个而变得更小。从而,如果存在微量的截止状态电流,则第二栅电极的电势改变;在这样的状态下,难以维持数据的准确性,并且保持期趋于更短。然而,在本发明的一个实施例中,因为截止状态电流通过使用高度纯化的氧化物半导体膜而大幅减少的晶体管被用作开关元件,所以与包括硅的晶体管相比,可以更有效地防止截止状态电流的产生。因此,可以抑制由于值复用而引起的保持期的减小。

[0088] 另外,图 1B 图示其中起开关元件作用的晶体管 102 是在栅电极 111 之上包括氧化物半导体膜 113 的底栅晶体管的情况。然而,晶体管 102 不限于底栅晶体管。只要晶体管 102 包括氧化物半导体膜作为有源层就是可接受的。例如,晶体管 102 可为在氧化物半导体膜之上包括栅电极的顶栅晶体管。此外,晶体管 102 不限于源电极 114 和漏电极 115 在氧化物半导体膜 113 之上形成的顶接触晶体管。晶体管 102 可为氧化物半导体膜 113 在源电极 114 和漏电极 115 之上形成的底接触晶体管。此外,尽管晶体管 102 是与源电极 114 和漏电极 115 之间的绝缘膜 116 重叠的氧化物半导体膜 113 的部分的厚度小于其他部分的沟道蚀刻晶体管,但是本发明不限于该结构。晶体管 102 可为在源电极 114 和漏电极 115 之间并且在氧化物半导体膜 113 之上提供沟道保护膜以防止在用于形成源电极 114 和漏电极 115 的蚀刻中由等离子体引起的损伤、由于蚀刻的膜厚度的减少等的沟道保护晶体管。

[0089] 图 3A 图示具有图 1A 中的电路结构的存储器单元 100 的截面图的一个示例。在图 3A 中的存储器单元中,作为沟道保护晶体管并且起存储器元件作用的晶体管 101 和作为沟道保护晶体管并且起开关元件作用的晶体管 102 在具有绝缘表面的衬底 140 之上形成。

[0090] 具体地,晶体管 101 在具有绝缘表面的衬底 140 之上包括:第一栅电极 151;在该第一栅电极 151 之上的绝缘膜 142;与该第一栅电极 151 重叠并且起有源层作用的氧化物半导体膜 153,其中在其间提供该绝缘膜 142;在氧化物半导体膜 153 之上与栅电极 151 重叠的沟道保护膜 157;在氧化物半导体膜 153 之上的源电极 154 和漏电极 155;在氧化物半导体膜 153、沟道保护膜 157、源电极 154 和漏电极 155 之上的绝缘膜 146;以及在绝缘膜 146 之上与氧化物半导体膜 153 重叠的第二栅电极 156。另外,绝缘膜 147 在第二栅电极 156 之上形成,并且可包括为晶体管 101 的部件。

[0091] 另外,晶体管 102 在具有绝缘表面的衬底 140 之上包括:栅电极 141;在栅电极 141

之上的绝缘膜 142 ;与该栅电极 141 重叠并且起有源层作用的氧化物半导体膜 143,其中在其间提供绝缘膜 142 ;在氧化物半导体膜 143 之上的沟道保护膜 148 ;以及在氧化物半导体膜 143 之上的源电极 144 和漏电极 145。绝缘膜 146 在氧化物半导体膜 143、沟道保护膜 148、源电极 144 和漏电极 145 之上形成,并且可包括为晶体管 102 的部件。

[0092] 此外,电容器 103 在晶体管 101 的源电极 154 和第二栅电极 156(其中在其间提供绝缘膜 146)彼此重叠的区域中形成。

[0093] 沟道保护膜 157 和沟道保护膜 148 可以通过例如等离子体 CVD 或热 CVD 法等化学气相沉积或溅射而形成。另外,沟道保护膜 157 和沟道保护膜 148 优选为使用包括氧的无机材料(例如氧化硅、氧氮化硅或氮氧化硅等)形成。通过对沟道保护膜 157 和沟道保护膜 148 使用包括氧的无机材料,通过下列方法满足化学计量组分比是可能的:将氧至少供应给分别与沟道保护膜 157 和沟道保护膜 148 接触的氧化物半导体膜 153 和氧化物半导体膜 143 的区域,并且即使氧缺乏是由用于减少氧化物半导体膜 153 和氧化物半导体膜 143 中的水分或氢的热处理而引起的,也减少充当施主的氧缺乏。因此,沟道形成区域可以是本征的或大致上本征的,并且由氧缺乏引起的晶体管的电特性的变化减少;因此,可以提高电特性。

[0094] 注意,沟道形成区域对应于与栅电极重叠的半导体膜的区域,其中栅极绝缘膜提供在该半导体膜和该栅电极之间。在用作存储器元件的晶体管的情况下,沟道形成区域对应于半导体膜的区域,其在源电极和漏电极之间并且与第一栅电极或第二栅电极重叠,其中栅极绝缘膜提供在该半导体膜和该第一栅电极或第二栅电极之间。

[0095] 然后,图 3B 图示具有图 1A 中的电路结构的存储器单元 100 的截面图的一个示例。在图 3B 中的存储器单元包括在具有绝缘表面的衬底 160 之上的作为底接触晶体管并且起存储器元件作用的晶体管 101,以及作为底接触晶体管并且起开关元件作用的晶体管 102。

[0096] 具体地,晶体管 101 在具有绝缘表面的衬底 160 之上包括:第一栅电极 171;在第一栅电极 171 之上的绝缘膜 162;在绝缘膜 162 之上的源电极 174 和漏电极 175;与第一栅电极 171 重叠(其中在其间提供该绝缘膜 162),与源电极 174 和漏电极 175 接触并且起有源层作用的氧化物半导体膜 173;在氧化物半导体膜 173、源电极 174 和漏电极 175 之上的绝缘膜 166;以及在绝缘膜 166 之上与氧化物半导体膜 173 重叠的第二栅电极 176。另外,绝缘膜 167 在第二栅电极 176 之上形成,并且可包括为晶体管 101 的部件。

[0097] 此外,晶体管 102 在具有绝缘表面的衬底 160 之上包括:在栅电极 161 之上的绝缘膜 162;在绝缘膜 162 之上的源电极 164 和漏电极 165;以及与栅电极 161 重叠(其中在其间有绝缘膜 162),与源电极 164 和漏电极 165 接触并且起有源层作用的氧化物半导体膜 163。绝缘膜 166 在氧化物半导体膜 163、源电极 164 和漏电极 165 之上形成,并且可包括为晶体管 102 的部件。

[0098] 此外,电容器 103 在晶体管 101 的源电极 174 和第二栅电极 176(其中在其间提供绝缘膜 166)彼此重叠的区域中形成。

[0099] 另外,在图 1A、图 3A 和图 3B 中图示氧化物半导体膜用于起存储器元件作用的晶体管 101 的有源层的情况。然而,如上文描述的,对于晶体管 101 的有源层,还可使用除氧化物半导体外的下列半导体:非晶硅、微晶硅、多晶硅、单晶硅、非晶锗、微晶锗、多晶锗、单晶锗等。

[0100] 图 4A 图示当包括硅的半导体膜用于起存储器元件作用的晶体管 101 的有源层时存储器单元 100 的截面图的一个示例。在图 4A 中的存储器单元中,起存储器元件作用的晶体管 101 和起开关元件作用的晶体管 102 在具有绝缘表面的衬底 200 之上形成。

[0101] 具体地,晶体管 102 在具有绝缘表面的衬底 200 之上包括:栅电极 211;在该栅电极 211 之上的绝缘膜 230;与该栅电极 211 重叠并且起有源层作用的氧化物半导体膜 213,其中在其间提供绝缘膜 230;以及在氧化物半导体膜 213 之上的源电极 214 和漏电极 215。绝缘膜 231 在氧化物半导体膜 213、源电极 214 和漏电极 215 之上形成,并且可包括为晶体管 102 的部件。

[0102] 此外,晶体管 101 在具有绝缘表面的衬底 200 之上形成的绝缘膜 231 之上包括:第一栅电极 221;在第一栅电极 221 之上的绝缘膜 212;与第一栅电极 221 重叠并且起包括硅的有源层作用的半导体膜 223,其中在其间提供该绝缘膜 212;在该半导体膜 223 之上的源电极 224 和漏电极 225;在半导体膜 223、源电极 224 和漏电极 225 之上的绝缘膜 216;以及在绝缘膜 216 之上与半导体膜 223 重叠的第二栅电极 226。另外,绝缘膜 217 在第二栅电极 226 之上形成,并且可包括为晶体管 101 的部件。

[0103] 此外,电容器 103 在晶体管 101 的漏电极 225 和第二栅电极 226(其中在其间提供绝缘膜 216)彼此重叠的区域中形成。

[0104] 然后,图 4B 图示当包括硅的半导体膜用于起存储器元件作用的晶体管 101 的有源层时存储器单元 100 的截面图的一个示例。在图 4B 中的存储器单元中,起存储器元件作用的晶体管 101 和起开关元件作用的晶体管 102 在具有绝缘表面的衬底 270 之上形成。

[0105] 具体地,晶体管 102 在衬底 270 之上形成的绝缘膜 247 之上包括:栅电极 241;在栅电极 241 之上的绝缘膜 260;与栅电极 241 重叠并且起有源层作用的氧化物半导体膜 243,其中在其间提供绝缘膜 260;以及在氧化物半导体膜 243 之上的源电极 244 和漏电极 245。绝缘膜 261 在氧化物半导体膜 243、源电极 244 和漏电极 245 之上形成,并且可包括为晶体管 102 的部件。

[0106] 另外,晶体管 101 在衬底 270 之上包括:第一栅电极 251;在第一栅电极 251 之上的绝缘膜 242;与第一栅电极 251 重叠并且起包括硅的有源层作用的半导体膜 253,其中在其间提供该绝缘膜 242;在半导体膜 253 之上的源电极 254 和漏电极 255;在半导体膜 253、源电极 254 和漏电极 255 之上的绝缘膜 246;以及在绝缘膜 246 之上与半导体膜 253 重叠的第二栅电极 256。另外,绝缘膜 247 在第二栅电极 256 之上形成,并且可包括为晶体管 101 的部件。

[0107] 此外,电容器 103 在晶体管 101 的漏电极 255 和第二栅电极 256 彼此重叠(其中在其间提供绝缘膜 246)的区域中形成。

[0108] 注意尽管图 4A 和图 4B 图示晶体管 101 是底栅晶体管的情况,但是晶体管 101 可为顶栅晶体管或底接触晶体管。另外,尽管晶体管 101 是沟道蚀刻晶体管,但是晶体管 101 可为沟道保护晶体管。此外,尽管图 4A 和图 4B 图示晶体管 102 是底栅晶体管的情况,但是晶体管 102 可为顶栅晶体管或底接触晶体管。另外,尽管晶体管 102 是沟道蚀刻晶体管,但是晶体管 102 可为沟道保护晶体管。

[0109] (实施例 2)

[0110] 在实施例 2 中,将描述包括多个存储器单元的存储器装置的结构示例及其驱动

方法。

[0111] 作为示例,图 5 图示 NOR 型存储器装置中的单元阵列的电路图,其中多个存储器单元 300 安排成矩阵。对于包括在图 5 中的存储器装置中的每个存储器单元 300 的结构,可以参照实施例 1 中的存储器单元 100 的结构的描述。

[0112] 具体地,存储器单元 300 包括起存储器元件作用的晶体管 301、以及起开关元件作用并且可以控制到该晶体管 301 的第二栅电极的电势供应的晶体管 302。另外,存储器单元 300 可包括用于保持晶体管 301 的第二栅电极的电势的电容器 303。存储器单元 300 可进一步视需要而包括例如二极管、电阻器或电感器等另一个电路元件。

[0113] 图 5 中的单元阵列包括各种布线,例如多个输入数据线 Din、多个输出数据线 Dout、多个写入字线 WL 和多个读取字线 RL 等。电力供应电势或来自单元阵列的驱动器电路的信号通过这些布线供应给存储器单元 300 中的每个。因此,这些布线的数量可以由存储器单元 300 的数量和存储器单元 300 的安排确定。

[0114] 具体地,图 5 中的单元阵列包括提供在安排设置成矩阵的三行和三列中的存储器单元,并且至少提供输入数据线 Din1 至 Din3、输出数据线 Dout1 至 Dout3、写入字线 WL1 至 WL3 和读取字线 RL1 至 RL3。

[0115] 然后,给出连接到输入数据线 Din1、输出数据线 Dout1、写入字线 WL1 和读取字线 RL1 的存储器单元 300 中的一个作为将描述的存储器单元 300 中的布线和电路元件的连接结构的示例。晶体管 302 的栅电极连接到写入字线 WL1。晶体管 302 的源电极和漏电极中的一个连接到输入数据线 Din1,并且晶体管 302 的源电极和漏电极中的另一个连接到晶体管 301 的第二栅电极。晶体管 301 的第一栅电极连接到读取字线 RL1。晶体管 301 的源电极和漏电极中的一个连接到输出数据线 Dout1 并且晶体管 301 的源电极和漏电极中的另一个连接到供应有例如地电势等固定电势的电力供应线 304。

[0116] 此外,电容器 303 的一对电极中的一个连接到晶体管 301 的第二栅电极,并且电容器 303 的该对电极中的另一个连接到供应有例如地电势等固定电势的电力供应线 304。

[0117] 作为示例,图 6 图示 NAND 型存储器装置中的单元阵列的电路图,其中多个存储器单元 300 串联连接。对于包括在图 6 中的存储器装置中的每个存储器单元的结构,可以参照实施例 1 中的存储器单元 100 的结构的描述。

[0118] 图 6 中的单元阵列包括三列单元阵列,每列中三个存储器单元串联连接。具体地,单元阵列包括提供在三行和三列中的存储器单元,以及输入数据线 Din1 至 Din3、输出数据线 Dout1 至 Dout3、写入字线 WL1 至 WL3、读取字线 RL1 至 RL3、选择信号线 SEL1 和 SEL2 以及电力供应线 304。电力供应电势或来自单元阵列的驱动器电路的信号通过这些布线供应给存储器单元中的每个。因此,这些布线的数量可以由存储器单元 300 的数量确定。

[0119] 然后,将描述存储器单元 300 中的布线和电路元件的连接结构。例如,关注连接到到输入数据线 Din1、输出数据线 Dout1、写入字线 WL1 和读取字线 RL1 的存储器单元 300。晶体管 302 的栅电极连接到写入字线 WL1。晶体管 302 的源电极和漏电极中的一个连接到输入数据线 Din1,并且晶体管 302 的源电极和漏电极中的另一个连接到晶体管 301 的第二栅电极。晶体管 301 的第一栅电极连接到读取字线 RL1。另外,晶体管 301 在输出数据线 Dout1 和供应有例如地电势等固定电势的电力供应线 304 之间的彼此邻近的存储器单元中串联连接。

[0120] 此外,电容器 303 的一对电极中的一个连接到晶体管 301 的第二栅电极,并且电容器 303 的电极中的另一个连接到供应有例如地电势等固定电势的电力供应线 304。

[0121] 然后,将给出图 6 中的单元阵列作为示例参照图 21 描述根据本发明的一个实施例的存储器装置的操作。图 21 是图示输入到布线的信号的电势随时间的变化的时序图。图 21 图示晶体管 301 和晶体管 302 是 n 沟道晶体管并且使用二进制数据的情况。

[0122] 首先,将描述数据写入中存储器装置的操作。在数据写入中,当具有脉冲的信号输入到写入字线 WL1 时,该脉冲的电势(具体地,高电平电势)供应给晶体管 302 的栅电极。栅电极连接到写入字线 WL1 的每个晶体管 302 处于导通状态。并且,当低电平电势输入到读取字线 RL1 时,低电平电势供应给晶体管 301 的第一栅电极。第一栅电极连接到读取字线 RL1 的每个晶体管 301 处于截止状态。

[0123] 然后,具有数据的信号相继输入到输入数据线 Din1 至 Din3。图 21 图示具有高电平电势的信号输入到输入数据线 Din1 和输入数据线 Din3,并且具有低电平电势的信号输入到输入数据线 Din2 的情况。不用说,输入到输入数据线 Din1 至 Din3 的信号的电势的电平根据数据改变。

[0124] 输入到输入数据线 Din1 至 Din3 的电势通过处于导通状态的晶体管 302 供应给晶体管 301 的第二栅电极。晶体管 301 的阈值电压的偏移量根据第二栅电极的电势确定。具体地,因为具有高电平电势的信号输入到输入数据线 Din1 和输入数据线 Din3,晶体管 301 的第二栅电极的电势在连接到输入数据线 Din1 的存储器单元 300 和连接到输入数据线 Din3 的存储器单元 300 中的每个处于高电平。即,在这样的存储器单元 300 中,起存储器元件作用的晶体管 301 在图 2B 中的线 130 的基础上操作。另一方面,因为具有低电平电势的信号输入到输入数据线 Din2,所以晶体管 301 的第二栅电极的电势在连接到输入数据线 Din2 的存储器单元 300 中的每个中处于低电平。即,在这样的存储器单元 300 中,起存储器元件作用的晶体管 301 在图 2B 中的线 131 的基础上操作。

[0125] 当具有脉冲的信号到写入字线 WL1 的输入结束时,栅电极连接到写入字线 WL1 的每个晶体管 302 关闭。然后,具有脉冲的信号相继输入到写入字线 WL2 和写入字线 WL3,并且上文的操作在包括写入字线 WL2 的存储器单元和包括写入字线 WL3 的每个存储器单元中相似地重复。

[0126] 然后,将描述数据存储中存储器装置的操作。在数据存储中,写入字线 WL1 至 WL3 中的全部供应有具有使晶体管 302 关闭的电平的电势,具体地低电平电势。因为晶体管 302 的截止状态电流如上文描述的是极低的,所以保持在数据写入中设置的第二栅电极的电势的电平。低电平电势供应给读取字线 RL1 至 RL3 中的全部。

[0127] 在图 21 的时序图中,提供保持期以描述数据存储的操作。然而,保持期不必对存储器的实际操作提供。

[0128] 然后,将描述数据读取中存储器装置的操作。在数据读取中,如在数据存储中那样,写入字线 WL1 至 WL3 中的全部供应有具有使晶体管 302 关闭的电平的电势,具体地低电平电势。

[0129] 在 NAND 型存储器装置中,邻近存储器单元在输出数据线和供应有例如地电势等固定电势的电力供应线之间彼此串联连接。在要读取存储器单元中的数据的情况下,存储的二进制数据可以通过该存储器单元连接到的输出数据线通过连接到与该存储器单元相

同的输出数据线的存储器单元的控制而是否处于导电状态而辨别,其中电力供应线供应有例如地电势等固定电势。

[0130] 具体地,关注连接到输入数据线 Din1、输出数据线 Dout1、写入字线 WL1 和读取字线 RL1 的存储器单元 300,并且考虑读取存储在存储器单元 300 中的高电平数据的情况。为了选择存储器单元 300 连接到的输出数据线 Dout1,使 SEL1 和 SEL2 具有高电平电势使得使连接到 SEL1 的晶体管 320 和连接到 SEL2 的晶体管 321 处于导通状态。然后,连接到存储器单元 300 中的晶体管 301 的第一栅电极的读取字线 RL1 具有低电平电势。此外,读取字线 RL2 和 RL3 供应有高电平电势使得可打开连接到读取字线 RL2 和 RL3 的每个晶体管 301。高电平数据写入存储器单元 300 的晶体管 301 的第二栅电极。即,阈值电压根据在图 2B 中图示的起存储器元件作用的晶体管 301 的操作而偏移到负侧并且变成 V_{th1} 。因此,晶体管 301 处于导通状态。因此,连接到输出数据线 Dout1 的每个晶体管处于导通状态,并且使输出数据线 Dout1 和供应有地电势的电力供应线进入导电,使得使输出数据线 Dout1 具有与地电势大致上相同的电势。

[0131] 随后,关注连接到输入数据线 Din2、输出数据线 Dout2、写入字线 WL1 和读取字线 RL1 的存储器单元 300,并且考虑读取存储在存储器单元 300 中的低电平数据的情况。为了选择输出数据线 Dout2,使 SEL1 和 SEL2 具有低电平电势使得使连接到 SEL1 的晶体管 320 和连接到 SEL2 的晶体管 321 打开。然后,连接到存储器单元 300 中的晶体管 301 的第一栅电极的读取字线 RL1 具有低电平电势。此外,读取字线 RL2 和 RL3 供应有高电平电势使得可打开连接到读取字线 RL2 和 RL3 的每个晶体管 301。低电平数据写入存储器单元 300 的晶体管 301 的第二栅电极。即,阈值电压没有根据在图 2B 中图示的起存储器元件作用的晶体管 301 的操作而偏移并且变成 V_{th0} 。因此,晶体管 301 处于截止状态。因此,输出数据线 Dout2 和供应有地电势的电力供应线不导电,并且使输出数据线 Dout2 具有高阻抗。

[0132] 注意输出数据线 Dout 中的每个连接到读取电路,并且读取电路的输出信号是存储器的实际输出。

[0133] 注意在实施例 2 中,当在数据读取中选择输出数据线时,图示使用两个选择信号线 SEL1 和 SEL2 和栅电极连接到这些信号线的晶体管的情况。因为只要当在数据读取中选择输出数据线时可以选择该输出数据线和连接到其的读取电路处于导电还是不导电就是可接受的。可提供至少一个选择信号线和连接到选择信号线的晶体管。

[0134] 尽管在实施例 2 中,描述了数据的写入、存储和读取在多个存储器单元中相继进行的驱动方法,但是本发明不限于该结构。仅具有规定地址的存储器单元可受上文的操作。

[0135] 另外,在图 6 的单元阵列中,四个布线(输入数据线 Din、输出数据线 Dout、写入字线 WL 和读取字线 RL)连接到每个存储器单元。然而,在本发明的存储器装置中,连接到每个存储器单元的布线的数量不限于四个。布线的数量和连接结构可视情况确定使得存储器单元 300 可以供应有:控制晶体管 301 的导通/截止的信号、用于控制晶体管 302 的开关的信号和用于供应电势给晶体管 301 的第二栅电极的信号,并且具有晶体管 301 的漏极电流或源电极和漏电极之间的电阻作为数据的电势可以传送给驱动器电路。

[0136] 注意在图 21 中的时序图中,输出数据线 Dout1、Dout2 和 Dout3 中的阴影部分指示没有确定数据的状态。此外,尽管每个信号垂直上升和下降,但是本领域内技术人员容易理解实际信号的波形由于信号线的负载、噪声等的影响而变钝。

[0137] 然后,将给出图 5 中的单元阵列作为示例参照图 7 描述根据本发明的一个实施例的存储器装置的操作。图 7 是图示输入到布线的信号的电势随时间的变化的时序图。图 7 图示晶体管 301 和晶体管 302 是 n 沟道晶体管并且使用二进制数据的情况。

[0138] 首先,将描述数据写入中存储器装置的操作。在数据写入中,当具有脉冲的信号输入到写入字线 WL1 时,该脉冲的电势(具体地,高电平电势)供应给晶体管 302 的栅电极。栅电极连接到写入字线 WL1 的每个晶体管 302 处于导通状态。另一方面,具有低于图示起存储器元件作用的晶体管的操作的图 2B 中的 V_{th1} 的电势的信号输入到读取字线 RL1;从而,第一栅电极连接到读取字线 RL1 的每个晶体管 301 保持截止。

[0139] 然后,具有数据的信号相继输入到输入数据线 Din1 至 Din3。尽管图 7 图示具有高电平电势的信号输入到输入数据线 Din1 至 Din3 中的每个。不用说,输入到输入数据线 Din1 至 Din3 的信号的电势的电平根据数据内容改变。此外,在使用二进制数据的情况下,只要输入到输入数据线 Din1 至 Din3 的信号的电势对应于两种电力供应电压(例如, V_{dd} 和 V_{ss})就是可接受的。在使用具有三个或更多值的多值数据的情况下,电势的电平的种类可基于在数据中使用的基数确定。

[0140] 输入到输入数据线 Din1 至 Din3 的电势通过处于导通状态的晶体管 302 供应给晶体管 301 的第二栅电极。晶体管 301 的阈值电压中的偏移量根据第二栅电极的电势确定。

[0141] 当具有脉冲的信号到写入字线 WL1 的输入结束时,栅电极连接到写入字线 WL1 的每个晶体管 302 关闭。然后,具有脉冲的信号相继输入到写入字线 WL2 和写入字线 WL3,并且上文的操作在具有写入字线 WL2 的存储器单元和具有写入字线 WL3 的每个存储器单元中相似地重复。

[0142] 然后,将描述数据存储中存储器装置的操作。在数据存储中,写入字线 WL1 至 WL3 中的全部供应有具有使晶体管 302 关闭的电平的电势,具体地低电平电势。因为晶体管 302 的截止状态电流如上文描述的是极低的,所以保持在数据写入中设置的第二栅电极的电势的电平。此外,读取字线 RL1 至 RL3 中的全部供应有具有使晶体管 301 关闭的电平的电势,具体地低于图示起存储器元件作用的晶体管的操作的图 2B 中的 V_{th1} 的电势。

[0143] 在图 7 的时序图中,提供保持期以便描述数据存储的操作。然而,保持期不必须对存储器的实际操作提供。

[0144] 然后,将描述数据读取中存储器装置的操作。在数据读取中,如在数据存储中那样,写入字线 WL1 至 WL3 中的全部供应有具有使晶体管 302 关闭的电平的电势,具体地低电平电势。

[0145] 另一方面,在数据读取中,具有脉冲的信号相继输入到读取字线 RL1 至 RL3。具体地,首先,当具有脉冲的信号输入到读取字线 RL1 时,该脉冲的电势(具体地,高于图示起存储器元件作用的晶体管的操作的图 2B 中的 V_{th1} 并且低于 V_{th0} 的电势或高于 V_{th0} 的电势)施加于晶体管 301 的第一栅电极。当晶体管 301 的第一栅电极供应有高于图示起存储器元件作用的晶体管的操作的图 2B 中的 V_{th1} 并且低于 V_{th0} 的电势或高于 V_{th0} 的电势时,漏极电流或晶体管 301 的源电极和漏电极之间的电阻根据在数据读取前最后一次数据写入中设置的阈值电压来确定。

[0146] 具有晶体管 301 的漏极电流量或晶体管 301 的源电极和漏电极之间的电阻作为数据的电势,即连接到输出数据线 Dout1 至 Dout3 的晶体管 301 的源电极和漏电极中的一个

的电势通过输出数据线 Dout1 至 Dout3 供应给驱动器电路。

[0147] 注意供应给输出数据线 Dout1 至 Dout3 的电势的电平根据写入存储器单元的数据确定。因此,在理想观点中,当具有相同值的数据存储在多个存储器中时具有相同电势的电势应该供应给连接到存储器单元的输出数据线中的全部。然而,实际上,存在晶体管 301 或晶体管 302 的特性在存储器单元之中变化的情况;从而,即使要读取的数据中的全部具有相同值,供应给输出数据线的电势也变化,使得电势的值有时可以宽阔地分布。因此,其中即使当在供应给输出数据线 Dout1 至 Dout3 的电势中发生微小变化时可以生成包括从上文的电势读取的数据并且具有根据期望规范处理的振幅和波形的信号的读取电路在存储器装置中作为驱动器电路提供。

[0148] 图 9 图示读取电路的电路图的示例。图 9 中的该读取电路包括晶体管 310_1 至 310_3 (其起用于控制输出数据线 Dout1 至 Dout3 的电势输入到读取电路的开关元件的作用)以及起电阻器作用的晶体管 311_1 至 311_3。另外,图 9 中的读取电路包括运算放大器 312_1 至 312_3。

[0149] 具体地,晶体管 311_1 至 311_3 的栅电极分别连接到晶体管 311_1 至 311_3 的漏电极。另外,高电平电力供应电势 Vdd 供应给这些栅电极和漏电极。此外,晶体管 311_1 至 311_3 的源电极分别连接到运算放大器 312_1 至 312_3 的同相输入端子(+)。因此,晶体管 311_1 至 311_3 起连接在供应有电力供应电势 Vdd 的节点和运算放大器 312_1 至 312_3 的同相输入端子(+)之间的电阻器的作用。注意尽管在图 9 中,栅电极连接到漏电极的晶体管用作电阻器,但是本发明不限于此。备选地,可以使用起电阻器作用的元件。

[0150] 此外,起开关元件作用的晶体管 310_1 至 310_3 的栅电极分别连接到位线 BL1 至 BL3。然后,输出数据线 Dout1 至 Dout3 和晶体管 311_1 至 311_3 的源电极之间的连接根据位线 BL1 至 BL3 的电势来控制。

[0151] 例如,当晶体管 310_1 打开时,存储器单元 300 中的晶体管 301 和读取电路中的晶体管 311_1 串联连接。然后,该连接的节点处的电势 Vdata 供应给运算放大器 312_1 至 312_3 的同相输入端子(+)。电势 Vdata 的电平根据晶体管 301 的源电极和漏电极之间的电阻与晶体管 311_1 的源电极和漏电极之间的电阻之比来确定;从而,电势 Vdata 的电平反映读取数据的值。

[0152] 相反,运算放大器 312_1 至 312_3 的反相输入端子(-)供应有参考电势 Vref。输出端子的电势 Vout 的电平可以根据电势 Vdata 的电平关于参考电势 Vref 而变化。从而,可以获得间接包括数据的信号。

[0153] 注意即使具有相同值的数据存储在存储器单元中,也由于存储器单元的特性中的变化而发生读取电势 Vdata 的电平中的波动,使得电势的值有时可以宽阔地分布。参考电势 Vref 的电平考虑节点的电势 Vdata 中的波动来确定以准确地读取数据的值。

[0154] 另外,尽管在图 9 中,对每个输出数据线使用用于读取数据的一个运算放大器,但是运算放大器的数量不限于此。当使用 n 值数据(n 是 2 或更大的自然数)时,对每个输出数据线使用的运算放大器的数量是(n-1)。

[0155] 然后,将描述数据擦除中存储器装置的操作。在数据擦除中,如在数据写入中那样,当具有脉冲的信号输入到写入字线 WL1 时,该脉冲的电势(具体地,高电平电势)供应给晶体管 302 的栅电极。栅电极连接到写入字线 WL1 的每个晶体管 302 处于导通状态。另一

方面,具有低于图示起存储器元件作用的晶体管的操作的图 2B 中的 V_{th1} 的电势的信号输入到读取字线 RL1;从而,第一栅电极连接到读取字线 RL1 的每个晶体管 301 保持截止。

[0156] 例如地电势等固定电势供应给输入数据线 Din1 至 Din3。图 7 图示具有低电平电势的信号输入到输入数据线 Din1 至 Din3 中的全部的情况。输入到输入数据线 Din1 至 Din3 的处于低电位的低电平固定电势通过处于导通状态的晶体管 302 供应给晶体管 301 的第二栅电极。晶体管 301 的阈值电压的电平根据第二栅电极的电势而复位。

[0157] 当具有脉冲的信号到写入字线 WL1 的输入结束时,栅电极连接到写入字线 WL1 的每个晶体管 302 关闭。然后,具有脉冲的信号相继输入到写入字线 WL2 和写入字线 WL3,并且上文的操作在具有写入字线 WL2 的存储器单元和具有写入字线 WL3 的每个存储器单元中相似地重复。

[0158] 在图 7 的时序图中,提供擦除期来描述擦除操作。然而,在存储器的实际操作中,该擦除期不是必需的。在该情况下,可写入另一个数据以便对已写入的数据进行重写。根据本发明的一个实施例的存储器装置具有其中不必须提供擦除期的优势。

[0159] 尽管在实施例 2 中,描述了其中数据的写入、存储、读取和擦除在多个存储器单元中相继进行的驱动方法,但是本发明不限于该结构。仅具有规定地址的存储器单元可受上文的操作。

[0160] 另外,在图 5 的单元阵列中,四个布线(输入数据线 Din、输出数据线 Dout、写入字线 WL 和读取字线 RL)连接到每个存储器单元。然而,在本发明的存储器装置中,连接到每个存储器单元的布线的数量不限于四个。布线的数量和连接结构可视情况确定使得存储器单元 300 可以供应有:控制晶体管 301 的导通/截止的信号、用于控制晶体管 302 的开关的信号和用于供应电势给晶体管 301 的第二栅电极的信号,并且具有晶体管 301 的漏极电流或源电极和漏电极之间的电阻作为数据的电势可以传送给驱动器电路。

[0161] 然后,给出使用图 5 中的单元阵列的存储器装置作为示例,并且描述根据本发明的一个实施例的存储器装置中的驱动器电路的结构。

[0162] 图 8 图示根据本发明的一个实施例的存储器装置的结构框图作为示例。注意在图 8 的该框图中,存储器装置中的电路根据它们的功能分类并且图示分开的框。然而,难以完全根据它们的功能将实际电路分类,并且一个电路具有多个功能是可能的。

[0163] 图 8 中的存储器装置包括多个存储器单元安排成矩阵的单元阵列 500,以及用于控制该单元阵列 500 的驱动的驱动器电路 501。该驱动器电路 501 包括生成具有从该单元阵列 500 读取的数据的信号的读取电路 502、选择包括在该单元阵列 500 每行中的存储器单元的字线驱动器电路 503、控制选择的存储器单元中的数据写入和擦除的数据线驱动器电路 504、以及控制该读取电路 502、字线驱动器电路 503 和数据线驱动器电路 504 的操作的控制电路 505。此外,该字线驱动器电路 503 包括字线解码器 506。另外,该数据线驱动器电路 504 包括数据线解码器 508 和数据线选择器 509。

[0164] 注意,只要根据本发明的一个实施例的存储器装置至少包括单元阵列 500 就是可接受的。单元阵列和其中驱动器电路的部分或全部连接到单元阵列的存储器模块也归类成根据本发明的一个实施例的存储器装置。该存储器模块可提供有可以安装在印刷布线板等上的连接端子,并且可用树脂等保护,即,可以被封装。

[0165] 此外,上文的驱动器电路 501 的全部或部分可在与单元阵列 500 相同的衬底或与

单元阵列 500 不同的衬底之上形成。在驱动器电路 501 的全部或部分提供在与单元阵列 500 不同的衬底之上的情况下,驱动器电路 501 的全部或部分可以通过 FPC(柔性印刷电路)等连接到单元阵列 500。在该情况下,驱动器电路 501 的部分可通过 COF(膜上芯片)法连接到 FPC。此外,驱动器电路 501 的全部或部分可通过 COG(玻璃上芯片)连接到单元阵列 500。

[0166] 当单元阵列 500 和驱动器电路 501 在一个衬底之上形成时,连接到存储器装置的外部电路的部件的数量减少;因此,可以通过组装步骤和检查步骤的数量中的减少而实现成本减少。此外,接触点的数量可以在存储器装置和外部电路彼此连接的连接部分中减少;从而,可以防止产量的减小,并且可以防止由于连接部分的机械脆弱性引起的可靠性的降低。备选地,仅驱动频率低于其他电路的相对低的频率的电路(例如字线驱动器电路 503、数据线选择器 509 等)可以在与单元阵列 500 相同的衬底之上形成。从而,当驱动器电路 501 的部分提供在与提供有单元阵列 500 相同的衬底之上时,可以在某种程度上享有下列优势:例如可以避免由连接缺陷引起的产量中的减少,可以避免连接部分中的机械脆弱性,并且可以通过组装步骤和检查步骤的数量中的减少而降低成本。此外,与单元阵列 500 和驱动器电路 501 的全部在一个衬底之上形成的情况相比可以增强具有高驱动频率的电路的性能性质。

[0167] 当具有地址(Ax,Ay)作为数据的信号 AD 输入到存储器装置时,控制电路 505 将作为与地址中的列方向有关的数据的地址 Ax 以及作为与地址中的行方向有关的数据的地址 Ay 分别传送到数据线驱动器电路 504 和字线驱动器电路 503。另外,控制电路 505 将包括输入到存储器装置的数据的信号 DATA 传送到数据线驱动器电路 504。

[0168] 数据是写入、读取还是擦除由供应给控制电路 505 的信号 RE(读取使能)、WE(写入使能)、EE(擦除使能)等确定。注意当多个单元阵列 500 提供在存储器装置中时,用于选择单元阵列的信号 CE(芯片使能)可输入到控制电路 505。

[0169] 当数据写入的操作由信号 WE 选择时,具有脉冲的信号由包括在字线驱动器电路 503 中的字线解码器 506 响应于来自控制电路 505 的指令而输入到对应于地址 Ay 的写入字线 WL。另一方面,当数据写入的操作由信号 WE 选择时,数据线解码器 508 响应于来自控制电路 505 的指令供应用于控制数据线选择器 509 的操作的信号到数据线驱动器电路 504 中的数据线选择器 509。在数据线选择器 509 中,具有数据的信号 DATA 根据来自数据线解码器 508 的信号采样并且该采样的信号输入到对应于地址 Ax 的输入数据线 Din。

[0170] 当数据读取的操作由信号 RE 选择时,具有脉冲的信号由包括在字线驱动器电路 503 中的字线解码器 506 响应于来自控制电路 505 的指令输入到对应于地址 Ay 的读取字线 RL。另一方面,当数据读取的操作由信号 RE 选择时,在读取电路 502 中,对应于地址 Ax 的位线 BL 的电势响应于来自控制电路 505 的指令进行控制,使得 310_1 至 310_3 中对应于地址 Ax 的晶体管的晶体管被导通。然后,存储在具有对应地址的存储器单元中的数据使用对应于地址 Ax 的输出数据线 Dout 的电势而读取,并且生成具有该数据的信号。

[0171] 当数据擦除的操作由信号 EE 选择时,具有脉冲的信号从包括在字线驱动器电路 503 中的字线解码器 506 响应于来自控制电路 505 的指令而输入到对应于地址 Ay 的写入字线 WL。另一方面,当数据擦除的操作由信号 EE 选择时,数据线解码器 508 响应于来自控制电路 505 的指令供应用于控制数据线选择器 509 的操作的信号到数据线驱动器电路 504 中

的数据线选择器 509。在数据线选择器 509 中,用于擦除数据的信号根据来自数据线解码器 508 的信号而输入到对应于地址 Ax 的输入数据线 Din。

[0172] 注意,尽管在图 8 中的存储器装置中,字线驱动器电路 503 控制信号到写入字线 WL 的输入和信号到读取字线 RL 的输入,但是本发明不限于该结构。控制信号到写入字线 WL 的输入的驱动器电路和控制信号到读取字线 RL 的输入的驱动器电路可提供在存储器装置中。

[0173] 本实施例可以通过视情况与上文描述的实施例中的任何实施例组合而实现。

[0174] (实施例 3)

[0175] 给出沟道蚀刻底栅晶体管作为示例,并且将描述根据本发明的一个实施例的存储器装置的制造方法。注意在实施例 3 中,氧化物半导体膜用作起存储器元件作用的晶体管和起开关元件作用的晶体管两者中的有源层的情况给出作为示例来描述。

[0176] 如在图 10A 中图示的,栅电极 401 和栅电极 402 在具有绝缘表面的衬底 400 之上形成。

[0177] 尽管对于可以用作具有绝缘表面的衬底 400 的衬底没有特别限制,但是该衬底需要具有高到足够耐受至少要在后面的步骤中进行的热处理。例如,可以使用通过玻璃熔合工艺或浮法工艺形成的玻璃衬底。在使用玻璃衬底并且要在后面的步骤中进行热处理的温度高的情况下,优选使用应变点在 730℃或更高的玻璃衬底。作为玻璃衬底,例如,使用例如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃等玻璃材料。注意一般来说,通过包含比氧化硼更大量的氧化钡(BaO),可以获得耐热并且更实用的玻璃衬底。因此,优选使用以 BaO 的量大于 B₂O₃的量的方式包含 BaO 和 B₂O₃的玻璃衬底。

[0178] 注意作为上文的玻璃衬底,可使用例如陶瓷衬底、石英衬底或蓝宝石衬底等绝缘体形成的衬底。备选地,可使用结晶玻璃等。可使用表面提供有绝缘层的不锈钢合金等的金属衬底。

[0179] 此外,用例如塑料等柔性合成树脂形成的衬底一般趋于具有低的温度上限,但是可以用作衬底 400 只要该衬底可以耐受后面的制造步骤中的处理温度即可。塑料衬底的示例包括以聚对苯二甲酸乙二酯(PET)、聚醚砜(PES)、聚萘二甲酸乙二酯(PEN)、聚碳酸酯(PC)、聚醚醚酮(PEEK)、聚砜(PSF)、聚醚酰亚胺(PEI)、多芳基化合物(PAR)、聚对苯二甲酸丁二酯(PBT)、聚酰亚胺、丙烯腈二乙烯基二烯树脂、聚氯乙烯、聚丙烯、聚乙酸乙烯酯、丙烯酸树脂等为代表的聚酯。

[0180] 充当基底膜的绝缘膜可在衬底 400 和栅电极 401 与栅电极 402 之间形成。作为该基底膜,例如可以使用单层氧化硅膜、氧氮化硅膜、氮化硅膜、氮氧化硅膜、氮化铝膜或氮氧化铝膜或多个这些膜的叠层。特别地,例如氮化硅膜、氮氧化硅膜、氮化铝膜或氮氧化铝膜的具有高阻挡性质的绝缘膜用于该基底膜,使得可以防止气氛中的杂质(例如水分或氢等)或包括在衬底 400 中的杂质(例如碱金属或重金属等)进入氧化物半导体膜、栅极绝缘膜或在氧化物半导体膜和另一个绝缘膜之间的界面处及其附近。

[0181] 在本说明书中,氧氮化物指包括比氮更多的氧的物质,并且氮氧化物指包括比氧更多的氮的物质。

[0182] 栅电极 401 和 402 可以用使用导电膜中的一个或多个的单层或叠层形成,这些导电膜使用例如钼、钛、铬、钽、钨、钽或钨等金属材料或包括这些金属材料中的任何材料作为

主成分的合金材料或这些金属的氮化物。注意如果铝或铜可以耐受在后面的步骤中进行的处理的温度,则铝或铜也可以用作这样的金属材料。铝或铜优选与耐火金属材料组合以便防止低耐热性的问题和腐蚀的问题。作为耐火金属材料,可以使用钼、钛、铬、钽、钨、钕、铈等。

[0183] 例如,作为栅电极 401 和 402 的双层结构,下列结构是优选的:其中钼膜层叠在铝膜之上的双层结构,其中钼膜层叠在铜膜之上的双层结构,其中氮化钛膜或氮化钽膜层叠在铜膜之上的双层结构,以及其中层叠氮化钛膜和钼膜的双层结构。作为栅电极 401 和 402 的三层结构,下列结构是优选的:其中铝膜、铝和硅的合金膜、铝和钛的合金膜或铝和钕的合金膜用作中间层并且夹在从钨膜、氮化钨膜、氮化钛膜或钛膜选择的用作顶层和底层的两个膜之间的层叠结构。

[0184] 此外,当例如氧化钨膜、氧化钨和氧化锡的合金膜、氧化钨和氧化锌的合金膜、氧化锌膜、氧化锌铝膜、氧氮化锌铝膜、氧化锌镓膜等透光氧化物导电膜用作栅电极 401 和 402 时,可以提高像素部分的孔径比。

[0185] 栅电极 401 和 402 的厚度各自是 10nm 至 400nm,优选为 100nm 至 200nm。在实施例 3 中,在栅电极的导电膜通过使用钨靶溅射形成具有 150nm 的厚度后,导电膜通过蚀刻而处理(图案化)成期望的形状,由此形成栅电极 401 和 402。注意因为提高了与在其之上形成的栅极绝缘层的覆盖,所以优选形成的栅电极的端部为锥形。注意,抗蚀剂掩模可通过喷墨法形成。抗蚀剂掩模通过喷墨法的形成不需要光掩模;从而,可以减少制造成本。

[0186] 接着,栅极绝缘膜 403 在栅电极 401 和 402 之上形成。栅极绝缘膜 403 通过等离子体 CVD、溅射等而形成具有氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜、氧化钪膜或氧化钽膜的单层结构或叠层结构。优选栅极绝缘膜 403 尽可能少地包括例如水分或氢等杂质。在通过溅射形成氧化硅膜的情况下,硅靶或石英靶用作靶,并且氧气或氧气和氩气的混合气体用作溅射气体。

[0187] 通过去除杂质使其成为本征氧化物半导体或大致上本征氧化物半导体(高度纯化的氧化物半导体)的氧化物半导体对于界面态和界面电荷极敏感;因此,高度纯化的氧化物半导体和栅极绝缘膜 403 之间的界面是重要的。因此,与高度纯化的氧化物半导体接触的栅极绝缘膜(GI)需要具有更高的质量。

[0188] 例如,因为可以形成具有高耐受电压的致密高质量绝缘膜,所以优选使用微波(2.45GHz)高密度等离子体 CVD。这是因为当高度纯化的氧化物半导体与高质量栅极绝缘膜紧密接触时,可以减少界面态并且界面性质可以是有利的。

[0189] 不用说,可以应用例如溅射或等离子体 CVD 等其他膜形成方法,只要高质量绝缘膜可以作为栅极绝缘膜形成即可。此外,通过在绝缘膜形成后进行的热处理形成其与氧化物半导体的界面的质量和特性提高的绝缘膜是可能的。在任何情况下,形成作为栅极绝缘膜具有有利的膜质量并且可以减少与氧化物半导体的界面态密度来形成有利的界面的绝缘膜。

[0190] 栅极绝缘膜 403 可以形成来具有其中层叠了使用具有高阻挡性质的材料形成的绝缘膜和例如氧化硅膜或氧氮化硅膜等具有较低氮比例的绝缘膜的结构。在该情况下,例如氧化硅膜或氧氮化硅膜等的绝缘膜在具有高阻挡性质的绝缘膜和氧化物半导体膜之间形成。作为具有高阻挡性质的绝缘膜,例如可以给出氮化硅膜、氮氧化硅膜、氮化铝膜或氮

氧化铝膜等。利用具有高阻挡性质的绝缘膜,可以防止气氛中的杂质(例如水分或氢等)或包括在衬底 400 中的杂质(例如碱金属或重金属等)进入氧化物半导体膜、栅极绝缘膜 403 或在氧化物半导体膜和另一个绝缘膜之间的界面处及其附近。另外,形成例如氧化硅膜或氮化硅膜等具有较低氮比例的绝缘膜以便与氧化物半导体膜接触,使得可以防止具有高阻挡性质的绝缘膜与氧化物半导体膜直接接触。

[0191] 例如,具有 50nm 至 200nm (含)的厚度的氮化硅膜(SiN_y ($y>0$))通过溅射形成为第一栅极绝缘膜,并且具有 5nm 至 300nm (包括在内)的厚度的氧化硅膜(SiO_x ($x>0$))层叠在该第一栅极绝缘膜之上作为第二栅极绝缘膜;从而,这些膜可用作 100nm 厚的栅极绝缘膜 403。栅极绝缘膜 403 的厚度可根据晶体管需要的特性视情况确定并且可近似是 350nm 至 400nm。

[0192] 在实施例 3 中,形成具有通过溅射形成的具有 100nm 厚度的氧化硅膜层叠在通过溅射形成的具有 50nm 厚度的氮化硅膜之上的结构的栅极绝缘膜 403。

[0193] 为了在栅极绝缘膜 403 中尽可能少地包含氢、羟基和水分,优选在其之上形成有栅电极 401 和 402 的衬底 400 在溅射设备的预热室中预热而作为膜形成的预处理,使得例如吸收在衬底 400 上的水分或氢等杂质被消除和去除。注意预热的温度是 100℃至 400℃(含),优选为 150℃至 300℃(含)。作为提供在预热室中的排空单元,优选低温泵。注意该预热处理可以省略。

[0194] 接着,在栅极绝缘膜 403 之上,氧化物半导体膜 404 形成为具有 2nm 至 200nm(含)、优选为 3nm 至 50nm (含)、更优选为 3nm 至 20nm (含)的厚度。氧化物半导体膜 404 通过使用氧化物半导体作为靶而溅射形成。此外,氧化物半导体膜 404 可以通过在稀有气体(例如,氩)气氛、氧气气氛或包括稀有气体(例如,氩)和氧的混合气氛中溅射形成。

[0195] 注意在氧化物半导体膜 404 通过溅射形成之前,优选通过引入氩气并且产生等离子体的反溅射去除在栅极绝缘膜 403 的表面上的尘埃。该反溅射指其中不向靶侧施加电压,RF 电源用于在氩气氛中向衬底侧施加电压来将表面改性的方法。注意可使用氮气气氛、氦气氛等代替氩气氛。备选地,可使用向其添加氧、氧化氮等的氩气氛。备选地,可使用向其添加氯、四氟化碳等的氩气氛。

[0196] 对于氧化物半导体膜 404,可以使用如上文描述的那样的氧化物半导体。

[0197] 在实施例 3 中,作为氧化物半导体膜 404,使用具有 30nm 厚度的 In-Ga-Zn-O 基非单晶膜,其通过使用包括铟(In)、镓(Ga)和锌(Zn)的氧化物半导体靶的溅射方法获得。在使用溅射的情况下,包含 2wt% 至 10wt% (含)的 SiO_2 的靶可用于膜形成。包括 In、Ga 和 Zn 的氧化物半导体靶的填充率是 90% 至 100% (含),优选为 95% 至 99.9% (含)。通过使用具有高填充率的氧化物半导体靶,形成致密的氧化物半导体膜。

[0198] 氧化物半导体膜 404 采用衬底保持在维持于降压的处理室中,已从其去除氢和水分的溅射气体引入处理室并且去除其中剩余的水分,并且金属氧化物用作靶这样的方式在衬底 400 之上形成。在膜形成中衬底温度可为 100℃至 600℃(含),优选为 200℃至 400℃(含)。进行膜形成并且加热衬底,由此可以减少包含在形成的氧化物半导体层中的杂质的浓度。另外,可以减少由溅射引起的损伤。为了去除处理室中剩余的水分,优选使用捕集真空泵。例如,优选使用低温泵、离子泵或钛升华泵。排空单元可为提供有冷阱的涡轮泵。在用低温泵排空的沉积室中,例如去除氢原子、例如水(H_2O)等包含氢原子的化合物(更优选

为,以及包含碳原子的化合物)等,由此可以减少在沉积室中形成的氧化物半导体膜中的杂质的浓度。

[0199] 作为沉积条件的一个示例,衬底和靶之间的距离是 100mm,压强是 0.6Pa,直流(DC)电源是 0.5kW,并且气氛是氧气氛(氧流率的比例是 100%)。注意因为可以减少也称为颗粒并且在膜形成中产生的尘埃并且膜厚可以是均匀的,所以优选脉冲直流(DC)电源。氧化物半导体膜优选为具有 5nm 至 30nm(含)的厚度。因为适当的厚度取决于使用的氧化物半导体材料,所以厚度可以根据材料而视情况确定。

[0200] 为了使氧化物半导体膜 404 尽可能不包含例如氢、羟基团或水分等杂质,优选在膜形成之前将提供有栅极绝缘膜 403 的衬底 400 在溅射设备的预热室中预热,使得例如吸收在衬底 400 上的水分或氢等杂质被消除和去除。注意预热温度是 100℃至 400℃(含),优选为 150℃至 300℃(含)。作为提供在预热室中的排空单元,优选低温泵。注意该预处理可以省略。另外,在形成绝缘膜 411 之前,预热可相似地对其上形成有源电极 407、漏电极 408、源电极 409 和漏电极 410 的衬底 400 进行。

[0201] 溅射的示例包括 RF 溅射法(其中高频电源用于溅射电源)、DC 溅射法和脉冲 DC 溅射法(其中采用脉冲方式施加偏压)。RF 溅射法主要在形成绝缘膜的情况下使用,并且 DC 溅射法主要在形成金属膜的情况下使用。

[0202] 另外,还存在多源溅射设备,其中可以设置多个不同材料的靶。利用该多源溅射设备,不同材料的膜可以形成为在相同室中层叠,或者多种材料的膜可以通过在相同室中同时放电而形成。

[0203] 备选地,可以使用在室内提供有磁系统并且用于磁控溅射的溅射设备,或用于 ECR 溅射(其中使用通过使用微波产生的等离子体而不使用辉光放电)的溅射设备。

[0204] 此外,作为使用溅射的沉积法,可以是使用靶物质和溅射气体成分通过其在膜形成期间彼此化学反应来形成它们的薄化合物膜的反应溅射,或在膜形成期间也施加电压于衬底的偏置溅射。

[0205] 栅极绝缘膜 403 和氧化物半导体膜 404 可连续形成而不暴露于空气。连续的膜形成而不暴露于空气使获得叠层之间没有被气氛成分或在空气中浮动的杂质元素(例如水、碳氢化合物等)污染的每个界面成为可能。因此,可以减少晶体管的特性中的变化。

[0206] 接着,如在图 10B 中图示的,氧化物半导体膜 404 通过蚀刻等处理(图案化)成期望的形状,由此岛状氧化物半导体膜 405 和 406 在这些岛状氧化物半导体膜 405 和 406 与栅电极 401 和 402 重叠的位置中在栅极绝缘膜 403 之上形成。

[0207] 用于形成岛状氧化物半导体膜 405 和 406 的抗蚀剂掩模可通过喷墨法形成。抗蚀剂掩模通过喷墨法的形成不需要光掩模;从而,可以减少制造成本。

[0208] 在接触孔形成于栅极绝缘膜 403 中的情况下,形成该接触孔的步骤可以在岛状氧化物半导体膜 405 和 406 的形成时进行。

[0209] 注意用于形成岛状氧化物半导体膜 405 和 406 的蚀刻可为湿法蚀刻、干法蚀刻、或干法蚀刻和湿法蚀刻两者。作为用于干法蚀刻的蚀刻气体,可以使用包含氯的气体(例如氯(Cl_2)、氯化硼(BCl_3)、氯化硅(SiCl_4)或四氯化碳(CCl_4)等氯基气体)。备选地,可以使用包含氟的气体(例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或三氟甲烷(CHF_3)等氟基气体);溴化氢(HBr);氧(O_2);添加例如氦(He)或氩(Ar)等稀有气体的这些气体中的任何

气体等。

[0210] 作为干法蚀刻,可以使用平行板 RIE (反应离子蚀刻)或 ICP (感应耦合等离子体)蚀刻。为了将膜蚀刻成期望的形状,视情况调整蚀刻条件(施加于线圈状电极的电功率量、施加于衬底侧上的电极的电功率量、该衬底侧上的该电极的温度等)。

[0211] 作为用于湿法蚀刻的蚀刻剂,可以使用磷酸、乙酸和硝酸等的混合溶液。备选地,可使用 IT0-07N (由 Kanto Chemical Co., Inc. 制造)。在湿法蚀刻之后蚀刻剂通过清洗与蚀刻的材料一起去除。包括蚀刻剂和蚀刻掉的材料废液的废液可被纯化并且材料可重复使用。当蚀刻和重复使用后从废液中收集例如包括在氧化物半导体膜中的铜等材料时,可以有效使用资源并且可以减少成本。

[0212] 注意优选反溅射在导电膜在随后的步骤中形成之前进行,使得附着到岛状氧化物半导体膜 405、岛状氧化物半导体膜 406 和栅极绝缘膜 403 的表面的抗蚀剂残余物等被去除。

[0213] 然后,在氮气氛、氧气氛、超干空气(其中水含量小于或等于 20ppm,优选为小于或等于 1ppm,并且更优选为小于或等于 10ppb 的空气)的气氛或稀有气体(例如,氩和氦)气氛中对氧化物半导体膜 405 和 406 进行热处理。对氧化物半导体膜 405 和 406 进行的热处理可以消除氧化物半导体膜 405 和 406 中的水分或氢。具体地,热处理器可在 350℃至 850℃(或玻璃衬底的应变点)(含)、优选为 550℃至 750℃(含)进行。例如,热处理可在 600℃进行近似三分钟至六分钟(含)。因为脱水或脱氢可以用 RTA 法在短时间中进行,所以热处理甚至可以在高于玻璃衬底的应变点的温度进行。备选地,热处理可在衬底温度近似 450℃的状态下进行近似一小时。

[0214] 在实施例 3 中,热处理用作为热处理设备之一的电炉在氮气氛中在衬底温度近似 600℃的状态下对氧化物半导体膜 405 和 406 进行六分钟。在热处理后,氧化物半导体膜 405 和 406 没有暴露于空气以便防止水分或氢的再进入。

[0215] 注意热处理设备不限于电炉,并且可包括用于通过来自例如电阻加热元件等加热元件的热传导或热辐射加热要处理的对象的装置。例如,可以使用例如 GRTA (气体快速热退火)设备或 LRTA (灯快速热退火)设备等 RTA (快速热退火)设备。LRTA 设备是用于通过来自例如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等灯发射的光(电磁波)的辐射来加热要处理的对象的设备。GRTA 设备是用于使用高温气体的热处理的设备。作为该气体,使用例如氮等通过热处理不与要处理的对象反应的惰性气体或例如氩等稀有气体。

[0216] 例如,热处理可以采用 GRTA,其中衬底移入在 650℃至 700℃的高温加热的惰性气体中,并且在那里加热若干分钟,然后衬底从该惰性气体移出。利用 GRTA,可以达到短时间段的高温热处理。

[0217] 注意优选在热处理中,水分、氢等不包含在氮或例如氩、氦或氖等稀有气体中。优选引入热处理设备的氮或例如氩、氦或氖等稀有气体的纯度是 6N (99.9999%)或更高、优选为 7N (99.99999%)或更高(即,杂质浓度是 1ppm 或更低、优选为 0.1ppm 或更低)。

[0218] 此外,当包含例如水分或氢等杂质的氧化物半导体在温度是 85℃并且施加于栅极的电压是 $2 \times 10^6 \text{V/cm}$ 的条件下受到栅极偏压温度应力测试(BT 测试)12 小时,氧化物半导体的杂质和主成分之间的键由高电场(B:偏压)和高温度(T:温度)断开,并且产生的悬空键

引起阈值电压(V_{th})的漂移。然而,如上文描述的,改进栅极绝缘膜和氧化物半导体膜之间的界面中的特性,并且尽可能多地去除氧化物半导体膜中的杂质(尤其是水分、氢等),使得可以获得耐受 BT 测试的晶体管。

[0219] 通过上文描述的步骤,可以减少氧化物半导体膜中氢的浓度并且氧化物半导体膜高度纯化。从而,可以使氧化物半导体膜稳定。另外,在低于或等于玻璃转变温度的温度的热处理使形成具有宽带隙(其中载流子密度极低)的氧化物半导体膜成为可能。从而,晶体管可以使用大面积的衬底制造;从而,可以提高大规模生产率。另外,通过使用其中氢浓度减少的高度纯化的氧化物半导体膜,制造具有高耐受电压、减小的短沟道效应和高导通截止比的晶体管是可能的。

[0220] 注意当加热氧化物半导体膜时,平面状晶体在上表面中形成,尽管它取决于氧化物半导体膜的材料和加热条件。该平面状晶体优选为单晶,其在垂直于氧化物半导体膜的表面的方向上 c 轴对准。此外,优选使用其中 a-b 平面在沟道形成区域中彼此对应的多晶,或其中 a 轴或 b 轴在沟道形成区域中彼此对应,并且 c 轴取向大致上垂直于氧化物半导体膜的表面的方向的多晶。注意当氧化物半导体膜的基底表面不平坦时,平面状晶体是多晶。

[0221] 然后,如图 10C 中图示的,要成为源电极和漏电极的导电膜(包括在与该源电极和漏电极相同的层中形成的布线)在栅极绝缘膜 403、氧化物半导体膜 405 和氧化物半导体膜 406 之上形成,并且然后将该导电膜图案化。从而,源电极 407 和漏电极 408 在氧化物半导体膜 405 之上形成,并且源电极 409 和漏电极 410 在氧化物半导体膜 406 之上形成。该导电膜可通过溅射或真空蒸发法形成。作为要成为源电极和漏电极的导电膜(包括在与该源电极和漏电极相同的层中形成的布线)的材料,存在从 Al、Cr、Cu、Ta、Ti、Mo 和 W 中选择的元素;包括这些元素中的任何元素作为成分的合金;组合包括这些元素中的任何元素的合金膜等。另外,可使用其中例如 Cr、Ta、Ti、Mo 或 W 等耐火金属的膜层叠在 Al、Cu 等的金属膜的下侧或上侧的结构。此外,可使用向其添加防止在 Al 膜中产生小丘或晶须的元素(例如 Si、Ti、Ta、W、Mo、Cr、Nd、Sc 或 Y 等)的 Al 材料,其导致耐热性提高。

[0222] 此外,导电膜可具有单层结构或两层或更多层的层叠结构。例如,可以给出包括硅的铝膜的单层结构、钛膜层叠在铝膜之上的双层结构、钛膜、铝膜和钛膜按该顺序层叠的三层结构等。

[0223] 备选地,要成为源电极和漏电极的导电膜(包括在与该源电极和漏电极相同的层中形成的布线)可使用导电金属氧化物形成。作为导电金属氧化物,可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟和氧化锡的合金($\text{In}_2\text{O}_3\text{-SnO}_2$, 缩写成 ITO)、氧化铟和氧化锌的合金($\text{In}_2\text{O}_3\text{-ZnO}$)或向其添加硅或氧化硅的金属氧化物材料。

[0224] 在热处理在导电膜形成后进行的情况下,优选导电膜具有高到足够耐受该热处理的耐热性。

[0225] 然后,抗蚀剂掩模在导电膜之上形成。源电极 407、漏电极 408、源电极 409 和漏电极 410 通过选择性蚀刻而形成。之后,去除该抗蚀剂掩模。

[0226] 紫外线、KrF 激光束或 ArF 激光束在光刻步骤中用于曝光以形成抗蚀剂掩模。要在后面的步骤中形成的晶体管的每个沟道长度 L 由在氧化物半导体膜 405 和 406 之上彼此邻近的源电极的下端和漏电极的下端之间的距离确定。在沟道长度 L 短于 25nm 并且进行在光刻步骤中用于形成抗蚀剂掩模的曝光的情况下,使用具有几纳米到几十纳米的极短波

长的极紫外线。用极紫外的曝光导致高分辨率和大的焦深。从而,在后面的步骤中完成的晶体管的沟道长度 L 可以是 10nm 至 1000nm(含),并且可以增加电路的操作速度,并且此外截止状态电流值极小,使得可以达到低功耗。

[0227] 注意视情况调整每个材料和蚀刻条件,使得氧化物半导体膜 405 和 406 尽可能多地不在导电膜的蚀刻中被去除。

[0228] 在实施例 3 中,钛膜用作导电膜,并且通过使用包括氨和充氧水的溶液(氨过氧化氢混合物)对导电膜进行湿法蚀刻,使得形成源电极 407、漏电极 408、源电极 409 和漏电极 410。作为包括氨过氧化氢混合物的溶液,具体地,使用其中充氧水(31 wt% 过氧化氢)、氨水(28wt% 铵)和水以 5:2:2 的体积比混合的溶液。备选地,干法蚀刻可使用含氯(Cl_2)、氯化硼(BCl_3)等的气体对导电膜进行。

[0229] 当源电极 407、漏电极 408、源电极 409 和漏电极 410 通过上文的图案化形成时,蚀刻岛状氧化物半导体膜 405 中暴露部分中的一部分,使得有时形成槽(凹陷部分)。用于形成源电极 407、漏电极 408、源电极 409 和漏电极 410 的抗蚀剂掩模可通过喷墨法形成。通过喷墨法的抗蚀剂掩模的形成不需要光掩模;从而,可以减少制造成本。

[0230] 另外,为了减少光刻步骤的光掩模数和步骤数,蚀刻可通过使用抗蚀剂掩模进行,该抗蚀剂掩模使用光透过其具有多个强度的多色调掩模形成。通过使用多色调掩模形成的抗蚀剂掩模具有多个厚度,并且进一步可以通过蚀刻在形状上改变;因此,该抗蚀剂掩模可以在用于处理成不同图案的多个蚀刻步骤中使用。因此,对应于至少两种或更多种不同图案的抗蚀剂掩模可以由一个多色调掩模形成。从而,可以减少曝光掩模的数量,并且还可以减少对应的光刻步骤的数量,由此可以实现工艺的简化。

[0231] 接着,进行等离子体处理,使用例如 N_2O 、 N_2 或 Ar 等气体。通过该等离子体处理,去除附着到氧化物半导体膜的暴露表面的水等。备选地,该等离子体处理也可使用氧和氩的混合气体进行。

[0232] 注意在进行等离子体处理后,如在图 10D 中图示的,形成绝缘膜 411 以便覆盖源电极 407、漏电极 408、源电极 409、漏电极 410、氧化物半导体膜 405、以及氧化物半导体膜 406。绝缘膜 411 优选为尽可能少地包括例如水分或氢等杂质,并且绝缘膜 411 可使用单层绝缘膜或层叠的多个绝缘膜形成。当氢包括在绝缘膜 411 中时,发生氢进入氧化物半导体膜或氧化物半导体膜中的氧由氢抽取,由此氧化物半导体膜的背沟道部分具有较低电阻(n 型导电性);从而,可能形成寄生沟道。因此,优选采用其中不使用氢的膜形成方法以便形成尽可能少地包含氢的绝缘膜 411。具有高阻挡性质的材料优选用于绝缘膜 411。例如,作为具有高阻挡性质的绝缘膜,可以使用氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化氯膜等。当使用层叠的多个绝缘膜时,具有比具有高阻挡性质的绝缘膜低的氮比例的绝缘膜(例如氧化硅膜或氧氮化硅膜等)在接近氧化物半导体膜 405 和 406 的侧形成。然后,形成具有高阻挡性质的绝缘膜以便与源电极 407、漏电极 408、源电极 409、漏电极 410、氧化物半导体膜 405、以及氧化物半导体膜 406 重叠,其中具有较低比例的氮的绝缘膜处于具有阻挡性质的绝缘膜和源电极、漏电极与氧化物半导体膜之间。利用具有高阻挡性质的绝缘膜,可以防止例如水分或氢等杂质进入氧化物半导体膜 405 和氧化物半导体膜 406、栅极绝缘膜 403、或另一个绝缘膜和氧化物半导体膜 405 和 406 中的每个之间的界面及其附近。另外,形成具有较低氮比例的绝缘膜(例如氧化硅膜或氧氮化硅膜等)以便与氧化物半导体膜 405 和 406 接触,

使得可以防止使用具有高阻挡性质的材料形成的绝缘膜与氧化物半导体膜 405 和 406 直接接触。

[0233] 在实施例 3 中,形成具有其中通过溅射形成的具有 100nm 厚度的氮化硅膜层叠在通过溅射形成的具有 200nm 厚度的氧化硅膜之上的结构的绝缘膜 411。膜形成中的衬底温度可处于室温至 300℃ (含)的范围中,并且在实施例 3 中是 100℃。

[0234] 注意热处理可在绝缘膜 411 形成后进行。该热处理在氮气氛、氧气氛、超干空气(其中水含量小于或等于 20ppm,优选为小于或等于 1ppm,并且更优选为小于或等于 10ppb 的空气)气氛或稀有气体(例如,氩和氦)气氛中在优选为 200℃至 400℃ (含)、例如 250℃至 350℃ (含)进行。在实施例 3 中,热处理在氮气氛中在 250℃进行一小时。备选地,在形成源电极 407、漏电极 408、源电极 409、漏电极 410 之前,可进行如当氧化物半导体膜经受热处理时那样作为在高温下并且短时间中进行的热处理的 RTA 工艺。在提供包括氧的绝缘膜 411 以便与氧化物半导体膜 405 的暴露区域(其在源电极 407 和漏电极 408 之间形成)接触后,或在提供包括氧的绝缘膜 411 以便与氧化物半导体膜 406 的暴露区域(其在源电极 409 和漏电极 410 之间形成)接触后,进行热处理;因此,即使当在氧化物半导体膜上进行热处理使在氧化物半导体膜 405 和 406 中发生氧缺乏时,氧也供应给氧化物半导体膜 405 和氧化物半导体膜 406。氧供应给氧化物半导体膜 405 和 406 与绝缘膜 411 接触的部分来减少充当施主的氧缺乏,使得可以实现满足化学计量组分比的结构。其结果,可以使氧化物半导体膜 405 和 406 是本征半导体膜或大致上本征的半导体膜。因此,可以改进晶体管的电特性并且可以减少其电特性中的变化。对于该热处理的定时没有特别限制,只要它在绝缘膜 411 形成后进行即可。当该热处理也充当另一个步骤中的热处理(例如树脂膜的形成中的热处理或用于减少透明导电膜的电阻的热处理)时,氧化物半导体膜 405 和 406 可以是本征(i 型)或大致上本征的而不增加步骤的数量。

[0235] 图 11A 图示图 10 的步骤完成后存储器装置的俯视图。注意沿图 11A 中的虚线 A1-A2 取的截面图对应于图 10D。

[0236] 然后,接触孔 412 通过蚀刻等在绝缘膜 411 中形成来暴露漏电极 408 的部分。接着,如在图 10E 中图示的,在背栅电极 413 通过将形成于绝缘膜 411 之上的导电膜图案化而形成以便与氧化物半导体膜 406 重叠后,形成绝缘膜 414 以便覆盖该背栅电极 413。背栅电极 413 在接触孔 412 中连接到漏电极 408。背栅电极 413 可以使用与栅电极 401 和 402 或源电极 407、漏电极 408、源电极 409 和漏电极 410 相似的材料和结构形成。

[0237] 背栅电极 413 的厚度设置为 10nm 至 400nm,优选为 100nm 至 200nm。在实施例 3 中,背栅电极 413 采用这样的方式形成,即:形成层叠有钛膜、铝膜和钛膜的导电膜,抗蚀剂掩模通过光刻法等形成,并且不需要的部分通过蚀刻去除使得将该导电膜处理(图案化)成期望的形状。

[0238] 绝缘膜 414 优选为使用具有高阻挡性质的材料形成,该材料可以防止气氛中的水分、氢、氧等影响晶体管的特性。例如,绝缘膜 414 可以通过等离子体 CVD、溅射等形成成为具有氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等的单层结构或叠层结构,作为具有高阻挡性质的绝缘膜。为了获得阻挡性质的效果,绝缘膜 414 优选为形成具有例如 15nm 至 400nm 的厚度。

[0239] 在实施例 3 中,绝缘膜通过等离子体 CVD 形成为 300nm 的厚度。该绝缘膜在下

列条件下形成：硅烷气体的流率是 4sccm；一氧化二氮的流率是 800sccm；并且衬底温度是 400℃。

[0240] 通过上文的步骤，形成起开关元件作用的晶体管 420、起存储器元件作用的晶体管 421、以及电容器。图 11B 图示在图 10E 中图示的存储器单元的俯视图。图 10E 对应于沿图 11B 中的虚线 A1-A2 取的截面图。

[0241] 晶体管 420 包括：在具有绝缘表面的衬底 400 之上形成的栅电极 401、在栅电极 401 之上的栅极绝缘膜 403、与栅电极 401 重叠并且在栅极绝缘膜 403 之上的氧化物半导体膜 405，以及一对在氧化物半导体膜 405 之上形成的源电极 407 和漏电极 408。晶体管 420 可包括提供在氧化物半导体膜 405 之上的绝缘膜 411 作为它的部件。在图 10E 中图示的晶体管 420 具有沟道蚀刻结构，其中氧化物半导体膜 405 在源电极 407 和漏电极 408 之间部分蚀刻。

[0242] 注意尽管晶体管 420 描述为单栅极晶体管，但是具有多个沟道形成区域的多栅极晶体管可以通过具有彼此电连接的多个栅电极 401 视需要形成。

[0243] 此外，晶体管 421 包括：提供在具有绝缘表面的衬底 400 之上的栅电极 402；在栅电极 402 之上的栅极绝缘膜 403；与栅电极 402 重叠并且在栅极绝缘膜 403 之上的氧化物半导体膜 406；一对提供在氧化物半导体膜 406 之上的源电极 409 和漏电极 410；在氧化物半导体膜 406、源电极 409 和漏电极 410 之上形成的绝缘膜 411；以及与氧化物半导体膜 406 和栅电极 402 重叠并且在绝缘膜 411 之上的背栅电极 413。可包括在背栅电极 413 之上形成的绝缘膜 414 作为晶体管 421 的部件。在图 10E 中图示的晶体管 421 具有沟道蚀刻结构，其中氧化物半导体膜 406 在源电极 409 和漏电极 410 之间部分蚀刻。

[0244] 注意尽管晶体管 421 描述为单栅极晶体管，但是具有多个沟道形成区域的多栅极晶体管可以通过具有彼此电连接的多个栅电极 402 视需要形成。

[0245] 电容器 430 在晶体管 421 的源电极 409 和晶体管 421 的背栅电极 413 彼此重叠（其中在其间提供绝缘膜 411）的区域中形成。

[0246] 包括在晶体管 421 中的栅电极 402 起第一电极的作用，其可以通过控制电极 402 的电势来选择例如写入、读取、存储和擦除等存储器元件的操作。背栅电极 413 起第二电极的作用，其可以控制用作存储器元件的晶体管 421 的阈值电压。注意尽管在实施例 3 中，起存储器元件作用的晶体管 421 具有在氧化物半导体膜 406 形成前形成的作为第一电极的栅电极 402，以及在氧化物半导体膜 406 形成后形成的作为第二电极的背栅电极 413 的存储器单元给出作为示例，但是本发明不限于该结构。例如，还可采用在氧化物半导体膜 406 形成前形成的栅电极 402 起晶体管 421 中的第二电极作用并且在氧化物半导体膜 406 形成后形成的背栅电极 413 起晶体管 421 中的第一电极作用的结构。注意在该情况下，栅电极 402 代替背栅电极 413 连接到晶体管 420 的漏电极 408。

[0247] 另外，在图 11B 中，背栅电极 413 与整个氧化物半导体膜 406 重叠的情况作为示例来图示，但是本发明不限于该结构。可采用任何结构，只要背栅电极 413 至少与包括在氧化物半导体中的沟道形成区域的部分重叠即可。

[0248] 注意氧化物半导体的带隙、碳化硅的带隙和氮化镓的带隙分别是 3.0eV 至 3.5eV、3.26eV 和 3.39eV；它们近似是硅的带隙的三倍宽。例如碳化硅和氮化镓等化合物半导体与氧化物半导体的相同之处在于它们是宽隙半导体，其特性具有晶体管的耐受电压中的改

进、电功率损耗中的减少等优势。

[0249] 随后,如在实施例 3 中,将描述晶体管的特性如何受氧化物半导体膜通过尽可能多地去除包含在氧化物半导体膜中的例如水分、氢等等杂质而高度纯化的影响。

[0250] 图 12 是包括氧化物半导体的反向交错晶体管的纵截面图。氧化物半导体膜(OS)提供在栅电极(GE)之上,其中在其间有栅极绝缘膜(GI),在其之上提供有源电极(S)和漏电极(D),并且提供绝缘膜以便覆盖该源电极(S)和该漏电极(D)。

[0251] 图 13 是沿图 12 中图示的截面 A-A' 的能带图(示意图)。在图 13 中,黑圈(●)和白圈(○)分别代表电子和空穴并且分别具有电荷 $-q$ 和 $+q$ 。利用施加于漏电极(D)的正电压($V_D > 0$),虚线示出没有电压施加于栅电极(GE) ($V_G = 0$)的情况并且实线示出正电压施加于栅电极(GE) ($V_G > 0$)的情况。在电压没有施加于栅电极(GE)的情况下,因为高势垒,所以载流子(电子)没有从源电极(S)注入到氧化物半导体膜(OS)侧,使得没有电流流动,这意味着截止状态。相反,当正电压施加于栅电极(GE)时,势垒减小,使得电流流动,这意味着导通状态。

[0252] 图 14A 和 14B 是沿图 12 中图示的部分 B-B' 的能带图(示意图)。图 14A 图示正电势($V_G > 0$)施加于栅电极(GE)的状态以及载流子(电子)在源电极(S)和漏电极(D)之间流动的导通状态。图 14B 图示负电势($V_G < 0$)施加于栅电极(GE)的状态以及截止状态(少数载流子没有流动)。

[0253] 图 15 图示真空能级和金属的功函数(ϕ_M)之间与真空能级和氧化物半导体的电子亲和性(χ)之间的关系。

[0254] 在常温下,金属中的电子衰退并且费米能级位于导带中。另一方面,一般来说,常规的氧化物半导体是 n 型半导体,并且其费米能级(E_f)位于更靠近导带(E_c)并且远离位于带隙中心的本征费米能级(E_i)处。注意已知氧化物半导体中的氢的一部分是施主和成为 n 型氧化物半导体的因素之一。此外,氧缺乏被认为是产生 n 型氧化物半导体的原因之一。

[0255] 相反,根据本发明的一个实施例,从氧化物半导体去除氧缺乏并且去除作为 n 型杂质的氢以便高度纯化,使得尽量不包括除了氧化物半导体的主成分外的杂质;因此,使氧化物半导体极接近本征氧化物半导体。即,不通过添加杂质而通过尽可能多地去除氧缺乏以及杂质(例如水分或氢等)来具有高纯度,使该氧化物半导体极接近本征半导体,使得获得作为本征(i 型)半导体或大致上本征(i 型)半导体的氧化物半导体。利用上文的结构,费米能级(E_f)可以大致上接近与本征费米能级(E_i)相同的能级,如由箭头指示的。

[0256] 在氧化物半导体的带隙(E_g)是 3.15eV 的情况下,电子亲和性(χ)被说成 4.3eV。包括在源电极和漏电极中的钛(Ti)的功函数大致上等于氧化物半导体的电子亲和性(χ)。在该情况下,在金属和氧化物半导体之间的界面处没有形成对电子的肖特基势垒。

[0257] 在该情况下,如在图 14A 中图示的,电子沿氧化物半导体的最低部分(其在能量上是稳定的)在栅极绝缘膜和高度纯化的氧化物半导体之间的界面处移动。

[0258] 在图 14B 中,当负电势施加于栅电极(GE)时,作为少数载流子的空穴大致上是零;因此,电流大致上接近零。

[0259] 然后,计算氧化物半导体中的本征载流子密度。In-Ga-Zn-O 基氧化物半导体的带隙是 3.05eV,并且基于该值计算本征载流子密度。已知电子在固体中的能量分布 $f(E)$ 遵守由以下公式代表的费米-狄拉克统计。

[0260] [公式 1]

[0261]

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (1)$$

[0262] 在载流子密度不是非常高的正常半导体(其没有衰退)的情况下,满足以下关系表达式。

[0263] [公式 2]

[0264]

$$|E - E_F| > kT \quad (2)$$

[0265] 因此,公式 1 的费米-狄拉克分布由以下公式表达的波尔兹曼分布公式近似。

[0266] [公式 3]

[0267]

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right] \quad (3)$$

[0268] 当使用公式 3 计算半导体的本征载流子密度(n_i)时,可以获得以下公式。

[0269] [公式 4]

[0270]

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right) \quad (4)$$

[0271] 然后,将硅和 In-Ga-Zn-O 基氧化物半导体的有效态密度(N_c 和 N_v)和带隙(E_g)的值代入公式 4,并且计算本征载流子密度。其结果在表格 1 中示出。

[0272] [表格 1]

[0273]

	Si	IGZO
N_c (300K) [cm^{-3}]	2.8×10^{19}	5.0×10^{18}
N_v (300K) [cm^{-3}]	1.04×10^{19}	5.0×10^{18}
E_g (300K) [eV]	1.08	3.05
n_i (300K) [cm^{-3}]	1.45×10^{10}	1.2×10^{-7}

[0274] 发现 In-Ga-Zn-O 基氧化物半导体与 Si 相比具有极低的本征载流子密度。在选择 3.05eV 的值作为 In-Ga-Zn-O 基氧化物半导体的带隙的情况下,可以说 Si 的载流子密度近似是 In-Ga-Zn-O 基氧化物半导体的 10^{17} 倍大,假设费米-狄拉克分布定律可应用于本征载流子密度。

[0275] 然后,将描述测量包括高度纯化的氧化物半导体膜的晶体管的截止状态电流的方法及其结果。

[0276] 图 18 图示在测量中使用的测量电路的结构。图 18 中的测量电路包括具有高度纯

化的氧化物半导体膜的晶体管作为用于在存储电容器中保持电荷的开关元件。利用该测量电路,该晶体管的截止状态电流通过存储电容器中的电荷量每单位小时的变化来测量。

[0277] 具体地,图 18 中的测量电路具有其中用于测量截止状态电流的测量系统 801-1 至 801-3 并联连接的结构。这些测量系统 801-1 至 801-3 的每个包括电容器 802 和要测量的晶体管 803。这些测量系统 801-1 至 801-3 的每个包括晶体管 804 至 806。

[0278] 在每个测量系统中,晶体管 803 的栅电极连接到供应有电势 V_{gb} 的节点。晶体管 803 的源电极连接到供应有电势 V_b 的节点,并且晶体管 803 的漏电极连接到节点 A。晶体管 804 的栅电极连接到供应有电势 V_{ga} 的节点。晶体管 804 的源电极连接到节点 A,并且晶体管 804 的漏电极连接到供应有电势 V_a 的节点。晶体管 805 的栅电极和漏电极连接到供应有电势 V_a 的节点。晶体管 806 的栅电极连接到节点 A,并且晶体管 806 的源电极连接到供应有电势 V_b 的节点。晶体管 805 的源电极和晶体管 806 的漏电极彼此连接,并且这两个电极的电势从每个测量系统输出为电势 V_{out1} 、电势 V_{out2} 或电势 V_{out3} 。电容器 802 的一对电极中的一个连接到节点 A 并且另一个连接到供应有电势 V_b 的节点。

[0279] 另外,在实施例 3 中,要测量的晶体管 803 包括高度纯化的 30nm 厚氧化物半导体膜和 100nm 厚栅极绝缘膜。晶体管 803 的沟道形成区域具有 $10\ \mu\text{m}$ 的沟道长度 L 和 $50\ \mu\text{m}$ 的沟道宽度 W 。另外,包括在测量系统中的电容器 802 的电容分别是 100fF、1pF 和 3pF。

[0280] 在测量之前进行初始化。首先,电势 V_{gb} 具有高到足够将晶体管 803 打开的电平。从而,晶体管 803 被打开,并且节点 A 供应有电势 V_b ,即低电平电势 V_{SS} 。之后,使电势 V_{gb} 具有低到足够将晶体管 803 关闭的电平。接着,使电势 V_{ga} 具有高到足够将晶体管 804 打开的电平。从而,节点 A 供应有电势 V_a ,即高电平电势 V_{DD} ,并且低电平电势 V_{SS} 和高电平电势 V_{DD} 之间的电势差施加在电容器 802 的该对电极之间。之后,使电势 V_{ga} 具有低到足够将晶体管 804 关闭的电平,使得晶体管 804 被关闭并且节点 A 进入浮动状态。

[0281] 接着,进行测量操作。当进行测量时,使电势 V_a 和电势 V_b 的每个具有电荷利用其流向节点 A 和从节点 A 流出的电平。在实施例 3 中,电势 V_a 和电势 V_b 是低电平电势 V_{SS} 。注意尽管电势 V_a 在测量电势 V_{out} 的定时暂时是高电平电势 V_{DD} ,但是电势 V_a 和电势 V_b 除了在上文的定时外保持在低电平电势 V_{SS} 。

[0282] 因为微小的截止状态电流流过晶体管 803,所以保持在节点 A 中的电荷量随时间改变。另外,因为节点 A 的电势根据保持在节点 A 中的电荷量的改变而改变,所以电势 V_{out1} 至 V_{out3} 的电平根据晶体管 803 的截止状态电流的值改变。

[0283] 具体地,在测量中,电势 V_{DD} 是 5V,并且电势 V_{SS} 是 0V。电势 V_{out1} 至 V_{out3} 测量如下:电势 V_a 基本上是电势 V_{SS} ,并且以 10 秒至 300 秒的间隔改变为电势 V_{DD} 100 毫秒。

[0284] 图 19 图示测量电流中逝去的时间 Time (时间)和输出电势 V_{out} 之间的关系。电势在大约 90 小时后改变。

[0285] 提前获得节点 A 的电势 V_A 和输出电势 V_{out} 之间的关系,由此节点 A 的电势 V_A 可以使用输出电势 V_{out} 获得。一般来说,节点 A 的电势 V_A 可以由以下等式表达为输出电势 V_{out} 的函数。

[0286] [公式 5]

[0287]

$$V_A = F(V_{out})$$

[0288] 节点 A 的电荷 Q_A 可以通过使用节点 A 的电势 V_A 、连接到节点 A 的电容 C_A 和常数 (const) 由以下等式表达。这里, 连接到节点 A 的电容 C_A 是电容器 802 的电容和其他电容 (例如, 包括晶体管 805 和晶体管 806 的电路的输入电容) 的和。

[0289] [公式 6]

[0290]

$$Q_A = C_A V_A + \text{const}$$

[0291] 因为节点 A 的电流 I_A 通过关于时间区别流到节点 A 的电荷 (或从节点 A 流出的电荷) 而获得, 所以节点 A 的电流 I_A 由以下等式表达。

[0292] [公式 7]

[0293]

$$I = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0294] 采用该方式, 节点 A 的电流 I_A 可以从连接到节点 A 的电容 C_A 和电势 V_{out1} 至 V_{out3} 获得。

[0295] 图 20 图示在上文的电流测量中计算的截止状态电流。此外, 电流 I 流过晶体管 803 时使用的 Δt 是大约 30,000 秒。注意图 20 图示源电极和漏电极之间的截止状态电流 I 和电压 V 之间的关系。根据图 20, 发现截止状态电流是大约 40zA/ μm , 其中源电极和漏电极之间的电压是 4V。

[0296] 采用该方式, 氧化物半导体膜被高度纯化使得尽可能少地包含除氧化物半导体的主成分外的杂质 (例如水分或氢等), 由此晶体管的操作可以是有利的。

[0297] 本实施例可以通过与上文描述的实施例中的任何实施例视情况组合实现。

[0298] (实施例 4)

[0299] 在实施例 4 中, 将描述作为使用根据本发明的一个实施例的存储器装置的半导体装置中的一个的移动存储器介质的示例。

[0300] 图 16A 图示根据本发明的一个实施例的存储器介质的结构作为示例。在图 16A 中的存储器介质中, 下列部件安装在印刷布线板 706 上: 根据本发明的一个实施例的存储器装置 701; 进行驱动器电路和存储器介质之间的电连接的连接器 702; 根据各种信号对通过连接器 702 输入或输出的每个信号进行信号处理的接口 703; 根据存储器介质的操作等而发光的发光二极管 704; 以及控制例如存储器装置 701、接口 703 和发光二极管 704 等存储器介质中的电路和半导体元件的操作的控制器 705。此外, 可另外提供用于生成用于控制控制器 705 的操作的时钟信号的石英振荡器, 用于控制存储器介质中的电力供应电压的电平的调节器等。

[0301] 如在图 16B 中图示的, 图 16A 中的印刷布线板 706 可通过覆盖有使用树脂等的覆盖材料 707 而保护, 以便暴露连接器 702 的部分和发光二极管 704 的部分。

[0302] 因为在根据本发明的一个实施例的存储器装置 701 中, 可以抑制操作中的功耗, 所以可以实现使用存储器装置 701 的存储器介质的功耗的降低, 以及可以进一步实现连接到存储器介质的驱动装置的功耗的降低。此外, 因为在根据本发明的一个实施例的存储器装置 701 中, 数据可以长时间存储并且可以增加重写次数, 所以可以增强存储器介质的可

靠性。此外,因为数据可以长时间存储并且可以增加重写次数,所以放宽了存储器介质的操作条件;从而,可以提高存储器介质的通用性。

[0303] 本实施例可以通过与上文描述的实施例中的任何实施例视情况组合而实现。

[0304] [示例 1]

[0305] 通过使用根据本发明的一个实施例的半导体装置,可以提供高可靠电子装置、具有低功耗的电子装置和具有高速驱动的电子装置。特别地,在连续接收电力中具有困难的便携式电子装置的情况下,当根据本发明的一个实施例的具有低功耗的半导体装置作为该装置的部件而添加时可以获得增加连续工作周期的优势。

[0306] 此外,利用本发明的半导体装置,可以抑制制造工艺中的热处理温度;因此,即使当薄膜晶体管在使用柔性合成树脂(其耐热性低于玻璃的耐热性,例如塑料等)形成的衬底之上形成时,可以形成具有优异特性的高可靠薄膜晶体管。因此,通过使用根据本发明的一个实施例的制造方法,可以提供高可靠、重量轻和柔性的半导体装置。塑料衬底的示例包括以聚对苯二甲酸乙二酯(PET)、聚醚砜(PES)、聚萘二甲酸乙二酯(PEN)、聚碳酸酯(PC)、聚醚醚酮(PEEK)、聚砜(PSF)、聚醚酰亚胺(PEI)、多芳基化合物(PAR)、聚对苯二甲酸丁二酯(PBT)、聚酰亚胺、丙烯腈二乙烯基二烯树脂、聚氯乙烯、聚丙烯、聚乙酸乙烯酯、丙烯酸树脂等为代表的聚酯。

[0307] 根据本发明的一个实施例的半导体装置可以用于显示器、膝上型电脑或提供有记录介质的图像再现装置(典型地,再现例如数字通用光盘(DVD)等记录介质的内容并且具有用于显示再现的图像的显示器的装置)。除了上文以外,作为可以使用根据本发明的一个实施例的半导体装置的电子装置,可以给出移动电话、便携式游戏机、便携式信息终端、电子书阅读器、摄像机、数字静止照相机、护目镜型显示器(头戴式显示器)、导航系统、音频再现装置(例如,汽车音频系统或数字音频播放器)、复印机、传真机、打印机、多功能打印机、自动取款机(ATM)、售货机等。这些电子装置的具体示例在图 17A 至 17C 中图示。

[0308] 图 17A 图示包括外壳 7031、外壳 7032、显示部分 7033、显示部分 7034、麦克风 7035、扬声器 7036、操作键 7037、触笔 7038 等的便携式游戏机。根据本发明的一个实施例的半导体装置还可以用于集成电路,其用于控制便携式游戏机的驱动。根据本发明的一个实施例的半导体装置可以用于集成电路,其用于控制便携式游戏机的驱动,使得可以提供高可靠便携式游戏机、具有低功耗的便携式游戏机和更高性能的便携式游戏机。注意尽管在图 17A 中图示的该便携式游戏机包括两个显示部分 7033 和 7034,但是包括在便携式游戏机中的显示部分的数量不限于两个。

[0309] 图 17B 图示包括外壳 7041、显示部分 7042、音频输入部分 7043、音频输出部分 7044、操作键 7045、光接收部分 7046 等的移动电话。在光接收部分 7046 中接收的光转换成电信号,由此可以加载外部图像。根据本发明的一个实施例的半导体装置还可以用于集成电路,其用于控制该移动电话的驱动。根据本发明的一个实施例的半导体装置可以用于集成电路,其用于控制该移动电话的驱动,使得可以提供高可靠移动电话、具有低功耗的移动电话和更高性能的移动电话。

[0310] 图 17C 图示包括外壳 7051、显示部分 7052、操作键 7053 等的便携式信息终端。调制解调器可并入在图 17C 中图示的该便携式信息终端的外壳 7051 中。根据本发明的一个实施例的半导体装置还可以用于集成电路,其用于控制该便携式信息终端的驱动。根据本发

明的一个实施例的半导体装置可以用于集成电路,其用于控制该便携式信息终端的驱动,使得可以提供高可靠便携式信息终端、具有低功耗的便携式信息终端和更高性能的便携式信息终端。

[0311] 本实施例可以通过与上文描述的实施例中的任何实施例视情况组合而实现。

[0312] 本申请基于在 2009 年 12 月 28 日向日本专利局提交的日本专利申请序列第 2009-297140 号,其全部内容通过参照并入于此。

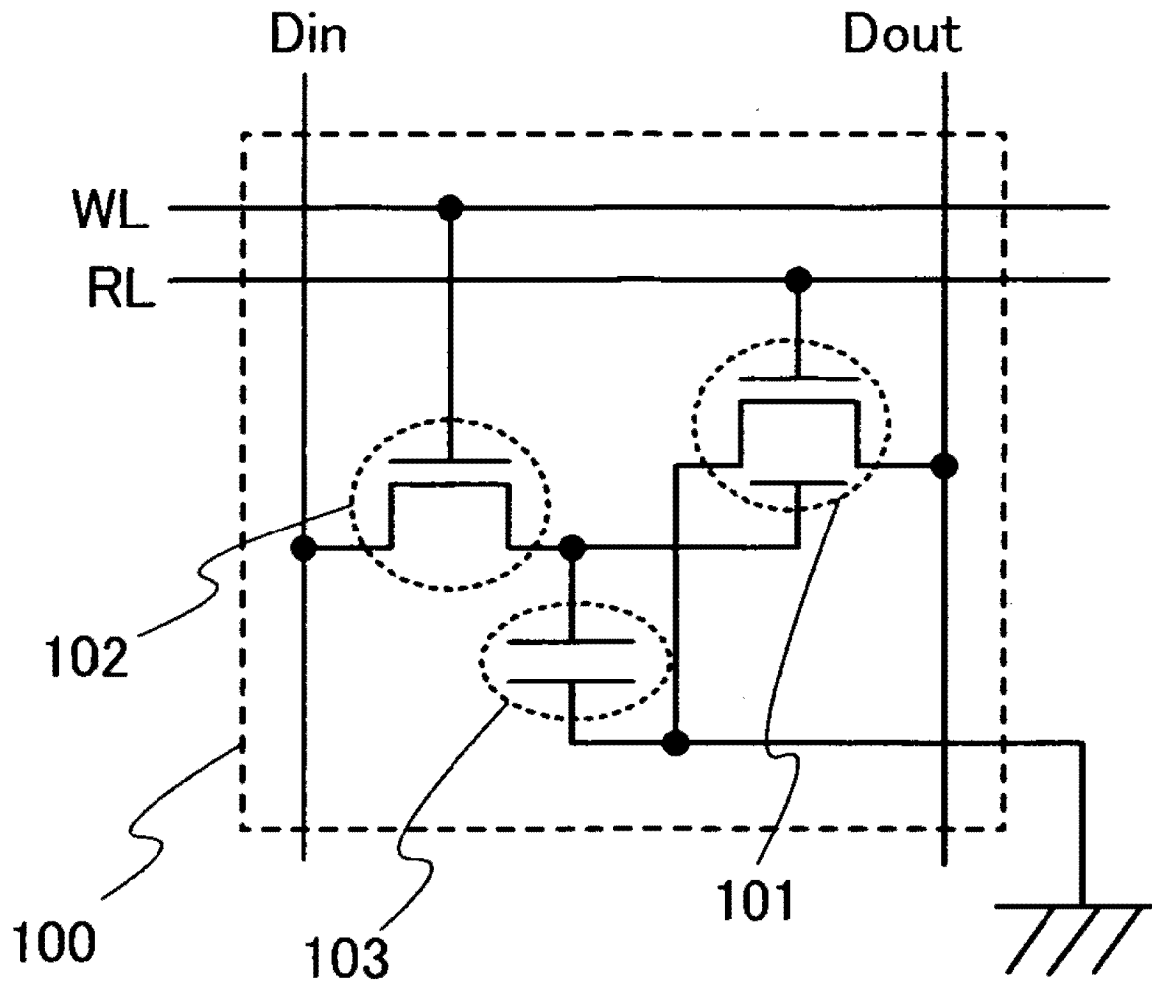


图 1A

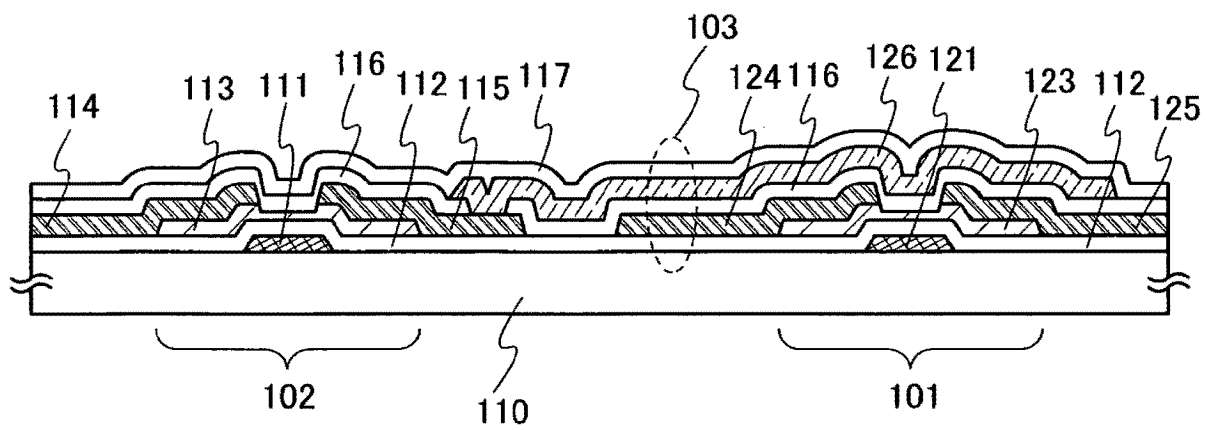


图 1B

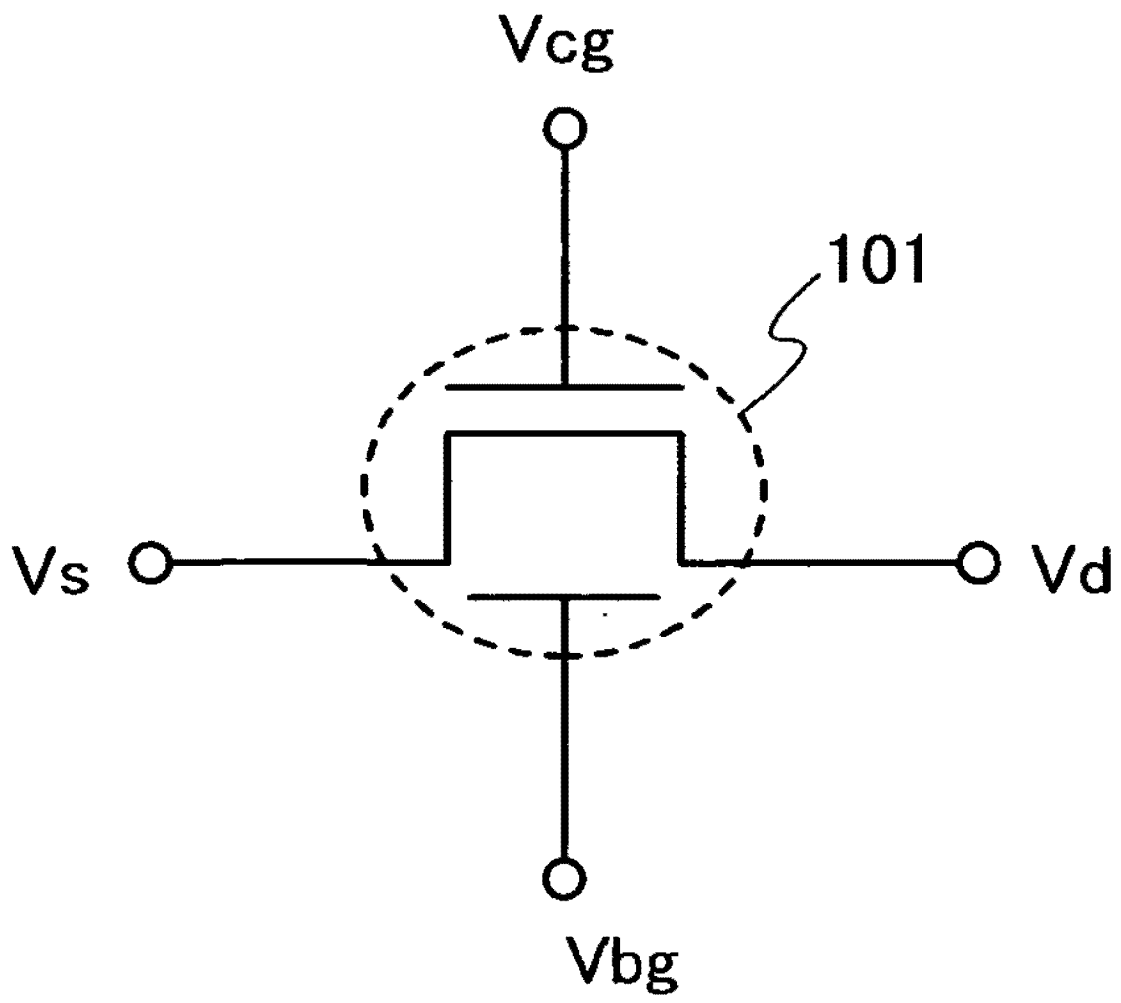


图 2A

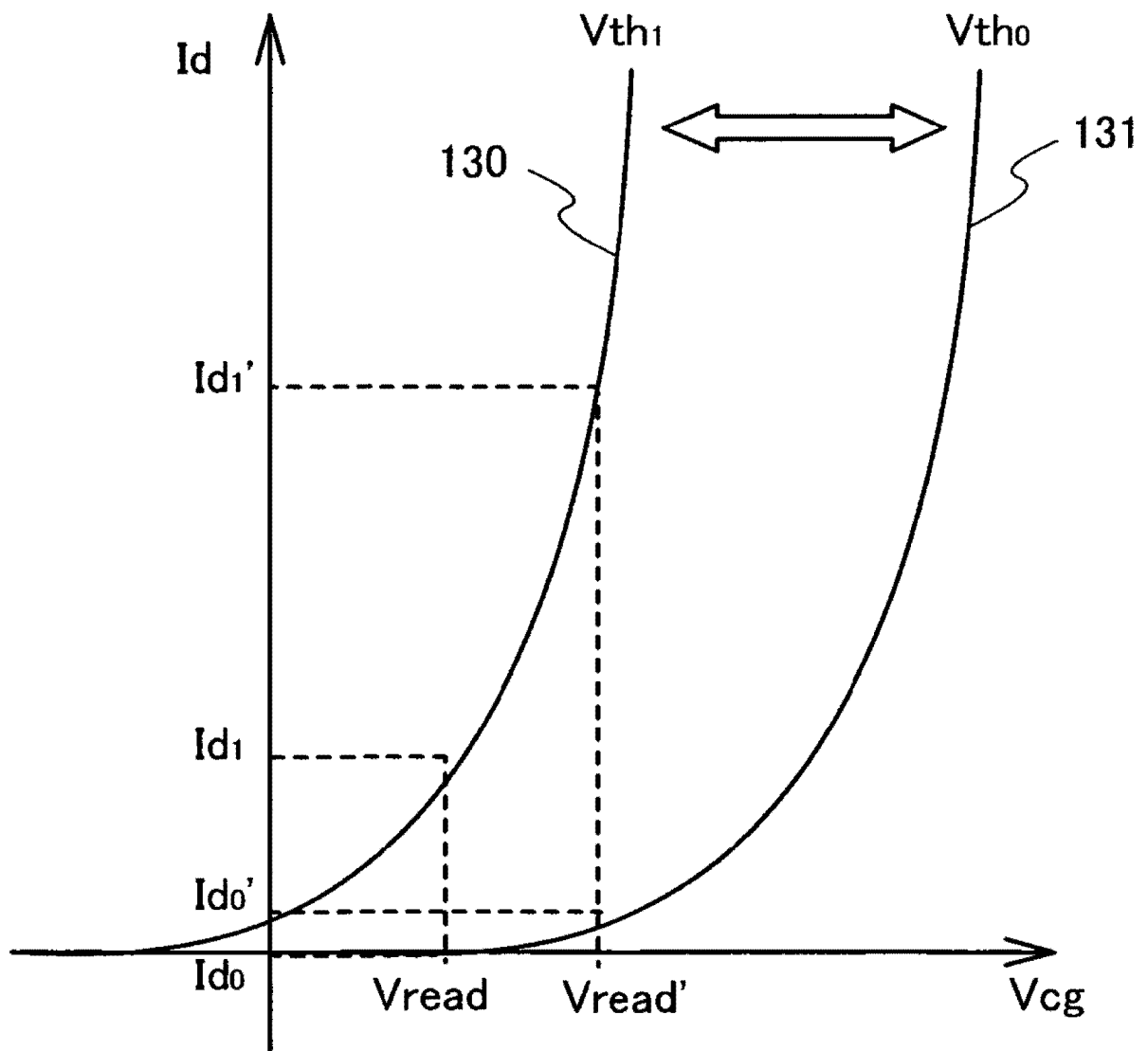


图 2B

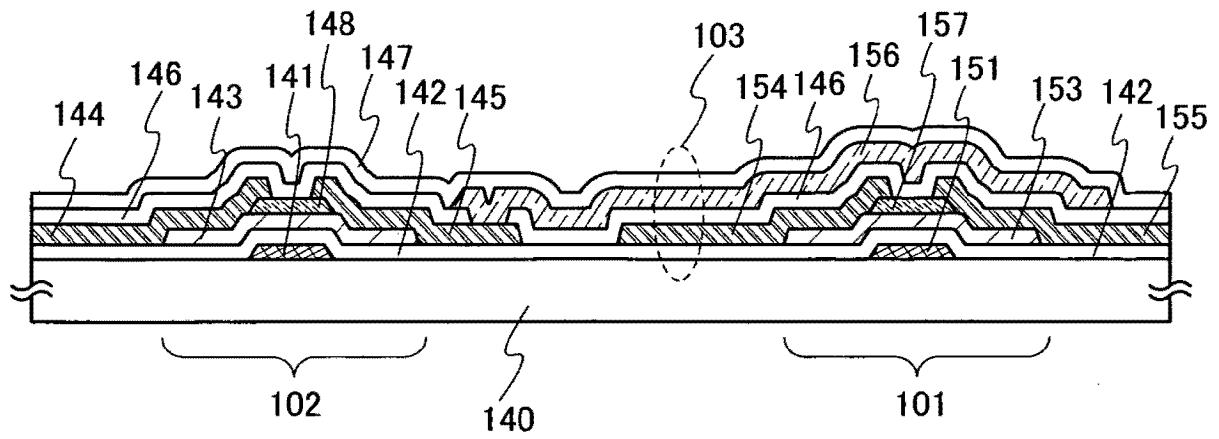


图 3A

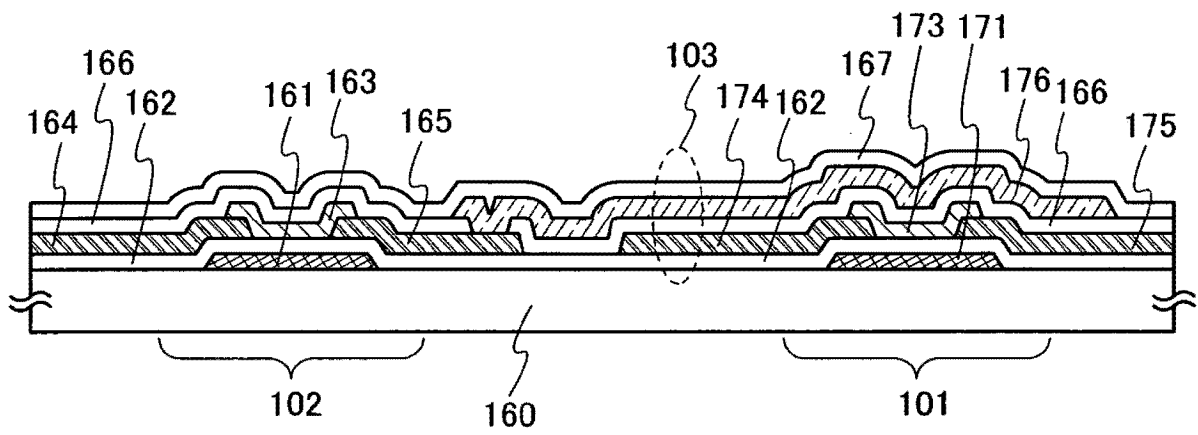


图 3B

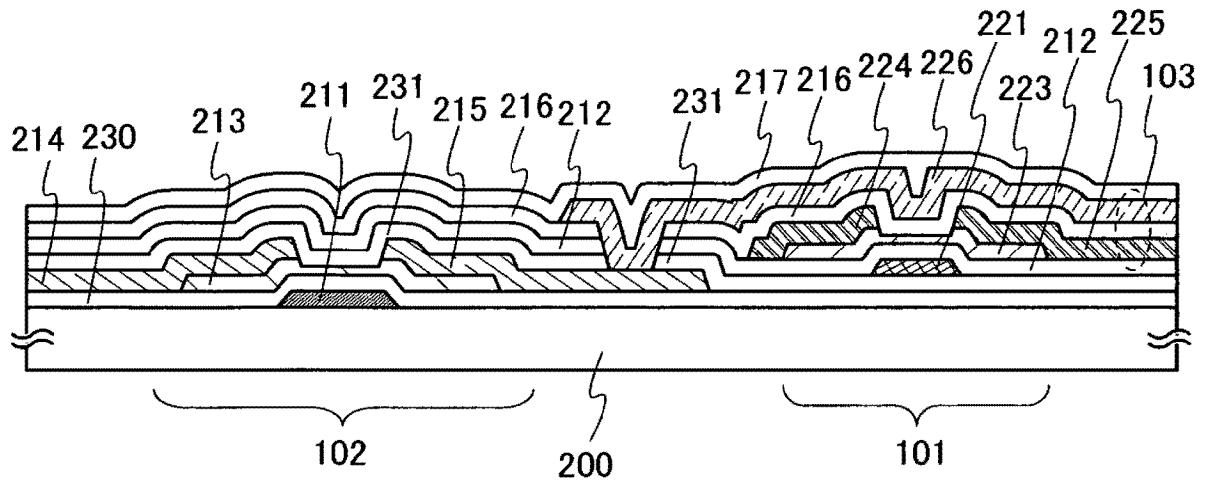


图 4A

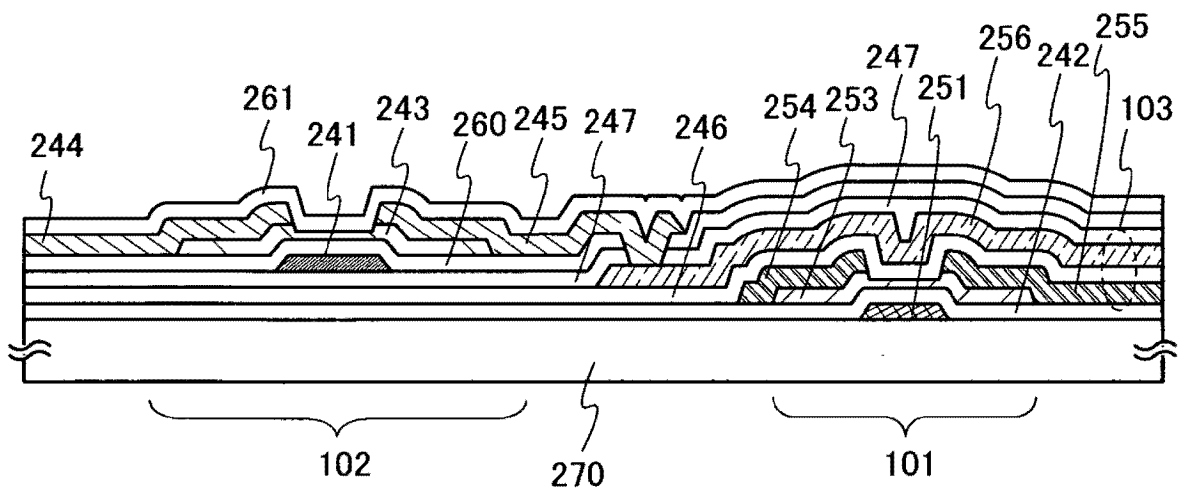


图 4B

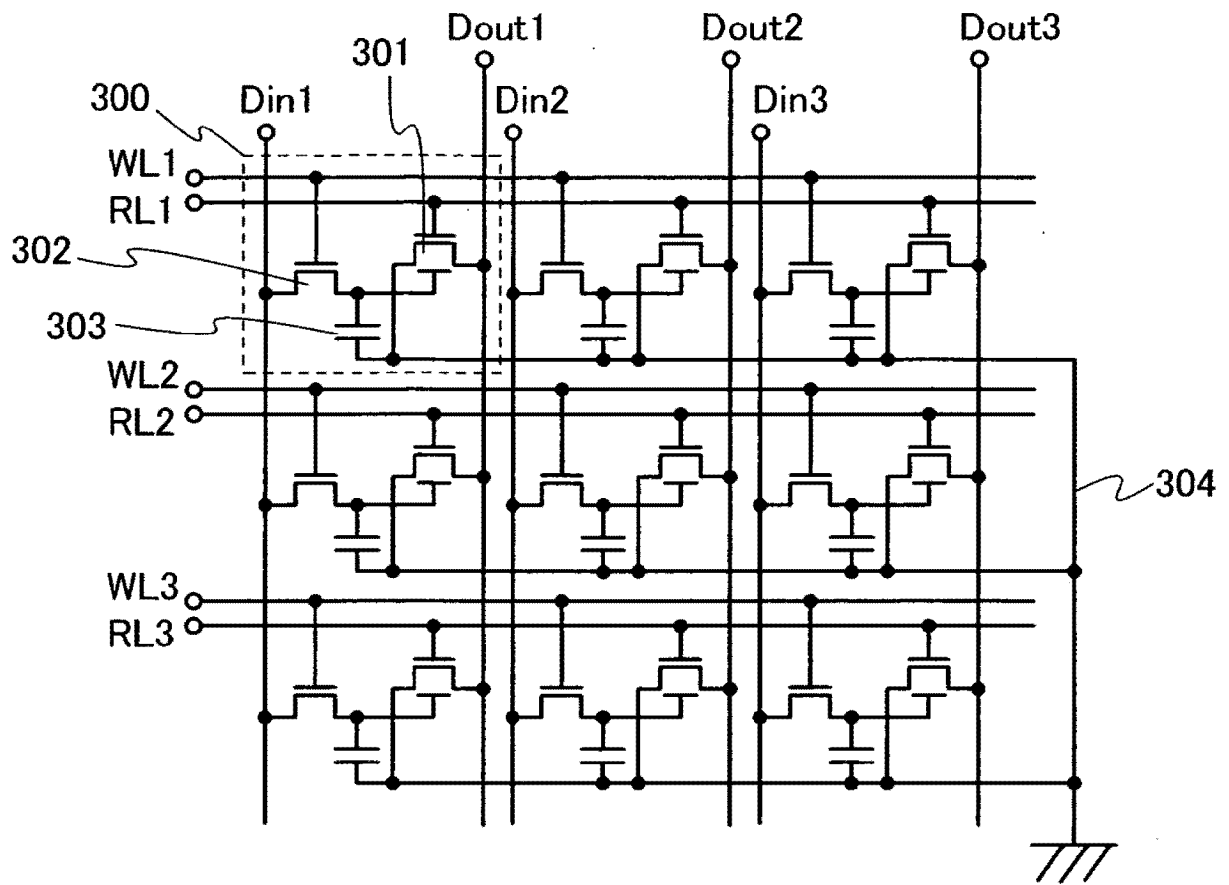


图 5

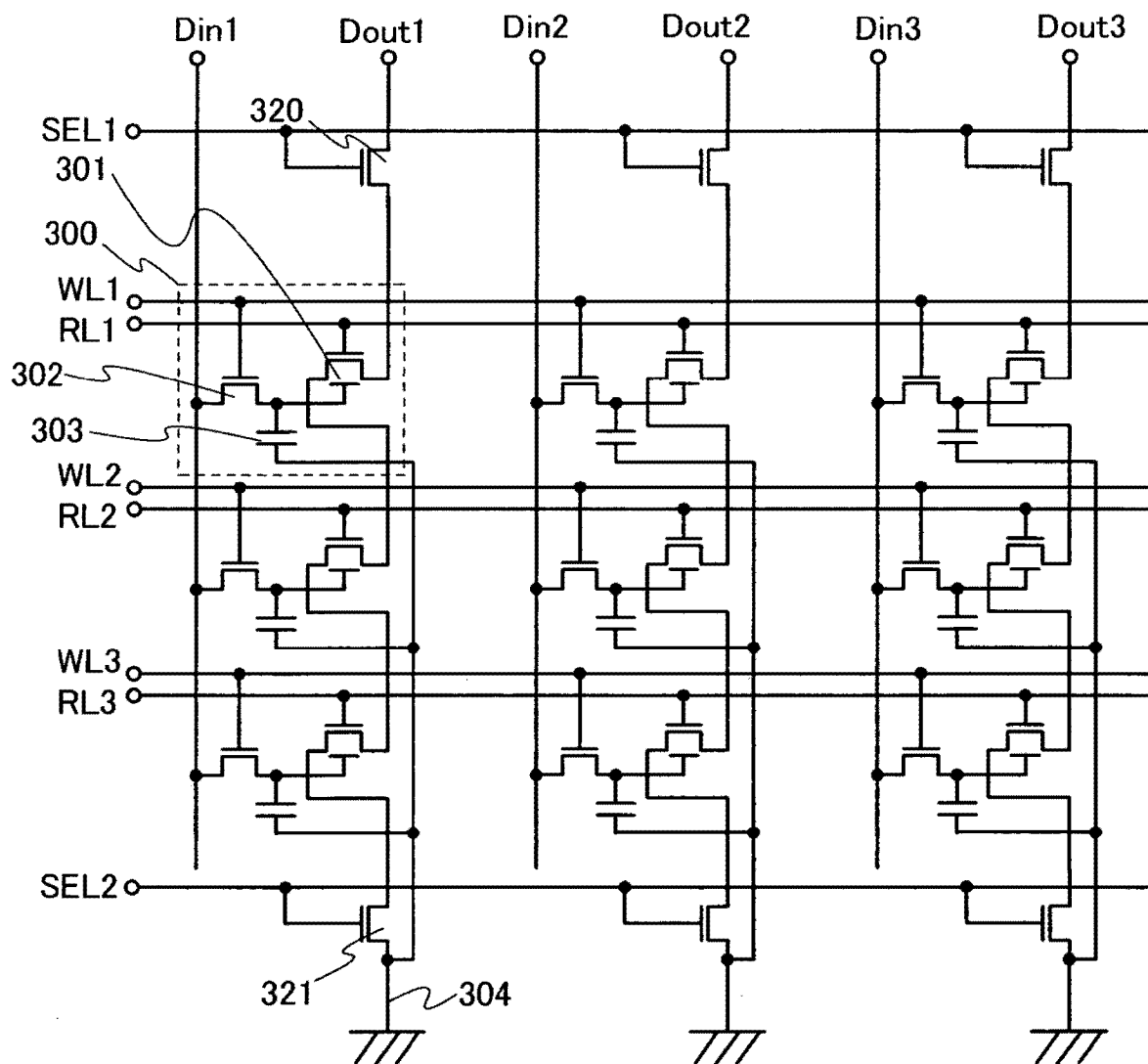


图 6

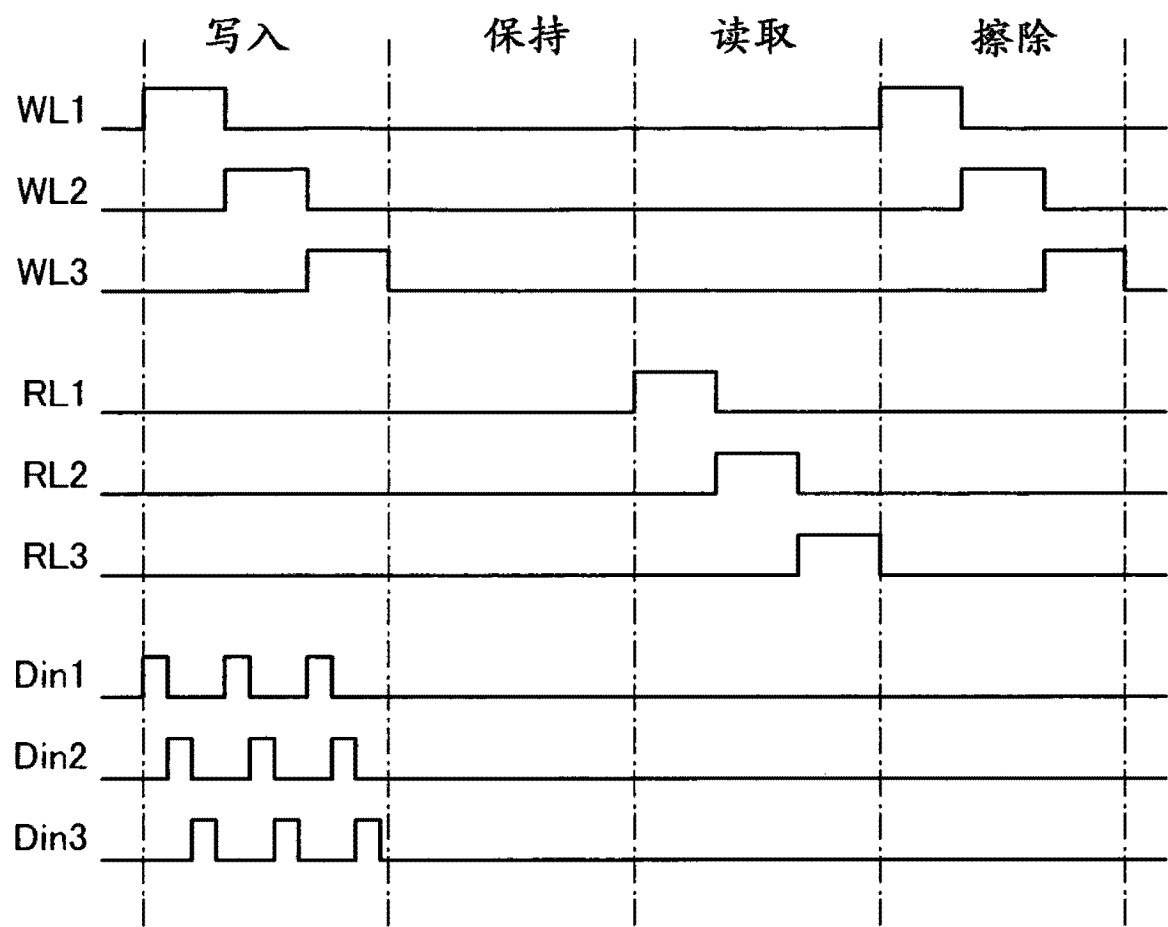


图 7

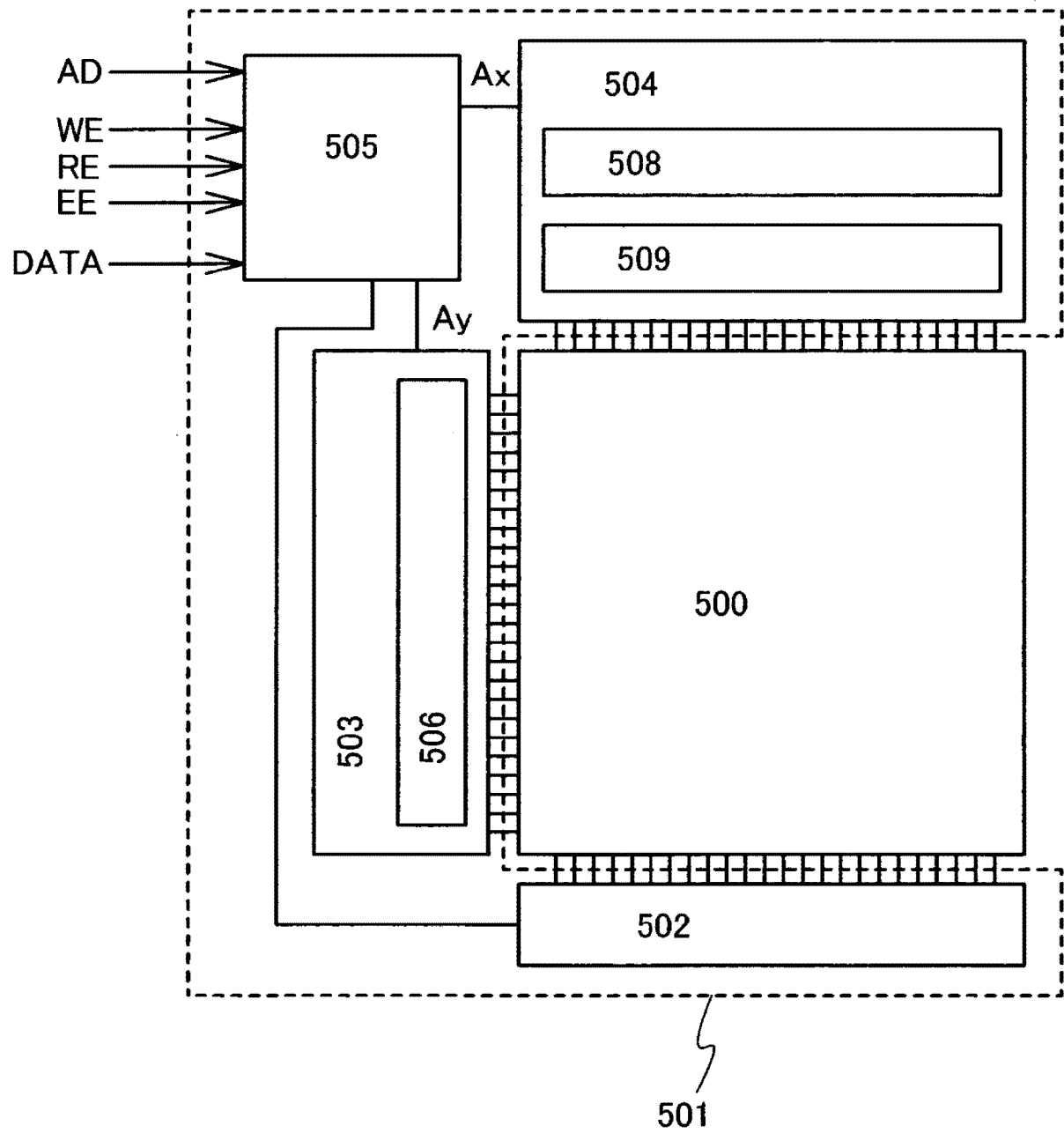


图 8

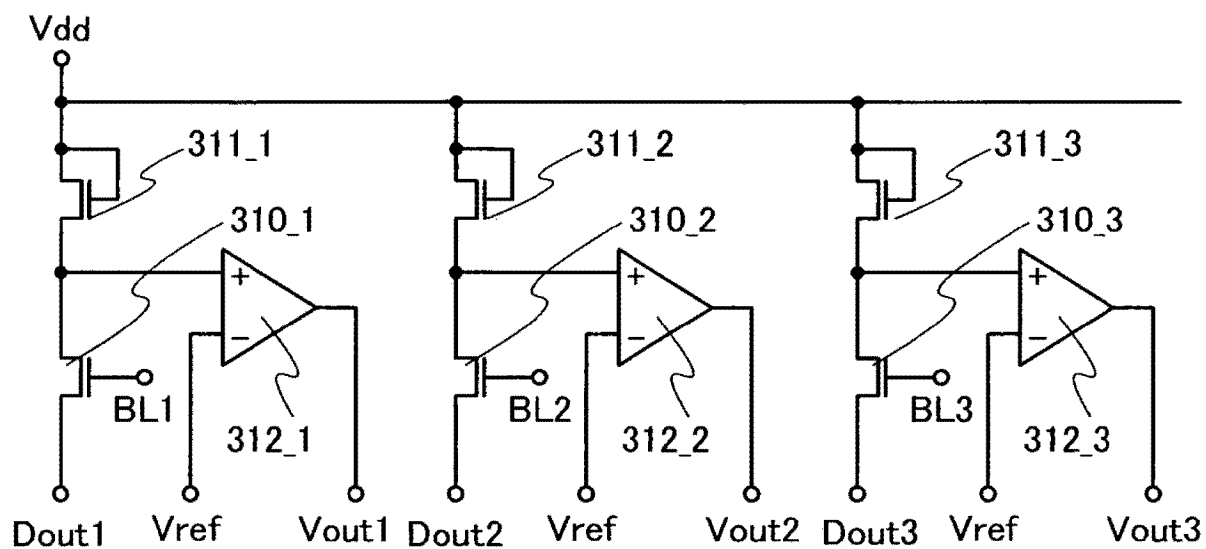


图 9

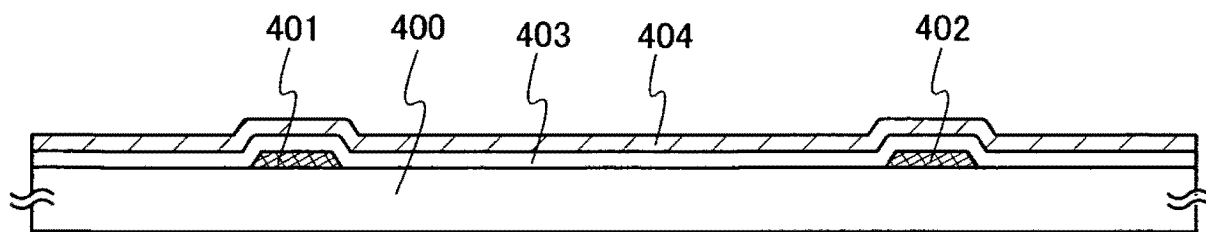


图 10A

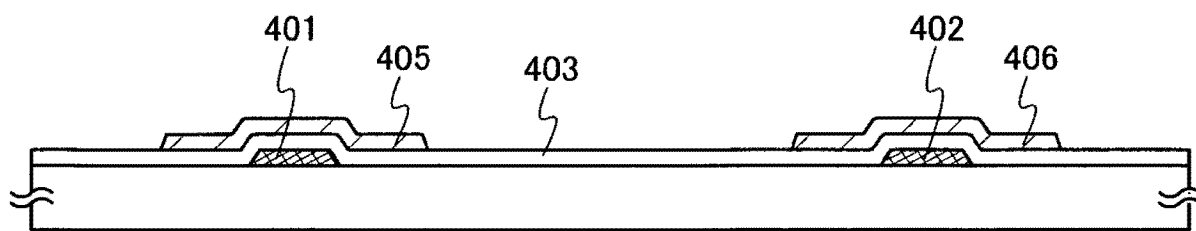


图 10B

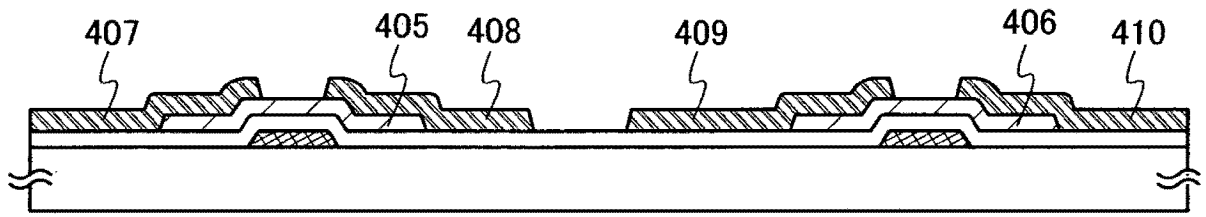


图 10C

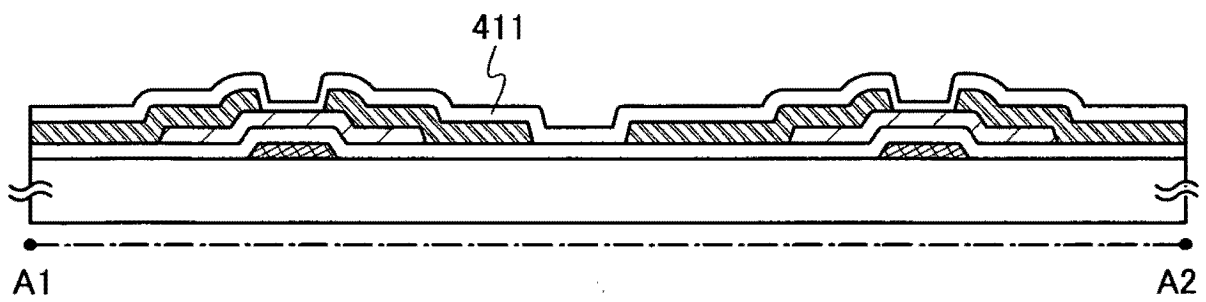


图 10D

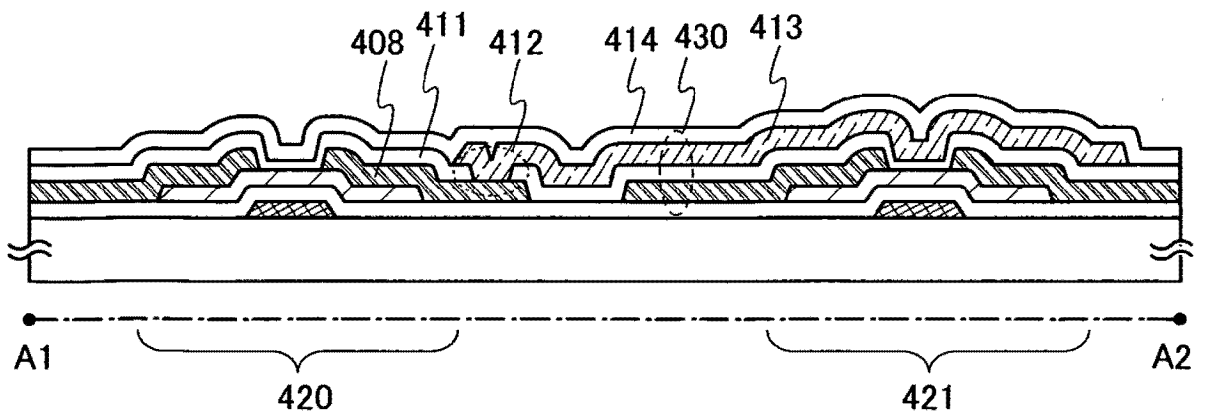


图 10E

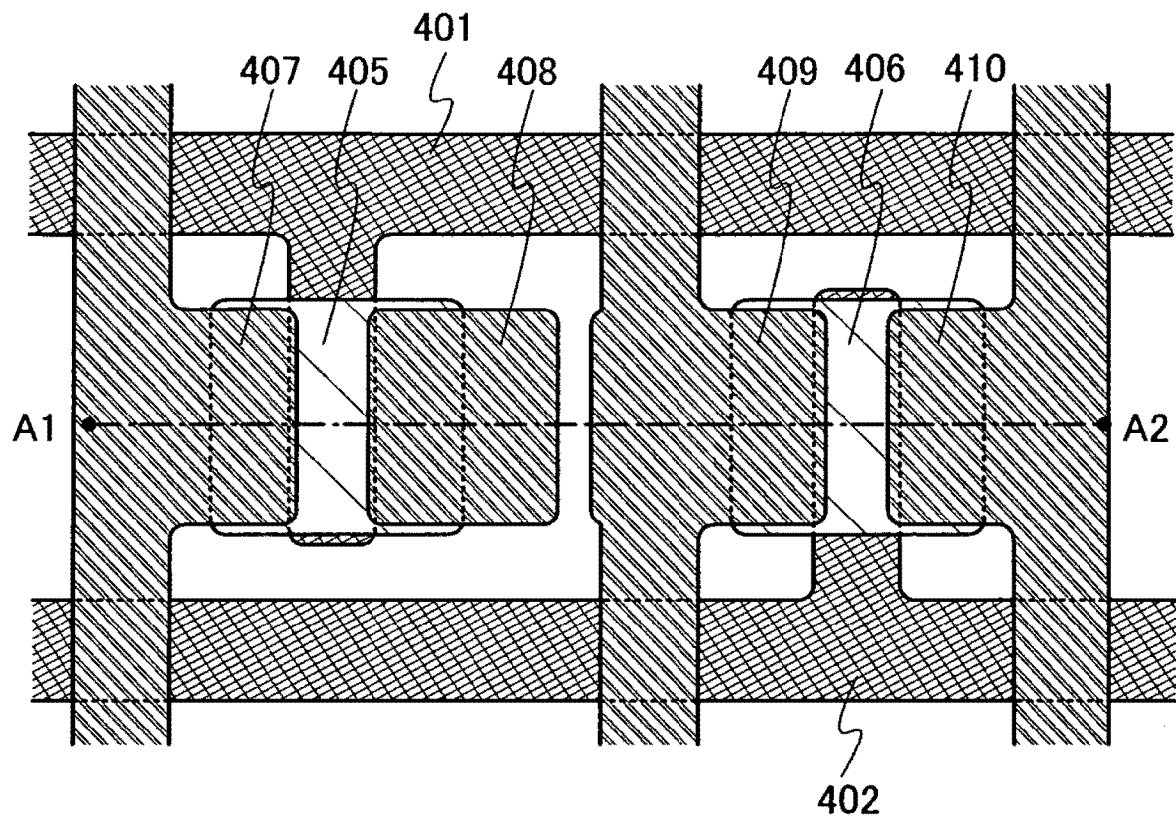


图 11A

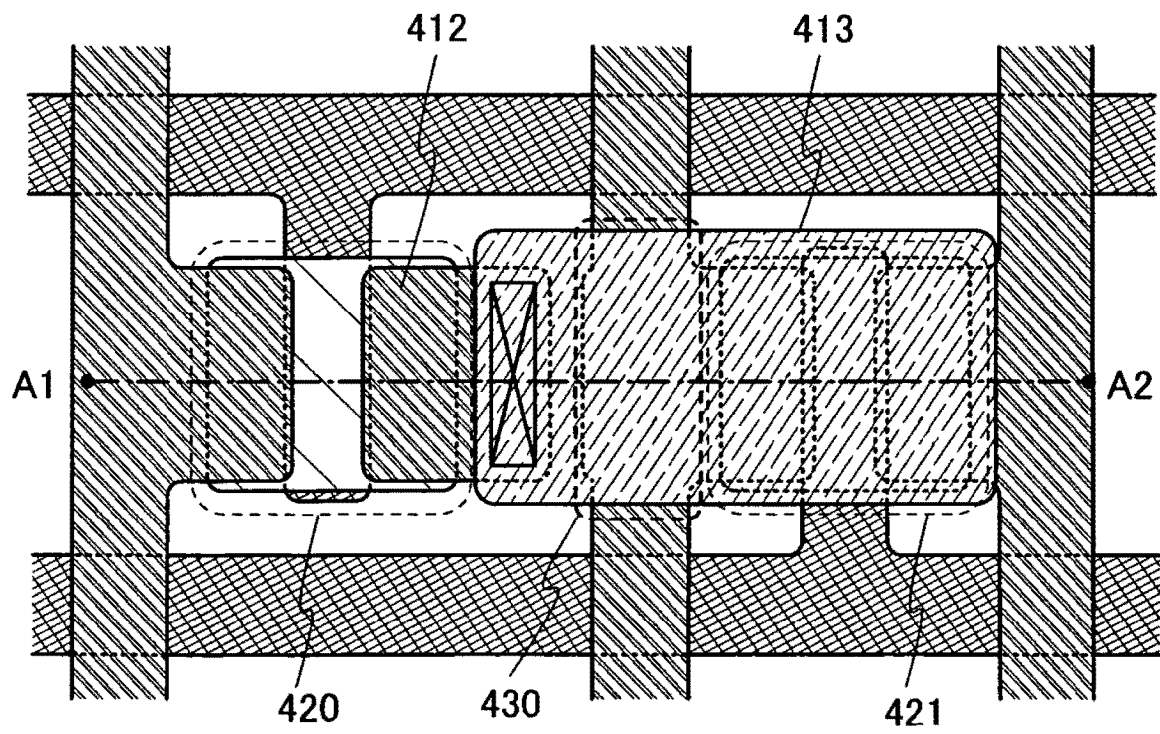


图 11B

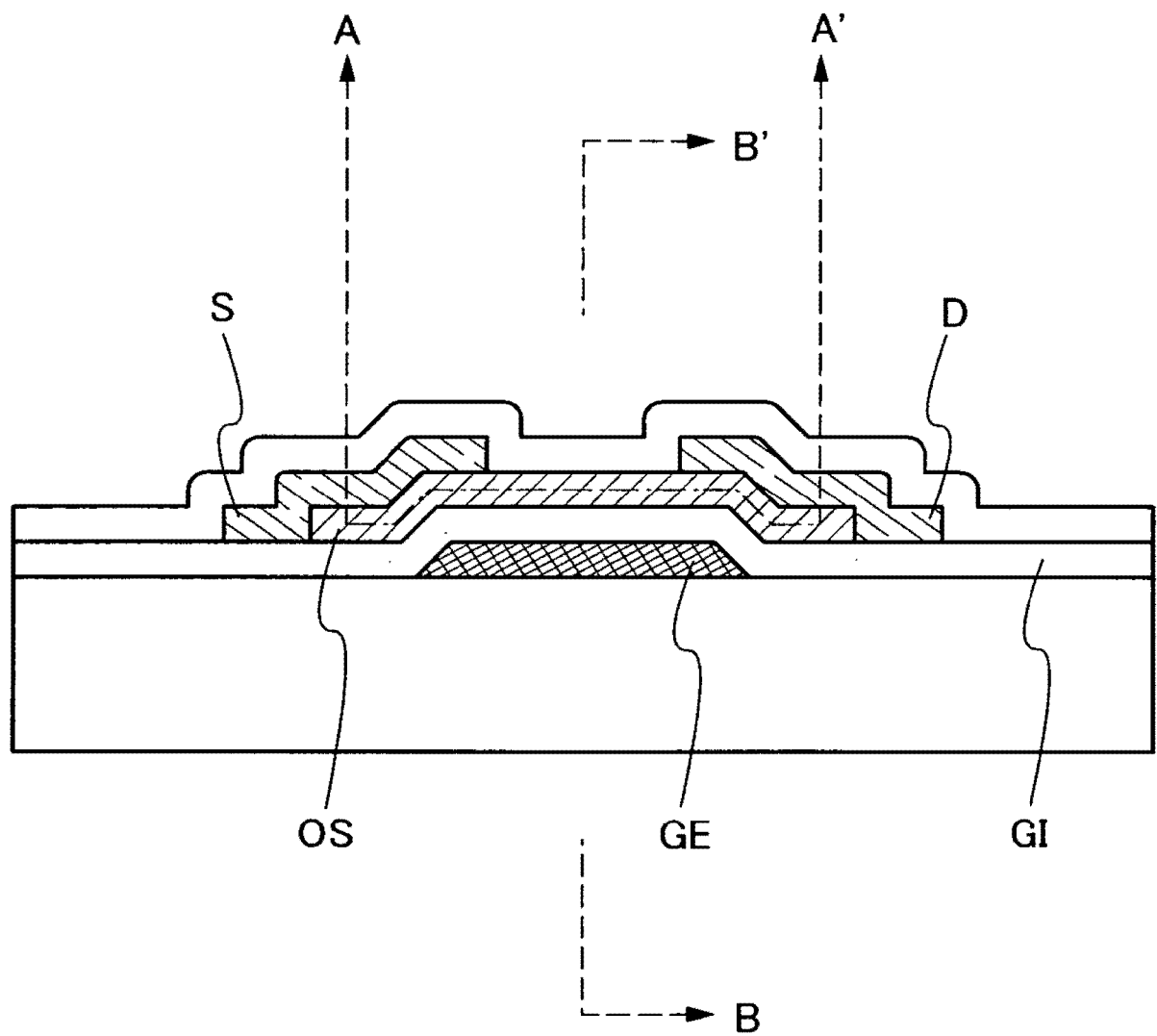


图 12

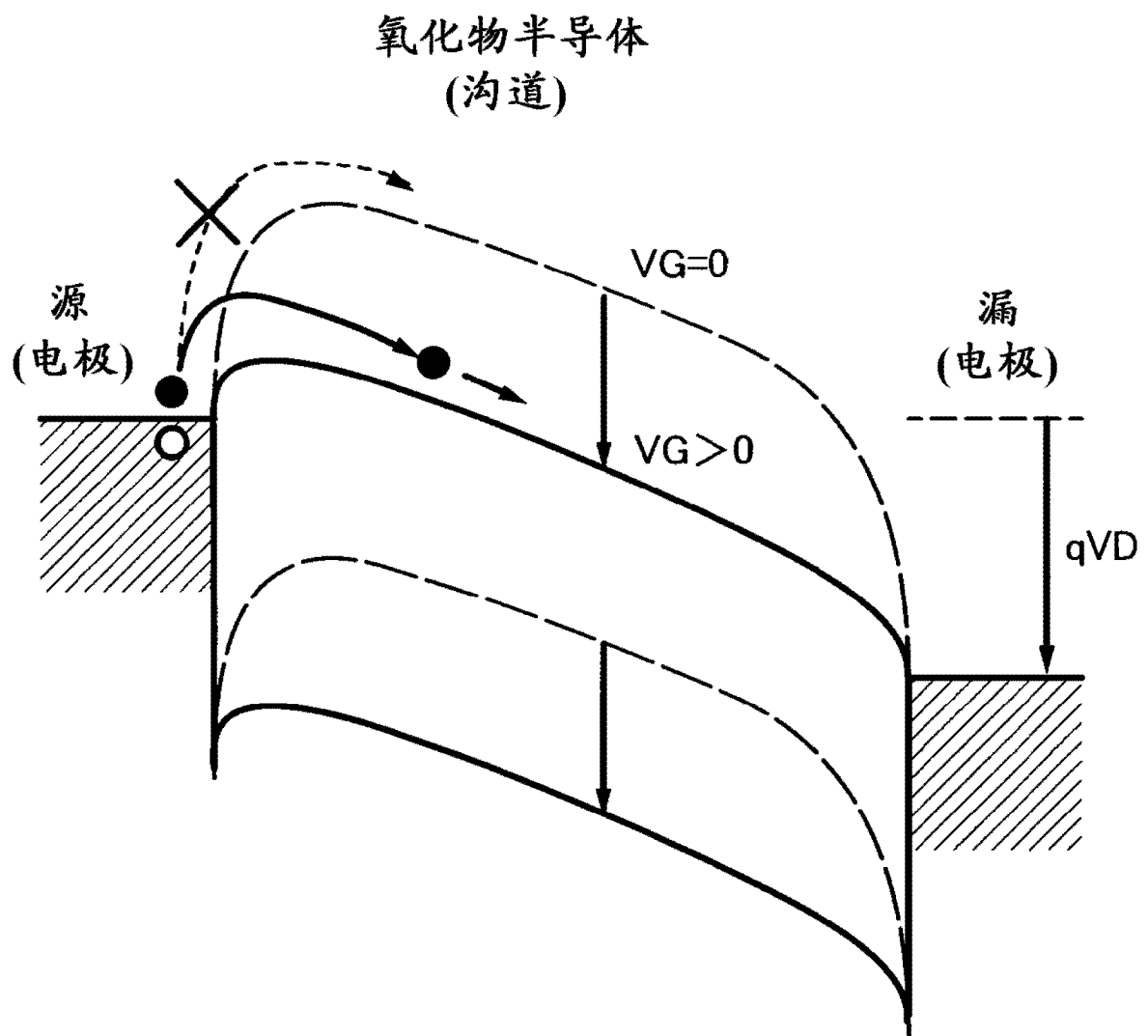


图 13

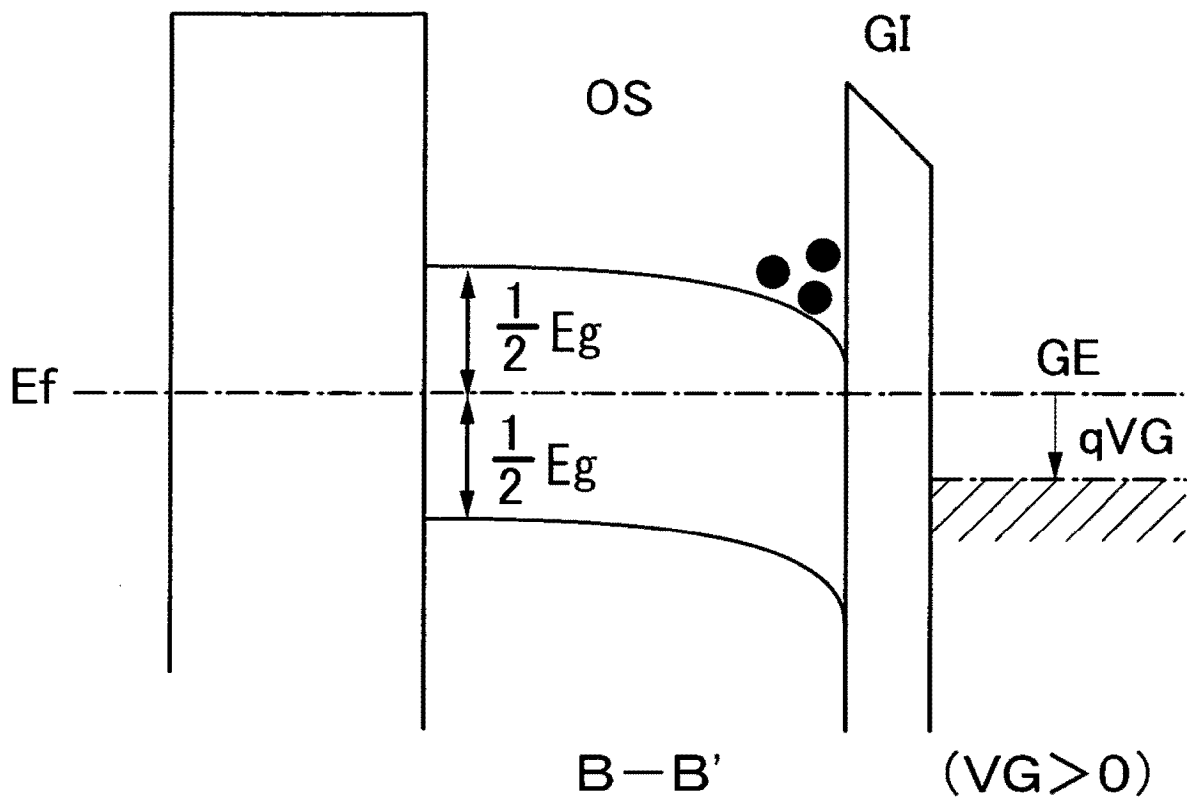


图 14A

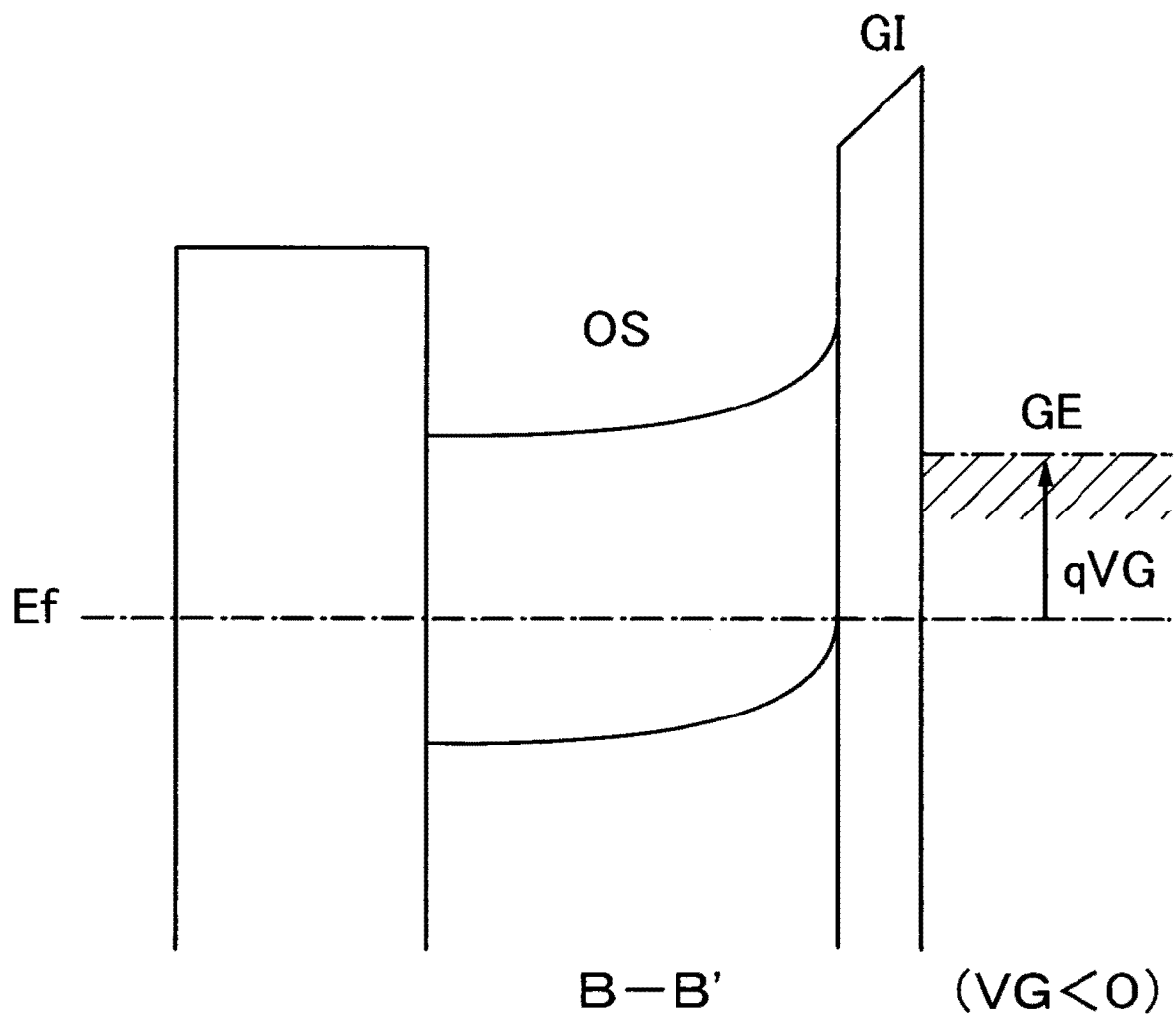


图 14B

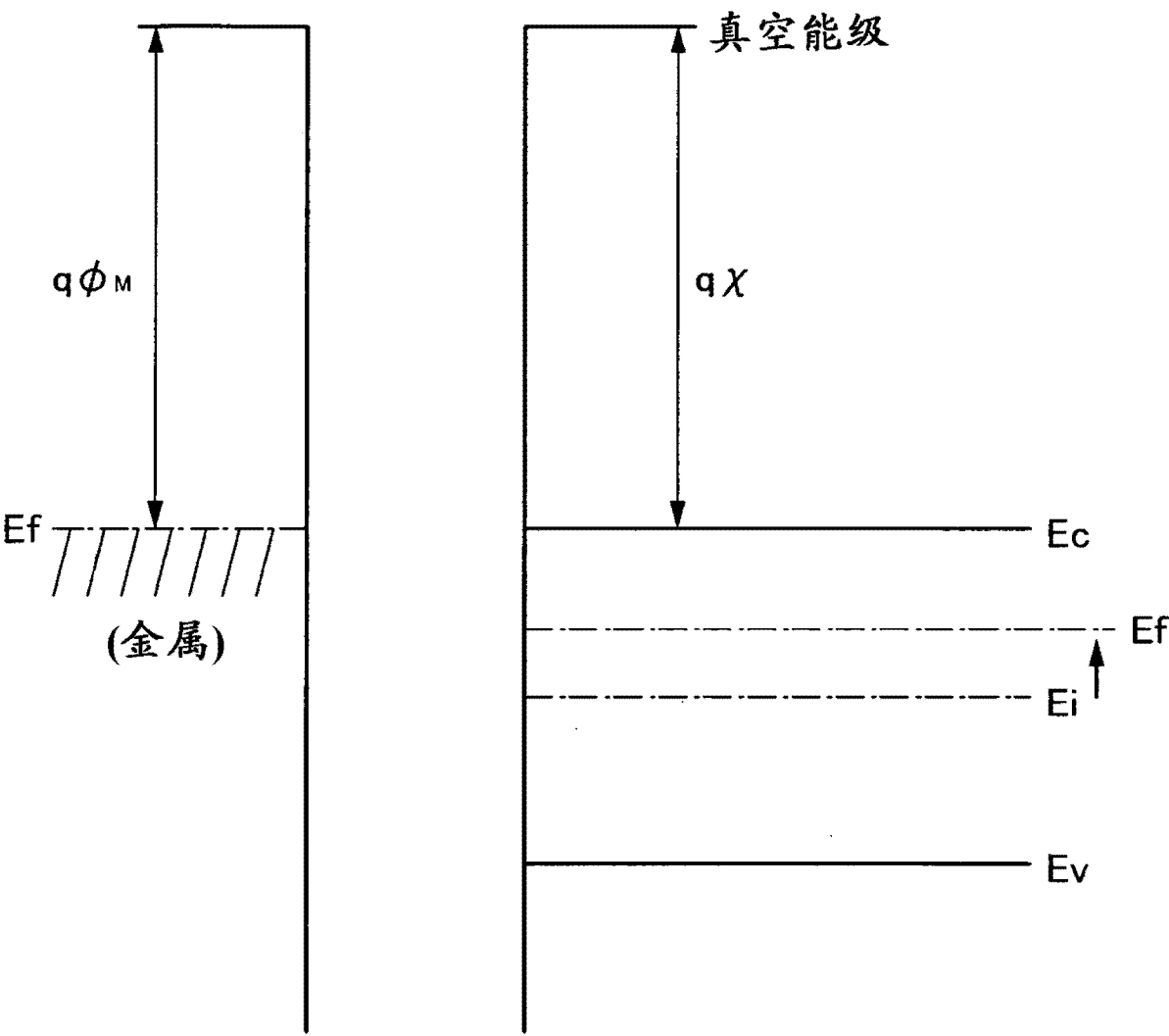


图 15

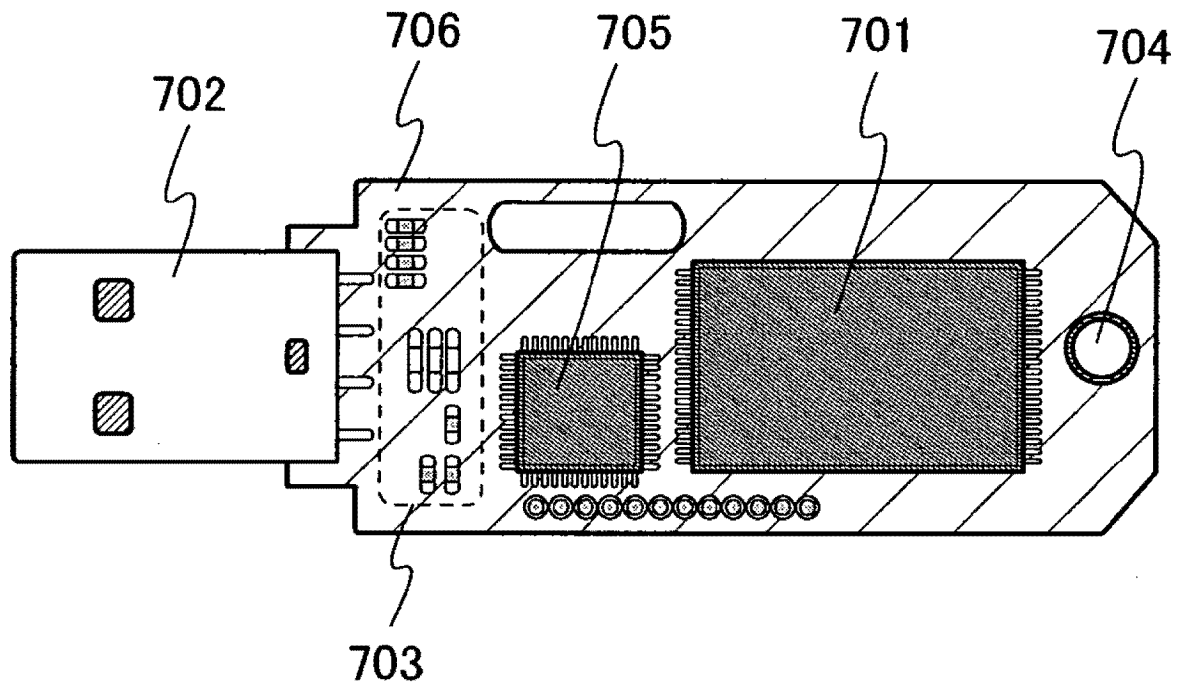


图 16A

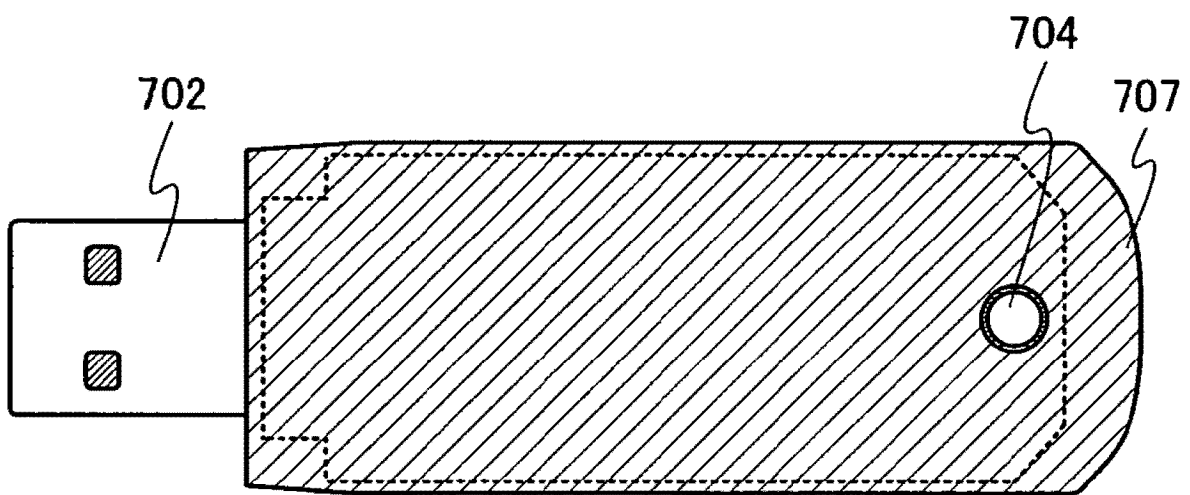


图 16B

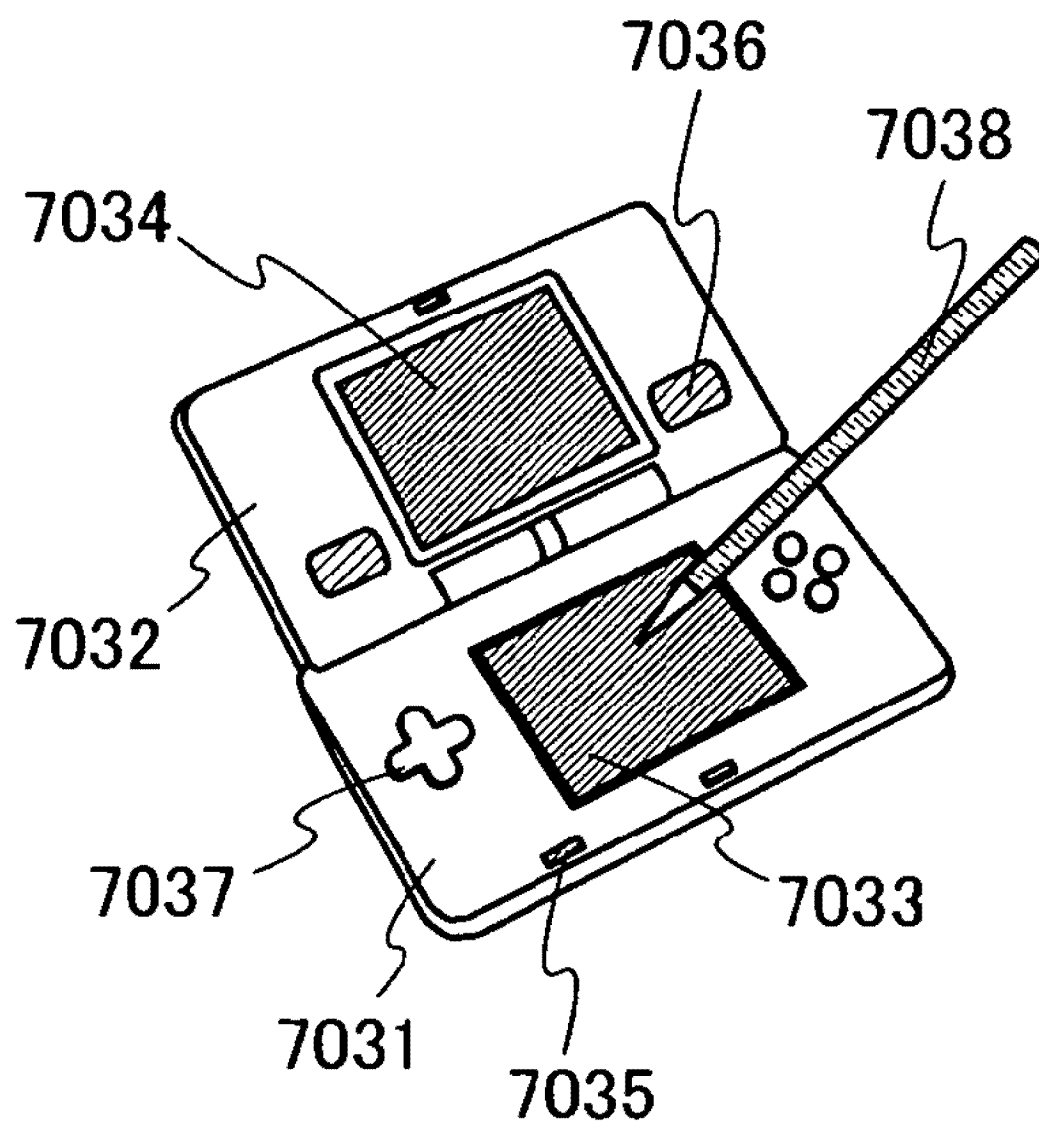


图 17A

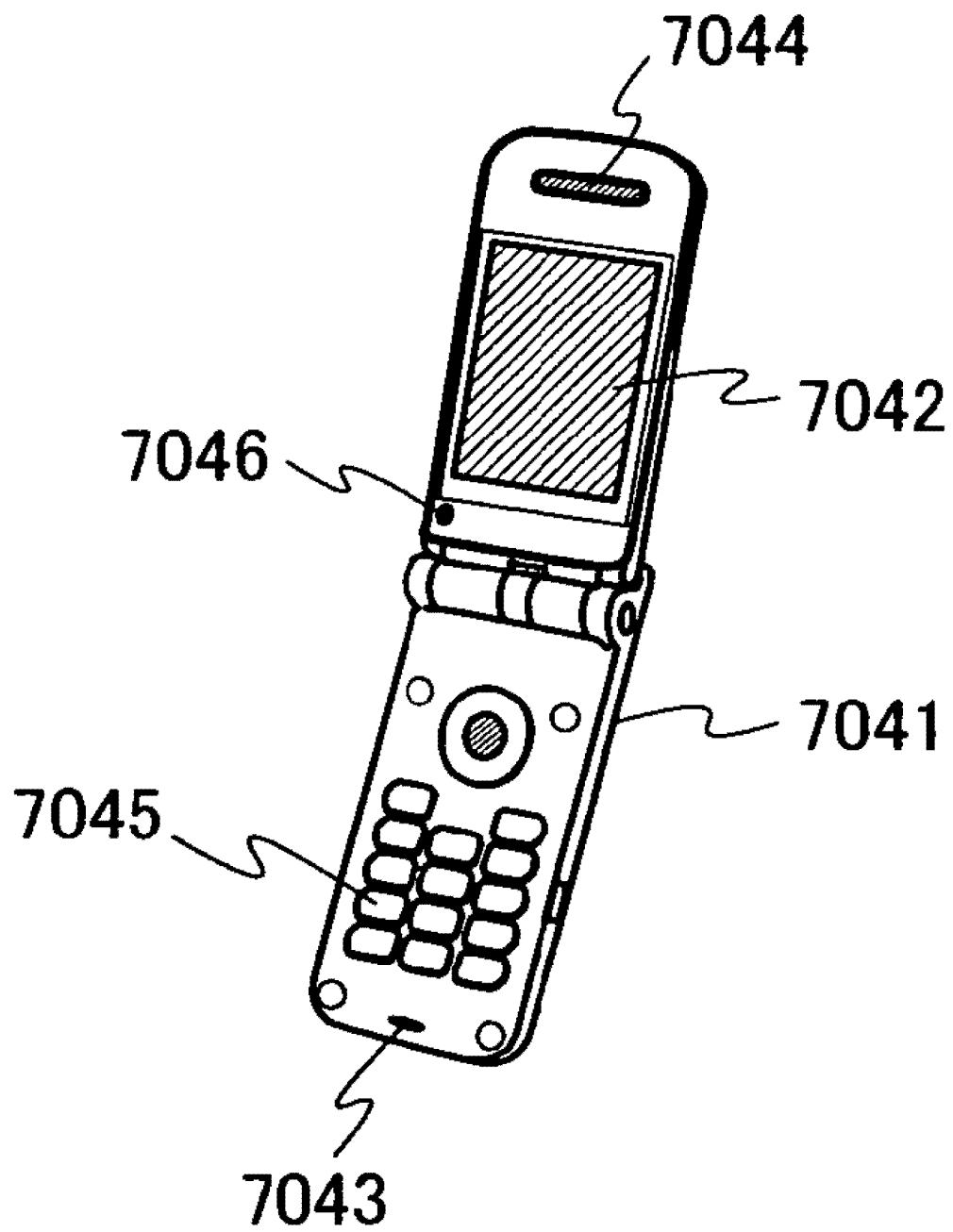


图 17B

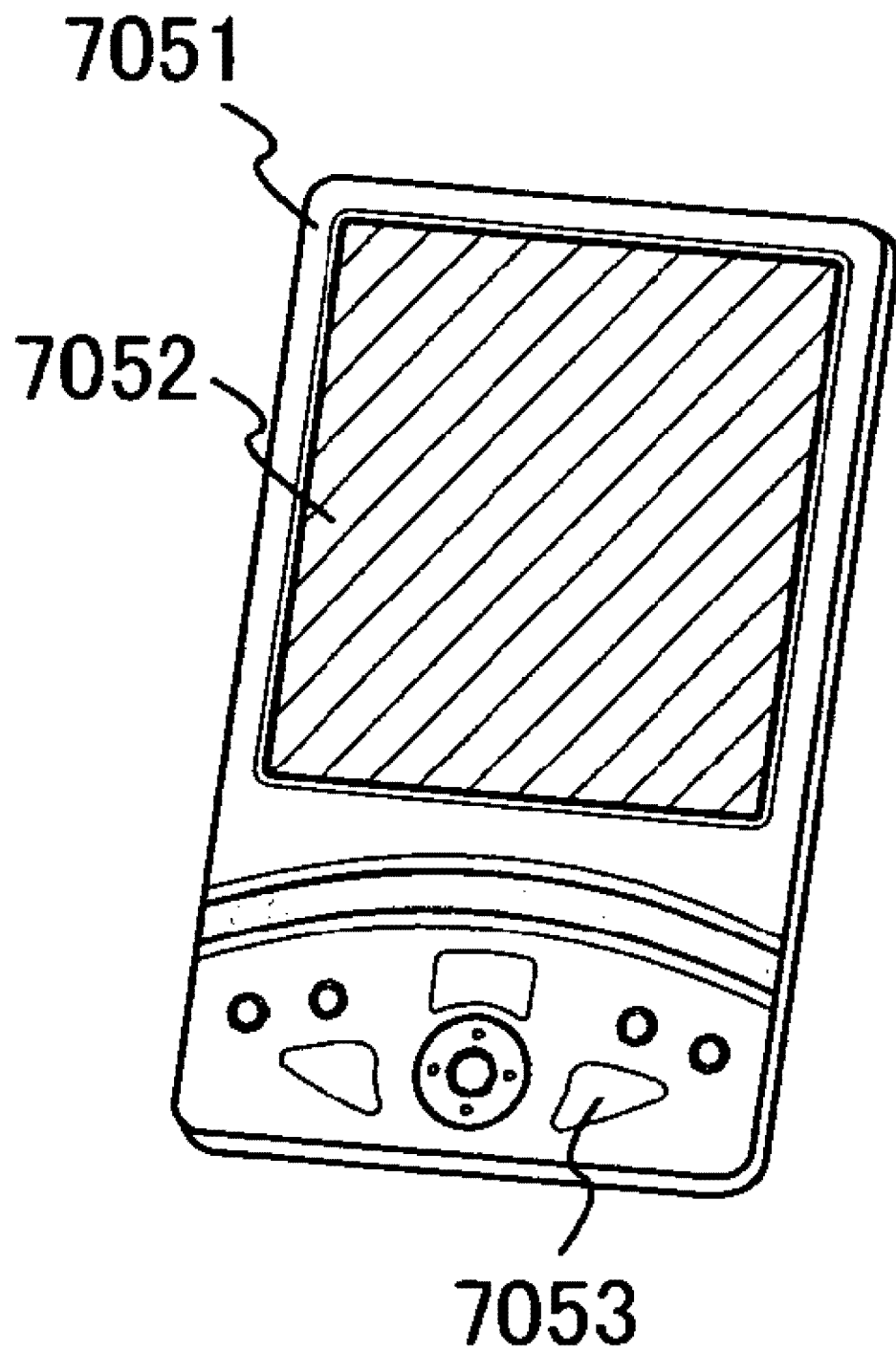


图 17C

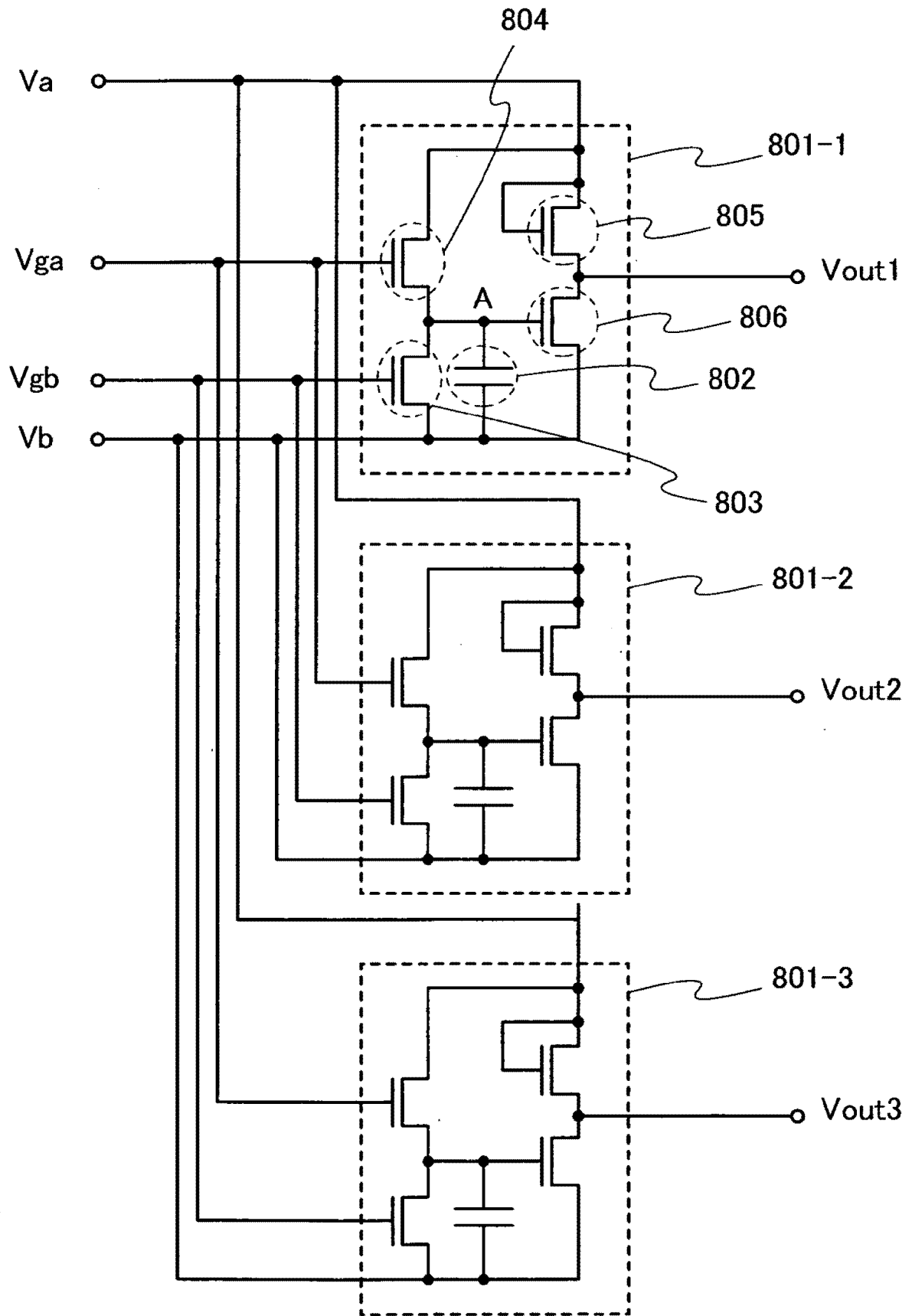


图 18

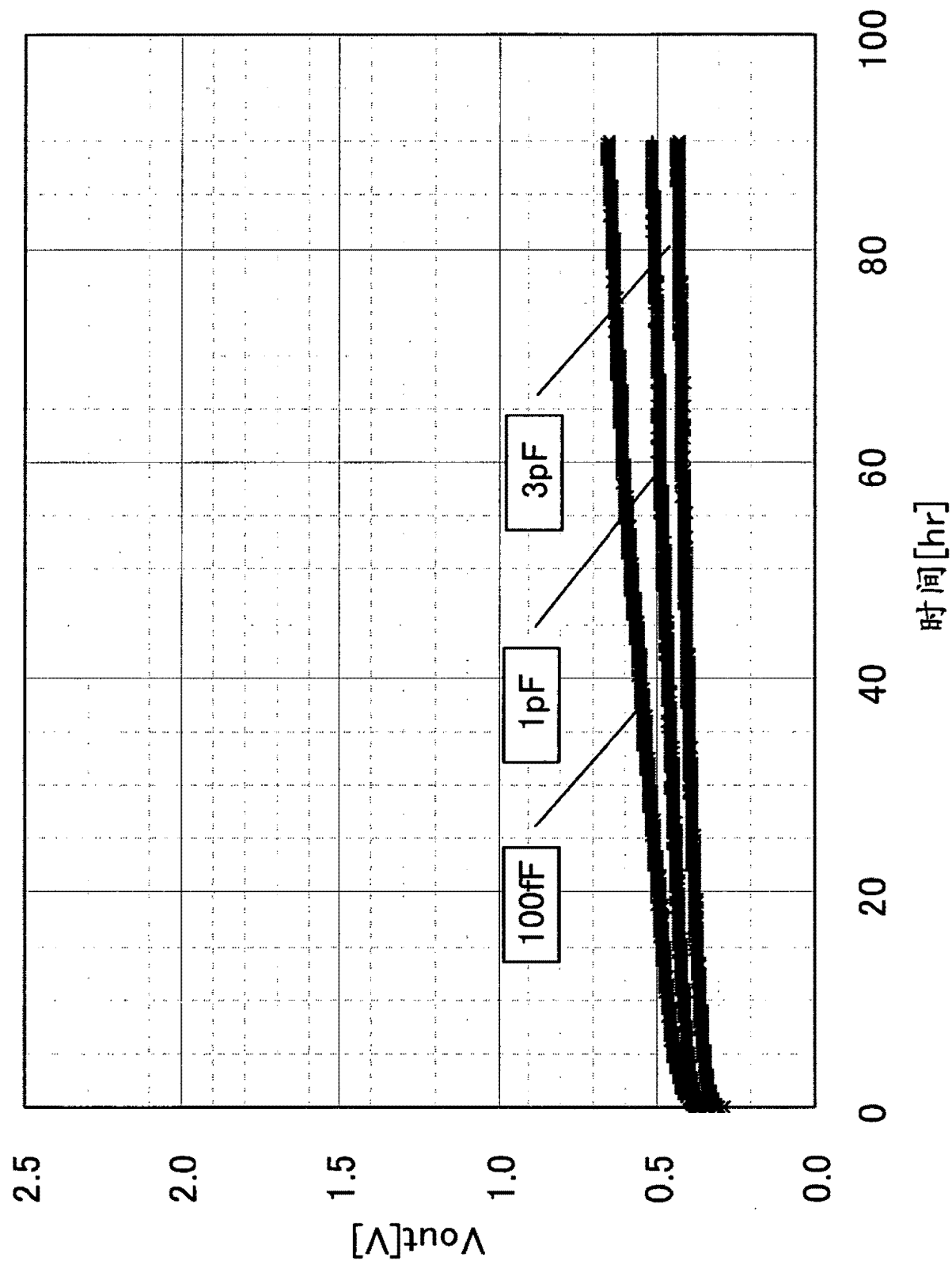


图 19

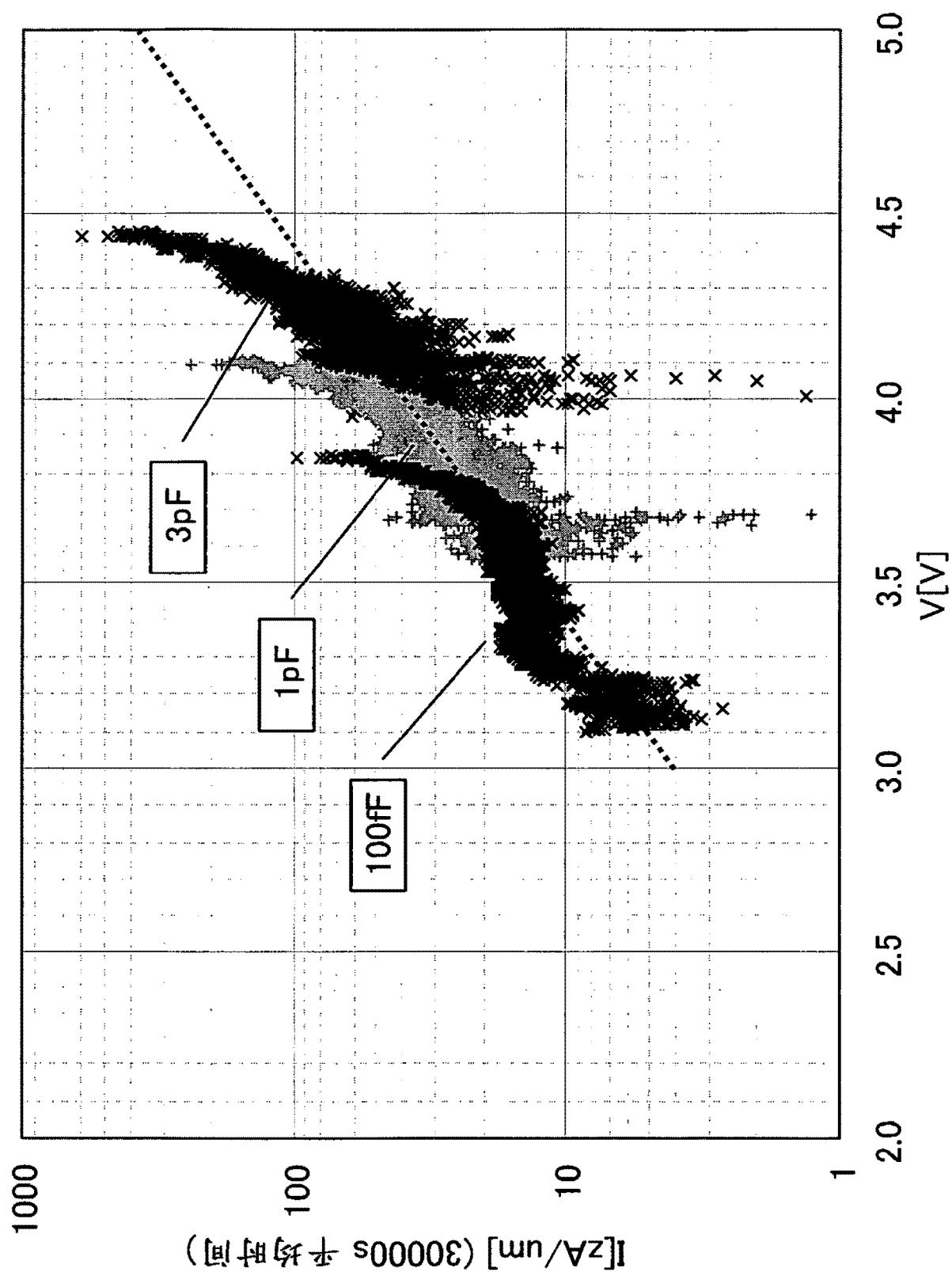


图 20

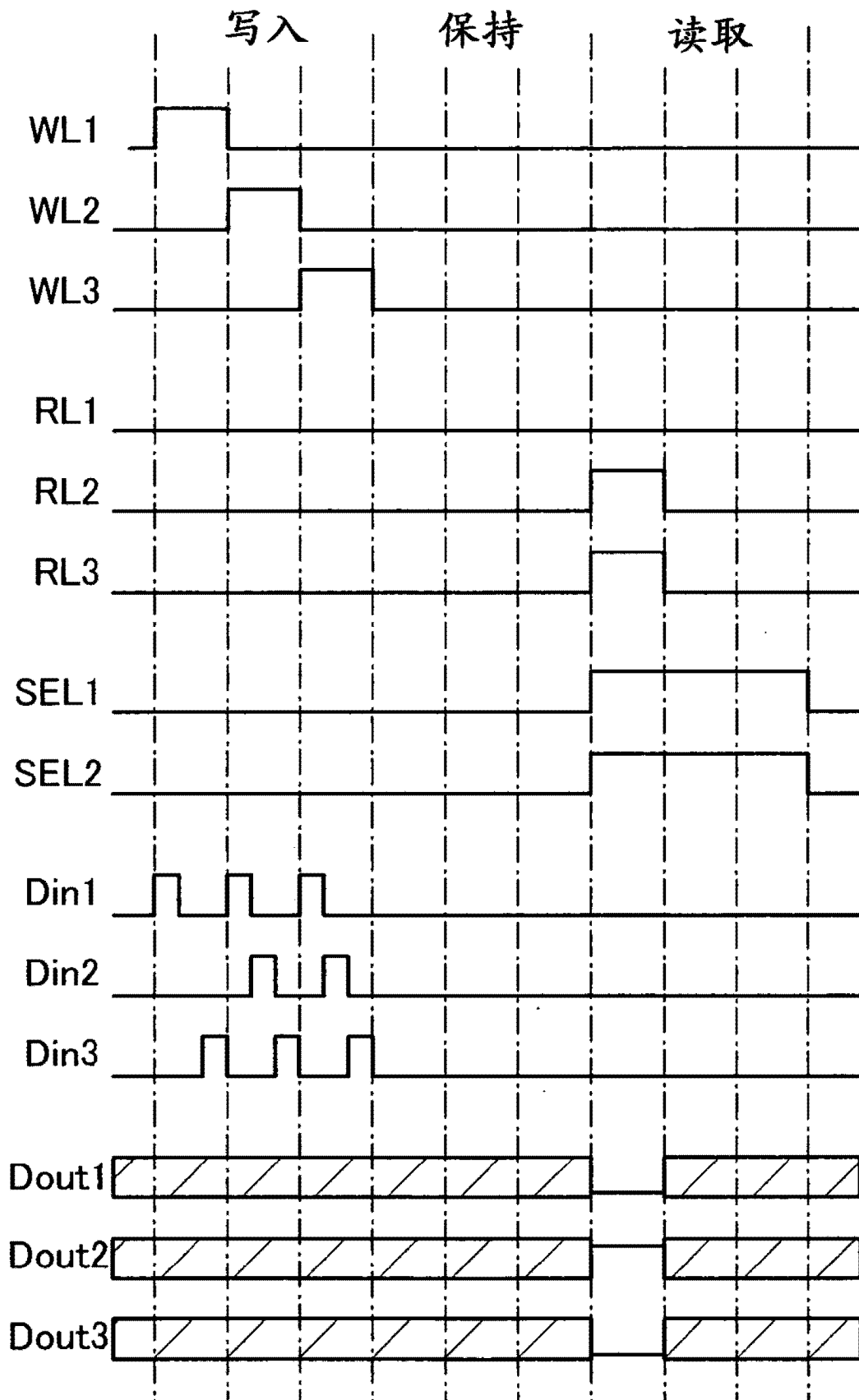


图 21

标号解释

100: 存储器单元; 101 晶体管; 102: 晶体管; 103: 电容器; 110: 衬底; 111: 栅电极; 112: 绝缘膜; 113: 氧化物半导体膜; 114: 源电极; 115: 漏电极; 116: 绝缘膜; 117: 绝缘膜; 121: 栅电极; 123: 氧化物半导体膜; 124: 源电极; 125: 漏电极; 126: 栅电极; 130: 线; 131: 线; 140: 衬底; 141: 栅电极; 142: 绝缘膜; 143: 氧化物半导体膜; 144: 源电极; 145: 漏电极; 146: 绝缘膜; 147: 绝缘膜; 148: 沟道保护膜; 151: 栅电极; 153: 氧化物半导体膜; 154: 源电极; 155: 漏电极; 156: 栅电极; 157: 沟道保护膜; 160: 衬底; 161: 栅电极; 162: 绝缘膜; 163: 氧化物半导体膜; 164: 源电极; 165: 漏电极; 166: 绝缘膜; 167: 绝缘膜; 171: 栅电极; 173: 氧化物半导体膜; 174: 源电极; 175: 漏电极; 176: 栅电极; 200: 衬底; 208: 氧化物半导体膜; 211: 栅电极; 212: 绝缘膜; 213: 氧化物半导体膜; 214: 源电极; 215: 漏电极; 216: 绝缘膜; 217: 绝缘膜; 221: 栅电极; 223: 半导体膜; 224: 源电极; 225: 漏电极; 226: 栅电极; 230: 绝缘膜; 231: 绝缘膜; 241: 栅电极; 242: 绝缘膜; 243: 氧化物半导体膜; 244: 源电极; 245: 漏电极; 246: 绝缘膜; 247: 绝缘膜; 251: 栅电极; 253: 半导体膜; 254: 源电极; 255: 漏电极; 256: 栅电极; 260: 绝缘膜; 261: 绝缘膜; 270: 衬底; 300: 存储器单元; 301: 晶体管; 302: 晶体管; 303: 电容器; 304: 电力供应线; 310_1: 晶体管; 310_2: 晶体管; 310_3: 晶体管; 311_1: 晶体管; 311_2: 晶体管; 311_3: 晶体管; 312_1: 运算放大器; 312_2: 运算放大器; 312_3: 运算放大器; 320: 晶体管; 321: 晶体管; 400: 衬底; 401: 栅电极; 402: 栅电极; 403: 栅极绝缘膜; 404: 氧化物半导体膜; 405: 氧化物半导体膜; 406: 氧化物半导体膜; 407: 源电极; 408: 漏电极; 409: 源电极; 410: 漏电极; 411: 绝缘膜; 412: 接触孔; 413: 背栅电极; 414: 绝缘膜; 420: 晶体管; 421: 晶体管; 430: 电容器; 500: 单元阵列; 501: 驱动器电路; 502: 读取电路; 503: 字线驱动器电路;

标号解释 1

504: 数据线驱动器电路; 505: 控制电路; 506: 字线解码器; 508: 数据线解码器; 509: 数据线选择器; 701: 存储器装置; 702: 连接器; 703: 接口; 704: 发光二极管; 705: 控制器; 706: 印刷布线板; 707: 覆盖材料; 801-1: 测量系统; 801-2: 测量系统; 801-3: 测量系统; 802: 电容器; 803: 晶体管; 804: 晶体管; 805: 晶体管; 806: 晶体管; 7031: 外壳; 7032: 外壳; 7033: 显示部分; 7034: 显示部分; 7035: 麦克风; 7036: 扬声器; 7037: 操作键; 7038: 触笔; 7041: 外壳; 7042: 显示部分; 7043: 音频输入部分; 7044: 音频输出部分; 7045: 操作键; 7046: 光接收部分; 7051: 外壳; 7052: 显示部分; 7053: 操作键。

标号解释 2