

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/335

(45) 공고일자 2001년03월02일

(11) 등록번호 10-0281814

(24) 등록일자 2000년11월21일

(21) 출원번호	10-1998-0016318	(65) 공개번호	특1998-0086827
(22) 출원일자	1998년05월07일	(43) 공개일자	1998년12월05일
(30) 우선권 주장	97-116965 1997년05월07일	일본(JP)	

(73) 특허권자 후다바 덴시 고교 가부시키키가이샤 니시무로 아츠시
일본 지바켄 모바라시 오시바 629반지

(72) 발명자 기시노 다카오
일본 지바켄 모바라시 오오시바 629반지 후다바 덴시 고교 가부시키키가이샤
내
초부라야 가즈히코
일본 지바켄 모바라시 오오시바 629반지 후다바 덴시 고교 가부시키키가이샤
내
오치아이 히사타카
일본 지바켄 모바라시 오오시바 629반지 후다바 덴시 고교 가부시키키가이샤
내
니이야마 다카히로
일본 지바켄 모바라시 오오시바 629반지 후다바 덴시 고교 가부시키키가이샤
내
도미타 마사하루
일본 지바켄 모바라시 오오시바 629반지 후다바 덴시 고교 가부시키키가이샤
내

(74) 대리인 장용식

심사관 : 정희환

(54) 전계방출소자

요약

캐소드전극 및 게이트전극의 단자를 동일평면상에 형성함으로써, 공정수증가, 프로세스의 복잡화를 방지한 전계방출소자를 제공한다.

캐소드 기판(1)상에는 도시하지않는 캐소드 전극과 함께, 게이트 전극(4)의 단자형성을 위한 게이트단자(7)가 형성되고, 절연층(8)에는 스루홀(9)이 설치된다. 이와같은 다층배선 구조에 있어서, 절연층(8)상의 게이트 전극(4)의 라인은, 스루홀(9)에 있어서 캐소드 기판(1)상의 게이트단자(7)에 접속된다. 시일(Seal)(6)의 직하는 절연층(8)으로 되기때문에, 시일(6)과 게이트전극(4) 및 게이트단자(7)가 접촉하는 일이 없기때문에 시일 보호층을 줄이는것이 가능하게된다. 콘 전극(5) 아래에 형성한 저항층(3)을 스루홀(9)에서 게이트전극(4) 및 게이트단자(7) 사이에 설치할수도 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 전계방출소자의 제1 실시형태의 단면구조도이다.
도 2는 본 발명의 전계방출소자의 제2 실시형태의 단면구조도이다.
도 3은 본 발명의 전계방출소자의 제3 실시형태의 단면구조도이다.
도 4는 본 발명의 전계방출소자의 제4 실시형태의 단면구조도이다.
도 5는 본 발명의 전계방출소자의 제6 실시형태의 단면구조도이다.
도 6은 본 발명의 전계방출소자의 제7 실시형태의 단면구조도 및 게이트단자의 평면도이다.
도 7은 스피트형 FED의 기본구성을 설명하기위한 모식적 사시도이다.

도 8은 스피트형 FED의 기본구성을 설명하기 위한 모식적 평면도이다.

도 9는 종래의 FEC의 단면 구조도이다.

[도면의 주요부분에 대한 부호의 설명]

1 : 캐소드기판 2 : 캐소드전극

3 : 저항층 4 : 게이트전극

5 : 콘전극 6 : 시일(Seal)

7 : 게이트단자 8 : 절연층

9 : 스루홀 11,21: 갭(Gap)

12: 게이트단자리부 22: 게이트단자의 도부

31: 개구부 32: 애노드기판

33: 애노드전극 34: 절연지주

41: 시일보호층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전계방출소자에 관한 것이다.

금속 또는 반도체 표면의 인가전압을 10^9 [V/m] 정도로하면, 터널효과에 의하여 전자가 장벽을 통과하고, 상온에서도 진공중에 전자방출이 이루어지게 된다. 이를 전계방출(Field Emission)이라 부르고, 이와같은 원리로 전자를 방출하는 캐소드를 전계방출 캐소드(Field Emission Cathode, 이하 단순히 FEC라 함)라 부르고 있다.

최근에 반도체 가공기술을 사용하여, 마이크론사이즈의 진공 미세구조로 이루어지는 면방출형의 FEC를 제작하는 것이 가능하게 되어 있고, 이 FEC를 기판상에 다수개 형성한 소자는, 그 각 이미터로부터 방출된 전자를 형광면에 조사함으로써, 전계방출형 표시장치(Field Emission Display, 이하 단순히 FED로 표기한다), 리소그래피용 전자빔 장치등의 전자방출원으로서 사용되고 있다.

도 7은 스피트형 FED의 기본구성을 설명하기 위한 모식적 사시도이다. 도면중 1은 캐소드기판, 2는 캐소드 전극, 4는 게이트전극, 8은 절연층, 31은 개구부, 32는 애노드기판, 33은 애노드 전극이다. A는 애노드인출배선, C1~Cn는 캐소드인출배선, G1~Gm는 게이트인출배선이다.

캐소드기판(1)상에 캐소드전극(2)이 스트라이프모양으로 설치되고, 그위에 절연층(8)이 일면에 형성되어 있다. 절연층(8)상에 게이트전극(4)이, 캐소드전극(2)과 직교하는 방향에 스트라이프모양으로 형성되어 있다. 이 FEC에는 스피트(Spindt)형이라 불리는 전계방출 캐소드가 사용되고있다. 각 캐소드 전극(2)과 각 게이트 전극(4)의 교차부분에 있어서, 게이트전극(4) 및 그의 아래의 절연층(8)을 관통하는 복수의 개구부(31)가 설치되어있다. 그중에는, 도9를 참조하여 후술하는 바와같이, 콘 전극(5)이 캐소드전극(2)상에 형성되어있다. 이 콘전극(5)이 이미터 전극으로 된다.

한편, 글라스등의 애노드 기판(32)의 하면에 애노드 전극(33)과, 도시를 생략한 형광체층이 형성되어있다. 애노드 인출배선(A)을 통하여 애노드전극(33)에 양전압, 캐소드 인출배선(C1~Cn)을 통하여 각 캐소드전극(2)에 화상신호, 게이트 인출배선(G1~Gm)을 통하여 각 게이트 전극(4)에 구동신호가 공급된다. 개구부(31)내에 설치된 콘전극으로부터 전자가 방출되고, 애노드전극(33)에 설치된 형광체가 발광함으로써 표시동작이 행해진다. 더욱이 도시를 생략하지만, 3원색 컬러 FED의 경우에는 형광체의 발광색에 대응하여, 애노드 전극(33)도 캐소드 전극(2)과 평행한 스트라이프모양으로하여, 다른 애노드 인출배선에 접속한다.

도 8은 스피트형 FED의 기본구성을 설명하기 위한 모식적 평면도이다. 도면중 도 7과 똑같은 부분에는 같은 부호를 붙여 설명을 생략한다. 6은 시일, 34는 절연지주이다.

도 7에 도시한 절연층(8)상에 복수개의 절연지주(34)가 세워지고, 캐소드기판(1), 애노드기판(32)의 양 기판간을 큰 기압에 맞서서 소정간격으로 유지함과 동시에, 저융점의 시일 글라스(프릿글라스)등의 시일(6)이 놓여져서 가열융착되어 봉착되고, 내부가 고진공으로 유지된다.

시일(6)은 포개어 맞춘부분의 윤곽부에서 약간 내측에 도시하고 있지만, 실제로는 윤곽부 또는 그 근방까지의 영역에 걸쳐서 융착되어있다. 캐소드 기판(1)의 도시하단의 영역에는 각 캐소드 전극(2)의 단말형성이 되어 캐소드 단자(C)가 형성되어있다. 같은 형태로, 도시좌단의 영역에는 캐소드기판(1)상의 도7에 도시한 절연층(8) 상에 게이트 단자가 형성되어있다. 또, 애노드 기판(32)의 도시상단의 영역에는, 애노드전극(33)으로부터 연장된 애노드단자(A)가 형성되어있다.

도 9는 종래의 FEC의 단면구조도이고, 하나의 게이트 전극(4)의 라인에 따른 부분단면도이다. 도면중, 도7과 똑같은 부분에는 같은 부호를 붙여 설명을 생략한다. 3은 저항층, 5는 콘전극, 6은 시일, 41은 시일보호층이다.

글라스등의 캐소드 기판(1)상에 알루미늄등의 금속인 캐소드 전극(2)이 설치되고, 이 캐소드전극(2)을 덮

도록 비결정성 실리콘(a-Si)의 저항층(3)이 설치되어있다. 캐소드 전극(2) 및 저항층(3)의 스트라이프가 없는 부분을 포함시켜, 저항층(3)상에, 2산화실리콘(SiO₂)막등의 절연층(8)이 형성되어있다.

절연층(8)상에 게이트전극(4)이, 캐소드전극(2)과 직교하는 방향으로 스트라이프모양으로 형성되어있다. 게이트전극(4) 및 절연층(8)에 설치된 개구부 안에 있어서, 저항층(3)을 통하여 캐소드 전극(2)상에 콘 전극(5)이 위치하고있다. 이 콘전극(5)은 몰리브덴 등의 금속으로 이루어지는 것으로 그의 선단부분이 개구부로부터 애노드 전극(33)측을 임하는 구성으로 되어있다. 더욱이, 이 단면도에서는 애노드전극(2)의 라인의 폭방향으로 콘전극(5)을 1개밖에 도시하고있지 않지만, 실제로는 다수의 콘전극(5)이 설치된다.

게이트전극(4)과 콘전극(5)의 선단과의 거리를 서브미크론으로 할수있기 때문에, 게이트 전극(4)과 콘전극(5)과의 사이에 불과 수 10볼트의 전압을 인가함으로써 전자를 콘전극(5)으로부터 전계방출시킬수가 있어, 이와같이하여 캐소드전극(2), 콘전극(5), 게이트전극(4)이 전자방출부로 된다. 저항층(3)은, 캐소드 전극(2)에 흐르는 과전류를 제한하기 위하여 설치된다.

이 저항층(3)이 없는 경우에는, 게이트전극(4)과 하나의 콘전극(5)의 선단과의 사이가 무엇인가의 원인으로 1군데에서라도 방전 또는 단락하였을때에, 게이트전극(4)의 라인 및 캐소드 전극(2)의 라인에는 과전류가 흐르고, 양라인이 파손해버릴 염려가 있다. 그래서, 저항층(3)을 설치하고 과전류를 방지한다. 또 다수의 콘전극(5)안에, 전자가 방출되기쉬운 콘전극(5)이 존재하면, 이 콘전극(5)에서 집중하여 방출된 전자에 의하여, 화면상에 이상하게 밝은 스폿이 발생하는 일이 있다. 저항층(3)을 설치함으로써, 콘 전극(5)안의 하나가 보통과 다른 많은 전류를 방출하기 시작하였을때에, 저항층(3)에 의한 전압강하에 의하여, 보통과 다른 많은전류를 방출하려고하는 콘 전극(5)에의 인가전압이 떨어진다. 그 결과, 전자방출이 억제되어 각 콘 전극(5)에서 안정한 전자가 방출되게 된다.

게이트전극(4)은, 단자형성을 하기 위하여, 시일(6)에 의한 봉착부분의 내외에 걸칠 필요가 있지만, 시일 보호층(41)은, 봉착부분의 게이트전극(4)을 덮는것으로, 이산화실리콘(SiO₂)을 사용한다. 이 시일보호층(41)상에 시일(6)이 봉착된다. 게이트 전극(4)의 전극재는, 니오브(Nb, 이하, 단순히, 「Nb」로 표기한 다)가 사용되고 있다. 시일 보호층(41)이 없는 경우, Nb를 사용한 게이트 전극(4)이 시일(6)의 재료인 프리트 글라스에 접촉하지만, 봉착을 위하여 가열하였을때에, 프리트 글라스에 의하여 전극인출부의 게이트 전극(4)이 산화되고, 게이트전극(4)이 절연층(8)으로부터 벗겨지고, 여기에 시일(6)이 잠입하여 간극부분이 생기고, 장시간 관내의 진공도가 저하되어지는 슬로리크현상이 생긴다. 또 산화되어 고저항으로 되거나 단선하여 게이트 전극(4)의 도통불량을 초래하거나 한다. 시일 보호층(41)은, 이와같은 이유로, 게이트전극(4)과 시일(6)과의 접촉을 방지하기 위하여 설치되어있다.

종래의 FEC에 있어서는, 게이트 단자는 절연층(8)상에 형성되고, 캐소드 전극(2)의 단자는 캐소드기판(1)상에 형성되기때문에, 게이트단자와 캐소드단자가 다른층에 형성되게 된다. 이때문에, 각각 별공정의 단자형성 공정이 필요하다. 또, 시일(6)이 직접 게이트단자에 접촉하지않도록 시일 보호층(41)의 성막 및 패턴형성의 공정이 필요하다. 따라서, 공정수 증가, 프로세스의 복잡화를 초래한다라는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기위하여 이루어진것으로, 캐소드 전극 및 게이트전극의 단자형성을 동일평면상에서 행함으로써, 공정수증가, 프로세스의 복잡화를 방지한 전계방출소자를 제공하는것을 목적으로 하는 것이다. 보호막이 필요없게 되고, 더욱더 게이트전극과 캐소드 전극간의 도통에 의한 과전류를 억제하여 전자 방출부의 파괴를 방지할수있는 전계방출소자를 제공하는것을 목적으로 하는 것이다.

발명의 구성 및 작용

청구항 1기재의 발명에 있어서는, 캐소드 기판측과 애노드 기판측이 이격되고 봉착된 전계방출소자에 있어서 상기 캐소드 기판상에 형성된 캐소드전극 및 게이트 단자와, 상기 캐소드 전극 및 상기 게이트 단자를 덮고 상기 캐소드전극 및 상기 게이트 단자의 단자형성이 이루어진 절연층과, 이 절연층상에 형성된 게이트전극과, 상기 캐소드 전극과 교차하는 위치의 상기 게이트전극 및 상기 위치의 상기 절연층에 설치된 개구부와, 상기 캐소드 전극상의 일부분에 적어도 형성된 저항층과, 상기 개구부내에 형성되고 상기 저항층을 통하여 캐소드전극과 전기적으로 접속된 이미터전극과, 상기 절연층에 형성된 스루홀을 갖고, 상기 게이트전극 및 상기 게이트단자는, 상기 스루홀에 있어서 전기적으로 접속되는 것이다.

따라서, 단자형성을 동일평면상에서 행할수가 있다. 저항층에 의하여 캐소드전극과 이미터 전극간에 흐르는 과전류를 억제하고, 전극의 파괴를 방지할수가 있고, 또, 안정한 전자방출을 행할수가 있다. 게이트전자가 절연층에 의하여 덮여져 있기때문에 봉착을 위한 시일이 게이트 단자와 접촉하는 일이 없고, 보호막이 필요없다.

청구항 2 기재의 발명에 있어서는, 캐소드 기판측과 애노드 기판측이 이격되어 봉착된 전계방출소자에 있어서, 상기 캐소드 기판상에 형성된 캐소드 전극 및 게이트단자와, 상기 캐소드 전극 및 상기 게이트 단자를 덮고 상기 캐소드 전극 및 상기 게이트 단자의 단자형성이 이루어진 절연층과, 이 절연층상에 형성된 게이트전극과, 상기 캐소드 전극과 교차하는 위치의 상기 게이트 전극 및 상기 위치의 상기 절연층에 설치된 개구부와, 이 개구부내에 형성되고 상기 캐소드전극과 전기적으로 접속된 이미터 전극과, 상기 게이트 단자상의 일부분에 적어도 형성된 저항층과, 상기 절연층에 형성된 스루홀을 갖고, 상기 게이트 전극 및 상기 게이트 단자는 상기 스루홀에 있어서 상기 저항층을 통하여 전기적으로 접속되는 것이다.

따라서, 단자형성을 동일평면상에서 행할수가 있다. 저항층에 의하여 이미터 전극과 게이트 전극사이를 흐르는 과전류를 억제하고, 전극의 파괴를 방지할수가 있다. 애노드 전극과 게이트 전극간의 과전류를 억제할수도 있다. 통상은 게이트 전극에 전류가 흐르지 않기 때문에, 스루홀의 저항층에 의한 전압강하나 소비전력의 증가는 무시할 수 있다. 이때문에, 이 저항치는, 비교적 큰 값으로 설정할수가 있다. 게이트단자가 절연층에 의하여 덮여져 있으므로, 보호막이 필요없게 된다.

청구항 3 기재의 발명에 있어서는, 캐소드 기판측과 애노드 기판측이 이격되고 봉착된 전계 방출소자에 있어서, 상기 캐소드 기판상에 형성된 캐소드 전극과, 상기 캐소드 기판상에 형성되어 갭에 의하여 분리된 접속부를 갖는 게이트 단자와, 상기 캐소드전극 및 상기 게이트 단자를 덮고 상기 캐소드 전극 및 상기 게이트 단자의 단자형성이 이루어진 절연층과, 이 절연층상에 형성된 게이트 전극과, 상기 캐소드 전극과 교차하는 위치의 상기 게이트 전극 및 상기 위치의 상기 절연층에 설치된 개구부와, 이 개구부내에 형성되고 상기 캐소드 전극과 전기적으로 접속된 이미터전극과, 상기 갭에 적어도 형성된 저항층과, 상기 절연층에 형성된 스루홀을 구비하고, 상기 게이트전극 및 상기 접속부는, 상기 스루홀에 있어서 전기적으로 접속되는 것이다.

따라서, 단자형성을 동일평면상에서 행할수가 있다. 갭의 저항층에 의하여 이미터 전극과 게이트 전극간을 흐르는 과전류를 억제하고 전극의 파괴를 방지할수도 있다. 이 저항층은, 애노드 전극과 게이트 전극간의 과전류를 방지할수도 있다. 갭의 저항층에 의한 전압강하나 소비전력의 증가는 무시할수있기때문에 이 저항치는, 비교적 큰 값으로 설정할수가 있다. 또 갭의 폭을 바꾸므로써 저항치를 폭넓게 제어할수가 있다. 따라서, 게이트 보호저항에 적합한 값이 설정가능하다. 게이트 단자가 절연층에 의하여 덮혀져 있기때문에, 보호막이 필요없게 된다.

청구항 4 기재의 발명에 있어서는, 캐소드 기판측과 애노드 기판측이 이격되고 봉착된 전계방출소자에 있어서, 상기 캐소드 기판상에 형성된 캐소드전극과, 상기 캐소드 기판상에 형성되고 갭에 의하여 분리된 접속부를 갖는 게이트단자와, 상기 캐소드 전극 및 상기 게이트단자를 덮고, 상기 캐소드 전극 및 상기 게이트단자의 단자형성이 이루어진 절연층과, 이 절연층상에 형성된 게이트 전극과, 상기 캐소드 전극과 교차하는 위치의 상기 게이트전극 및 상기 위치의 상기 절연층에 설치된 개구부와, 이 개구부내에 형성되고 상기 캐소드 전극과 전기적으로 접속된 이미터 전극과, 상기 게이트 단자상의 일부분 및 상기 갭에 적어도 형성된 저항층과, 상기 절연층에 형성된 스루홀을 갖고, 상기 게이트 전극 및 상기 접속부는, 상기 스루홀에 있어서 상기 저항층을 통하여 전기적으로 접속되는 것이다.

따라서, 단자형성을 동일평면상에서 행할수가 있다. 스루홀 및 갭의 저항층에 의하여 이미터 전극과 게이트 전극간을 흐르는 과전류를 억제하고 전극의 파괴를 방지할수도 있다. 이 저항층은, 애노드 전극과 게이트 전극간의 과전류를 방지할수도 있다. 스루홀 및 갭의 저항층에 의한 전압강하나 소비전력의 증가는 무시할 수 있기때문에 이 저항치는, 비교적 큰 값으로 설정할수가 있다. 또 갭의 폭을 바꾸므로써 저항치를 폭넓게 제어할수가 있다. 따라서, 게이트 보호저항에 적합한 값이 설정가능하다. 게이트 단자가 절연층에 의하여 덮혀져 있기때문에, 보호막이 필요없게 된다.

청구항 5 기재의 발명에 있어서는, 청구항 4 기재의 전계방출소자에 있어서, 상기 스루홀 및 상기 갭은 공통위치에 형성되고, 상기 게이트전극 및 상기 게이트 단자는, 상기 스루홀에 있어서 상기 저항층을 통하여 전기적으로 접속되는 것이다.

따라서, 스루홀의 저항층 및 갭의 저항층이 개별로 있는 경우보다도 저항치를 낮게하는 편에 가변범위를 넓힐수가 있다. 또, 스페이스 이용효율을 올릴수가 있다.

[발명 실시의 형태]

도 1은 본 발명의 전계방출소자의 제1 실시형태의 단면구조도이다. 도면중, 도7, 도9와 똑같은 부분에는 같은 부호를 붙여 설명을 생략한다. 7은 게이트단자, 9는 스루홀이다.

이 실시형태의 전계방출소자는 이후의 각 실시형태의 기본구조로 되는것으로, 도 9에 도시한 종래의 전계방출소자의 단면구조와 비교하여 게이트단자(7)의 빼내기 구조를 다르게한 것이다. 도9에 도시한 시일 보호층(4)은 설치하여 있지 않다.

캐소드 기판(1) 상에는 도시하지 않는 캐소드 단자가 단자형성된 캐소드 전극(2)과 함께 게이트 전극(4)의 단자형성을 위한 게이트 단자(7)가 형성되고, 절연층(8)에는 스루홀(9)이 설치된다. 이와같은 다층배선구조에 있어서, 절연층(8)상의 게이트 전극(4)의 라인은, 스루홀(9)에 있어서 캐소드 기판(1)상의 게이트 단자(7)에 접속된다. 그 결과 캐소드기판(1)상에, 도시하지않는 캐소드 단자와 함께 게이트단자(7)를 동일평면상에 설치하는것이 가능하게되고, 공정수 증가, 프로세스의 복잡화를 방지할수가 있다.

시일(6)의 직하는 절연층(8)이므로, 시일(6)과 게이트 전극(4) 및 게이트 단자(7)가 접촉하는 일이 없기때문에, 게이트전극(4), 게이트 단자(7)의 전극박리등의 문제는 생기지 않는다. 따라서, 도 9에 도시한 시일보호층(4)의 막형성 및 패턴 형성의 공정을 줄이는것이 가능하게된다. 시일 보호층(4)은 특히 필요가 없는 것으로 되었지만, 절연층(8)의 두께를 보강하는등을 위하여 설치하여도 좋다.

또, 콘전극(5)과 게이트전극(4) 사이가 단락하였을때에는, 캐소드 전극(2)과 콘전극(5)과의 사이에 끼워진 저항층(3)에 의하여 과전류의 발생을 막고, 전자방출부의 파괴를 방지한다. 이 실시의 형태는, 과전류 방지를 캐소드 전극(2)과 콘 전극(5)사이의 저항층(3)만에 의하여 실현하고 있기때문에, 게이트의 스루홀의 응답성을 좋게하기 위하여 게이트전극(4)의 라인의 부가저항을 작게하는 경우에 알맞는 것이다. 저항층(3)으로서 비결정성 실리콘(a-Si)을 사용할수가 있다.

상술한 단면구조의 제조공정을 간단히 설명한다. 캐소드기판(1)상에 캐소드 전극(2)의 라인과, 이에 직교하는 방향으로 게이트 단자(7)의 라인을 스퍼터법 등에 의한 금속박막형성 및 이 패턴닝에 의하여 형성한다. 다음에 저항층(3)으로되는 비결정성 실리콘(a-Si) 박막을 스퍼터 법등에 의하여 형성한다.

뒤이어 포토리소그래피법을 사용하여 저항층(3)이 캐소드 전극(2)의 라인을 덮도록 RIE(반응성 이온 에칭)에 의하여 패턴닝하여 저항층(3)을 형성한다. 다음에, 절연층(8)을 형성하여, 패턴닝에 의하여 절연층(8)에 스루홀(9)을 형성한다. 스루홀(9)은, 게이트단자(7)마다 개별로 형성하여도 좋고, 모든 게이트단자(7)에 걸쳐서 연속하여 설치된 공통의 것으로 하여도 좋다.

이와같이하여 절연층(8) 및 스루홀(9)을 형성한후, 예를 들면, Nb의 스퍼터에 의하여 게이트 막을 제작하고, 게이트전극(4)을 패턴닝한다. 게이트 막이 스루홀(9)의 내부에도 증착되므로써 게이트 전극(4)과 게이트 단자(7)가 접속되는 것으로 된다. 스루홀(9)의 측면부의 경사각도가 완만하게 되도록 하면 접속이

양호하게 이루어진다. 경사각도가 급한 경우에는, 접촉 불량을 일으킬 염려가 있지만, 게이트막의 위에서 Nb를 회전경사 증착하여 2층 구조로 함으로서 접촉상태가 양호하게 된다.

그후, 게이트전극(4)의 위로부터 회전경사증착에 의하여 박리층을 표면에 형성하고, 더욱더 그위로부터, 콘층을 퇴적함으로서 개구부의 내부에 콘전극(5)을 형성한다. 그리고 박리층과 함께 이위의 콘층을 박리한 후에, 절연층(8)을 패터닝하여 절연층(8)으로부터 캐소드 단자와 게이트 단자(7)의 단자형성을 행하고, 도1에 도시한 전계방출 소자가 형성된다. 더욱이, 캐소드 전극(2)의 단부가 캐소드 단자로 된다.

따라서 시일보호층(6)의 형성프로세스, 캐소드 전극(2) 및 게이트전극(4)의 단자형성 프로세스 등의 공정삭감에 의한 원가저감의 효과가 있다. 구체예를 들면, $50\mu\text{m}\phi$ 정도의 스루홀(9)로 충분히 낮은 콘택트 저항 $2\text{k}\Omega$ 미만이 얻어져 스위칭특성의 열화는 무시할수 있다.

도 2는, 본 발명의 전계방출소자의 제2실시형태의 단면구조도이다. 도면중 도 7, 도 9, 도 1과 꼭같은 부분에는 같은 부호를 붙여서 설명을 생략한다.

이 실시형태의 전계방출소자는, 도1에 도시한 것에 비하여, 게이트전극(4)의 라인이 스루홀(9)에 있어서 게이트단자(7)에 접속되는 점에서는 일치하지만, 게이트 단자(7)의 라인에도 저항층(3)으로 덮혀진 상태에서 보호층(8)이 형성된 것이다. 콘택트홀(9)의 형성시에, 절연층(8)에서 저항층(3)까지에 구멍을 뚫으므로써 구성된다. 게이트단자(7)의 단말부의 단자형성시에는, 보호층(8)과 함께 저항층(3)이 동시에 제거된다.

이 실시의 형태에서는, 패터닝 할때에 저항층(3)을 남겨두는 영역을, 캐소드 전극(2)의 라인부분에 한정할 필요가 없다. 따라서, 저항층(3)의 형성프로세스가 용이하게 된다. 또, 게이트 단자(7)가 절연층(8) 및 저항층(3)의 2층구조에 의하여 시일(6)로부터 보호되는것으로 된다.

도 3은, 본 발명의 전계방출소자의 제3 실시의 형태의 단면구조도이다. 도면중 도 7, 도 9, 도 1과 꼭같은 부분에는 같은 부호를 붙여 설명을 생략한다.

이 실시형태의 전계방출소자는, 도2에 도시한 실시형태의 것과 비교하여 스루홀(9)에서, 게이트 단자(7)와 게이트 전극(4)과의 사이에 저항층(3)이 개재한 구조이다.

이로서, 게이트단자(7)와 게이트전극(4)의 라인간에 전극-단자간 저항이 형성되고, 캐소드 전극(2)과 콘전극(5)과의 사이의 저항층(3)과 함께, 게이트 라인의 보호저항으로서 동작하고, 게이트전극(4)과 캐소드 전극(2) 사이의 절연불량에 의한 과전류는, 게이트전극과 캐소드 전극간에 전위강화를 발생하고, 과전류에 의한 전자 방출부를 파괴로부터 보호할수가 있다. 또 게이트 전극(4)과 게이트 단자(7)와의 사이에 저항이 들어가기 때문에, 단순히 게이트 전극-캐소드 전극간 뿐만 아니라, 애노드전극-게이트 전극간의 과전류 보호 저항도 된다.

캐소드 전극(2)과 콘전극(5) 간에 개재한 저항층(3)의 전극간 저항은, 여기에 평소부터 큰 전류가 흐르고 있기때문에, 전압강하나 소비전력을 고려하면 크게할수가 없다. 이에 대하여, 통상은 게이트 전극(4)의 라인에 전류가 흐르지 않기때문에 스루홀(9)의 저항층(3)에 의한 전압강하나 소비전력의 증가는 무시할수 있다. 따라서, 이 저항치는, 비교적 큰 값으로 설정하는것이 가능하다. 게이트의 스위칭 특성은, 스루홀(9)의 저항층(3)의 개재에 의하여 약간 열화하지만, 게이트전극(4)과 캐소드전극(2)간의 정전용량을 작게함으로서, 이 특성열화를 충분히 작게할수가 있다.

이 실시의 형태에서는 큰 전극(5)의 아래에 설치하기위하여 형성한 저항층(3)을 패터닝할때에 게이트 단자(7)상에 남겨서 사용한다. 스루홀(9)을 형성할때에는, 절연층(8)만의 에칭으로하고 저항층(3)을 남긴다. 따라서 스루홀(9)의 접합부는, 게이트 전극(4)과 게이트 단자(7)의 총사이에 저항층(3)이 끼워지는 구조로 된다. 그결과, 시일보호층의 형성프로세스, 게이트 단자형성 프로세스 등의 공정삭감에 더하여, 저항층(3)을 에칭하는 프로세스도 특히 필요로하지 않는다. 게이트 단자(7)와 게이트 전극(4)의 라인간의 전극-단자간 저항치는 수K~수10K Ω 로 된다.

도 4는, 본 발명의 전계방출소자의 제4의 실시형태의 단면구조도이다. 도면중 도7, 도 9, 도 1과 꼭같은 부분에는 같은 부호를 붙여 설명을 생략한다. 11은 갭, 12는 게이트 단자 분리부이다.

이 실시형태의 전계 방출소자는, 도3에 도시한 제3의 실시형태의 것에 비하여, 도3에 도시한 게이트 단자(7)의 라인도중에, 단자형성측과 스루홀(9)측에 분리하는 갭(11)을 새로이 형성하고, 갭(11)을 저항층(3)으로 메우는 구조를 병용한 것이다.

도 4에서는, 스루홀(9)의 아래에 위치하는 측을 게이트단자 분리부(12)로서 도시하고있다. 캐소드 전극(2)과 콘모양의 이미터(5)사이의 저항층(3)에 의한 전극간 저항, 스루홀부(9)의 저항층(3)에 의한 전극-단자간 저항에 더하여 게이트 단자(7)의 갭(11)을 메우는 저항층(3)에 의한 단자부 저항에 의해서도 과전류 보호가 실현된다. 이 갭(11)은 캐소드 기판(1)상에 Nb의 패터닝을 할 경우에, 게이트 단자(7)의 라인에 형성하면 된다.

따라서, 이 실시형태의 전계 방출소자도, 콘 전극(5)의 아래에 설치하기위하여 형성한 저항층(3)을 패터닝할때에 게이트 전극(7)및 갭(11)에 남기게할 뿐으로 충분하고, 작성프로세스는 증가하지 않는다. 시일 보호층의 형성프로세스, 게이트단자형성 프로세스등의 공정삭감과 더불어 스루홀(9)의 형성시에 저항층(3)을 에칭하는 프로세스를 특히 필요로 하지 않는다.

스루홀부(9)에 있어서 저항층(3)의 두께를 제어하는 경우보다도, 갭(11)의 폭, 즉, 게이트단자(7)의 라인 방향의 간격을 변화시키는편이, 저항치를 폭넓게 제어하는것이 가능하다. 콘 전극(5)의 아래의 저항이긴 도한 저항층(3)의 저항율의 제약을 받지않고, 게이트 보호저항에 적합한 값이 설정가능하다. 게이트단자(7)와 게이트 전극(4)간의 저항은 수K Ω ~수100 M Ω 의 범위에서 제어가능하다. 저항치를 크게함으로서 과전류보호저항으로서의 효과는 보다 크게된다. 보통의 경우에는 게이트 전극(4)에 전류가 흐르지 않기 때문에, 소비전력의 증가는 무시할수 있는 정도이다. 또, 게이트전극(4)의 스위칭 특성은, 게이트 전극

(4)과 캐소드 전극(2)간의 정전용량을 충분히 작게하는것으로 열화를 억제할수가 있다.

제5의 실시형태는 상술한 실시형태의 변형예이고, 도4에 도시한 스루홀(9)의 저항층(3)을, 도1, 도2와 똑같이 삭제한 것이고, 똑같은 효과가 있다. 이경우, 과전류보호는, 캐소드 전극(2)과 콘형상이미터(5)간의 저항층(3)에 의한 전극간저항 및 갭(11)의 저항층(3)에 의한 단자부 저항에 의하여 실현되는 것으로 된다. 그의 저항치의 가변범위는 도1, 도2를 참조하여 설명한 제1, 제2 실시형태와 같이 전극간저항단독의 경우와, 도3을 참조하여 설명한 제3의 실시형태와 같이 전극간 저항과 전극-단자간 저항의 경우의 중간정도로 된다.

도 5는, 본 발명의 전계방출소자의 제6 실시형태의 단면구조도이다. 도면중, 도7, 도9, 도1, 도4와 똑같은 부분에는 같은 부호를 붙여서 설명을 생략한다.

이 실시형태는, 스루홀(9)의 아래에 갭(11)이 위치하도록 한 것이고, 전극-단자간 저항과 단자부 저항이 일체화된 것이다.

저항치는, 스루홀(9)의 면적, 저항층(3)의 막두께나 저항율등으로 용이하게 제어할수있지만, 그의 저항치의 가변범위는, 도4를 참조하여 설명한 제4의 실시형태와 같이 전극-단자간저항, 단자부저항이 개별로 있는 경우보다도 저항치를 낮게하는편에 가변범위를 넓힐수가 있고, 도3을 참조하여 설명한 제3의 실시형태와 같이 전극간저항, 전극-단자간저항이 있는 경우보다도 큰 저항치의 것으로 된다. 또 게이트 단자(7)의 길이가 짧은경우에도, 스루홀(9)안의 경우와 같은 길이 그대로 갭(11)을 설치할수가 있고, 스페이스이용 효율이 좋다.

이 실시형태의 전계방출소자도, 시일보호층의 형성프로세스, 게이트 단자형성프로세스 등의 공정삭감에 더하여, 스루홀(9)의 형성시에 저항층(3)을 에칭하는 프로세스를 특히 필요로 하지 않는다.

도 6은, 본 발명의 전계방출소자의 제7의 실시형태의 단면 구조도 및 게이트 단자의 평면도이다. 도6a는 단면구조도, 도 6b는 게이트 단자의 평면도이다. 도면중 도7, 도9, 도1, 도4와 똑같은 부분에는 같은 부호를 붙여서 설명을 생략한다. 21은 갭, 22는 게이트단자의 도부(島部)이다.

이 실시의 형태는, 도5를 참조하여 설명한 제6의 실시형태에 있어서, 스루홀(9)의 아래에, 갭(11)에 대신하여, 게이트 단자의 도상부(島狀部)(22)를 형성한 것이다.

도 6b에 도시하는 바와같이, 게이트단자의 도상부(22)는, 게이트단자(7)의 평면상에 주위로부터 갭(21)으로 구축되어있다. 게이트 단자(7)로 부터 유입하는 전류는, 주로 갭(21)의 저항층(3)을 통하여 게이트 단자의 도상부(22)에 흐르고, 다음에 이위를 덮는 스루홀(9)의 저항층(3)을 통하여 게이트 전극(4)으로 흐른다. 도 6a에 있어서 갭(21)이 게이트단자의 도상부(22)의 주위에 형성되므로 갭(21)의 폭이 도 4에 도시한 갭(11)의 폭과 같은 경우에도, 단순한 갭(11)에 비하여 갭 저항을 낮게 설정할수가 있다. 이와같은 게이트 단자의 도상부(22)는, 캐소드 기판(1)상에 Nb의 패터닝을 하는 경우에, 게이트 단자(7)의 라인에 형성할수가 있다.

상술한 설명에서는, 평판상의 캐소드 전극(2) 상에 저항층(3)을 통하여 복수의 콘 전극(5)을 설치하였다. 이에 대신하여, 캐소드 전극(2)의 라인의 에칭시에 주위가 갭에 의하여 둘러쌓인 도상의 부분이 복수형성된 캐소드 전극으로하고, 이와같은 캐소드전극상에 저항층을 형성하고, 도상부분의 위치에 복수의 콘 전극(5)을 형성하도록 한것도 좋다.

상술한 설명에서는, 캐소드 전극(2)과 콘 전극(5)간을 전기적으로 접속하는 것으로, 저항층(3)만을 설치하였지만, 저항층(3)과 콘 전극(5)과의 사이에 금속박막을 설치하여도 좋다.

상술한 설명에서는 어느실시형태에 있어서도, 캐소드 전극과 콘전극간에 저항층을 설치하기위하여 게이트 전극상에도 저항막을 형성하였다. 이때문에, 스루홀에 저항층이 존재하고 이것을 그대로 이용할수가 있고, 이 저항막을 에칭에 의하여 스루홀 부분으로부터 제거하는 프로세스를 필요로 하지 않는다. 그러나, 캐소드 전극과 콘전극간에 저항층을 설치하는일이 없고, 스루홀이나 갭에 저항층을 설치함으로써, 과전류방지용의 전극간 저항으로 하는것도 가능하다.

발명의 효과

본 발명의 전계방출소자는, 상술한 설명에서 명백한 바와같이, 캐소드전극 및 게이트 전극의 단자형성을 동일평면상에서 행할수가 있고, 공정수증가, 프로세스의 복잡화를 방지할수 있다라는 효과가 있다. 게이트 전극과 캐소드 전극간의 도통에 의한 과전류의 발생을 방지하고, 전자 방출부의 파괴를 방지할 수 있는 효과가 있다. 또 보호막을 필요로 하지 않는다.

스루홀이나 갭의 저항층의 저항치는, 비교적 큰 값에 설정할수가 있고, 갭의 폭을 바꾸므로써 저항치를 폭넓게 제어할수가 있고, 게이트 보호저항에 적합한 값이 설정가능하다.

캐소드 전극과 콘전극간에 저항층을 설정하기위하여 게이트 전극위에도 저항막을 형성한 경우에는 스루홀이나 갭에 저항층이 존재하고 이것을 그대로 이용할수가 있고, 이 저항막을 에칭하는 프로세스를 특히 필요로하지 않는다.

(57) 청구의 범위

청구항 1

캐소드 기판측과 애노드 기판측이 이격되고 봉착된 전계방출소자에 있어서, 상기 캐소드 기판상에 형성된 캐소드전극 및 게이트 단자와, 상기 캐소드 전극 및 상기 게이트 단자를 덮고 상기 캐소드전극 및 상기 게이트 단자의 단자형성이 이루어진 절연층과, 이 절연층상에 형성된 게이트전극과, 상기 캐소드 전극과 교차하는 위치의 상기 게이트전극 및 상기 위치의 상기 절연층에 설치된 개구부와, 상기 캐소드 전극상의 일부분에 적어도 형성된 저항층과, 상기 개구부내에 형성되고 상기 저항층을 통하여 캐소드전극과, 전기

적으로 접속된 이미터전극과, 상기 절연층에 형성된 스루홀을 갖고, 상기 게이트전극 및 상기 게이트단자는, 상기 스루홀에 있어서 전기적으로 접속되는 것을 특징으로 하는 전계방출소자.

청구항 2

캐소드 기판측과 애노드 기판측이 이격되어 봉착된 전계방출소자에 있어서, 상기 캐소드 기판상에 형성된 캐소드 전극 및 게이트단자와, 상기 캐소드 전극 및 상기 게이트 단자를 덮고 상기 캐소드 전극 및 상기 게이트 단자의 단자형성이 이루어진 절연층과, 이 절연층상에 형성된 게이트전극과, 상기 캐소드 전극과 교차하는 위치의 상기 게이트 전극 및 상기 위치의 상기 절연층에 설치된 개구부와, 이 개구부내에 형성되고 상기 캐소드전극과 전기적으로 접속된 이미터 전극과, 상기 게이트 단자상의 일부분에 적어도 형성된 저항층과, 상기 절연층에 형성된 스루홀을 갖고, 상기 게이트 전극 및 상기 게이트 단자는, 상기 스루홀에 있어서 상기 저항층을 통하여 전기적으로 접속되는 것을 특징으로 하는 전계방출소자.

청구항 3

캐소드 기판측과 애노드 기판측이 이격되고 봉착된 전계 방출소자에 있어서, 상기 캐소드 기판상에 형성된 캐소드 전극과, 상기 캐소드 기판상에 형성되어 갭(GAP)에 의하여 분리된 접속부를 갖는 게이트 단자와, 상기 캐소드전극 및 상기 게이트 단자를 덮고 상기 캐소드 전극 및 상기 게이트 단자의 단자형성이 이루어진 절연층과, 이 절연층상에 형성된 게이트 전극과 상기 캐소드 전극과 교차하는 위치의 상기 게이트 전극 및 상기 위치의 상기 절연층에 설치된 개구부와, 이 개구부내에 형성되고 상기 캐소드 전극과 전기적으로 접속된 이미터전극과, 상기 갭에 적어도 형성된 저항층과, 상기 절연층에 형성된 스루홀을 갖고, 상기 게이트전극 및 상기 접속부는, 상기 스루홀에 있어서 전기적으로 접속되는 것을 특징으로 하는 전계방출소자.

청구항 4

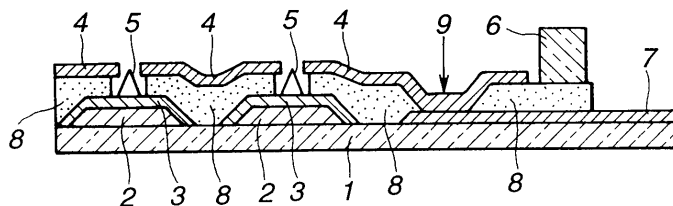
캐소드 기판측과 애노드 기판측이 이격되고 봉착된 전계방출소자에 있어서, 상기 캐소드 기판상에 형성된 캐소드전극과, 상기 캐소드 기판상에 형성되고 갭에 의하여 분리된 접속부를 갖는 게이트단자와, 상기 캐소드 전극 및 상기 게이트단자를 덮고 상기 캐소드 전극 및 상기 게이트단자의 단자형성이 이루어진 절연층과, 이 절연층상에 형성된 게이트 전극과, 상기 캐소드 전극과 교차하는 위치의 상기 게이트전극 및 상기 위치의 상기 절연층에 설치된 개구부와, 이 개구부내에 형성되고 상기 캐소드 전극과 전기적으로 접속된 이미터 전극과, 상기 게이트 단자상의 일부분 및 상기 갭에 적어도 형성된 저항층과, 상기 절연층에 형성된 스루홀을 갖고, 상기 게이트 전극 및 상기 접속부는, 상기 스루홀에 있어서 상기 저항층을 통하여 전기적으로 접속되는 것을 특징으로 하는 전계방출소자.

청구항 5

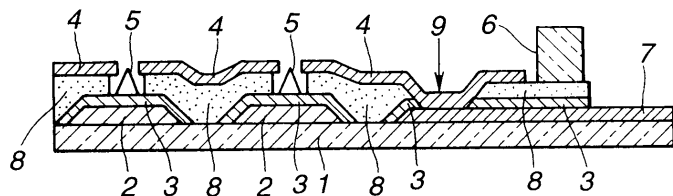
제 4 항에 있어서, 상기 스루홀 및 상기 갭은 공통위치에 형성되고, 상기 게이트전극 및 상기 게이트 단자는, 상기 스루홀에 있어서 상기 저항층을 통하여 전기적으로 접속되는 것을 특징으로 하는 전계방출소자.

도면

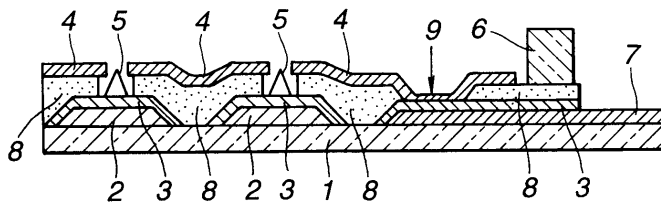
도면1



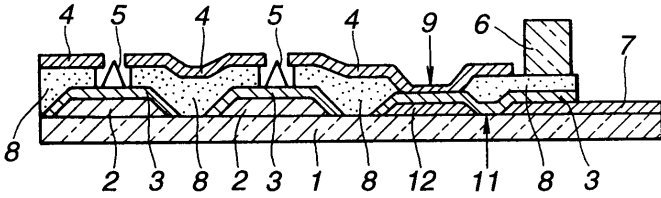
도면2



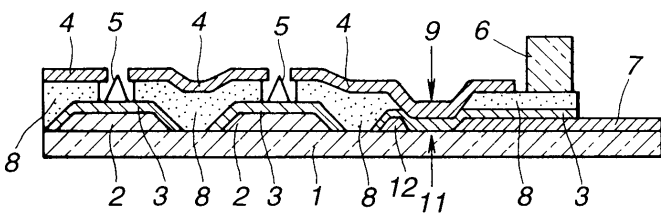
도면3



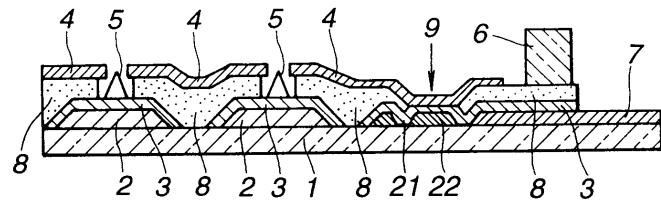
도면4



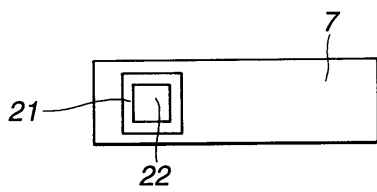
도면5



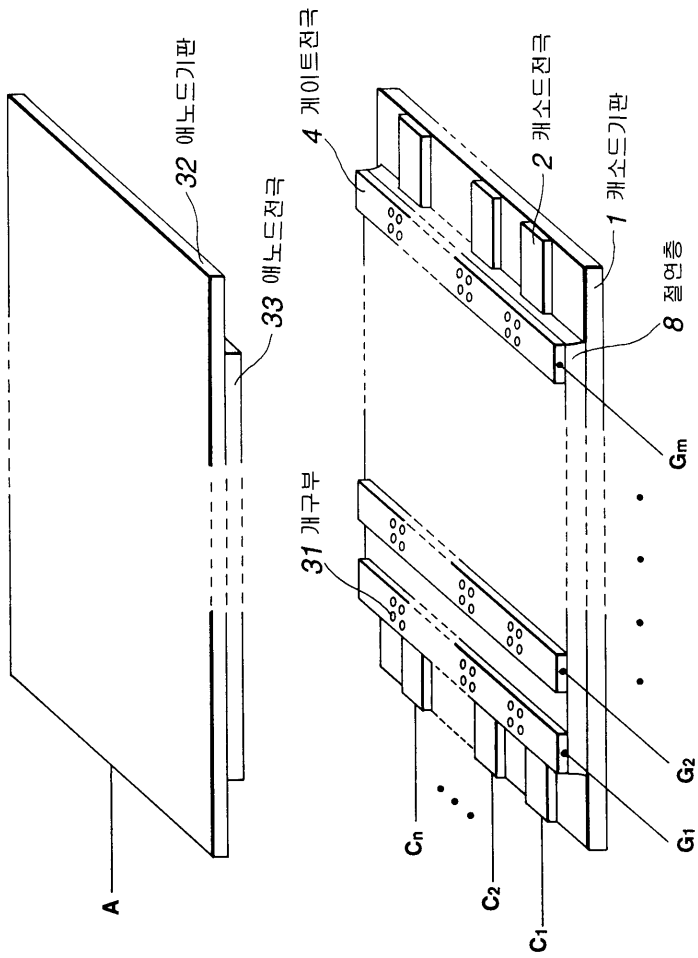
도면6a



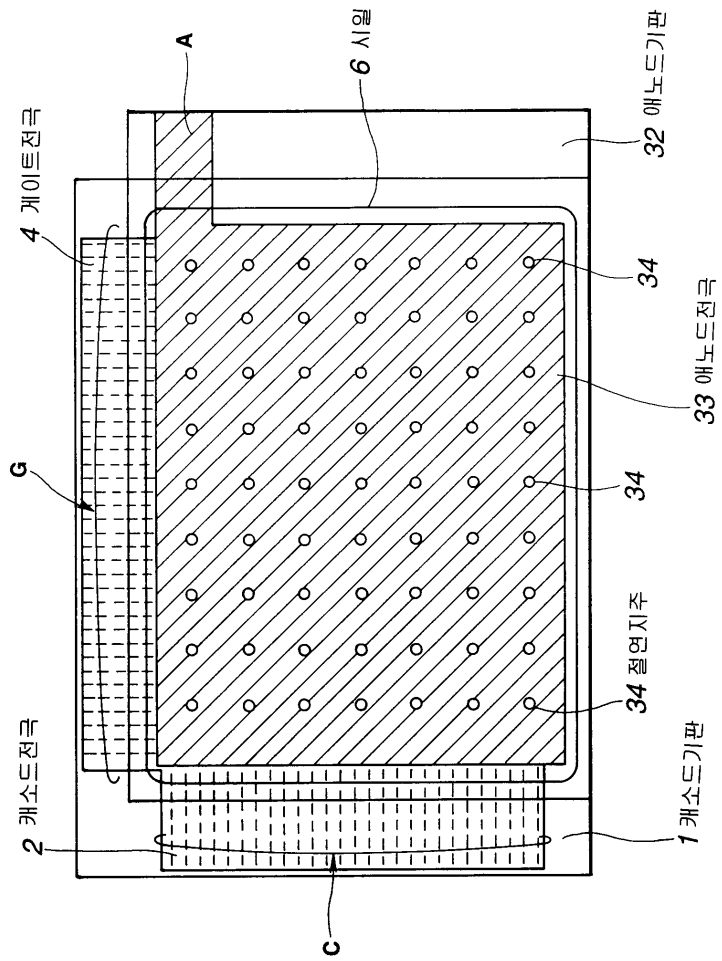
도면6b



도면7



도면8



도면9

(종래기술)

