(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0069343
(43) 공개일자 2014년06월09일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) *H01L 23/482* (2006.01)
(21) 출원번호 10-2014-7012008
(22) 출원일자(국제) 2012년10월03일
심사청구일자 없음
(85) 번역문제출일자 2014년05월02일
(86) 국제출원번호 PCT/US2012/058557
(87) 국제공개번호 WO 2013/052544
국제공개일자 2013년04월11일
(30) 우선권주장
61/542,495 2011년10월03일 미국(US)

(71) 출원인
인벤사스 코포레이션
미국 캘리포니아 산 호세 오처드 파크웨이 3025 (우편번호 95134)
(72) 발명자
크리스프 리차드 드윗
미국 95134 캘리포니아주 샌 호제 오처드 파크웨이 3025
조니 와엘
미국 95134 캘리포니아주 샌 호제 오처드 파크웨이 3025
(74) 대리인
유미특허법인

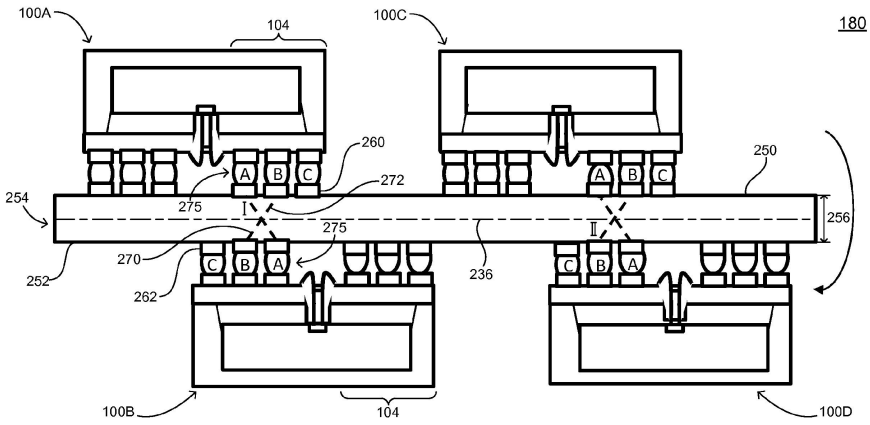
전체 청구항 수 : 총 34 항

(54) 발명의 명칭 **패키지의 중심으로부터 옵셋된 단자 그리드를 구비하는 스터드 최소화**

(57) 요 약

초소형 전자 패키지(100)는 기판의 제 1 표면(108) 상에 배치되는 메모리 저장 어레이 기능을 갖는 초소형 전자 요소(130)를 포함하고, 기판 내의 개구(112)와 정렬되는 복수의 콘택(132)을 갖는다. 패키지에 전송되는 모든 어드레스 신호를 운반하도록 구성되는 제 1 단자(104)는 제 2 기판 표면(110)의 제 1 영역(140) 내에 노출될 수 있고, 제 1 영역은 개구(112)와 기판의 주연부 사이에 배치된다. 제 1 단자는 패키지에 전송되는 모든 커맨드 신호, 뱅크 어드레스 신호 및 커맨드 신호를 운반하도록 구성될 수 있고, 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이다.

대 표 도 - 도10



특허청구의 범위

청구항 1

초소형 전자 패키지로서,

반대되는 제 1 및 제 2 표면, 상기 제 1 표면과 제 2 표면 사이에 연장되는 주연부, 및 상기 제 1 표면과 제 2 표면 사이에 연장되는 개구를 갖는 기판으로서, 상기 개구는 상기 개구의 가장 긴 치수의 방향으로 연장되는, 그리고 상기 가장 긴 치수를 횡단하는 방향으로 상기 개구의 폭에 대해 중심에 위치되는 축선을 갖고, 상기 제 2 표면은 상기 축선과 상기 연부 사이에 배치되는 제 1 영역을 갖는, 기판;

메모리 저장 어레이 기능을 갖는 초소형 전자 요소로서, 상기 초소형 전자 요소는 상기 기판의 제 1 표면에 대면하는 표면, 및 상기 개구와 정렬되는 상기 초소형 전자 요소의 표면에 노출되는 복수의 콘택을 갖는, 초소형 전자 요소;

상기 기판의 제 2 표면에 노출되는, 그리고 상기 패키지의 외부의 적어도 하나의 컴포넌트에 상기 초소형 전자 패키지를 연결하도록 구성되는 복수의 단자; 및

상기 초소형 전자 요소의 콘택과 상기 단자 사이에 전기적으로 연결되는 리드로서, 상기 개구와 정렬되는 부분을 갖는 리드를 포함하고,

상기 단자는 상기 패키지에 전송되는 상기 어드레스 신호의 전부를 운반하도록 구성되는 상기 기판의 제 2 표면의 제 1 영역에 노출되는 제 1 단자를 포함하는, 초소형 전자 패키지.

청구항 2

제 1 항에 있어서,

상기 초소형 전자 요소는 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합하는, 초소형 전자 패키지.

청구항 3

제 2 항에 있어서,

상기 제 1 단자는 상기 패키지에 전송되는 상기 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되는 단자를 포함하고, 상기 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 상기 클록 신호는 상기 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록인, 초소형 전자 패키지.

청구항 4

제 1 항에 있어서,

상기 기판은 상기 기판의 평면에서 12 ppm/℃ 미만의 CTE를 갖는 재료로 본질적으로 이루어지는 요소인, 초소형 전자 패키지.

청구항 5

제 1 항에 있어서,

상기 기판은 상기 기판의 평면에서 30 ppm/℃ 미만의 CTE를 갖는 재료로 본질적으로 이루어지는 유전체 요소를 포함하는, 초소형 전자 패키지.

청구항 6

제 3 항에 있어서,

상기 제 2 표면의 제 1 영역 내에 노출되는 단자의 적어도 일부는 상기 커맨드 신호, 어드레스 신호, 및 클록 신호 이외의 신호를 운반하도록 구성되는, 초소형 전자 패키지.

청구항 7

제 1 항에 있어서,

상기 제 2 표면은 상기 기판의 제 1 표면과 제 2 표면 사이에 연장되는, 그리고 상기 제 1 주연부로부터 대향되는 제 2 주연부를 갖고, 상기 제 2 표면은 상기 축선과 상기 제 2 연부 사이의 제 2 영역을 갖고, 상기 단자는 상기 제 2 표면의 제 2 영역에서 노출되는 제 2 단자를 더 포함하는, 초소형 전자 패키지.

청구항 8

제 7 항에 있어서,

상기 제 1 단자는 상기 패키지에 전송되는 상기 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되고, 상기 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 상기 클록 신호는 상기 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록이고, 제 2 단자의 적어도 일부는 상기 커맨드 신호, 어드레스 신호, 및 클록 신호 이외의 신호를 운반하도록 구성되는, 초소형 전자 패키지.

청구항 9

제 1 항에 있어서,

상기 제 1 단자는 3 개 이하의 컬럼 내에 배치되는, 초소형 전자 패키지.

청구항 10

제 9 항에 있어서,

상기 컬럼은 상기 개구의 축선에 평행한, 초소형 전자 패키지.

청구항 11

제 1 항에 있어서,

상기 제 1 단자는 2 개 이하의 컬럼 내에 배치되는, 초소형 전자 패키지.

청구항 12

제 11 항에 있어서,

상기 제 1 단자는 제 1 및 제 2 평행 컬럼 내에 배치되는, 초소형 전자 패키지.

청구항 13

제 1 항에 있어서,

상기 제 1 단자는 단일 컬럼 내에 배치되는, 초소형 전자 패키지.

청구항 14

제 1 항에 있어서,

상기 리드의 적어도 일부는 상기 개구를 통해 연장되는 와이어 본드를 포함하는, 초소형 전자 패키지.

청구항 15

제 14 항에 있어서,

상기 리드의 전부는 상기 개구를 통해 연장되는 와이어 본드인, 초소형 전자 패키지.

청구항 16

제 1 항에 있어서,

상기 리드의 적어도 일부는 리드 본드를 포함하는, 초소형 전자 패키지.

청구항 17

제 1 항에 있어서,

상기 초소형 전자 요소는 동적 랜덤 억세스 메모리("DRAM") 집적 회로 칩인, 초소형 전자 패키지.

청구항 18

제 1 항에 있어서,

상기 단자는 회로 패널인 외부 컴포넌트에 초소형 전자 패키지를 연결하도록 구성되는, 초소형 전자 패키지.

청구항 19

초소형 전자 조립체로서,

반대되는 제 1 및 제 2 표면 및 상기 반대되는 제 1 및 제 2 표면의 각각에 노출되는 패널 콘택을 갖는 회로 패널; 및

상기 제 1 및 제 2 표면의 각각에 노출되는 상기 패널 콘택에 장착되는 단자를 갖는 제 1 및 제 2 초소형 전자 패키지를 포함하고,

상기 회로 패널은 상기 제 1 초소형 전자 패키지의 적어도 일부의 단자를 상기 제 2 초소형 전자 패키지의 적어도 일부의 대응하는 단자와 상호연결하고, 상기 제 1 및 제 2 초소형 전자 패키지의 각각은,

반대되는 제 1 및 제 2 표면, 상기 제 1 표면과 제 2 표면 사이에 연장되는 주연부, 및 상기 제 1 표면과 제 2 표면 사이에 연장되는 개구를 갖는 기판으로서, 상기 개구는 상기 개구의 길이 방향으로 연장되는 축선을 갖고, 상기 제 2 표면은 상기 축선과 상기 연부 사이에 배치되는 제 1 영역을 갖는, 기판;

초소형 전자 요소로서, 상기 기판의 제 1 표면에 대면하는 표면 및 상기 개구와 정렬되는 상기 초소형 전자 요소의 상기 표면에 노출되는 복수의 콘택을 갖고, 메모리 저장 어레이 기능을 갖는, 초소형 전자 요소;

상기 기판의 제 2 표면에 노출되는, 그리고 상기 패키지의 외부의 적어도 하나의 컴포넌트에 상기 초소형 전자 패키지를 연결하도록 구성되는 복수의 단자; 및

상기 초소형 전자 요소의 콘택과 상기 단자 사이에 전기적으로 연결되는 리드로서, 상기 개구와 정렬되는 부분을 갖는, 리드를 포함하고,

상기 단자는 상기 패키지에 전송되는 상기 어드레스 신호의 전부를 운반하도록 구성되는 상기 기판의 제 2 표면의 제 1 영역에 노출되는 제 1 단자를 포함하는, 초소형 전자 조립체.

청구항 20

제 19 항에 있어서,

각각의 초소형 전자 패키지 내에서, 상기 초소형 전자 요소는 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합하는, 초소형 전자 조립체.

청구항 21

제 20 항에 있어서,

상기 제 1 단자는 상기 패키지에 전송되는 상기 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되고, 상기 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 상기 클록 신호는 상기 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록인, 초소형 전자 조립체.

청구항 22

제 19 항에 있어서,

상기 제 1 및 제 2 초소형 전자 패키지의 단자는 각각 그리드의 대응하는 위치에 배치되고, 상기 그리드는 상기 제 1 및 제 2 회로 패널 표면에 평행한 x 및 y의 직각 방향으로 상호 하나의 볼 피치로 정렬되는, 초소형 전자 조립체.

청구항 23

제 22 항에 있어서,

상기 그리드는 상기 그리드의 단자가 상호 일치되도록 상기 x 및 y의 직각 방향으로 상호 정렬되는, 초소형 전자 조립체.

청구항 24

제 22 항에 있어서,

각각의 그리드의 각각의 위치는 상기 단자 중 하나에 의해 점유되는, 초소형 전자 조립체.

청구항 25

제 22 항에 있어서,

각각의 그리드의 적어도 하나의 위치는 단자에 의해 점유되지 않는, 초소형 전자 조립체.

청구항 26

제 22 항에 있어서,

상기 제 1 및 제 2 패키지의 전기적 연결부의 스터브의 길이는 상기 각각의 패키지의 제 1 단자의 최소 피치의 7 배 미만인, 초소형 전자 조립체.

청구항 27

제 22 항에 있어서,

상기 제 1 및 제 2 초소형 전자 패키지의 제 1 단자들 사이의 상기 회로 패널을 통한 상기 전기적 연결부의 적어도 일부는 대략 상기 회로 패널의 두께의 전기적 길이를 갖는, 초소형 전자 조립체.

청구항 28

제 22 항에 있어서,

상기 그리드 내의 상기 제 1 단자의 신호 할당은 상기 제 1 및 제 2 패키지의 각각 상에서 동일하고, 상기 그리드의 각각은 제 1 단자를 포함하는 제 1 및 제 2 컬럼을 갖고, 상기 제 1 패키지 상의 단자의 제 1 컬럼의 단자는 상기 제 2 패키지의 단자의 제 2 컬럼의 단자와 x 및 y의 직각 방향으로 하나의 볼 피치 내에서 정렬되고, 상기 제 1 패키지의 단자의 제 2 컬럼의 단자는 상기 제 2 패키지의 단자의 제 1 컬럼의 단자와 x 및 y의 직각 방향으로 하나의 볼 피치 내에서 정렬되는, 초소형 전자 조립체.

청구항 29

제 28 항에 있어서,

상기 회로 패널의 제 1 및 제 2 표면에 노출되는 한 쌍의 전기적으로 결합되는 제 1 및 제 2 패널 콘택을 연결하는 상기 도체 요소의 총 결합된 길이는 상기 패널 콘택의 치소 피치의 7 배 미만인, 초소형 전자 조립체.

청구항 30

제 21 항에 있어서,

상기 각각의 초소형 전자 패키지의 제 1 단자는 단자의 단일 컬럼의 위치에 배치되고, 상기 회로 패널은 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 전부의 글로벌 라우팅을 위해 불과 1 개의 라우팅 층을 포함하는, 초소형 전자 조립체.

청구항 31

제 21 항에 있어서,

각각의 초소형 전자 패키지의 상기 제 1 단자는 2 개의 평행 컬럼의 위치에 배치되고, 상기 회로 패널은 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 글로벌 라우팅하기 위해 2 개 이하의 라우팅 층을 포함하는, 초소형 전자 조립체.

청구항 32

제 21 항에 있어서,

상기 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두의 글로벌 라우팅을 위해 불과 1 개의 라우팅 층이 존재하는, 초소형 전자 조립체.

청구항 33

모듈로서,

회로 패널; 및

각각의 초소형 전자 패키지에 출입하도록 신호를 이송하기 위한 상기 각각의 초소형 전자 패키지의 단자를 통해 상기 회로 패널에 장착되고, 또 상기 패널에 전기적으로 연결되는 복수의 초소형 전자 패키지를 포함하고, 상기 각각의 초소형 전자 패키지는,

반대되는 제 1 및 제 2 표면, 상기 제 1 표면과 제 2 표면 사이에 연장되는 주연부, 및 상기 제 1 표면과 제 2 표면 사이에 연장되는 개구를 갖는 기판으로서, 상기 개구는 상기 개구의 길이 방향으로 연장되는 축선을 갖고, 상기 제 2 표면은 상기 축선과 상기 연부 사이에 배치되는 제 1 영역을 갖는, 기판;

초소형 전자 요소로서, 상기 기판의 제 1 표면에 대면하는 표면, 및 상기 개구와 정렬되는 상기 초소형 전자 요소의 표면에 노출되는 복수의 콘택을 갖고, 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하기 위해 더 많은 수의 활성 디바이스를 통합하는, 초소형 전자 요소;

상기 기판의 제 2 표면에 노출되는, 그리고 상기 패키지의 외부의 적어도 하나의 컴포넌트에 상기 초소형 전자 패키지를 연결하도록 구성되는 복수의 단자; 및

상기 초소형 전자 요소의 콘택과 상기 단자 사이에 전기적으로 연결되는 리드로서, 상기 개구와 정렬되는 부분을 갖는, 리드를 포함하고,

상기 단자는 상기 패키지에 전송되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되는 기판의 제 2 표면의 제 1 영역 내에 노출되는 제 1 단자를 포함하고, 상기 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 상기 클록 신호는 상기 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록인, 모듈.

청구항 34

제 33 항에 청구된 바와 같은 모듈을 포함하는 시스템으로서, 하우징을 더 포함하고, 상기 모듈 및 복수의 다른 전자 컴포넌트는 상기 하우징과 함께 조립되는, 시스템.

명 세 서

기 술 분 야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2011년 10월 3일에 출원된 미국 가특허출원 번호 61/542,495의 출원일의 이익을 청구하고, 이 가출원의 개시는 본 명세서에 참조로 포함된다.

[0003] 발명의 배경

[0004] 본 출원의 주제는 초소형 전자 패키지 및 초소형 전자 패키지를 장착하는 조립체에 관한 것이다.

배 경 기 술

[0005] 일반적으로 반도체 칩은 개별적으로 패키징된 유닛으로서 제공된다. 표준 칩은 칩의 내부 회로에 연결되는 콘택을 갖는 큰 전면을 구비하는 평평한 사각형 본체를 갖는다. 각각의 개별 칩은 전형적으로 칩의 콘택에 연결되는 외부 단자를 갖는 패키지 내에 수용된다. 다음에, 단자, 즉, 패키지의 외부 연결점은 인쇄 회로 보드와 같은 회로 패널에 전기적으로 연결되도록 구성된다. 많은 종래의 설계에서, 칩 패키지는 칩 자체의 영역보다 상당히 더 큰 회로 패널의 영역을 점유한다. 전면을 갖는 평면 칩에 관하여 본 개시에서 사용되는 "칩의 영역"이라 함은 전면의 영역을 말하는 것으로 이해해야 한다.

[0006] "플립 칩" 구조에서, 칩의 전면은 패키지 유전체 요소, 즉 패키지의 기판의 면에 대면하고, 칩 상의 콘택은 땜납 범프 또는 기타 연결 요소에 의해 기판의 면 상의 콘택에 직접 접합된다. 다음에, 기판은 이 기판 상에 위치되는 외부 단자를 통해 회로 패널에 접합될 수 있다. "플립 칩" 구조는 비교적 콤팩트한 배열체를 제공하고; 각각의 패키지는, 예를 들면, 개시내용이 본 명세서에 참조로 포함되는 동일 출원인에 의한 미국 특허 번호 5,148,265; 5,148,266; 및 5,679,977의 특정 실시형태에 개시된 것과 같이 칩의 전면의 영역과 같거나 이보다 약간 큰 회로 패널의 영역을 점유한다. 어떤 혁신적 장착 기술은 종래의 플립-칩 본딩의 컴팩트성(compactness)에 접근하거나 동일한 컴팩트성을 제공한다. 칩 자체의 영역과 동일하거나 약간 큰 회로 패널의 영역 내에 단일 칩을 수용할 수 있는 패키지는 통상적으로 "칩-스케일 패키지"라고 불린다.

[0007] 크기는 칩의 물리적 배열에서 중요한 고려사항이다. 칩의 더욱 콤팩트한 물리적 배열을 위한 요구는 휴대형 전자 디바이스의 급속한 성장에 따라 훨씬 더 강열해졌다. 단지 일례로서, 통상 "스마트폰"이라고 불리는 디바이스는 휴대 전화의 기능에 강력한 데이터 프로세서, 메모리 및 보조 디바이스(예를 들면, 고해상도 디스플레이 및 관련 화상 처리 칩과 함께 글로벌 포지셔닝 시스템 수신기, 전자 카메라, 및 LAN 연결부)를 통합한 것이다. 이와 같은 디바이스는 포켓 크기의 디바이스에 전부 들어가는 완전한 인터넷 연결, 최고 해상도 비디오를 포함하는 엔터테인먼트, 네비게이션, 전자 뱅킹 등과 같은 능력을 제공할 수 있다. 복잡한 휴대형 디바이스는 작은 공간 내에 많은 칩을 패킹해야 한다. 게다가, 일부의 칩은 통상 "I/O"라 불리는 많은 입력 및 출력 연결부를 갖는다. 이들 I/O는 다른 칩의 I/O와 상호연결되어야 한다. 이 상호연결부를 형성하는 컴포넌트는 조립체의 크기를 크게 증가시켜서는 안 된다. 유사한 요구가, 예를 들면, 성능 향상 및 크기 축소를 필요로 하는 인터넷 검색 엔진에서 사용되는 것과 같은 데이터 서버와 같은 다른 사용처에서 발생한다.

[0008] 메모리 저장 어레이, 특히 동적 랜덤 억세스 메모리 칩(DRAMs) 및 플래시 메모리 칩을 포함하는 반도체 칩은 통상적으로 단일 또는 다중 칩 패키지 및 조립체 내에 패키징된다. 각각의 패키지는 신호, 전력 및 단자와 내부의 칩 사이의 접지를 운반하기 위한 많은 전기적 연결부를 갖는다. 전기적 연결부는 칩의 콘택 지지면에 대해 수평 방향으로 연장되는 예를 들면, 트레이스, 빔 리드, 등의 수평 도체, 칩의 표면에 대해 수직 방향으로 연장되는 바이어와 같은 수직 도체, 및 칩의 표면에 대해 수평 방향 및 수직 방향의 양자 모두의 방향으로 연장되는 와이어 본드와 같은 상이한 종류의 도체를 포함할 수 있다.

[0009] 종래의 초소형 전자 패키지는 메모리 저장 어레이 기능, 즉 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 활성 디바이스를 통합하는 초소형 전자 요소를 주로 제공하도록 구성되는 초소형 전자 요소를 장착할 수 있다. 초소형 전자 요소는 DRAM 칩, 또는 적층된 이와 같은 반도체 칩의 전기적으로 상호연결된 조립체이거나 이것을 포함할 수 있다. 전형적으로, 이와 같은 패키지의 모든 단자는 초소형 전자 요소가 장착되는 패키지 기판의 하나 이상의 주연부(peripheral edge)에 인접하는 일련의 컬럼 내에 설치된다. 예를 들면, 도 1에 도시된 하나의 종래의 초소형 전자 패키지(12)에서, 단자의 3 개의 컬럼(14)은 패키지 기판(20)의 제 1 주연부(16)에 인접하여 배치될 수 있고, 단자의 3 개의 다른 컬럼(18)은 패키지 기판(20)의 제 2 주연부(22)에 인접하여 배치될 수 있다. 종래의 패키지에서 패키지 기판(20)의 중앙 영역(24)은 단자의 어떤 컬럼도 가지지 않는다. 도 1은 또한 패키지 기판(20)의 중앙 영역(24) 내의 개구, 예를 들면, 본드 윈도우를 통해 연장되는 와이어 본드(30)를 통해 패키지(12)의 단자의 컬럼(14, 18)에 의해 전기적으로 상호연결되는 반도체 칩의 면(28) 상의 요소 콘택(26)을 갖는 패키지 내의 반도체 칩과 같은 초소형 전자 요소(11)를 도시한다. 경우에 따라, 초소형 전자 요소와 기판 사이의 기계적 연결을 보강하기 위해 초소형 전자 요소(11)의 면(28)과 기판(20) 사이에 접착제 층(32)이 배치될 수 있고, 와이어 본드는 접착제 층(32) 내의 개구를 통해 연장된다.

[0010] 전술한 내용에 비추어, 특히 이와 같은 패키지 및 이와 같은 패키지가 장착되고, 또한 전기적으로 상호연결될 수 있는 회로 패널을 포함하는 조립체에서 전기적 성능을 향상시키기 위해, 초소형 전자 패키지 상의 단자의 위치결정의 특정의 개선이 이루어질 수 있다.

발명의 내용

[0011] 본 발명의 하나의 양태에 따르면, 초소형 전자 패키지는 반대되는 제 1 및 제 2 표면, 제 1 표면과 제 2 표면 사이에 연장되는 주연부, 및 제 1 표면과 제 2 표면 사이에 연장되는 개구를 갖는 기판을 포함할 수 있다. 개구는 이 개구의 가장 긴 치수의 방향으로 연장되는, 그리고 가장 긴 치수를 횡단하는 방향으로 개구의 폭에 대해 중심에 위치되는 축선을 가질 수 있다. 축선은 주연부에 평행할 수 있고, 제 2 표면은 축선과 연부 사이에 배치되는 제 1 영역을 갖는다.

[0012] 패키지는 메모리 저장 어레이 기능을 갖는 초소형 전자 요소를 포함할 수 있다. 초소형 전자 요소는 기판의 제 1 표면에 대면하는 표면 및 개구와 정렬되는 초소형 전자 요소의 표면에 노출되는 복수의 콘택을 가질 수 있다.

[0013] 복수의 단자는 기판의 제 2 표면에 노출될 수 있고, 패키지의 외부의 적어도 하나의 컴포넌트에 초소형 전자 패키지를 연결하도록 구성된다. 리드는 초소형 전자 요소의 콘택과 단자 사이에 전기적으로 연결될 수 있고, 개구와 정렬되는 부분을 갖는다.

[0014] 단자는 패키지에 전송되는 어드레스 신호의 전부를 운반하도록 구성되는 기판의 제 2 표면의 제 1 영역에 노출되는 제 1 단자를 포함할 수 있다.

[0015] 하나의 실시예에서, 초소형 전자 요소는 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합할 수 있다.

[0016] 하나의 실시예에서, 제 1 단자는 패키지에 전송되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되는 단자를 포함하고, 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 클록 신호는 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록이다.

[0017] 하나의 실시예에서, 기판은 기판의 평면에서 12 ppm/℃ 미만의 CTE를 갖는 재료로 본질적으로 이루어진다.

[0018] 하나의 실시예에서, 기판은 기판의 평면에서 30 ppm/℃ 미만의 CTE를 갖는 재료로 본질적으로 이루어지는 유전체 요소를 포함할 수 있다.

[0019] 하나의 실시예에서, 제 2 표면의 제 1 영역 내에 노출되는 단자의 적어도 일부는 커맨드 신호, 어드레스 신호, 및 클록 신호 이외의 신호를 운반하도록 구성될 수 있다.

[0020] 하나의 실시예에서, 제 2 표면은 기판의 제 1 표면과 제 2 표면 사이에 연장되고, 제 1 주연부로부터 대향하는 제 2 주연부를 가질 수 있다. 예를 들면, 제 2 주연부는 제 1 주연부 및 축선에 평행할 수 있다. 제 2 표면은 축선과 제 2 연부 사이에 제 2 영역을 가질 수 있다. 단자는 그 제 2 영역 내의 제 2 표면에 노출되는 제 2 단자를 더 포함할 수 있다.

[0021] 하나의 실시예에서, 제 1 단자는 패키지에 전송되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되고, 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 클록 신호는 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록이다. 하나의 실시예에서, 제 2 단자의 적어도 일부는 커맨드 신호, 어드레스 신호, 및 클록 신호 이외의 신호를 운반하도록 구성될 수 있다.

[0022] 하나의 실시예에서, 제 1 단자는 3 개 이하의 컬럼 내에 배치될 수 있다.

[0023] 하나의 실시예에서, 컬럼은 개구의 축선에 평행할 수 있다.

[0024] 하나의 실시예에서, 제 1 단자는 2 개 이하의 컬럼 내에 배치될 수 있다.

[0025] 하나의 실시예에서, 제 1 단자는 제 1 및 제 2 평행 컬럼 내에 배치될 수 있다.

[0026] 하나의 실시예에서, 제 1 단자는 단일 컬럼 내에 배치될 수 있다.

[0027] 하나의 실시예에서, 리드의 적어도 일부는 개구를 통해 연장되는 와이어 본드를 포함한다.

[0028] 하나의 실시예에서, 리드의 전부는 개구를 통해 연장되는 와이어 본드일 수 있다.

[0029] 하나의 실시예에서, 리드의 적어도 일부는 리드 본드를 포함한다.

[0030] 하나의 실시예에서, 초소형 전자 요소는 동적 랜덤 억세스 메모리("DRAM") 집적 회로 칩일 수 있다.

[0031] 하나의 실시예에서, 단자는 회로 패널인 외부 컴포넌트에 초소형 전자 패키지를 연결하도록 구성될 수 있다.

[0032] 본 발명의 하나의 양태에 따른 초소형 전자 조립체는 반대되는 제 1 및 제 2 표면 및 이 반대되는 제 1 및 제 2 표면의 각각에 노출되는 패널 콘택을 갖는 회로 패널을 포함할 수 있다. 제 1 및 제 2 초소형 전자 패키지는 각각 제 1 및 제 2 표면에 노출되는 패널 콘택에 장착되는 단자를 가질 수 있다. 회로 패널은 제 1 초소형 전자 패키지의 적어도 일부의 단자를 제 2 초소형 전자 패키지의 적어도 일부의 대응하는 단자와 전기적으로 상호 연결할 수 있다.

[0033] 하나의 실시예에서, 제 1 및 제 2 초소형 전자 패키지의 각각은 반대되는 제 1 및 제 2 표면, 제 1 표면과 제 2 표면 사이에 연장되는 주연부, 제 1 표면과 제 2 표면 사이에 연장되는 개구를 갖는 기판을 포함할 수 있고, 개구는 이 개구의 길이 방향으로 연장되는 축선을 갖는다. 제 2 표면은 축선과 연부 사이에 배치되는 제 1 영역을 가질 수 있다.

[0034] 하나의 실시예에서, 각각의 패키지 내에 포함되는 초소형 전자 요소는 기판의 제 1 표면에 대면하는 표면 및 개구와 정렬되는 초소형 전자 요소의 표면에 노출되는 복수의 콘택을 가질 수 있고, 이 초소형 전자 요소는 메모리 저장 어레이 기능을 갖는다.

[0035] 패키지의 복수의 단자는 기판의 제 2 표면에 노출될 수 있고, 패키지의 외부의 적어도 하나의 컴포넌트에 초소형 전자 패키지를 연결하도록 구성된다. 리드는 초소형 전자 요소의 콘택과 단자 사이에 전기적으로 연결될 수 있고, 각각의 리드는 개구와 정렬되는 부분을 갖는다.

[0036] 단자는 패키지에 전송되는 어드레스 신호의 전부를 운반하도록 구성되는 기판의 제 2 표면의 제 1 영역에 노출되는 제 1 단자를 포함할 수 있다.

[0037] 하나의 실시예에서, 각각의 패키지의 초소형 전자 요소는 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합할 수 있다.

[0038] 하나의 실시예에서, 각각의 패키지의 제 1 단자는 패키지에 전송되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되고, 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 클록 신호는 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록이다.

[0039] 하나의 실시예에서, 제 1 및 제 2 초소형 전자 패키지의 단자는 각각 그리드의 대응하는 위치에 배치될 수 있고, 그리드는 제 1 및 제 2 회로 패널 표면에 평행한 x 및 y의 직각 방향으로 상호 하나의 볼 피치로 정렬된다.

[0040] 하나의 실시예에서, 그리드는 그리드의 단자가 상호 일치되도록 x 및 y의 직각 방향으로 상호 정렬될 수 있다.

[0041] 하나의 실시예에서, 각각의 그리드의 각각의 위치는 단자 중의 하나에 의해 점유될 수 있다.

[0042] 하나의 실시예에서, 각각의 그리드의 적어도 하나의 위치는 단자에 의해 점유되지 않는다.

[0043] 하나의 실시예에서, 제 1 및 제 2 패키지의 전기적 연결부의 스터브의 길이는 각각의 패키지의 제 1 단자의 최소 피치의 7 배 미만일 수 있다

[0044] 하나의 실시예에서, 제 1 및 제 2 초소형 전자 패키지의 제 1 단자들 사이의 회로 패널을 통한 전기적 연결부의 적어도 일부는 대략 회로 패널의 두께의 전기적 길이를 가질 수 있다.

[0045] 하나의 실시예에서, 그리드 내의 제 1 단자의 신호 할당은 제 1 및 제 2 패키지의 각각에서 동일할 수 있고, 각각의 그리드는 제 1 단자를 포함하는 제 1 및 제 2 컬럼을 가질 수 있다. 제 1 패키지 상의 단자의 제 1 컬럼의 단자는 제 2 패키지의 단자의 제 2 컬럼의 단자와 x 및 y의 직각 방향으로 하나의 볼 피치 내에서 정렬될 수 있고, 제 1 패키지 상의 단자의 제 2 컬럼의 단자는 제 2 패키지의 단자의 제 1 컬럼의 단자와 x 및 y의 직각 방향으로 하나의 볼 피치 내에서 정렬될 수 있다.

[0046] 하나의 실시예에서, 회로 패널의 제 1 및 제 2 표면에 노출되는 한 쌍의 전기적으로 결합되는 제 1 및 제 2 패널 콘택을 연결하는 도체 요소의 총 결합된 길이는 패널 콘택의 최소 피치의 7 배 미만일 수 있다.

[0047] 하나의 실시예에서, 각각의 초소형 전자 패키지의 제 1 단자는 단자의 단일 컬럼의 위치에 배치될 수 있다. 이

와 같은 실시예에서, 회로 패널은 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두의 글로벌 라우팅을 위한 불과 1 개의 라우팅 층을 포함할 수 있다.

[0048] 하나의 실시예에서, 각각의 초소형 전자 패키지의 제 1 단자는 2 개의 평행 컬럼의 위치에 배치되고, 회로 패널은 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 글로벌 라우팅하기 위해 2 개 이하의 라우팅 층을 포함한다.

[0049] 하나의 실시예에서, 회로 패널은 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두의 글로벌 라우팅을 위한 불과 1 개의 라우팅 층을 가질 수 있다.

[0050] 본 발명의 하나의 양태에 따른 모듈은 회로 패널 및 하나 이상의 초소형 전자 패키지를 포함할 수 있고, 하나 이상의 초소형 전자 패키지는 각각의 초소형 전자 패키지를 출입하도록 신호의 이송을 위해 각각의 초소형 전자 패키지의 단자를 통해 회로 패널에 연결된다. 각각의 초소형 전자 패키지는 반대되는 제 1 및 제 2 표면, 제 1 표면과 제 2 표면 사이에 연장되는 주연부, 및 제 1 표면과 제 2 표면 사이에 연장되는 개구를 갖는 기판을 포함할 수 있다. 개구는 개구의 길이 방향으로 연장되는 축선을 가질 수 있고, 제 2 표면은 축선과 연부 사이에 배치되는 제 1 영역을 갖는다.

[0051] 각각의 이와 같은 패키지는 기판의 제 1 표면에 대면하는 표면 및 개구와 정렬되는 초소형 전자 요소의 표면에 노출되는 복수의 콘택을 갖는 초소형 전자 요소를 포함할 수 있다. 초소형 전자 요소는 메모리 저장 어레이 기능을 가질 수 있고, 하나의 실시예에서, 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합할 수 있다.

[0052] 패키지의 복수의 단자는 기판의 제 2 표면에 노출될 수 있고, 패키지의 외부의 적어도 하나의 컴포넌트에 초소형 전자 패키지를 연결하도록 구성될 수 있다. 리드는 초소형 전자 요소의 콘택과 단자 사이에 전기적으로 연결될 수 있고, 각각의 리드는 개구와 정렬되는 부분을 갖는다. 단자는 패키지에 전송되는 어드레스 신호의 전부를 운반하도록 구성될 수 있는 기판의 제 2 표면의 제 1 영역에 노출되는 제 1 단자를 포함할 수 있다. 하나의 실시예에서, 제 1 단자는 패키지에 전송되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되고, 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 클록 신호는 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록이다.

[0053] 하나의 실시예에서, 시스템은 위에서 설명한 바와 같은 모듈 및 이것과 전기적으로 연결되는 다른 전자 컴포넌트를 포함할 수 있다. 시스템은 하우징을 더 포함할 수 있고, 이와 같은 모듈 및 다른 전자 컴포넌트는 하우징과 함께 조립된다.

[0054] 본 발명의 특정 실시형태에 따른 초소형 전자 조립체는 반대되는 제 1 및 제 2 표면 및 이 반대되는 제 1 및 제 2 표면의 각각에 노출되는 패널 콘택을 갖는 회로 패널을 포함할 수 있다. 제 1 및 제 2 초소형 전자 패키지는 제 1 및 제 2 표면에 각각 노출되는 패널 콘택에 장착되는 단자를 가질 수 있다. 회로 패널은 제 1 초소형 전자 패키지의 적어도 일부의 단자를 제 2 초소형 전자 패키지의 적어도 일부의 대응하는 단자와 전기적으로 상호연결할 수 있다.

[0055] 제 1 및 제 2 초소형 전자 패키지의 각각은 반대되는 제 1 및 제 2 표면, 제 1 표면과 제 2 표면 사이에 연장되는 주연부, 제 1 표면과 제 2 표면 사이에 연장되는 개구를 갖는 기판을 포함할 수 있고, 개구는 이 개구의 길이 방향으로 연장되는 축선을 갖는다. 축선 및 주연부는 평행할 수 있다. 제 2 표면은 축선과 주연부 사이에 배치되는 제 1 영역을 가질 수 있다.

[0056] 기판의 제 1 표면에 대면하는 표면 및 개구와 정렬되는 초소형 전자 요소의 표면에 노출되는 복수의 콘택을 갖는 초소형 전자 요소는 개구와 정렬될 수 있다. 하나의 실시예에서, 초소형 전자 요소는 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합할 수 있다.

[0057] 복수의 단자는 기판의 제 2 표면에 노출될 수 있고, 패키지의 외부의 적어도 하나의 컴포넌트에 초소형 전자 패키지를 연결하도록 구성된다. 리드는 초소형 전자 요소의 콘택과 단자 사이에 전기적으로 연결될 수 있고, 각각의 리드는 개구와 정렬되는 부분을 갖는다. 단자는 패키지에 전송되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성되는 기판의 제 2 표면의 제 1 영역 내에 노출되는 제 1 단자를 포함할 수 있고, 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 클록 신호는 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록이다.

[0058] 각각의 그리드의 각각의 위치는 단자 중의 하나에 의해 점유될 수 있고, 제 1 및 제 2 초소형 전자 패키지의 제

1 단자들 사이의 회로 패널을 통한 전기적 연결부의 적어도 일부는 대략 회로 패널의 두께의 전기적 길이를 갖는다. 그리드 내의 제 1 단자의 신호 할당은 제 1 및 제 2 패키지의 각각에서 동일할 수 있고, 각각의 그리드는 단자의 제 1 및 제 2 컬럼을 가질 수 있다. 제 1 단자는 제 1 및 제 2 컬럼의 위치에만 배치될 수 있고, 제 1 패키지 상의 단자의 제 1 컬럼의 단자는 제 2 패키지의 단자의 제 2 컬럼의 단자와 x 및 y의 직각 방향으로 하나의 볼 피치 내에서 정렬될 수 있고, 제 1 패키지 상의 단자의 제 2 컬럼의 단자는 제 2 패키지의 단자의 제 1 컬럼의 단자와 x 및 y의 직각 방향으로 하나의 볼 피치 내에서 정렬될 수 있다. 회로 패널의 제 1 및 제 2 표면에 노출되는 한 쌍의 전기적으로 결합되는 제 1 및 제 2 패널 콘택을 연결하는 도체 요소의 총 결합된 길이는 패널 콘택의 최소 피치의 7 배 미만일 수 있다. 특정 실시예에서, 회로 패널은 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두의 글로벌 라우팅을 위한 2 개 이하의 라우팅 층을 포함할 수 있다.

도면의 간단한 설명

[0059] 도 1은 DRAM 칩을 포함하는 종래의 초소형 전자 패키지를 도시하는 단면도이다.

도 2는 초소형 전자 조립체, 예를 들면, 회로 패널 및 회로 패널의 대향하는 제 1 및 제 2 표면에 상호 대향측에 장착되는 복수의 초소형 전자 패키지를 포함하는 DIMM 모듈을 도시하는 개략도이다.

도 3은 도 2에 도시된 바와 같은 조립체 내의 제 1 초소형 전자 패키지와 제 2 초소형 전자 패키지 사이의 전기적 상호연결부 및 회로 패널을 추가로 도시하는 단면도이다.

도 4는 도 2에 도시된 바와 같은 조립체 내의 제 1 초소형 전자 패키지와 제 2 초소형 전자 패키지 사이의 전기적 상호연결부를 추가로 도시하는 개략 평면도이다.

도 5는 본 발명의 실시형태에 따른 초소형 전자 패키지 내의 단자의 배열 및 신호 할당을 도시하는 개략 평면도이다.

도 6은 도 5에 도시된 실시형태에 따른 초소형 전자 패키지 상의 단자의 배열을 추가로 도시하는 평면도이다.

도 7은 도 6에 도시된 평면도에 대응하는 초소형 전자 패키지의 단면도이다.

도 8은 도 7에 도시된 것의 변형례에 따른 초소형 전자 패키지 내의 전기적으로 상호연결하는 리드를 도시하는 삽입도이다.

도 9는 도 5, 도 6 및 도 7에 도시된 실시형태의 변형례 내의 초소형 전자 요소 상의 콘택의 가능한 위치 및 유형을 도시하는 평면도이다.

도 10은 회로 패널 및 이것과 전기적으로 상호연결된 도 5-9에 도시된 바와 같은 복수의 초소형 전자 패키지를 포함하는 하나의 실시형태에 따른 초소형 전자 조립체를 도시하는 단면도이다.

도 11은 도 5 내지 도 9에 도시된 실시형태의 변형례에 따른 초소형 전자 패키지를 도시하는 평면도이다.

도 12는 도 11에 도시된 평면도에 대응하는 초소형 전자 패키지의 단면도이다.

도 13은 회로 패널 및 이것과 전기적으로 상호연결되는 도 11-12에 도시된 바와 같은 복수의 초소형 전자 패키지를 포함하는 초소형 전자 조립체를 도시하는 단면도이다.

도 14는 예를 들면 각각의 패키지 상에서 상호 경면 대칭일 수 있는 상이한 신호 할당을 구비하는 제 1 단자의 컬럼을 가지는 제 1 및 제 2 초소형 전자 패키지를 도시하는 단면도이다.

도 15는 회로 패널 및 이 회로 패널의 대향 표면 상의 상호 대향 장착되는 제 1 및 제 2 상이한 초소형 전자 패키지를 포함하는 초소형 전자 조립체를 도시하는 단면도이다.

도 16은 도 5 내지 도 9에 도시된 실시형태의 다른 변형례에 따른 초소형 전자 패키지를 도시하는 평면도이다.

도 17은 회로 패널 및 이것과 전기적으로 상호연결되는 도 16에 도시된 바와 같은 복수의 초소형 전자 패키지를 포함하는 초소형 전자 조립체를 도시하는 단면도이다.

도 18은 본 발명의 실시형태에 따른 시스템을 도시하는 개략 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0060] 도 1에 대해 설명된 종래의 초소형 전자 패키지(2)를 고려하여, 메모리 저장 어레이 칩을 장착하는 패키지 및 이와 같은 패키지를 장착하는 조립체의 전기적 성능을 향상시키는데 도움이 될 수 있는 가능한 개량을 인식하였다.

[0061] 특히 도 2-4에 도시된 바와 같은 조립체에 제공되는 초소형 전자 패키지의 사용을 위해, 패키지(12A)는 회로 패널의 표면에 장착되고, 다른 유사한 패키지(12B)는 회로 패널의 반대측의 대향 표면 상에 장착되는 개량이 이루어질 수 있다. 전형적으로 패키지(12A, 12B)는 기능적 및 기계적으로 상호 균등하다. 전형적으로 기능적 및 기계적으로 균등한 패키지의 다른 쌍(12C 및 12D; 12E 및 12F)도 동일한 회로 패널(34)에 장착된다. 회로 패널 및 이것에 조립되는 패키지는 통상적으로 듀얼 인라인 메모리 모듈("DIMM")이라고 불리는 조립체의 일부를 형성할 수 있다. 각각의 대향 장착되는 패키지의 쌍, 예를 들면, 패키지(12A, 12B) 내의 패키지는, 각각의 쌍 내의 패키지가 그 각각의 영역의 전형적으로 90 %를 초과하는 만큼 상호 중첩되도록, 회로 패널의 대향 표면 상의 콘택에 연결된다. 회로 패널(34) 내의 국부 배선은 단자, 예를 들면, 각각의 패키지 상의 단자(1, 5)를 회로 패널 상의 글로벌 배선에 연결한다. 글로벌 배선은 일부의 신호를 부위(I, II, III)와 같은 회로 패널(34) 상의 연결 부위에 전달하기 위해 사용되는 버스(36)의 신호 도체를 포함한다. 예를 들면, 패키지(12A, 12B)는 연결 부위(I)에 연결되는 국부 배선에 의해 버스(36)에 전기적으로 연결되고, 패키지(12C, 12D)는 연결 부위(II)에 연결된 국부 배선에 의해 버스에 전기적으로 연결되고, 패키지(12E, 12F)는 연결 부위(III)에 연결된 국부 배선에 의해 버스에 전기적으로 연결된다.

[0062] 회로 패널(34)은 십자모양 또는 "신발끈" 패턴과 유사한 외관을 갖는 국부적 상호연결 배선을 이용하여 각각의 패키지(12A, 12B)의 단자를 전기적으로 상호연결하고, 여기서 패키지(12A)의 하나의 연부(16)의 근처의 단자(1)는 회로 패널(34)을 통해 패키지(12B)의 동일한 연부(16)의 근처의 패키지(12B)의 단자(1)에 연결된다. 그러나, 회로 패널(34)에 조립되었을 때 패키지(12B)의 연부(16)는 패키지(12A)의 연부(16)로부터 멀리 떨어져 있다. 도 2-4는 패키지(12A)의 연부(22)의 근처의 단자(5)가 회로 패널(34)을 통해 패키지(12B)의 연부(22)의 근처의 동일한 패키지(12B)의 단자(5)에 연결되는 것을 더 도시한다. 조립체(38)에서, 패키지(12A)의 연부(22)는 패키지(12B)의 연부(22)로부터 멀리 떨어져 있다.

[0063] 각각의 패키지, 예를 들면, 패키지(12A) 상의 단자와 이것의 대향측에 장착되는 패키지, 즉 패키지(12B) 상의 대응하는 단자 사이의 회로 패널을 통한 연결은 상당히 길다. 도 3에 또한 도시된 바와 같이, 유사한 초소형 전자 패키지(12A, 12B)의 이와 같은 조립체에서, 회로 패널(34)은, 버스로부터의 동일한 신호가 각각의 패키지에 전송되어야 하는 경우에, 버스(36)의 신호 도체를 패키지(12A)의 단자(1) 및 대응하는 패키지(12B)의 단자(1)와 전기적으로 상호연결할 수 있다. 유사하게, 회로 패널(34)은 다른 버스(36)의 신호 도체를 패키지(12A)의 단자(2) 및 대응하는 패키지(12B)의 단자(2)와 전기적으로 상호연결할 수 있다. 동일한 연결 배열이 또한 버스의 다른 신호 도체 및 각각의 패키지의 대응하는 단자에 적용될 수 있다. 회로 패널(34)의 버스(36)와 각각의 패키지의 쌍, 예를 들면, 보드의 연결 부위(I)에서 패키지(12A, 12B)(도 2)사이의 국부 배선은 미종단 스터브(unterminated stub)의 형태일 수 있다. 비교적 긴 이와 같은 국부 배선은, 경우에 따라, 이하에서 설명하는 바와 같이 조립체(38)의 성능에 영향을 줄 수 있다. 게다가, 회로 패널(34)은 또한 다른 패키지, 즉 패키지의 쌍(12C 및 12D) 및 패키지의 쌍(12E 및 12F)의 특정 단자를 버스(36)의 글로벌 배선에 전기적으로 상호연결하기 위한 국부 배선을 필요로 하고, 이와 같은 배선은 또한 동일한 방법으로 조립체의 성능에 영향을 줄 수 있다.

[0064] 도 4는 신호 "1", "2", "3", "4", "5", "6", "7", 및 "8"을 운반하도록 할당된 각각의 쌍의 단자의 초소형 전자 패키지(12A, 12B) 사이의 상호연결을 더 도시한다. 도 4에 도시된 바와 같이, 단자의 컬럼(14, 18)이 각각의 패키지(12A, 12B)의 각각의 연부(16, 22)의 근처에 있으므로, 단자의 컬럼(14, 18)이 연장되는 방향(42)을 횡단하는 방향(40)으로 회로 패널(34)을 횡단하기 위해 필요한 배선은 상당히 길 수 있다. DRAM 칩의 길이가 각각의 측면에서 10 ㎜의 범위일 수 있으므로 2 개의 대향 장착되는 패키지(12A, 12B)의 대응하는 단자에 동일한 신호를 라우팅하기 위해 요구되는 도 2-4에 도시되는 조립체(38) 내의 회로 패널(34) 내의 국부 배선의 길이는, 경우에 따라, 5 내지 10 ㎜의 범위일 수 있고, 전형적으로 약 7 ㎜일 수 있다.

[0065] 경우에 따라, 패키지의 단자를 연결하는 회로 패널 상의 비교적 긴 미종단 배선은 조립체(38)의 전기적 성능에 심각한 영향을 주지 않을 수 있다. 그러나, 신호가 도 2에 도시된 바와 같이 회로 패널의 버스(36)로부터 회로 패널에 연결되는 다중 쌍의 패키지의 각각에 전송될 때, 버스(36)으로부터 각각의 패키지 상에 연결되는 단자까지 연장되는 스터브, 즉 국부 배선의 전기적 길이는 조립체(38)의 성능에 영향을 줄 수 있다는 것을 본 발명자들은 인식하였다. 미종단 스터브 상의 신호 반사는 각각의 패키지의 연결 단자로부터 역방향으로 버스(36) 상으로 전달될 수 있고, 따라서 버스(36)로부터 패키지로 전송되는 신호의 품질을 저하시킨다. 이 영향은 현재 제작되는 초소형 전자 요소를 포함하는 일부의 패키지의 경우에는 허용될 수 있다. 그러나, 증가된 신호 스위

칭 주파수, 낮은 전압 스윙 신호 또는 양자 모두로 작동하는 현재 또는 장래의 조립체에서 이 영향은 심각해질 수 있다고 본 발명자들은 인식하였다. 이러한 조립체의 경우, 전송된 신호의 세틀링 타임, 링깅, 지터, 또는 부호간 간섭은 허용할 수 없는 정도까지 증가할 수 있다.

[0066] 본 발명자들은 통상적으로 미종단 스터브의 전기적 길이는 회로 패널 상의 버스(36)를 이것에 장착되는 패키지의 단자와 연결하는 국부 배선보다 길다는 것을 또한 인식하였다. 패키지 단자로부터 그 내부의 반도체 칩까지의 각각의 패키지 내의 미종단 배선은 스터브의 길이를 증가시킨다.

[0067] 특정 실시예에서, 버스(36)는 어드레스 정보를 운반할 수 있다. 버스는 DIMM과 같은 주요한 메모리 저장 어레이 기능을 갖는 조립체의 커맨드 어드레스 버스일 수 있다. 커맨드 어드레스 버스(36)는 연결 부위, 예를 들면, 도 2에 도시된 부위(I, II, III)에 회로 패널 상의 일련의 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호 및 클록 신호를 운반한다. 다음에 이러한 커맨드 어드레스 버스 신호는 패키지(12A, 12B, 12C, 12D, 12E 및 12F)가 연결되는 회로 패널의 대향 표면 상의 각각의 일련의 패널 콘택에 국부 배선에 의해 분배될 수 있다.

[0068] 클록 신호는 어드레스 신호를 샘플링하기 위해 사용되는 클록 신호를 샘플링한다. 특정 실시예에서, 초소형 전자 요소가 DRAM 칩이거나 DRAM 칩을 포함할 때, 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호 및 컬럼 어드레스 스트로브 신호이다.

[0069] 따라서, 본 명세서에 기재된 본 발명의 특정 실시형태는 이와 같은 제 1 및 제 2 패키지가 회로 패널, 예를 들면, 회로 보드, 모듈 보드 또는 카드, 또는 가요성 회로 패널의 대향 표면 상에서 상호 대향측에 장착될 때 스터브의 길이가 감소될 수 있도록 구성되는 초소형 전자 패키지를 제공한다. 회로 패널 상의 상호 대향측에 장착되는 제 1 및 제 2 초소형 전자 패키지를 장착하는 조립체는 각각의 패키지 사이의 상당히 감소된 스터브 길이를 가질 수 있다. 이와 같은 조립체 내의 스터브 길이의 감소는, 예를 들면, 특히 세틀링 타임, 링깅, 지터, 또는 부호간 간섭 중 하나 이상을 감소시킴으로써, 전기적 성능을 향상시킬 수 있다. 게다가, 예를 들면, 회로 패널의 구조의 단순화 또는 회로 패널의 설계 또는 제작, 또는 회로 패널의 설계 및 제작의 양자 모두의 복잡성 및 비용의 감소와 같은 다른 이익을 얻을 수도 있다.

[0070] 초소형 전자 패키지는 반대되는 제 1 및 제 2 표면, 대향 방향을 대면하는 기판의 표면을 갖는 기판을 포함한다. 주연부는 제 1 표면과 제 2 표면 사이에 연장된다. 개구, 예를 들면, 본드 윈도우는 기판의 제 1 표면과 이 제 1 표면의 대향측의 제 2 표면 사이에 연장된다. 개구는 개구의 길이의 방향으로 연장되는 축선을 갖고, 제 2 표면의 제 1 영역은 축선과 주연부 사이에 배치된다.

[0071] 초소형 전자 요소, 예를 들면, 반도체 칩은 기판의 제 1 표면에 대면하는 면을 갖고, 그 면에 노출되는 복수의 콘택을 갖고, 이들 콘택은 개구와 정렬된다. 초소형 전자 요소는 메모리 저장 어레이 기능을 가질 수 있다. 하나의 실시예에서, 초소형 전자 요소는 어떤 기능보다 메모리 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합할 수 있다. 초소형 전자 요소의 면은, 예를 들면, 접착제를 이용하여 초소형 전자 요소를 전형적으로 장착하는 기판의 제 1 표면에 대면한다.

[0072] 초소형 전자 패키지는 기판의 제 2 표면에 노출되는 단자를 갖고, 이들 단자는 초소형 전자 패키지를 패키지의 외부의 적어도 하나의 컴포넌트에 연결하도록 구성된다. 본 명세서에서 사용될 때, 전도체 요소가 구조의 표면에 "노출"되었다는 말은 전도체 요소를 구조의 외측으로부터 표면을 향해 표면에 수직한 방향으로 이동하는 이론적인 점을 갖는 콘택으로 사용할 수 있다는 것을 나타낸다. 따라서, 구조의 표면에 노출되는 단자 또는 다른 도체 요소는 이와 같은 표면으로부터 돌출될 수 있고; 이와 같은 표면과 동일면일 수 있고; 또는 이와 같은 표면에 대해 함몰될 수 있고, 구조 내의 구멍 또는 함몰부를 통해 노출될 수 있다. 리드는 단자와 초소형 전자 요소의 콘택 사이에 전기적으로 연결되고, 각각의 리드는 개구와 정렬되는 부분을 갖는다.

[0073] 단자는 기판의 제 2 표면의 제 1 영역(140)에서 노출되는 단자(104)를 포함한다. 제 1 단자는 커맨드 어드레스 버스 신호의 그룹의 전부를 운반하도록 구성된다. 제 1 단자에 의해 운반되는 신호는 어드레스 정보를 운반하는 신호를 포함한다. 하나의 실시예에서, 초소형 전자 요소가 DRAM 칩을 포함하거나 DRAM 칩일 때, 제 1 단자는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호 및 클록 신호의 그룹의 전부를 운반하도록 구성될 수 있고, 커맨드 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이고, 클록 신호는 어드레스 신호를 샘플링하기 위해 사용되는 샘플링 클록이다. 클록 신호는 다양한 유형일 수 있으나, 하나의 실시형태에서, 제 1 단자에 의해 운반되는 클록 신호는 차동(differential) 클록 신호 또는 진(true) 클록 신호 및 보수(complement) 클록 신호로서 수신되는 하나 이상의 쌍의 차동 클록 신호일 수 있다.

[0074] 이사에서 더 설명되는 바와 같이, 제 1 단자에 의해 운반되는 이들 신호는 인쇄 회로 보드 또는 모듈 카드와 같

은 회로 패널 상에서, 특히, 회로 패널의 대향 표면에 장착되는 제 1 및 제 2 초소형 전자 패키지에 평행한 다중 초소형 전자 패키지에 버싱(busing)되는 커맨드 어드레스 버스 신호일 수 있다. 본 명세서에서 특정 실시형태의 경우, 본드 윈도우(112)의 기판의 축선(114)과 이 축선에 평행한 주연부(150) 사이에서 커맨드 어드레스 버스 신호를 운반하는 제 1 단자를 설치함으로써, 회로 패널의 대향 표면 상에 이와 같은 제 1 및 제 2 초소형 전자 패키지를 장착하는 회로 패널 상에 커맨드 어드레스 버스 신호 도체에 부착되는 초소형 전자 패키지 내의 스터브의 길이를 감소시킬 수 있다. 제 1 패키지 상의 제 1 단자의 그리드가 제 2 패키지의 제 1 단자의 그리드와 회로 패널의 제 1 표면을 따라 x 및 y의 직각 방향으로 하나의 볼 피치 내에서 정렬되도록, 회로 패널 상의 이들 스터브는, 제 1 및 제 2 패키지가 회로 패널의 제 1 및 제 2 대향 표면 상에 장착되었을 때, 비교적 짧은 길이로 감소될 수 있다. 회로 패널의 스터브 길이는 각각의 패키지 상의 제 1 단자의 컬럼의 수가 감소될 때 더욱 감소될 수 있다. 따라서, 제 1 및 제 2 패키지의 각각의 제 1 단자가 단일 컬럼 내에 배치될 때, 각각의 패키지의 대응하는 제 1 단자들 사이의 회로 패널 내의 연결부는 회로 패널의 두께와 대략 동일한 길이를 가질 수 있다. 그러면, 회로 패널 상의 커맨드 어드레스 버스의 신호 도체와 제 1 및 제 2 패키지의 제 1 단자 사이의 스터브 길이는 비교적 짧고, 예를 들면, 스터브는 회로 패널의 두께 미만의 길이를 가질 수 있다. 회로 패널 상의 커맨드 어드레스 버스의 신호 도체를 이것에 전기적으로 연결된 패키지 상의 제 1 단자와 연결하는 스터브 길이를 감소시키면 이와 같은 조립체의 전기적 성능이 향상될 수 있다. 따라서, 스터브 길이의 감소는 특히 세틀링 타임, 링깅, 지터, 및 부호간 간섭 중 하나 이상을 감소시키는 데 도움이 될 수 있다.

[0075] 초소형 전자 패키지는 위에서 설명한 제 1 단자 이외에 제 2 단자(106)를 가질 수 있다. 하나의 실시예에서, 제 2 단자는 제 1 단자가 또한 배치되어 있는 제 1 영역(140) 내에 배치될 수 있다. 대안적으로, 제 2 단자의 일부 또는 전부는 기판의 축선(114)과 기판의 제 1 주연부(150)의 대향측의 제 2 주연부(152) 사이의 제 2 표면의 제 2 영역(142) 내에 배치될 수 있다. 하나의 실시예에서, 제 2 단자는 초소형 전자 요소에 출입하는 일방향 또는 양방향 데이터 신호 및 데이터 스트로브 신호 뿐만 아니라 데이터 마스크 및 터미네이션 저항기의 평행 터미네이션을 턴온 또는 턴오프하기 위해 사용되는 ODT 즉 "온 다이 터미네이션" 신호를 운반하기 위해 사용되는 단자를 포함할 수 있다. 칩 선택, 리셋, 전원 전압(예를 들면, Vdd, Vddq) 또는 접지(예를 들면, Vss and Vssq)와 같은 신호 또는 기준 전위는 제 1 영역(140) 또는 제 2 영역(142) 내의 단자에 의해 운반될 수 있고; 이들 특정 신호 또는 기준 전위는 제 1 영역 내의 단자에 의해 운반되면 안 된다. 이하의 설명에서, 패키지 내에 존재하는 전원 또는 접지와 같은 기준 전위를 운반하도록 구성되는 패키지의 단자는 설명의 명확화 및 용이화를 위해 도면 및 설명에서 생략될 수 있다.

[0076] 따라서, 본 발명의 실시형태에 따른 초소형 전자 패키지(100)는 도 5, 6 및 7에 도시되어 있다. 초소형 전자 패키지는 유전체 요소를 포함할 수 있는 기판(102)을 포함한다. 경우에 따라, 유전체 요소는, 본질적으로 폴리머 재료, 예를 들면, 특히 레진이나 폴리이미드로 이루어지는 시트형일 수 있다. 대안적으로, 기판은, 예를 들면, BT 레진 또는 FR-4 구조의 유리 강화된 에폭시와 같은 복합 구조를 가지는 유전체 요소를 포함할 수 있다. 하나의 실시예에서, 본질적으로 유전체 요소는 기판의 평면 내에서 30 ppm/℃ 미만인 열팽창계수("CTE")를 갖는 재료로 이루어질 수 있다. 다른 실시예에서, 기판은 다른 단자 및 다른 도전성 구조물이 배치되는 12 ppm/℃ 미만의 비교적 낮은 CTE를 갖는 재료의 지지 요소를 포함할 수 있다. 예를 들면, 본질적으로 이와 같은 낮은 CTE 요소는 유리, 세라믹 또는 반도체 재료 또는 액정 폴리머 재료, 또는 이와 같은 재료의 조합으로 이루어질 수 있다.

[0077] 기판은 반대되는 제 1 및 제 2 표면(108 및 110), 및 개구(112), 예를 들면, 제 1 표면과 제 2 표면 사이에 연장되는 본드 윈도우를 갖는다. 개구는 가장 긴 치수(116), 즉 개구의 길이 방향으로 연장되고, 제 2 표면에 평행하고 길이를 횡단하는 방향으로 개구의 폭에 대해 중심에 위치되는 축선(114)을 가질 수 있다. 축선은 초소형 전자 요소의 콘택(132)의 하나 이상의 컬럼(134)에 대해 중심에 위치될 수 있고, 하나 이상의 컬럼(134)은 개구와 정렬되고, 패키징 공정 중에 초소형 전자 요소가 이 개구를 통해 노출 및 접근될 수 있다. 이것의 대안으로써 또는 추가적으로, 축선(114)은 가장 긴 치수(118)의 방향, 즉 초소형 전자 요소(130)의 콘택(132)의 컬럼(134)의 길이 방향으로 연장될 수 있다.

[0078] 초소형 전자 요소는 메모리 저장 어레이 기능을 가질 수 있다. 하나의 실시예에서, 초소형 전자 요소(130)는 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합할 수 있다. 예를 들면, 초소형 전자 요소는 동적 랜덤 억세스 메모리("DRAM") 저장 어레이 기능을 제공하도록 더 많은 수의 활성 디바이스를 통합하는 반도체 칩일 수 있다. 특정의 실시예에서, 초소형 전자 요소는 특수 DRAM 칩일 수 있고, 또는 DRAM 저장 어레이 및 다른 기능(예를 들면, 특히 프로세서 기능, 신호 프로세서 기능, 그래픽 프로세서 기능)을 포함하는 것일 수 있으나, 어떤 다른 기능보다 메모리 저장 어레이 기능을 제공하기 위해 더 많은

수의 활성 디바이스, 예를 들면, 트랜지스터가 있다.

[0079] 도 7에 도시된 바와 같이, 초소형 전자 요소(130)는 기판(102)의 제 1 표면(108)과 대면하는 면(136)을 갖는다. 면(136)과 제 1 표면(108) 사이를 접합하기 위해 이들 사이에 접착제(138)가 배치될 수 있다. 도 5, 6 및 7에 도시된 바와 같이, 패키지(100)는 복수의 제 1 단자(104)를 포함하고, 기판의 제 2 표면(110)에 노출되는 제 2 단자(106)를 포함할 수 있다. 단자는 도전성 패드, 포스트, 핀, 또는 패키지의 제 2 표면에 노출되는 어떤 다른 전기적으로 도전성 구조물일 수 있고, 이것은 패키지를, 예를 들면, 회로 패널과 같은 패키지의 외부의 다른 컴포넌트에 전기적 및 기계적으로 연결하는 초소형 전자 패키지의 종점(end point)이다. 단자는 그 외면에 접합 금속 또는 접합 재료를 포함하거나 포함하지 않을 수 있다. 예를 들면, 도 7에 도시된 패키지에서, 제 1 및 제 2 단자(104, 106)는 이것에 부착되는 접합 요소(154)를 포함할 수 있고, 이 접합 요소는 회로 패널의 대응하는 콘택과 단자를 전기적 및 기계적으로 접합하기 위해 적합한 도전성 접합 금속 또는 접합 재료를 포함한다. 하나의 실시예에서, 접합 요소는 땜납 볼(solder ball)일 수 있다.

[0080] 초소형 전자 요소의 콘택(132)과 단자는 리드(160)에 의해 전기적으로 연결된다. 도 7에 도시된 바와 같이, 리드는 개구(112)와 정렬되는 부분을 포함할 수 있다. 하나의 실시예에서, 초소형 전자 요소의 콘택(132)에 리드를 연결하기 위해, 개구를 통해 노출되는 그리고 접근 가능한 콘택(132)에 리드, 예를 들면, 와이어 본드 또는 빔 리드를 접합하기 위해 개구(112) 내에 공구가 삽입될 수 있다. 예를 들면, 리드(160)는 도 7에 도시된 바와 같이 와이어 본드일 수 있고, 이 와이어 본드는 개구(112)를 통해 콘택(132)으로부터 기판의 제 2 표면(110)에서의 연결점(도시되지 않음)까지 연장된다. 대안적으로, 도 8에 도시된 바와 같이, 리드는 단자에 연결되는 빔 리드(162)일 수 있고, 이 빔 리드는 기판(102)의 제 2 표면(110)에 평행하거나 노출되는 부분 및 콘택(132)에 접합되거나 부착되는, 개구를 통해 연장되는 부분을 갖는다. 다른 실시예에서, 단자(104, 106)에 연결되는 빔 리드(164)는 제 1 표면(108)에 평행하거나 제 1 표면(108)에서 노출되는 부분 및 콘택(132)에 접합 또는 부착되는 부분을 가질 수 있다.

[0081] 패키지의 제 1 단자(104)는 기판의 축선(114)과 이 축선에 평행한 제 1 주연부(150) 사이에 위치되는 기판의 제 2 표면의 제 1 영역(140) 내에 노출된다. 초소형 전자 요소가 동적 랜덤 억세스 메모리 저장 디바이스인 실시예에서, 제 1 단자는 초소형 전자 패키지로 전송되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호 및 클록 신호의 전부를 운반하도록 구성될 수 있다. 전술한 바와 같이, "커맨드 신호"는, 초소형 전자 요소가 동적 랜덤 억세스 메모리 저장 디바이스일 때, 이와 같은 초소형 전자 요소에 의해 사용되는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호이다. "클록 신호"는 어드레스 신호를 샘플링하기 위한 샘플링 클록으로서 사용되는 신호이다. 예를 들면, 도 5에 도시된 바와 같이, 제 1 단자는 클록 신호(CK 및 CKB), 로우 어드레스 스트로브(RAS), 컬럼 어드레스 스트로브(CAS) 및 기록 인에이블 신호(WE), 뿐만 아니라 어드레스 신호(A0 내지 A15), 및 뱅크 어드레스 신호(BA0, BA1 및 BA2)를 포함할 수 있다. 도 5에 구체적으로 도시되어 있지 않으나, 제 1 영역(140) 내에 배치되는 단자는 다른 신호, 예를 들면, 특히 데이터 신호, 데이터 스트로브 신호, 전력 또는 접지 전위, ODT, 또는 클록 가능 신호를 운반하기 위해 구성되는 단자를 포함할 수도 있다.

[0082] 도 6에 또한 도시된 바와 같이, 제 1 단자는 개구의 축선(114)에 평행한 방향으로 연장되는 제한된 수의 컬럼 내에 배치될 수 있다. 따라서, 하나의 실시예에서, 제 1 영역(140) 내에는 단자의 3 개 이하의 컬럼(104A, 104B, 104C)이 존재할 수 있다. 더욱이, 커맨드 어드레스 버스의 전술한 신호를 운반하도록 구성되는 제 1 단자는 제 1 영역(140) 내의 단자의 컬럼의 총수와 동일한 수의 컬럼 내에 배치될 수 있다. 대안적으로, 커맨드 어드레스 버스의 전술한 신호를 운반하도록 구성되는 제 1 단자는 제 1 영역(140) 내의 단자의 컬럼의 총수보다 적은 수의 컬럼 내에 배치될 수 있다. 예를 들면, 도 5, 6 및 7을 참조하면, 전술한 커맨드 어드레스 버스 신호의 전부는 제 1 및 제 2 평행 컬럼(104A, 104B)의 위치에 배치되는 제 1 단자에 의해 운반될 수 있고, 한편 단자의 제 3 컬럼(104C)은 전술한 커맨드 어드레스 버스 신호 이외의 적어도 일부의 신호를 운반하도록 구성될 수 있다.

[0083] 단자의 하나 또는 2 개 이상의 컬럼(104A, 104B, 104C)가 전술한 커맨드 어드레스 버스 신호만을 운반하도록 구성될 필요가 없을 수도 있다. 따라서, 전술한 커맨드 어드레스 버스 신호의 일부는 제 1, 제 2, 또는 제 3 컬럼(104A, 104B, 104C) 중의 하나 이상의 단자에 의해 운반될 수 있고, 한편 전술한 커맨드 어드레스 버스 신호 이외의 신호도 또한 제 1, 제 2 또는 제 3 컬럼(104A, 104B, 104C) 중의 하나 이상 내의 단자에 의해 운반된다.

[0084] 제 2 단자(106)는 기판의 축선(114)과 제 1 주연부에 대향하는 제 2 주연부(152) 사이에 위치되는 제 2 표면

(110)의 제 2 영역(142) 내에 노출될 수 있다. 제 2 단자는 커맨드 어드레스 버스의 전술한 신호, 예를 들면, 특히 데이터 신호, 데이터 스트로브 신호, 전력 또는 접지 전위, ODT, 또는 클록 가능 신호 이외의 신호를 운반하도록 구성될 수 있다. 제 1 단자(104), 즉 전술한 커맨드 어드레스 버스 신호의 각각을 운반하도록 구성되는 즉 할당되는 제 1 영역(140) 내의 단자가 존재하는 한, 커맨드 어드레스 버스의 전술한 신호의 일부 또는 전부는 제 2 단자(106)에 의해 운반되도록 하는 것도 가능하다.

[0085] 도 6에 또한 도시된 바와 같이, 최소 피치(154)가 기판 상의 제 1 단자의 임의의 2 개의 인접하는 평행 컬럼(104A, 104B) 사이의 최소 거리로서 존재한다. 최소 피치(156)는 축선(114)에 평행한 방향(158)으로 각각의 인접하는 컬럼을 통해 연장되는 중심선(124A, 124B) 사이의 최소 거리로서 정의된다. 최소 피치는 특정 컬럼, 예를 들면, 컬럼(104A) 내의 단자가 배치되는 방향(158)에 수직한 방향(159)에 존재한다.

[0086] 도 9에 또한 도시된 바와 같이, 초소형 전자 패키지(100) 내의 초소형 전자 요소(130A)는 대안적 구성을 가질 수 있다. 이와 같은 구성에서, 초소형 전자 요소(130A)는 콘택의 2 개 이상의 컬럼, 예를 들면, 개구(112)(도 6)와 정렬되고 그리고 전술한 방식으로 리드에 의해 단자와 전기적으로 연결될 수 있는 컬럼(134A, 134B)을 가질 수 있다. 도 9에 도시된 바와 같이, 컬럼(134B) 중의 하나는 완전히 장착되지 않을 수 있고, 따라서 콘택(132)은 컬럼(134B) 내의 하나 이상의 위치에서 결여된다. 도 9는 또한 초소형 전자 요소(130)가 개구(112)와 정렬된 단자 이외에도 전력, 접지에의 연결용으로 적합한 다른 점점 또는 예를 들면 시험용의 프로브 계기를 구비하는 콘택으로서 적합한 콘택을 가질 수 있음을 보여준다.

[0087] 도 10은 제 1, 제 2, 제 3, 및 제 4 초소형 전자 패키지(100A, 100B, 100C, 100D)의 초소형 전자 조립체(180)를 도시하고, 각각은, 상기 도 5-9를 참조하여 설명한 바와 같이, 회로 패널(254)의 대향하는 제 1 및 제 2 표면(250, 252)에서 각각 콘택(260, 262)에 장착되고 전기적으로 연결되는 초소형 전자 패키지(100)이다. 회로 패널은 특히, 듀얼 인라인 메모리 모듈("DIMM") 모듈에서 사용되는 인쇄 회로 보드, 시스템 내의 다른 컴포넌트와 연결되는 회로 보드나 패널, 또는 마더 보드와 같은 다양한 유형일 수 있다. 회로 패널은 초소형 전자 패키지(100)를 전기적으로 연결하도록 구성되는 콘택을 포함한다. 따라서, 회로 패널은 도전성 트레이스 및 바이어(270, 272에서 개략적으로 도시됨)를 통해 제 1 및 제 2 표면(250, 252)의 패널 콘택(260, 262)에 장착되는 패키지(100A, 100B)를 전기적을 연결할 수 있다. 회로 패널의 도전성 바이어 및 트레이스는 회로 패널의 글로벌 배선인 커맨드 어드레스 버스(236)의 신호 도체와 전기적으로 연결되는 국부 배선을 포함한다.

[0088] 특정 실시형태에서, 회로 패널은 12 ppm/℃ 미만의 비교적 낮은 열팽창계수("CTE")를 갖는 요소를 포함할 수 있다. 하나의 실시예에서, 낮은 CTE 요소는 본질적으로 반도체, 유리, 세라믹 또는 액정 폴리머 재료로 이루어질 수 있다.

[0089] 도 10에 도시된 실시예에서, "A" 및 "B"로 표시된 것들을 포함하는 제 1 패키지(100A)의 제 1 단자는 2 개의 컬럼(104A, 104B)(도 5, 6 및 7)을 가지는 단자의 그리드(275)의 위치에 배치된다. 이러한 그리드는 도 10에서 "C"로 표시되는 단자를 포함하는 단자의 제 3 컬럼(104C)을 포함하는 제 1 패키지 상의 단자의 더 큰 그리드(104)의 서브세트일 수 있다. 제 3 컬럼 내의 단자는 커맨드 어드레스 버스의 신호를 운반하도록 구성될 필요 없다. 유사하게, "A" 및 "B"로 표시된 것들을 포함하는 제 2 패키지(100B)의 제 1 단자는 2 개의 컬럼(104A, 104B)을 가지는 제 1 단자의 그리드(275) 내에 배치된다. 이러한 그리드는 도 10에서 "C"로 표시되는 단자를 포함하는 단자의 제 3 컬럼(104C)을 포함하는 제 2 패키지(100B) 상의 단자의 더 큰 그리드(104)의 서브세트일 수 있다. 마찬가지로, 제 2 패키지(100B)의 제 3 컬럼(104C)(도 5, 6,7)의 단자는 커맨드 어드레스 버스(236)의 신호를 운반하도록 구성될 필요 없다. 하나의 실시예에서, 단자의 각각의 그리드는 완전히 장착될 수 있고, 즉 그리드의 각각의 위치를 점유하는 단자가 존재한다. 대안적으로, 각각의 그리드의 하나 이상의 위치는 단자에 의해 점유되지 않을 수 있다.

[0090] 도 10으로부터 명백한 바와 같이, 회로 패널과 함께 조립된 상태에서, 제 1 단자를 포함하는 2 개의 컬럼(104A, 104B)을 포함하는 제 1 패키지(100A)의 그리드는 회로 패널의 표면(250)에 평행한 x 및 y의 직각 방향으로 제 1 단자를 포함하는 2 개의 컬럼(104A, 104B)을 포함하는 제 2 패키지(100B)의 그리드의 하나의 볼 피치 내에서 정렬될 수 있다. 특히, "하나의 볼 피치 내"는 패키지(100) 상의 단자의 인접하는 컬럼들 사이의 최소 피치(156)(도 6) 이하의 거리를 말한다. 특정 실시예에서, 제 1 단자를 포함하는 컬럼(104A, 104B)을 포함하는 각각의 패키지(100A, 100B)의 그리드는 상호 일치될 수 있다.

[0091] 도 10으로부터 명백한 바와 같이, 제 1 패키지(100A)로 표시되는 제 1 단자 중의 하나를 제 2 패키지(100B)의 "A"로 표시되는 대응하는 제 1 단자와 연결하기 위해 요구되는 회로 패널(254) 상의 배선은 비교적 짧을 수 있다. 특히, 각각의 패키지 상의 각각의 그리드(275)가 2 개의 컬럼(104A, 104B)을 갖고, 또 그리드(275)가 전술

한 방식으로 정렬될 때, 제 1 패키지(100A)의 제 1 컬럼(104A)의 단자는 회로 패널의 제 1 표면(250)에 평행한 x 및 y의 직각 방향으로 제 2 패키지의 제 2 컬럼(104B)의 단자의 하나의 볼 피치 내에 정렬될 수 있고, 제 1 패키지(100A)의 제 2 컬럼(104B)의 단자는 회로 패널의 제 1 표면(250)에 평행한 x 및 y의 직각 방향으로 제 2 패키지(100B)의 제 1 컬럼(104A)의 단자의 하나의 볼 피치 내에 정렬될 수 있다.

[0092] 그러므로, 제 1 패키지(100A)의 제 1 단자(A)를 제 2 패키지(100B) 상의 대응하는 제 1 단자(A)와 전기적으로 연결하는 회로 패널(254) 상의 스터브의 전기적 길이는 각각의 패키지 상의 제 1 단자의 최소 피치의 7 배 미만, 예를 들면, 도 6에 도시된 바와 같이 제 1 단자의 컬럼(104A, 104B) 사이의 피치(156)의 7 배 미만일 수 있다. 바꿔 말하면, 대응하는 제 1 및 제 2 패널 콘택을 글로벌 커맨드 어드레스 버스의 대응하는 신호 도체와 전기적으로 연결하기 위한 회로 패널의 제 1 및 제 2 표면(250, 252)에 각각 노출되는 한 쌍의 전기적으로 결합되는 제 1 및 제 2 패널 콘택(260, 262)을 연결하는 도체 요소의 총 결합된 길이는 패널 콘택의 최소 피치의 7 배 미만일 수 있다. 다른 실시예에서, 제 1 패키지(100A)의 제 1 단자(A)와 제 2 패키지(100B) 상의 대응하는 제 1 단자(A) 사이의 연결부의 전기적 길이는 제 1 및 제 2 표면(250, 252) 사이의 회로 패널(254)의 두께(256)와 대략 동일할 수 있다.

[0093] 이러한 전기적 연결부의 길이의 축소는 회로 패널 및 조립체의 스터브의 길이를 감소시킬 수 있고, 이것은 조립체(180) 내의 전술한 커맨드 어드레스 버스 신호에 대한 특히 세틀링 타임, 링깅, 지터, 또는 부호간 간섭 중의 하나 이상을 감소시키는 것과 같은 전기적 성능을 향상시키는 것을 도와줄 수 있다.

[0094] 위에서 설명된 제 1 및 제 2 패키지(100A, 100B)와 커맨드 어드레스 버스(236)를 구비하는 제 1 연결 부위(I)에서의 회로 패널(254) 사이의 전기 연결부는 제 3 및 제 4 패키지(100C, 100D)와 커맨드 어드레스 버스(236)를 구비하는 제 2 연결 부위(II)에서의 회로 패널(254) 사이의 전기 연결부에도 적용될 수 있다. 그러므로, 커맨드 어드레스 버스에 각각의 패키지의 제 1 단자를 연결하는 스터브의 길이는 각각의 경우에 축소될 수 있고, 그 결과 조립체(180) 내의 전술한 커맨드 어드레스 버스 신호를 위한 특히 세틀링 타임, 링깅, 지터, 또는 부호간 간섭 중의 하나 이상을 감소시킬 수 있다.

[0095] 게다가, 예를 들면, 회로 패널의 구조의 단순화 또는 회로 패널의 설계 또는 제작의 복잡성 및 비용 감소와 같은 다른 이익을 얻을 수도 있다. 즉, 회로 패널 상의 연결부는 회로 패널 상의 커맨드 어드레스 버스에 각각의 패키지의 제 1 단자를 연결하기 위해 더 적은 배선 층을 필요로 할 수 있다.

[0096] 또한, 각각의 쌍의 초소형 전자 패키지, 즉 패키지의 제 1 쌍(100A 및 100B) 및 제 2 쌍(100C 및 100D) 등이 연결되는 연결 부위(I)과 연결 부위(II) 사이의 회로 패널의 커맨드 어드레스 버스(236)를 따라 신호를 라우팅하기 위해 요구되는 회로 패널 상의 글로벌 라우팅 배선 층의 수는 이것에 부착되는 초소형 전자 패키지가 본 발명의 원리에 따라 구성되는 경우에 감소될 수도 있다. 특히, 경우에 따라, 회로 패널을 따라 이와 같은 신호를 라우팅하기 위해 요구되는 글로벌 라우팅 층의 수는 2 개 이하까지 감소될 수 있다. 커맨드 어드레스 버스의 전술한 신호, 즉 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 전부의 글로벌 라우팅을 위해 불과 1 개의 라우팅 층이 있을 수 있다. 그러나, 회로 패널 상에, 커맨드 어드레스 버스의 전술한 신호 이외의 신호를 운반하기 위해 사용되는 더 많은 수의 글로벌 라우팅 층이 있을 수 있다.

[0097] 도 11 및 도 12는 전술한 커맨드 어드레스 버스 신호를 운반하도록 구성되는 제 1 단자가 위에서 설명한 바와 같이 2 개의 컬럼 대신 그리드(204)의 3 개의 컬럼(204A, 204B 및 204C)의 위치에 배치될 수 있는 위에서 설명한 실시형태의 변형례에 따른 초소형 전자 패키지(200)를 도시한다. 제 1 및 제 2 패키지(200A, 200B)가 회로 패널(354)의 대향 표면에 장착되고, 도 13에 도시된 바와 같이 회로 패널(354)과 전기적으로 상호연결될 때, 제 1 및 제 2 패키지(200A, 200B) 상에 각각 단자 A, B 및 C를 포함하는 제 1 단자를 포함하는 3 개의 컬럼을 포함하는 그리드는 회로 패널(354)의 제 1 표면(350)에 평행한 x 및 y의 직각 방향으로 상호 하나의 볼 피치 내에서 정렬될 수 있다. 이와 같은 배열에서, 제 1 및 제 2 패키지의 단자("B")가 상호 하나의 볼 피치 내에 존재하거나 상호 일치될 수 있으므로, 커맨드 어드레스 버스(336)의 신호 도체와 단자("B")를 포함하는 제 1 단자의 컬럼 사이의 스터브 길이는 특히 짧을 수 있다. 도 13은 패키지의 하나 이상의 추가의 쌍(예를 들면, 쌍(200C 및 200D))이 상호에 대해 그리고 제 1 및 제 2 패키지와 같은 회로 패널과 동일한 상호연결 관계를 가질 수 있다는 것을 더욱 도시한다.

[0098] 다른 실시예(도시되지 않음)에서, 커맨드 어드레스 버스의 전술한 신호를 운반하도록 구성되는 초소형 전자 패키지의 제 1 단자가 4 개 이상의 컬럼 내에 배치될 수도 있다.

[0099] 도 14는 위에서 설명한 초소형 전자 패키지(100)(도 5-9)의 변형례에서, 전술한 커맨드 어드레스 버스 신호를

운반하도록 구성되는 제 1 단자의 상이한 신호 할당을 구비하는 각각의 그리드(304A, 304B)를 갖는 패키지가 제공될 수 있음을 도시한다. 도 14에 도시된 바와 같이 특정 실시예에서, 제 2 패키지(100B)의 그리드(304B) 내의 제 1 단자의 신호 할당은 제 1 패키지(300A)의 그리드(304A) 내의 커맨드 어드레스 버스 신호를 운반하도록 구성되는 제 1 단자의 신호 할당의 경면 대칭이다. 따라서, 도 14에 도시된 바와 같이, 제 1 패키지(300A)는 제 1 신호 할당을 갖는 제 1 단자 그리드(304A)를 가질 수 있고, 여기서 단자("A")는 개구(112)에 가장 근접하고, 단자("B")는 개구에 인접하지만 가장 근접하지는 않는다. 대조적으로, 제 2 패키지(300B)는 제 1 신호 할당을 갖는 제 1 단자 그리드(304B)를 갖고, 여기서 단자("B")는 개구(112)에 가장 근접하고, 단자("A")는 개구에 인접하지만 가장 근접하지는 않는다.

[0100] 이러한 대안적 패키지 변형례(300A, 300B)는 회로 패널의 대향 표면에 장착되고, 도 15에 도시된 바와 같이 상호 그리고 회로 패널과 전기적으로 상호연결된다. 제 1 패키지(300A) 상의 제 1 단자("A")와 대응하는 제 2 패키지(300B) 상의 제 1 단자("A") 사이의 전기적 연결부(458)는 회로 패널의 제 1 표면(450)에 수평, 즉 평행하기 보다는 회로 패널의 두께(456)의 방향으로 회로 패널(454)을 통해 주로 직선상일 수 있다는 것을 알 수 있다. 게다가, 이와 같은 단자("A")와 커맨드 어드레스 버스(436)의 대응하는 신호 도체 사이의 연결부도 또한 주로 회로 패널의 두께의 방향으로 존재할 수 있다. 이것은 또한 제 1 패키지(300A) 상의 제 1 단자("B")와 이것에 전기적으로 연결된, 그리고 회로 패널 상의 커맨드 어드레스 버스(436)를 구비하는 제 2 패키지(300B) 상의 대응하는 제 1 단자("B")에도 적용된다.

[0101] 그러나, 도 15에 더욱 도시된 바와 같이, 단자("C")를 포함하는 단자의 제 3 컬럼은 1 패키지 유형(300A)과 제 2 패키지 유형(300B) 사이의 미러링(mirroring)된 신호 할당을 가질 필요가 없다. 이것은 경우에 따라, 예를 들면, 제 1 단자의 제 3 컬럼이 전술한 커맨드 어드레스 버스 신호를 운반하도록 구성된 단자를 포함하지 않는 경우에 해당된다.

[0102] 도 16에 도시된 초소형 전자 패키지(500)에서, 제 1 단자를 포함하는 단일 컬럼(504A)은 전술한 커맨드 어드레스 버스 신호의 전부를 운반하도록 구성된다. 도 16에 도시된 바와 같이, 단일 컬럼(504A)은 개구(112)의 축선(114)에 평행한 방향으로 연장될 수 있다.

[0103] 도 17은 또한 2 개의 이와 같은 패키지(500A 및 500B)의 조립체가 회로 패널(554)의 대향 표면(550, 552)에 각각 노출된 패널 콘택에 장착되고, 또 상호 회로 패널의 커맨드 어드레스 버스(536)의 도체에 의해 전기적으로 상호연결되는 것을 도시한다. 이와 같은 조립체에서, 단일 컬럼(504A)이 상호 하나의 볼 피치 내에 정렬되므로 회로 패널 상의 커맨드 어드레스 버스와 각각의 패키지(500A, 500B) 상의 제 1 단자를 포함하는 단일 컬럼(504A) 사이의 연결부(558)는 비교적 짧다. 특히, 각각의 패키지(500A, 500B) 상의 단일 컬럼(504A) 내의 제 1 단자들 사이의 정렬은 회로 패널의 제 1 표면(550)에 평행한 x 및 y의 직각 방향으로 상호 하나의 볼 피치 내에 존재할 수 있다. 도 17은 더욱 전술한 커맨드 어드레스 버스 신호의 전부를 운반하도록 구성되는 제 1 단자의 단일 컬럼(504A)을 각각 갖고, 패키지(500A, 500B)와 동일한 방식으로 커맨드 어드레스 버스(536)와 전기적으로 상호연결되는 제 3 및 제 4 초소형 전자 패키지(500C 및 500D)를 도시한다.

[0104] 전술한 임의의 실시형태에서, 하나 이상의 제 2 반도체 칩은 다음의 기술 중 하나 이상으로 구현될 수 있다: 특히, DRAM, NAND 플래시 메모리, RRAM("리지스티브 RAM" 또는 "리지스티브 랜덤 억세스 메모리"), 상변화 메모리("PCM"), 자기저항 랜덤 억세스 메모리("MRAM")(예를 들면,터널 접합 디바이스를 구현할 수 있는 것), 스핀 토크 RAM, 스태틱 RAM("SRAM") 또는 컨텐트-어드레서블 메모리.

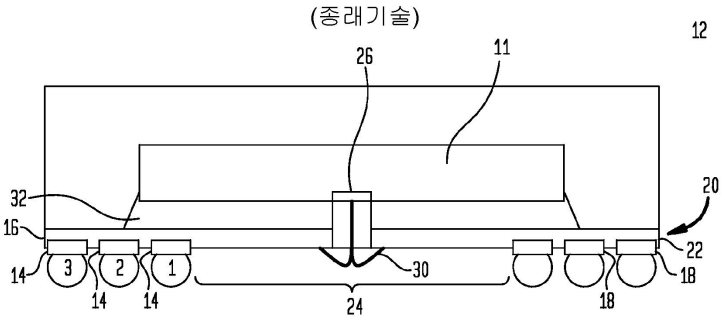
[0105] 위에서 설명된 구조는 다양한 전자 시스템의 구성에 사용될 수 있다. 예를 들면, 본 발명의 추가의 실시형태에 따른 시스템(600)은 다른 전자 컴포넌트(608 및 610)와 함께 위에서 설명된 바와 같은 초소형 전자 패키지 또는 구조(606)를 포함한다. 도시된 실시예에서, 컴포넌트(608)는 초소형 전자 패키지 또는 반도체 칩일 수 있고, 반면에 컴포넌트(610)는 디스플레이 스크린이지만 어떤 다른 컴포넌트가 사용될 수 있다. 물론, 도 18에서는 도시를 명확히 하기 위해 2 개의 추가의 컴포넌트만이 도시되어 있으나, 본 시스템은 임의의 수의 이와 같은 컴포넌트를 포함할 수 있다. 위에서 설명한 바와 같은 구조(600)는, 예를 들면, 위에서 설명한 임의의 실시형태와 관련하여 설명한 초소형 전자 패키지일 수 있다. 추가의 변형례에서, 양자 모두 제공될 수 있고, 임의의 수의 이와 같은 패키지가 사용될 수 있다. 패키지(606) 및 컴포넌트(608 및 610)는 점선으로 개략적으로 도시된 공통의 하우징(601) 내에 장착되고, 필요에 따라 원하는 회로를 형성하도록 상호 전기적으로 상호연결된다. 도시된 예시적 시스템에서, 본 시스템은 가요성 인쇄 회로 패널 또는 회로 보드와 같은 회로 패널(602)을 포함하고, 이 회로 패널은 많은 도체(604)를 포함하고, 도 18에는 상호 컴포넌트를 상호연결하는 이 도체 중 하나만이 도시되어 있다. 그러나, 이것은 단지 예시이고, 전기적 연결부를 형성하는 임의의 적절한 구조가 사용될 수 있

다. 하우징(601)은 예를 들면, 휴대 전화 또는 PDA에 사용할 수 있는 유형의 휴대형 하우징으로서 도시되어 있고, 스크린(610)은 하우징의 표면에 노출되어 있다. 구조(606)가 이미징 칩과 같은 감광성 요소를 포함하는 경우, 이 구조에 광을 라우팅하기 위한 렌즈(611) 또는 다른 광학 디바이스가 제공될 수도 있다. 마찬가지로, 도 18에 도시된 단순화된 시스템은 단지 예시적인 것이고, 위에서 설명한 구조를 이용하여 데스크톱 컴퓨터, 라우터 등과 같이 통상적으로 고정된 구조로 간주되는 시스템을 포함하는 다른 시스템이 형성될 수 있다.

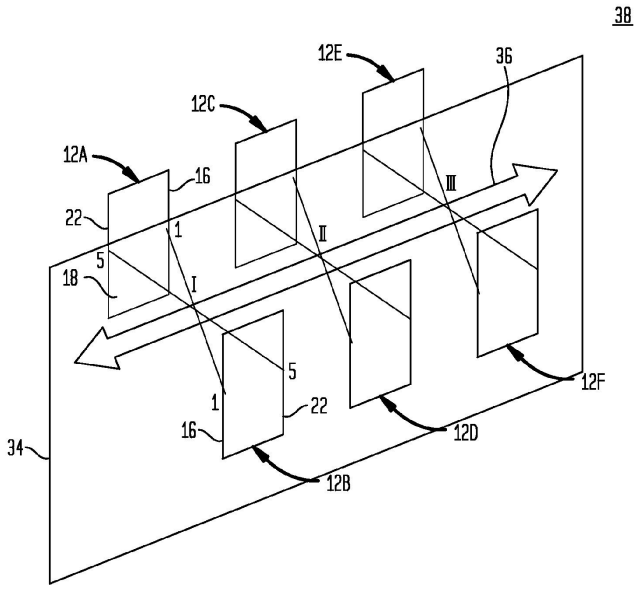
[0106] 본 발명의 전술한 실시형태의 다양한 특징은 본 발명의 범위 또는 사상으로부터 벗어나지 않는 한도 내에서 위에서 구체적으로 설명한 것과 다른 방법으로 조합될 수 있다. 본 개시는 전술한 본 발명의 이와 같은 모든 조합 및 변형례를 포함하고자 한다.

도면

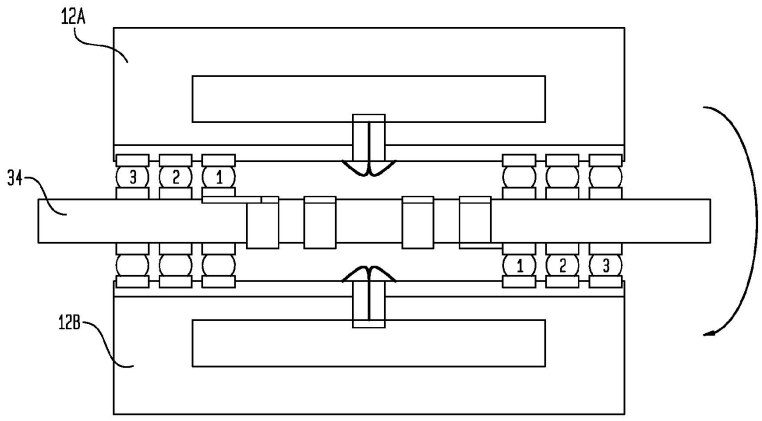
도면1



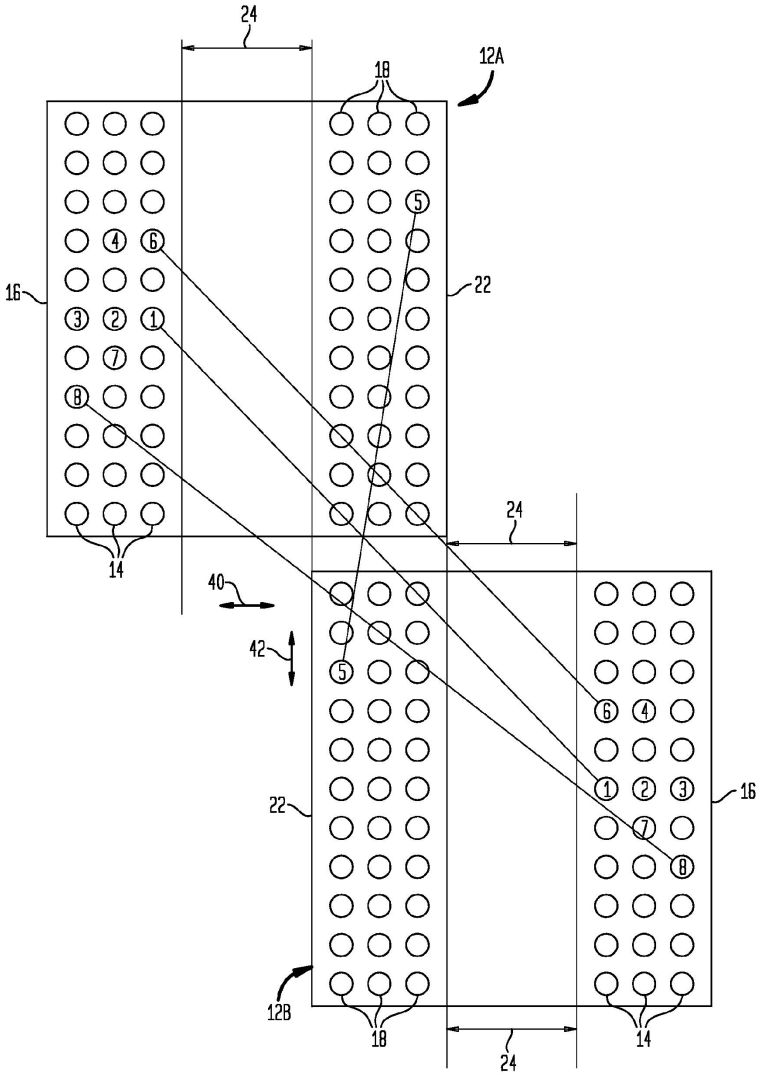
도면2



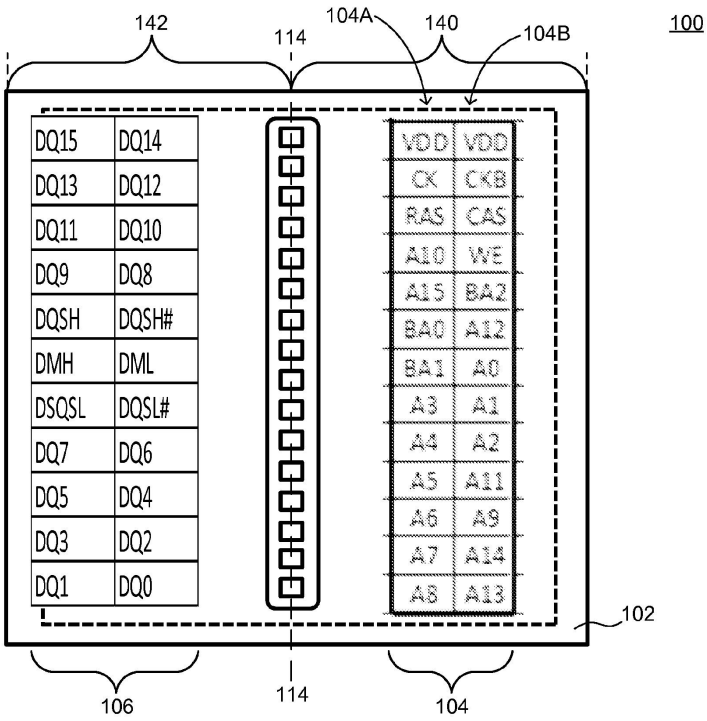
도면3


12A
34
3
2
1
1
2
3
12B

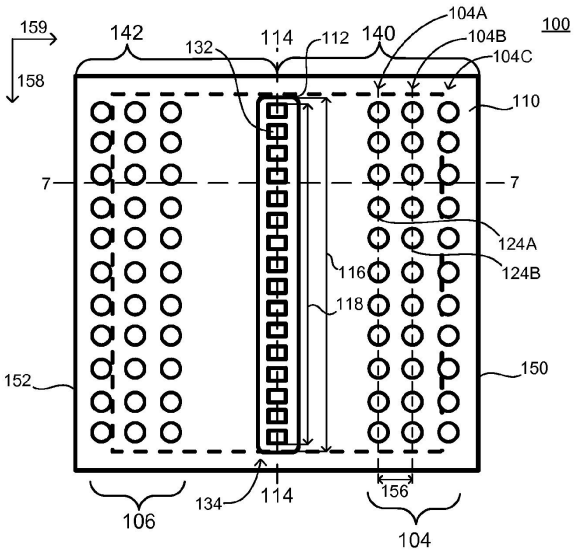
도면4


24
18
12A
16
22
5
4
6
3
2
1
7
8
24
14
40
42
5
6
4
1
2
3
7
8
16
22
12B
18
24
14

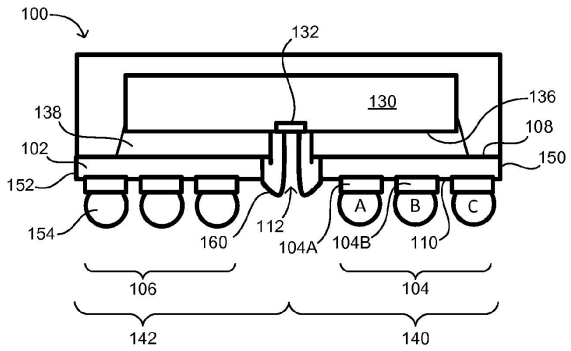
도면5


142
114
104A
140
104B
100
DQ15 DQ14
DQ13 DQ12
DQ11 DQ10
DQ9 DQ8
DQSH DQSH#
DMH DML
DSQSL DQSL#
DQ7 DQ6
DQ5 DQ4
DQ3 DQ2
DQ1 DQ0
VDD VDD
CK CKB
RAS CAS
A10 WE
A15 BA2
BA0 A12
BA1 A0
A3 A1
A4 A2
A5 A11
A6 A9
A7 A14
A8 A13
102
106
114
104

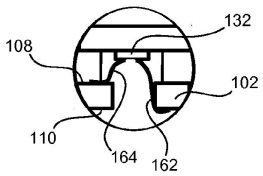
도면6


159
158
142
132
114
112
140
104A
104B
104C
100
110
7
7
124A
124B
116
118
152
150
134
114
156
106
104

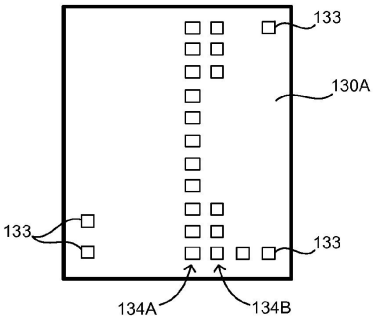
도면7



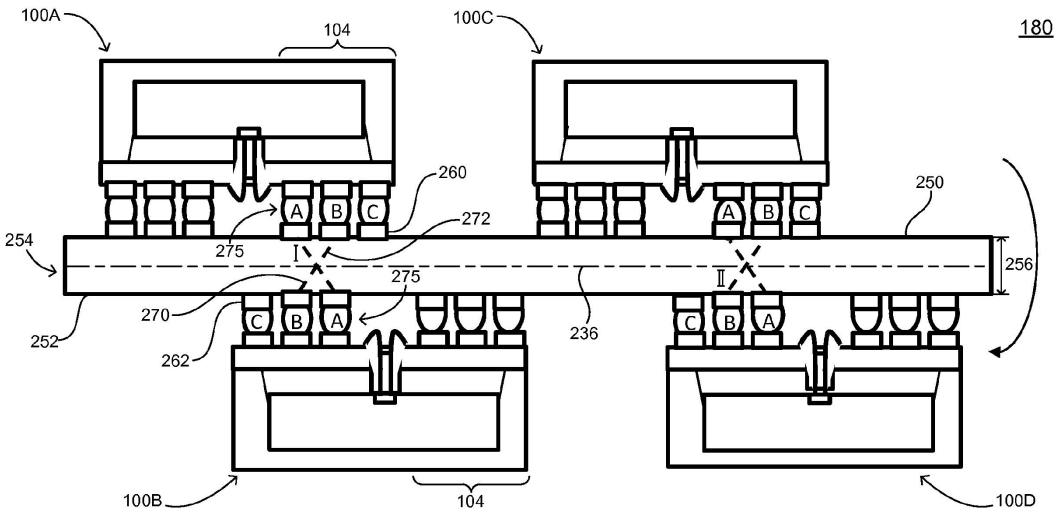
도면8



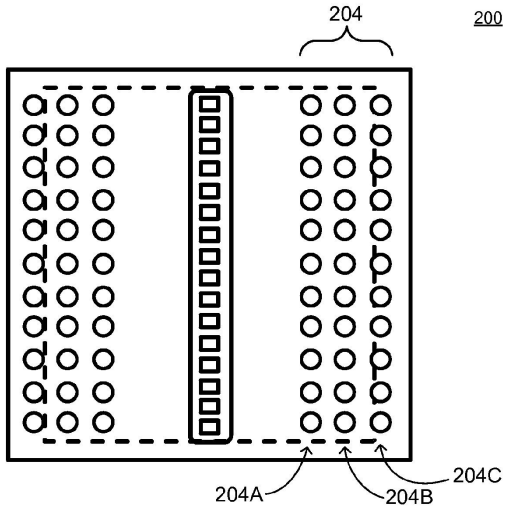
도면9



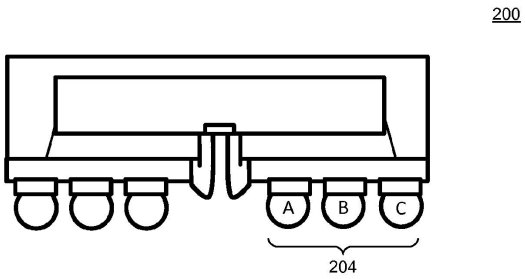
도면10



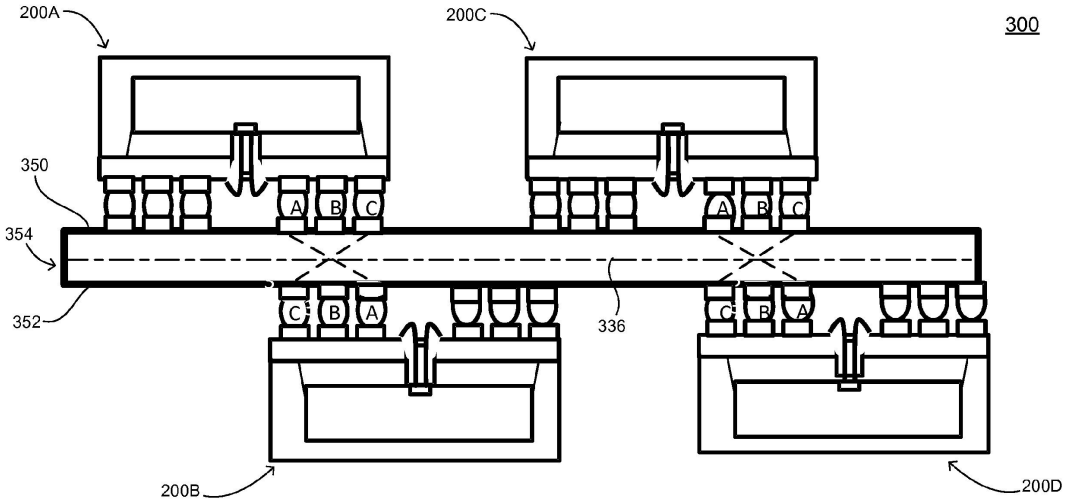
도면11



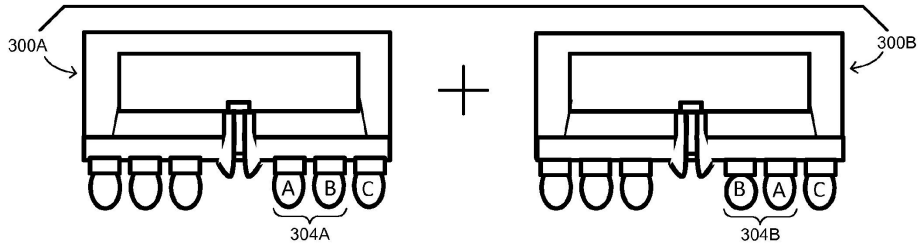
도면12



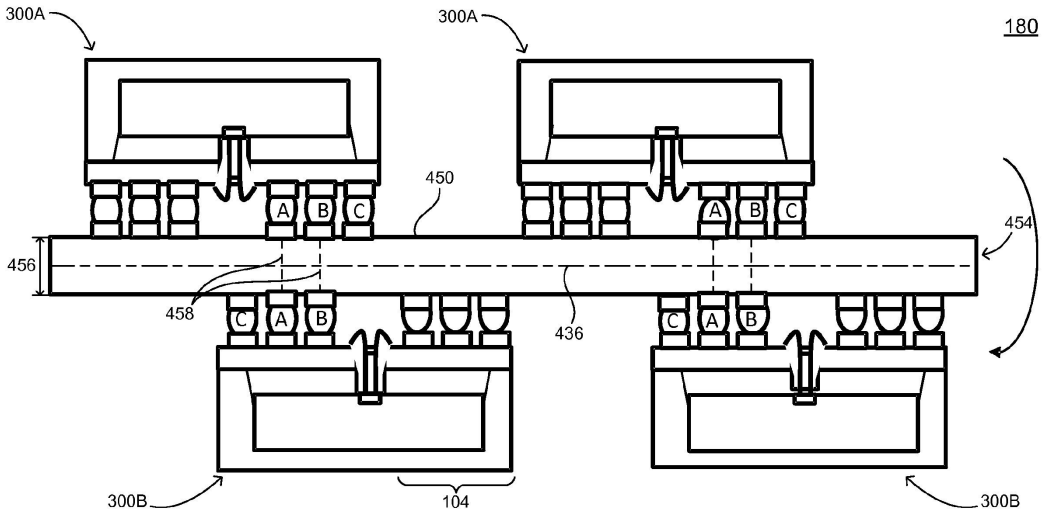
도면13



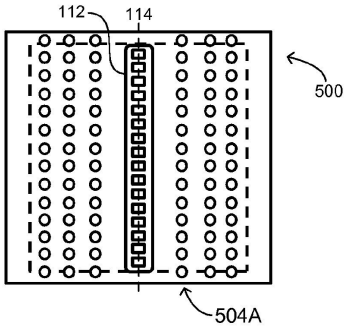
도면14



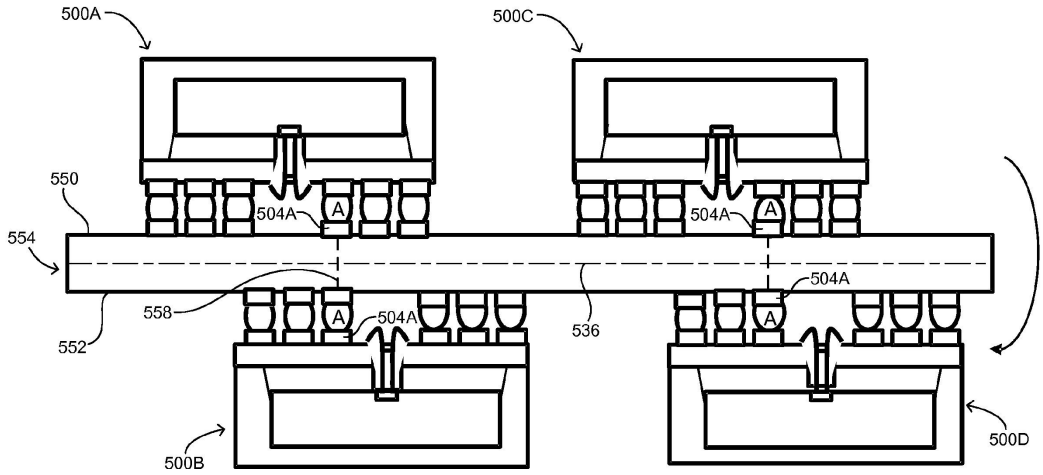
도면15



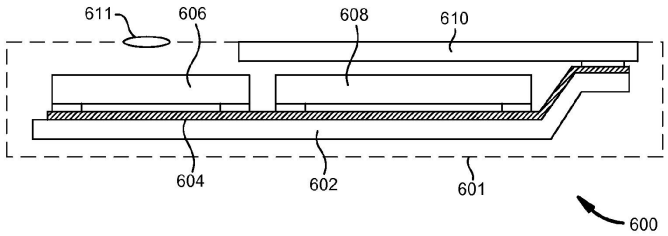
도면16



도면17


500A
500C
550
554
504A
A
504A
A
504A
558
552
A
504A
536
A
500B
500D

도면18


611
606
608
610
604
602
601
600