



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월04일

(11) 등록번호 10-1517529

(24) 등록일자 2015년04월28일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 21/28 (2006.01)

(21) 출원번호 10-2008-0121166

(22) 출원일자 2008년12월02일

심사청구일자 2013년11월29일

(65) 공개번호 10-2009-0057923

(43) 공개일자 2009년06월08일

(30) 우선권주장

JP-P-2007-312818 2007년12월03일 일본(JP)

(56) 선행기술조사문헌

JP2002258324 A

JP2007133371 A

KR1020060134939 A

US20070153145 A1

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

쿠와바라 히데아키

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 7 항

심사관 : 설관식

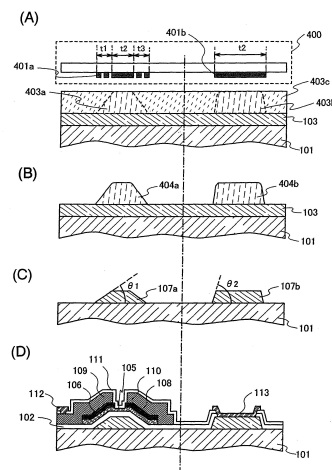
(54) 발명의 명칭 반도체 장치 및 그의 제조방법

(57) 요약

공정을 늘리지 않고, 1장의 마더 유리 기판 위에 소망의 부분에 각각 정밀하게 배선의 측면의 각도를 다르게 한 배선을 제공하는 것을 과제로 한다.

다계조 마스크를 사용함으로써 하나의 포토레지스트층을 1장의 마더 유리 기판으로부터 멀어지는 방향을 향하여 단면적이 연속적으로 감소하는 테이퍼 형상을 가지는 포토레지스트층을 형성한다. 1개의 배선을 형성할 때, 1장의 포토마스크를 사용하여 금속막을 선택적으로 에칭함으로써, 장소에 따라 측면 형상(구체적으로는 기판 주평면에 대한 각도)이 다른 하나의 배선을 얻는다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치로서,

기판 위의 제1 배선으로서, 게이트 전극의 역할을 하는 제1 영역 및 게이트 배선의 역할을 하는 제2 영역을 포함하는 상기 제1 배선;

상기 제1 영역 위에서 증착하는 반도체층;

상기 제2 영역과 접촉하는 접속 전극;

상기 반도체층 위의 소스 전극 및 드레인 전극;

상기 소스 전극 또는 상기 드레인 전극에 전기적으로 접속된 제2 배선; 및

상기 제2 배선의 일부와 증착하는 투명 도전막을 포함하고,

상기 제1 영역의 배선 폭 방향 단면의 테이퍼 각도가, 상기 제2 영역의 배선 폭 방향 단면의 테이퍼 각도보다 10° 이상 작고,

상기 제2 배선의 배선 폭 방향 단면 형상은 제1 단부와 제2 단부를 포함하고,

상기 투명 도전막은 상기 제1 단부와 접촉하고,

상기 제1 단부의 테이퍼 각도는 상기 제2 단부의 테이퍼 각도보다 작은, 반도체 장치.

청구항 2

제 1 항에 있어서, 상기 제1 영역의 상기 배선 폭 방향의 상기 단면의 상기 테이퍼 각도가 $10^\circ \sim 50^\circ$ 의 범위인, 반도체 장치.

청구항 3

제 1 항에 있어서, 상기 제2 영역의 상기 배선 폭 방향의 상기 단면의 상기 테이퍼 각도가 $60^\circ \sim 90^\circ$ 의 범위인, 반도체 장치.

청구항 4

제 1 항에 있어서, 상기 제2 영역이 상기 반도체층과 증착하지 않는, 반도체 장치.

청구항 5

제 1 항에 있어서, 상기 기판은 노광광을 투과시키는 투광성을 가지는, 반도체 장치.

청구항 6

반도체 장치로서,

기판 위의 제1 배선;

상기 제1 배선을 덮는 절연막;

상기 절연막을 사이에 두고 상기 제1 배선에 전기적으로 접속되는 제2 배선; 및

상기 제2 배선의 일부와 증착하는 투명 도전막을 포함하고,

상기 제2 배선의 배선 폭 방향 단면 형상은 제1 단부와 제2 단부를 포함하고,

상기 투명 도전막은 상기 제1 단부와 접촉하고,

상기 제1 단부의 테이퍼 각도는 상기 제2 단부의 테이퍼 각도보다 작은, 반도체 장치.

청구항 7

제 6 항에 있어서, 상기 기관은 노광광을 투과시키는 투광성을 가지는, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 박막트랜지스터(이하, TFT라고 한다)로 구성된 회로를 가지는 반도체 장치 및 그의 제조방법에 관한 것이다. 예를 들면, 액정 표시 패널로 대표되는 전기 광학장치나 유기 발광 소자를 가지는 발광 표시장치를 부품으로서 탑재한 전자기기에 관한 것이다.

[0002] 또한, 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학장치, 반도체 회로 및 전자기기는 모두 반도체 장치다.

배경 기술

[0003] 근년, 절연 표면을 가지는 기관 상에 형성된 반도체 박막(두께 수~수백 nm 정도)을 사용하여 박막트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막트랜지스터는 IC나 전기 광학장치와 같은 전자 디바이스에 널리 응용되고, 특히 영상 표시장치의 스위칭 소자로서 개발이 서두러지고 있다.

[0004] 특히, 매트릭스 형상으로 배치된 표시 화소마다 TFT로 이루어지는 스위칭 소자를 구비한 액티브 매트릭스형의 표시장치(액정 표시장치나 발광 표시장치)가 활발히 개발되고 있다.

[0005] 이 영상 표시장치의 스위칭 소자는, 고정밀한 영상 표시를 얻기 위하여, 면적 효율 좋게 배치할 수 있는 고정밀한 포토리소그래피 기술이 요구된다.

[0006] 또한, 지금까지, 1장의 마더(mother) 유리 기관으로부터 복수의 패널을 잘라내어, 대량 생산을 효율 좋게 행하는 생산 기술이 채용되어 왔다. 마더 유리 기관의 사이즈는, 1990년 초기에서의 제1 세대의 300×400 mm로부터, 2000년에는 제4 세대가 되어 680×880 mm 혹은 730×920 mm로 대형화하고, 1장의 기관으로부터 다수의 표시 패널이 취해지도록 생산 기술이 진보되어 왔다. 금후, 마더 유리 기관의 사이즈는 더욱 대형화하기 때문에, 예를 들면, 제10 세대의 3 m를 넘는 사이즈의 기관에도 대응할 필요가 있다.

[0007] 고정밀한 화상 표시를 얻는 표시장치를 얻기 위해서는, 마더 유리 기관 위에 성막된 금속 박막에 대하여 포토리소그래피 기술에 의해 얻어지는 레지스트 마스크를 사용하여 에칭에 의해 배선을 형성한다.

- [0008] 에칭 방법에는, 다양한 방법이 있지만, 크게 나누어 드라이 에칭 방법과 습식 에칭 방법을 들 수 있다. 습식 에칭 방법은 등방성 에칭이기 때문에, 레지스트 마스크로 보호된 배선층의 측면이 어느 정도 깎여져, 미세화에는 적합하지 않다고 여겨지고 있다.
- [0009] 또한, 일반적으로 알려져 있는 드라이 에칭 방법은, RIE 드라이 에칭 방법으로서, 이방성 에칭이다. 이방성 에칭이기 때문에, 미세화에는 등방성 에칭인 습식 에칭 방법과 비교하여 유리하다고 여겨지고 있다.
- [0010] 또한, ICP 에칭 장치를 사용하여 단면 형상이 테이퍼 형상을 가지는 텅스텐 배선을 문헌 1에 개시하고 있다.
- [0011] 또한, 회절 격자 패턴 혹은 반투막으로 이루어지는 광강도 저감 기능을 가지는 보조 패턴을 설치한 포토마스크 혹은 레티클을 게이트 전극 형성용 포토리소그래피 공정에 적용한 TFT 제조 공정이 문헌 2에 개시되어 있다.
- [0012] 또한, 레지스트 마스크폭 및 에칭 조건을 조절함으로써 배선의 단면 형상을 부분적으로 다르게 하는 기술이 문헌 3에 개시되어 있다.
- [0013] 또한, 반투막으로 이루어지는 광강도 저감 기능을 가지는 보조 패턴을 설치한 포토마스크를 사용하여 소스 전극 또는 드레인 전극을 형성하는 기술이 문헌 4에 개시되어 있다.
- [0014] [문헌 1] 일본국 공개특허공고 2001-35808호 공보
- [0015] [문헌 2] 일본국 공개특허공고 2002-151523호 공보
- [0016] [문헌 3] 일본국 공개특허공고 2006-13461호 공보
- [0017] [문헌 4] 일본국 공개특허공고 2007-133371호 공보

발명의 내용

해결 하고자하는 과제

- [0018] 1장의 마더 유리 기판 위에 배선을 형성하는 경우, 종래의 방법에서는, 동일한 단면 형상의 배선이 되어 버린다. 예를 들면, RIE 건식 에칭 방법을 이용하는 경우, 현상한 레지스트를 가열하여 녹이고 레지스트 형상을 변형시킨 후, 에칭을 행함으로써 레지스트 형상을 반영시켜 배선의 측면을 테이퍼 형상으로 하고 있다. 이 경우, 레지스트를 가열하는 프로세스가 증가하게 된다. 또한, 레지스트를 녹임으로써 레지스트 면적을 확대시키기 때문에, 서로 인접하는 배선의 간격을 좁게 하는 것은 곤란하다. 또한, 다층 배선을 형성하는 경우, 배선을 형성하고자 하는 영역의 하방에 배선이 있는 경우에는, 레지스트를 녹일 때에 하방의 배선도 가열되기 때문에, 레지스트 가열 온도가 불균일하게 되어 장소에 따라 레지스트가 녹아 퍼지는 비율이 변화되게 되어, 소망의 배선 형상을 얻는 것이 곤란하다.
- [0019] 또한, ICP 에칭 장치를 사용하는 경우, 코일 형상 안테나를 사용하기 때문에, 장방형인 1장의 마더 유리 기판 전면에 걸쳐 일정한 방전을 얻는 것이 곤란하다.
- [0020] 예를 들면, 투과형의 액정 표시장치의 화소부에 있어서, 게이트 배선을 테이퍼 형상으로 함으로써, 얇은 반도체 층을 그 위에 형성하는 한편, 테이퍼 형상으로 하면 배선평이 넓어지기 때문에, 개구율의 저하를 초래할 우려가 있다. 또한, 테이퍼 형상으로 하면 배선평이 넓어지기 때문에, 그 배선과 절연막을 통하여 중첩되는 다른 배선이 존재하면, 불필요한 기생 용량이 형성된다. 이 기생 용량을 감소시키기 위해, 다른 층에 배치하는 배선들끼리 중첩되지 않도록 각 층의 배선의 레이아웃을 행하면, 개구율의 저하를 초래하게 된다.
- [0021] 또한, 회절 격자 패턴 혹은 반투막으로 이루어지는 광강도 저감 기능을 가지는 보조 패턴을 설치한 포토마스크를 사용하는 경우, 선택적으로 배선의 단면 형상을 다르게 할 수 있다. 이 경우, 배선의 측면이 2단의 계단 형상의 부분과, 그렇지 않은 부분의 2종류의 단면 형상의 배선이 된다.
- [0022] 반도체 장치의 제조방법에 있어서, 공정을 늘리지 않고, 1장의 마더 유리 기판 위에 소망의 부분에 각각 정밀하게 배선의 측면의 각도를 다르게 한 배선을 제공하는 것을 과제로 한다.

과제 해결수단

- [0023] 노광광을 투과 가능한 투광성 기판과, 투광성 기판에 형성된 크롬 등으로 이루어지는 차광부와, 소정의 선평으로 차광 재료로 이루어지는 라인 및 스페이스가 반복하여 형성된 광강도 저감 기능을 가지는 반투과부를 구비한

노광 마스크를 사용한다. 라인 및 스페이스로 형성된 반투과부를 구비한 노광 마스크를 그레이톤 노광용 마스크라고 하고, 이 노광 마스크를 사용한 노광을 그레이톤 노광이라고 한다.

[0024] 그레이톤 노광용 마스크는 슬릿, 도트 등의 패턴이 적어도 하나 이상, 주기적 혹은 비주기적으로 배치된 개구 패턴을 가지고 있다. 또한, 노광 장치의 해상 한계 이하의 라인 및 스페이스로 이루어지는 마스크의 개구의 스페이스로 구성되는 광강도 저감 기능을 가지는 보조 패턴의 광강도는 10~70%의 범위에서 조정 가능하게 되어 있다.

[0025] 또한, 노광광의 광강도를 저감하는 기능을 가지는 반투과막으로 이루어지는 반투과부를 구비한 노광 마스크는 하프톤 노광용 마스크라고도 하고, 이 노광 마스크를 사용한 노광을 하프톤 노광이라고도 한다. 반투과막으로는, MoSiN 이외에, MoSi, MoSiO, MoSiON, CrSi 등을 사용할 수 있다.

[0026] 또한, 본 명세서에서, 그레이톤 노광용 마스크나, 하프톤 노광용 마스크를 총칭하여, 편의상, 다계조 마스크라고 부른다.

[0027] 다계조 마스크를 사용함으로써, 하나의 포토 레지스트층을 1장의 마더 유리 기관으로부터 멀어지는 방향을 향하여 단면적이 연속적으로 감소하는 테이퍼 형상을 가지는 포토레지스트층을 형성한다. 본 발명은, 그레이톤 노광용 마스크 또는 하프톤 노광용 마스크를 사용함으로써 1개의 포토레지스트층을 2개의 다른 막 두께로 현상하고, 포토레지스트층의 양단에 각각 하나의 단차를 형성하는 것은 아니다.

[0028] 본 발명은, 1개의 배선을 형성할 때, 1장의 포토마스크를 사용하여, 제1 영역의 부분에는 그레이톤 노광(또는 하프톤 노광)이 행해지고, 동시에 제2 영역의 부분에는 통상의 노광이 행해진다. 그 후, 현상을 행하여, 금속막을 선택적으로 에칭함으로써, 장소에 따라 측면 형상(구체적으로는 기관 주평면에 대한 각도)이 다른 1개의 배선을 얻는다. 이 방법에 의해, 의도적으로 배선의 측면 형상을 다르게 할 수 있고, 실시자에게 있어서, 소망의 배선을 얻을 수 있다.

[0029] 결과적으로 제1 영역의 배선에서의 측면의 폭(테이퍼 부분의 폭이라고도 부른다)은, 제2 영역의 배선에서의 측면의 폭보다 넓게 된다. 또한, 제1 영역은, 기관 주평면에 대한 측면의 각도가 제2 영역보다 작게 된다.

[0030] 1개의 배선에 있어서, 적어도 제1 영역의 부분과 제2 영역의 부분은, 기관 주평면에 대한 측면의 각도의 차이가 10° 보다 크게 되도록 하는 것이 바람직하다.

[0031] 예를 들면, 투과형의 액정 표시장치에서, 반도체층과 중첩되는 게이트 전극이 되는 영역을 제1 영역으로 하여 전기 특성이 뛰어난 박막트랜지스터를 형성하고, 화소 전극의 사이에 연장하는 게이트 배선이 되는 영역을 제2 전극으로 하여 테이퍼부의 폭을 좁게 함으로써, 개구율을 향상시킨다. 또한, 게이트 배선은 배선 저항을 저감시키고, 또한, 개구율을 향상시키기 위해, 테이퍼부의 폭을 좁게 하는 것이 바람직하다. 또한, 토탈 게이트 배선평은, 게이트 전극의 토탈 전극폭보다 넓게 함으로써, 배선 저항을 저감할 수 있다.

[0032] 본 명세서에서 개시하는 발명의 구성은, 기관 위에 반도체층과, 반도체층과 일부 중첩되는 배선을 가지고, 배선은, 배선측부의 폭이 넓은 영역과 배선측부의 폭이 좁은 영역을 가지고, 배선측부의 폭이 넓은 영역은, 반도체층과 적어도 일부가 중첩되고, 또한, 배선측부의 폭이 좁은 영역의 배선평 방향 단면의 측면 각도와 비교하여, 배선평 방향 단면의 측면 각도가 10° 이상 작은 것을 특징으로 하는 반도체 장치이다.

[0033] 구체적으로는, 배선측부의 폭이 넓은 영역의 배선평 방향 단면의 측면 각도는, 10° 에서 50° 의 범위로 하고, 배선측부의 폭이 좁은 영역의 배선평 방향 단면의 측면 각도는 60° 에서 90° 의 범위로 한다. 또한, 배선평 방향 단면의 측면 각도가 90° 라면 배선의 단면 형상은 직사각형 또는 정사각형이고 90° 미만이라면, 배선의 단면 형상은, 상변이 바닥면보다 짧은 사다리꼴이다.

[0034] 역스태거형의 박막트랜지스터에서는, 게이트 배선 위에 형성되는 반도체층은 약 50 nm로 얇기 때문에, 게이트 배선측부의 폭이 넓은 영역의 배선평 방향 단면의 측면 각도는, 10° 에서 50° 의 범위로 하고, 게이트 배선의 단부 또는 측면과 중첩되는 반도체층의 일부가 박막화하지 않도록 하는 것이 바람직하다.

[0035] 본 발명은, 상기 과제의 적어도 하나를 해결한다.

[0036] 또한, 게이트 배선에 한정되지 않고, 층간 절연막 위에 소스 배선이나 드레인 배선이나 접속 배선 등의 다른 배선을 형성하는 경우에도 본 발명을 사용할 수 있다.

[0037] 또한, 단면에서 배선의 단부의 양단에 같은 각도의 측면을 가지는 배선을 형성할 뿐만 아니라, 한쪽의 측면과 다른 한쪽의 측면의 기관 주평면에 대한 각도를 다르게 할 수도 있다. 이 경우, 배선의 단면 형상은, 바닥면에

접하는 2개의 내각이 다른 사다리꼴이라고 할 수 있다.

[0038] 또한, 다른 발명의 구성은, 기관 위에 제1 배선과, 제1 배선을 덮는 절연막과, 절연막을 통하여 제1 배선과 전기적으로 접속하는 제2 배선을 가지고, 제2 배선의 단면 형상에 있어서의 2개의 단부 중, 한쪽의 측면과 다른 한쪽의 측면과의 기관 주평면에 대한 각도가 다른 반도체 장치이다.

[0039] 또한, 상기 구성에 더하여, 제2 배선과 일부 중첩되는 투명 도전막을 가지고, 투명 도전막은, 제2 배선의 단면 형상에서의 2개의 단부 중, 기관 주평면에 대한 각도가 작은 한쪽의 측면과 접한다. 이와 같은 구성으로 함으로써, 제2 배선의 한쪽의 측면과 중첩되는 투명 도전막과의 전기적인 접속을 확실하게 행하고, 투명 도전막의 단선을 저감한다.

[0040] 또한, 다른 발명의 구성은, 그레이톤 노광용 마스크 또는 하프톤 노광용 마스크를 사용함으로써 1개의 포토레지스트층을 3개 이상의 다른 막 두께로 현상하고, 포토레지스트층의 양단에 각각 2개 이상의 단차를 형성한다. 이 포토레지스트층을 마스크로 하여 도전층을 에칭하면, 얻어지는 배선의 단면 형상은, 한쪽의 측면에 단차를 2개 이상 가지는 계단 형상이 된다. 물론, 이 단면 형상을 가지는 배선은, 선택적으로 형성할 수 있기 때문에, 동일 절연막 표면 위에 제1 배선과, 제1 배선과 단면 형상이 다른 제2 배선을 가지고, 제1 배선의 단면 형상은 직사각형 또는 사다리꼴이고, 제2 배선의 단면 형상은 한쪽의 측면에 단차를 2개 이상 가지는 계단 형상이고, 제1 배선과 제2 배선은, 같은 재료인 반도체 장치로 할 수 있다. 배선의 단면 형상을 테이퍼 형상으로 하는 경우, 테이퍼의 단부의 위치가 에칭 시간에 의해 좌우되고, 특히 테이퍼각을 60° 미만으로 하면 토탈 배선편에 편차가 생길 우려나, 측면이 만곡한 곡면이 되어 바닥으로 퍼지는 형상이 되어, 단면적이 감소하고 배선 저항이 증대될 우려가 있지만, 계단 형상으로 함으로써, 에칭 시간이 다소 달라도 일정한 배선편을 얻을 수 있다. 즉, 제2 배선의 단면 형상을 계단 형상의 배선층으로 함으로써 에칭 조건의 마진을 충분히 받을 수 있다. 또한, 제2 배선의 단면 형상에서 2개의 단차를 가지는 단부로 함으로써, 테이퍼각 50° 미만의 테이퍼 형상을 가지는 배선과 동일한 정도의 단차 피복성을 확보할 수 있다.

[0041] 또한, 하나의 배선에서, 제1 영역의 단면 형상을 직사각형 또는 사다리꼴로 하고, 제2 영역의 단면 형상을 한쪽의 측면에 단차를 2개 이상 가지는 계단 형상으로 할 수도 있다.

[0042] 또한, 상기 구조를 실현하기 위한 제작방법에 관한 발명의 구성은 기관 위에 도전층을 형성하고, 다계조 마스크를 사용하여, 1회의 노광을 행하고, 단면에서의 측면과 기관 주평면이 이루는 각이 다른 제1 레지스트 마스크와 제2 레지스트 마스크를 현상하고, 제1 레지스트 마스크와 제2 레지스트 마스크를 마스크로 하여 도전층을 에칭하여 각각 배선을 형성하고, 현상 후의 제1 레지스트 마스크의 측단면의 각도와 제2 레지스트 마스크의 측단면의 각도와의 차이는 10° 보다 큰 반도체 장치의 제작방법이다.

[0043] 또한, 다른 제작방법에 관한 발명의 구성은 기관 위에 도전층을 형성하고, 다계조 마스크를 사용하여, 1회의 노광을 행하고, 단면에서의 측면과 기관 주평면이 이루는 각이 다른 제1 레지스트 마스크와 제2 레지스트 마스크를 현상하고, 제1 레지스트 마스크와 제2 레지스트 마스크를 마스크로 하여 도전층을 에칭하여 1개의 배선을 형성하고, 현상 후의 제1 레지스트 마스크의 측단면의 각도와 제2 레지스트 마스크의 측단면의 각도와의 차이는 10° 보다 큰 반도체 장치의 제작방법이다.

[0044] 상기 각 제작방법에서, 제1 레지스트 마스크의 단면 형상은, 직사각형 또는 사다리꼴이며, 제2 레지스트 마스크의 단면 형상은, 사다리꼴이다. 혹은, 상기 제작방법에서, 제1 레지스트 마스크의 단면 형상은, 직사각형 또는 사다리꼴이고, 제2 레지스트 마스크의 단면 형상은, 한쪽의 측면에 단차를 2개 이상 가지는 계단 형상이다.

[0045] 상술한 이들 수단은 단순한 설계 사항은 아니고, 다계조 마스크를 사용하여 실제로 배선을 형성하고, 발명자들의 깊은 검토 후, 발명된 사항이다.

[0046] 문헌 1에 명시된 기술은, ICP 에칭 장치의 에칭 조건에 의해, 배선의 측면에서의 각도가 결정되기 때문에, 동일 기관 위에, 같은 에칭 공정으로 형성되는 배선의 측면 형상은, 모든 배선에서 일정하게 하는 것을 의도하고 있다. 따라서, 의도적으로 배선의 측면 형상을 장소에 따라 다르게 하는 본 발명과는 크게 차이가 있다.

[0047] 또한, 문헌 2 및 문헌 4에 명시된 기술은, 레지스트 마스크의 측부를 계단 형상으로 하고, 그 레지스트 마스크의 형상을 반영시켜 배선의 측면도 계단 형상으로 하고 있다. 문헌 2 및 문헌 4에 개시되어 있는 배선의 단차는 1개이며, 양단의 각각에 형성되어 있다.

[0048] 또한, 문헌 3에 명시된 기술은, 배선의 단면 형상을 부분적으로 다르게 하는 기술이지만, 같은 에칭 공정으로 형성되는 배선의 측면과 기관 주평면이 이루는 각도는 같다.

- [0049] 또한, 본 명세서에서, 상, 하, 측면, 수평, 수직 등의 방향을 나타내는 문언은, 기관 표면 위에 디바이스를 배치한 경우의 기관면을 기준으로 하는 방향을 가리킨다.
- [0050] 또한, 본 명세서에서, 게이트 전극은 반도체층과 게이트 절연막을 통하여 중첩되고, 박막트랜지스터의 채널을 형성하는 부분을 가리키고, 게이트 배선은 그 이외의 부분을 가리킨다. 또한, 같은 도전 재료로 이루어지는 하나의 패턴의 일부가 게이트 전극이며, 그 외의 부분이 게이트 배선이 된다.
- [0051] 또한, 본 발명에서, 반도체층은 규소를 주성분으로 하는 반도체막, 혹은 금속 산화물을 주성분으로 하는 반도체막을 사용할 수 있다. 규소를 주성분으로 하는 반도체막으로서, 비정질 반도체막, 결정 구조를 포함하는 반도체막, 비정질 구조를 포함하는 화합물 반도체막 등을 사용할 수 있고, 구체적으로는 아모르퍼스(amorphous) 실리콘, 미(微)결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용할 수 있다. 또한, 금속 산화물을 주성분으로 하는 반도체막으로서, 산화아연(ZnO)이나 아연과 갈륨과 인듐의 산화물(In-Ga-Zn-O) 등을 사용할 수 있다.
- [0052] 또한, TFT 구조나 트랜지스터 구조에 관계없이 본 발명을 적용하는 것이 가능하고, 예를 들면, 탑 게이트형 TFT나, 보텀 게이트형(역스태거형) TFT나, 순스태거형 TFT를 사용하는 것이 가능하다. 또한, 싱글 게이트 구조의 트랜지스터에 한정되지 않고, 복수의 채널 형성 영역을 가지는 멀티 게이트형 트랜지스터, 예를 들면, 더블 게이트형 트랜지스터로 하여도 좋다.

효 과

- [0053] 1장의 마스크를 사용하여, 공정을 늘리지 않고, 1장의 마더 유리 기관 위에 소망의 부분에 각각 정밀하게 배선의 측면의 각도를 다르게 한 배선을 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0054] 본 발명의 실시 형태에 대하여, 이하에 설명한다.
- [0055] [실시형태 1]
- [0056] 본 실시형태는, 박막트랜지스터를 가지는 화소부와, FPC 등을 사용하여 외부 장치와 접속하기 위한 접속 배선을 가지는 단자부를 동일 기관 위에 형성하는 제작 공정을 도 1에 나타낸다.
- [0057] 먼저, 절연 표면을 가지는 기관(101)을 준비한다. 절연 표면을 가지는 기관(101)으로서, 투광성을 가지는 기관, 예를 들면, 유리 기관, 결정화 유리 기관, 혹은 플라스틱 기관을 사용할 수 있다. 기관(101)이 마더 유리인 경우, 기관의 크기는, 제1 세대(320 mm×400 mm), 제2 세대(400 mm×500 mm), 제3 세대(550 mm×650 mm), 제4 세대(680 mm×880 mm, 또는 730 mm×920 mm), 제5 세대(1000 mm×1200 mm 또는 1100 mm×1250 mm), 제6 세대 1500 mm×1800 mm), 제7 세대(1900 mm×2200 mm), 제8 세대(2160 mm×2460 mm), 제9 세대(2400 mm×2800 mm, 2450 mm×3050 mm), 제10 세대(2950 mm×3400 mm) 등을 사용할 수 있다.
- [0058] 또한, 절연 표면을 가지는 기관(101)은, 최표면이 되는 층 또는 막이 절연 표면을 가지고 있으면, 절연체로 이루어지는 하지막이나 반도체층, 또는 도전막을 이미 형성하고 있어도 좋다.
- [0059] 다음에, 절연 표면을 가지는 기관(101) 위에, 제1 도전층(103)을 형성한다. 제1 도전층(103)은 텅스텐, 티탄, 크롬, 탄탈, 또는 몰리브덴 등의 고용점 금속, 또는 질화탄탈 등의 고용점 금속을 주성분으로 하는 합금 혹은 화합물을 200 nm~600 nm의 두께로 형성한다. 또한, 배선의 저저항화를 도모하기 위해, 알루미늄, 금, 구리 등의 금속막과 상기 고용점 금속의 적층으로 하여도 좋다.
- [0060] 다음에, 제1 도전층(103) 위에 레지스트막(403)을 전면도포한 후, 도 1(A)에 나타내는 마스크(400)를 사용하여 노광을 행한다. 여기에서는, 막 두께 1.5 μm 의 레지스트막을 도포하고, 노광은 해상도가 1.5 μm 의 노광기를 사용한다. 노광에 사용하는 광은, i선(파장 365 nm)이며, 노광 에너지는, 70~140 mJ/cm²의 범위로부터 선택한다. 또한, i선으로 한정되지 않고, i선과 g선(파장 436 nm)과 h선(파장 405 nm)을 혼합시킨 광을 노광에 사용해도 좋다.
- [0061] 본 실시형태에서는, 제1 포토마스크로서 노광 마스크의 일부에 광강도 저감 기능을 가지는 보조 패턴(그레이트론)을 설치한 것을 사용하여 화소부의 박막트랜지스터의 게이트 전극의 테이퍼각을 10°에서 50°의 범위로 한다.

- [0062] 도 1(A)에서, 노광 마스크(400)는, Cr 등의 금속막으로 이루어지는 차광부(401b)와, 광강도 저감 기능을 가지는 보조 패턴으로서, 슬릿이 설치된 반투과부(401a)가 설치되어 있다. 노광 마스크(400)의 단면도에서, 차광부(401b)의 폭을 t2라고 나타내고, 반투과부(401a)의 폭을 t1과 t3이라고 나타낸다. 여기에서는 노광 마스크의 일부로서 그레이톤을 사용한 예를 나타냈지만, 반투막을 사용하는 하프톤을 사용해도 좋다.
- [0063] 도 1(A)에 나타내는 노광 마스크(400)를 사용하여 레지스트막(403)의 노광을 행하면, 레지스트막(403)에 비노광 영역(403a, 403b)과 노광 영역(403c)이 형성된다. 노광시에는, 광이 차광부(401a, 401b)에 돌아 들어가거나 반투과부(402a, 402b)를 통과함으로써 도 1(A)에 나타내는 노광 영역(403c)이 형성된다.
- [0064] 그리고, 현상을 행하면, 노광 영역(403c)이 제거되어, 도 1(B)에 나타내는 바와 같이, 화소부에 제1 레지스트 마스크(404a)와, 단자부에 제2 레지스트 마스크(404b)가 각각 제1 도전층(103) 위에 얻어진다. 노광 에너지 등의 노광 조건을 조절함으로써 단차를 1개 가지는 단부가 아니라, 테이퍼 형상의 제1 레지스트 마스크(404a)를 얻을 수 있다. 그레이톤이 설치되어 있지 않은 영역의 포토마스크로 노광된 단자부에서는, 제1 레지스트 마스크(404a)보다 단면의 측면 각도가 큰 제2 레지스트 마스크(404b)가 형성된다.
- [0065] 다음에, 레지스트 마스크(404a, 404b)를 마스크로서 사용하여, 건식 에칭에 의해 제1 도전층(103)의 에칭을 행한다. 또한, 에칭 조건에 따라서는, 절연 표면을 가지는 기판(101)도 에칭되어, 부분적으로 막 두께가 얇아진다. 그 때문에 미리, 기판(101)의 최표면의 층, 또는 기판(101) 위에, 에칭되어도 좋은 절연막을 가지고 있으면 좋다. 에칭 가스에는, 사불화탄소(CF₄), 불화유황(SF₆), 염소(Cl₂), 산소(O₂)를 사용한다. 또한, ICP 에칭 장치와 비교하여 넓은 면적에 걸쳐 일정한 방전이 얻어지기 쉬운 건식 에칭 장치를 사용한다. 그러한 건식 에칭 장치로서는, 상부 전극을 접지시키고, 하부 전극에 13.56 MHz의 고주파 전원을 접속하고, 또한, 하부 전극에 3.2 MHz의 저주파 전원을 접속한 ECCP(Enhanced Capacitively Coupled Plasma) 모드의 에칭 장치가 최적이다. 이 에칭 장치라면, 예를 들면, 기판(101)으로서 제10 세대의 3 m를 넘는 사이즈의 기판을 사용하는 경우에도 대응할 수 있다.
- [0066] 상기 에칭 공정의 종료 후, 애싱 처리 등을 행하여 남아 있는 레지스트 마스크를 제거한다. 이렇게 하여 도 1(C)에서 나타내는 바와 같이, 기판(101) 위에 제1 배선층(107a)과 제2 배선층(107b)이 각각 형성된다. 여기에서는, 화소부에 형성되는 제1 배선층(107a)의 테이퍼각(θ1)을 약 50°로 하고, 단자부에 형성되는 제2 배선층(107b)의 테이퍼각(θ2)을 약 70°로 한다. 후의 공정에서, 제1 배선층(107a) 위에는 반도체막이나 배선을 형성하므로, 단절(段切) 방식을 위해 양측면의 테이퍼각을 작게 가공하는 것은 효과적이다. 또한, 제2 배선층(107b)은 서로 인접하여 복수 배치되고, FPC 등과 접속되기 때문에, 서로 인접하는 제2 배선층(107b) 사이에서 단락이 발생하지 않도록 양측면의 테이퍼각을 크게 가공하는 것은 효과적이다. 또한, 복수의 제2 배선층(107b)을 좁은 범위에 나열하고자 하는 경우, 인접하는 제2 배선층(107b)의 간격을 좁게 할 수 있기 때문에, 양측면의 테이퍼각을 크게 가공하는 것은 효과적이다.
- [0067] 또한, 이 제1 도전층(103)의 에칭 공정에서 사용되는 레지스트막은 네거티브형 레지스트가 적용 곤란하기 때문에, 이 게이트 전극 형성용 포토마스크 또는 레티클의 패턴 구성은, 포지티브형 레지스트를 전제로 하고 있다.
- [0068] 다음에, 제1 배선층(107a) 위에 질화규소(유전율 7.0, 두께 300 nm)의 게이트 절연막(102)을 적층한다. 게이트 절연막(102)은 CVD법이나 스퍼터링법 등을 사용하여, 질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 또한, 여기에서는, 질화산화규소막이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 것으로서, 농도 범위로서 산소가 15~30 원자%, 질소가 20~35 원자%, Si가 25~35 원자%, 수소가 15~25 원자%의 범위에서 포함되는 것을 말한다.
- [0069] 다음에, 게이트 절연막(102)의 성막 후, 대기에 노출시키지 않고 기판을 반송하여, 게이트 절연막을 성막하는 진공 체임버와는 다른 진공 체임버로 비정질 반도체막(105)을 성막한다.
- [0070] 다음에, 비정질 반도체막(105)의 성막 후, 대기에 노출시키지 않고 기판을 반송하여, 비정질 반도체막(105)을 성막하는 진공 체임버와는 다른 진공 체임버로 일 도전형을 부여하는 불순물이 첨가된 반도체막을 성막한다.
- [0071] 일 도전형을 부여하는 불순물이 첨가된 반도체막은, 대표적인 불순물 원소로서 인을 첨가하면 좋고, 수소화규소에 포스핀 가스 등의 불순물 기체를 첨가하면 좋다. 일 도전형을 부여하는 불순물이 첨가된 반도체막은 2 nm 이상 50 nm 이하의 두께로 형성한다. 일 도전형을 부여하는 불순물이 첨가된 반도체막의 막 두께를 얇게 함으로써 스루풋(throughput)을 향상시킬 수 있다.
- [0072] 다음에, 일 도전형을 부여하는 불순물이 첨가된 반도체막 위에 레지스트 마스크를 형성한다. 레지스트 마스크

는, 포토리소그래피 기술 또는 잉크젯법에 의해 형성한다. 여기에서는, 제2 포토마스크를 사용하여, 일 도전형을 부여하는 불순물이 첨가된 반도체막 위에 도포된 레지스트를 노광 현상하여, 레지스트 마스크를 형성한다.

[0073] 다음에, 레지스트 마스크를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체막 및 비정질 반도체막(105)을 에칭하여, 섬 형상의 반도체층을 형성한다. 이 후, 레지스트 마스크를 제거한다.

[0074] 다음에, 일 도전형을 부여하는 불순물이 첨가된 반도체막 및 게이트 절연막(102)을 덮도록 제2 도전층을 형성한다. 제2 도전층은, 알루미늄, 혹은 구리, 규소, 티탄, 네오디뮴, 스칸듐, 몰리브덴 등의 내열성 향상 원소 혹은 힐록 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 여기에서는, 제2 도전층으로서는, 도하지 않았지만, 3층이 적층한 구조의 도전막을 나타내고, 제2 도전층의 첫번째층과 세번째층에 몰리브덴막, 제2 도전층의 두번째층에 알루미늄막을 사용한다. 제2 도전층은, 스퍼터링법이나 진공 증착법으로 형성한다.

[0075] 다음에, 도 1(D)에 나타내는 바와 같이, 제2 도전층 위에 제3 포토마스크를 사용하여 레지스트 마스크를 형성하고, 제2 도전층의 일부를 에칭하여 한 쌍의 소스 전극 또는 드레인 전극(109, 110)을 형성한다. 제2 도전층을 습식 에칭하면, 제2 도전층의 단부가 선택적으로 에칭된다. 이 결과, 레지스트 마스크보다 면적이 작은 소스 전극 및 드레인 전극(109, 110)을 형성할 수 있다.

[0076] 다음에, 그대로 레지스트 마스크를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체막을 에칭하여, 한 쌍의 소스 영역 또는 드레인 영역(106, 108)을 형성한다. 또한, 이 에칭 공정에서, 비정질 반도체막(105)의 일부도 에칭한다. 소스 영역 및 드레인 영역의 형성 공정과, 비정질 반도체막(105)의 오목한 부분(홈)을 동일 공정으로 형성할 수 있다. 비정질 반도체막(105)의 오목한 부분(홈)의 깊이를 비정질 반도체막(105)의 가장 막 두께가 두꺼운 영역의 1/2~1/3로 함으로써, 소스 영역 및 드레인 영역의 거리를 떼어 놓는 것이 가능하기 때문에, 소스 영역 및 드레인 영역의 사이에서의 리크 전류를 저감할 수 있다. 이 후, 레지스트 마스크를 제거한다.

[0077] 다음에, 소스 전극 또는 드레인 전극(109, 110), 소스 영역 또는 드레인 영역(106, 108), 비정질 반도체막(105), 및 게이트 절연막(102)을 덮는 절연막(111)을 형성한다. 절연막(111)은, 게이트 절연막(102)과 같은 성막 방법을 이용하여 형성할 수 있다. 또한, 절연막(102)은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다.

[0078] 이상의 공정에 의해, 화소부에 박막트랜지스터를 형성할 수 있다.

[0079] 다음에, 제4 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 절연막(111)을 선택적으로 에칭하여 화소부에 소스 전극 또는 드레인 전극(109)을 노정(露呈)하는 제1 콘택트 홀과, 절연막(111) 및 게이트 절연막(102)을 선택적으로 에칭하여 단자부에 제2 배선층(107b)을 노정시키는 제2 콘택트 홀을 형성한다. 콘택트 홀의 형성 후에 레지스트 마스크는 제거한다.

[0080] 다음에, 투명 도전막을 형성한 후, 제5 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 투명 도전막의 일부를 에칭하여 화소부에 소스 전극 또는 드레인 전극(109)에 전기적으로 접속하는 화소 전극(112)과, 단자부에 제2 배선층(107b)과 전기적으로 접속하는 접속 전극(113)을 형성한다. 화소 전극(112) 및 접속 전극(113)의 형성 후에 레지스트 마스크는 제거한다. 여기까지의 공정을 끝낸 단면도가 도 1(D)에 상당한다.

[0081] 투명 도전막은, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 사용할 수 있다. 또한, 투명 도전막은, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극(112)은, 시트 저항이 10000 $\Omega/\square$ 이하, 파장 550 nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1 $\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

[0082] 도전성 고분자로서는, 소위 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0083] 이상에 의해 투과형의 액정 표시장치에 사용하는 것이 가능한 소자 기관을 형성할 수 있다.

- [0084] 또한, 실험을 행하여, 그레이톤 마스크를 사용하여 에칭하여 얻어진 배선의 단면 SEM 사진을 도 2에 나타낸다.
- [0085] 시료는, 유리 기판 위에 막 두께 100 nm의 산화질화규소막을 성막하고, 그 위에 400 nm의 티탄막을 성막했다. 그리고, 티탄막 위에 레지스트막을 형성했다.
- [0086] 노광 장치의 해상도 1.5 μm 의 노광 장치를 사용하여 레지스트막을 노광하고, 현상했다. 그 후, 제1 에칭 조건으로서 BCl_3 가스의 유량을 40 sccm으로 하고, Cl_2 가스의 유량을 40 sccm으로 하고, 65초의 에칭을 행한 후, 제2 에칭 조건으로서 BCl_3 가스의 유량을 70 sccm으로 하고, Cl_2 가스의 유량을 10 sccm으로 하여 에칭을 행하였다.
- [0087] 그레이톤이 없는 영역의 배선의 단면이 도 2(A)에 상당한다. 차광부의 폭은 3 μm 이다. 도 2(A)의 배선의 테이퍼각은, 약 50° 이다.
- [0088] 또한, 라인폭 0.5 μm , 스페이스폭 0.5 μm 의 그레이톤 마스크를 사용하여 노광한 영역의 배선의 단면이 도 2(B)에 상당한다. 차광부의 폭은 3 μm 이다. 도 2(B)의 배선의 테이퍼각은 약 40° 이다.
- [0089] 또한, 라인폭 0.5 μm , 스페이스폭 0.5 μm 를 2회 반복하여 배치한 그레이톤 마스크를 사용하여 노광한 영역의 배선의 단면이 도 2(C)에 상당한다. 차광부의 폭은 3 μm 이다. 도 2(C)의 배선의 테이퍼각은 약 30° 이다.
- [0090] 이와 같이 차광부의 폭은 동일하여도, 그레이톤의 라인폭이나 스페이스폭에 의해 얻어지는 배선폭과 테이퍼각을 다르게 할 수 있다. 또한, 그레이톤의 라인폭이나 스페이스폭을 바꾸어 실험을 행한 결과, 측면에 하나의 단차를 가지는 배선 형상이나, 돌출한 부분을 가지는 배선 형상이 될 수도 있다.
- [0091] 여기에서는, 상기 에칭 조건으로 실험하였지만, 특별히 한정되지 않고, 노광 현상에 의해 테이퍼각이 다른 레지스트가 얻어지고, 그 레지스트 형상을 반영한 배선이 얻어지도록, 실시자가 적절히 마스크의 설계나, 에칭 조건을 조절하는 것이 바람직하다.
- [0092] [실시형태 2]
- [0093] 본 실시형태에서는, 박막트랜지스터를 덮는 층간 절연막 위에 배선을 형성할 때, 화소부와 단자부에서 단면 형상을 다르게 하는 예를 도 3을 사용하여 설명한다.
- [0094] 또한, 도중의 공정까지는, 실시형태 1과 동일하기 때문에, 여기에서는 상세한 설명은 생략한다. 또한, 도 3에서, 도 1과 공통의 부분에는 같은 부호를 사용하여 설명한다.
- [0095] 본 실시형태는, 실시형태 1에서 형성한 박막트랜지스터를 덮는 절연막(111) 위에 평탄화막을 형성하는 예이다.
- [0096] 먼저, 실시형태 1에 따라, 절연막(111)의 형성 공정까지 행한다.
- [0097] 다음에, 평탄화막(114)을 형성한다. 평탄화막(114)은 유기 수지막으로 형성한다. 다음에, 제4 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 절연막(111) 및 평탄화막(114)을 선택적으로 에칭하여 화소부에 소스 전극 또는 드레인 전극(109)을 노정하는 제1 콘택트 홀을 형성하고, 게이트 절연막(102), 절연막(111), 및 평탄화막(114)을 선택적으로 에칭하여 단자부에 제2 배선층(107b)을 노정하는 제2 콘택트 홀을 형성한다.
- [0098] 다음에, 평탄화막(114) 위에 제3 도전층(115)을 성막한다. 이 단계까지의 공정 단면도가 도 3(A)에 상당한다.
- [0099] 다음에, 제3 도전층(115) 위에 레지스트막을 전면 도포한 후, 도 3(B)에 나타내는 마스크(410)를 사용하여 노광을 행한다.
- [0100] 본 실시형태에서는, 제4 포토마스크로서 노광 마스크의 일부에 광강도 저감 기능을 가지는 보조 패턴(그레이톤)을 설치한 것을 사용하여 단자부의 접속 전극의 한쪽의 측면의 테이퍼각을 10° 에서 50° 의 범위로 한다.
- [0101] 도 3(B)에서, 노광 마스크(410)는, Cr 등의 금속막으로 이루어지는 차광부(411a)와, 광강도 저감 기능을 가지는 보조 패턴으로서, 슬릿이 설치된 반투과부(411b)가 설치되어 있다. 여기에서는 노광 마스크의 일부로서 그레이톤을 사용한 예를 나타냈지만, 반투과막을 사용하는 하프톤을 사용해도 좋다.
- [0102] 도 3(B)에 나타내는 노광 마스크(410)를 사용하여 레지스트막의 노광을 행하면, 레지스트막에 비노광 영역(413a, 413b)과 노광 영역(413c)이 형성된다. 노광시에는, 광이 차광부(411a)에 돌아 들어가거나 반투과부(411b)를 통과함으로써 도 3(B)에 나타내는 노광 영역(413c)이 형성된다.
- [0103] 그리고, 현상을 행하면, 노광 영역(413c)이 제거되어, 화소부에 제3 레지스트 마스크와, 단자부에 제4 레지스트

마스크가 각각 제3 도전층(115) 위에 얻어진다. 노광 에너지 등의 노광 조건을 조절함으로써 단차를 1개 가지는 단부가 아니라, 한쪽의 측면이 테이퍼 형상인 제4 레지스트 마스크를 얻을 수 있다.

[0104] 다음에, 제3 레지스트 마스크, 및 제4 레지스트 마스크를 마스크로서 사용하여, 건식 에칭에 의해 제3 도전층(115)의 에칭을 행한다. 또한, ICP 에칭 장치와 비교하여 넓은 면적에 걸쳐 일정한 방전이 얻어지기 쉬운 건식 에칭 장치를 사용한다. 그러한 건식 에칭 장치로서는, 상부 전극을 접지시키고, 하부 전극에 13.56 MHz의 고주파 전원을 접속하고, 또한, 하부 전극에 3.2 MHz의 저주파 전원을 접속한 ECCP(Enhanced Capacitively Coupled Plasma) 모드의 에칭 장치가 최적이다. 이 에칭 장치라면, 예를 들면, 기관(101)으로서, 제10 세대의 3 m를 넘는 사이즈의 기관을 사용하는 경우에도 대응할 수 있다.

[0105] 이 단계까지의 공정 단면도가 도 3(C)에 상당한다. 제3 레지스트 마스크, 및 제4 레지스트 마스크도 제3 도전층(115)의 에칭 시에 에칭되어 제1 접속 전극(116) 위에 제3 레지스트 마스크(414a), 제2 접속 전극(117) 위에 제4 레지스트 마스크(414b)가 잔존한다. 제2 접속 전극(117)은, 제4 레지스트 마스크의 형상을 반영하여 한쪽의 측면만이 테이퍼 형상으로 되어 있다. 또한, 그레이톤이 설치되지 않은 영역의 포토마스크로 노광된 화소부에서는, 제1 접속 전극(116)의 면적이 작아지도록 에칭되어, 개구율의 향상에 기여할 수 있다.

[0106] 상기 에칭 공정의 종료 후, 애싱 처리 등을 행하여 남아 있는 레지스트 마스크를 제거한다.

[0107] 다음에, 투명 도전막을 형성한 후, 제5 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 투명 도전막의 일부를 에칭하여 화소부에 제1 접속 전극(116)을 덮어 전기적으로 접속하는 화소 전극(118)과, 단자부에 제2 접속 전극(117)과 전기적으로 접속하는 제3 접속 전극(119)을 형성한다. 화소 전극(118) 및 제3 접속 전극(119)의 형성 후에 레지스트 마스크는 제거한다. 여기까지의 공정을 끝낸 단면도가 도 3(D)에 상당한다. 제3 접속 전극(119)은, 제2 접속 전극(117)의 테이퍼 형상으로 되어 있는 부분과 중첩되도록 형성함으로써, 제3 접속 전극(119)의 단절 방지를 도모하는 것이다.

[0108] 이상에 의해 투과형의 액정 표시장치에 사용하는 것이 가능한 소자 기관을 형성할 수 있다.

[0109] 또한, 실험을 행하여, 그레이톤 마스크를 사용하여 에칭하여 얻어진 배선의 단면 SEM 사진을 도 4에 나타낸다.

[0110] 시료는, 유리 기관 위에 막 두께 100 nm의 산화질화규소막을 성막하고, 그 위에 400 nm의 티탄막을 성막했다. 그리고, 티탄막 위에 레지스트막을 형성했다.

[0111] 노광 장치의 해상도 1.5 μm 의 노광 장치를 사용하여 레지스트막을 노광하여 현상했다. 그 후, 제1 에칭 조건으로서 BCl_3 가스의 유량을 40 sccm으로 하고, Cl_2 가스의 유량을 40 sccm으로 하고, 65초의 에칭을 행한 후, 제2 에칭 조건으로서 BCl_3 가스의 유량을 70 sccm으로 하고, Cl_2 가스의 유량을 10 sccm으로 하여 에칭을 행하였다.

[0112] 도 3(B)의 포토마스크에 나타내는 바와 같이, 한쪽 측에만 라인폭 0.5 μm , 스페이스폭 0.5 μm 를 2회 반복하여 배치한 그레이톤 마스크를 사용하여 노광한 영역의 배선의 단면이 도 4(A)에 상당한다. 한쪽의 테이퍼각은 약 70°이며, 다른 한쪽의 테이퍼각은 약 35°이다.

[0113] 또한, 한쪽 측에만 라인폭 0.5 μm , 스페이스폭 0.75 μm 를 배치한 그레이톤 마스크를 사용하여 노광한 영역의 배선의 단면이 도 4(B)에 상당한다. 한쪽의 테이퍼각은 약 70°이며, 다른 한쪽의 측면은 한쪽보다 완만하게 되어 있고, 서로 다른 테이퍼각을 가지고 있다. 다른 한쪽의 측면은, 기관으로부터 가까운 쪽의 테이퍼각이 약 30°이고, 기관으로부터 먼 쪽의 테이퍼각은 약 60°이다.

[0114] 또한, 한쪽 측에만 라인폭 0.5 μm , 스페이스폭 0.5 μm 를 3회 반복하여 배치한 그레이톤 마스크를 사용하여 노광한 경우, 측면에 하나의 단차를 가지는 배선 형상이 얻어졌다. 이와 같이 라인폭과 스페이스폭이 바뀌면, 얻어지는 배선 형상이 크게 바뀌게 된다. 따라서, 실시자는 최적의 라인폭과 스페이스폭을 선정하여, 에칭 조건의 최적화를 도모하는 것이 중요하다.

[0115] 또한, 라인 및 스페이스, 또는 사각형 패턴 및 스페이스에서 형성된 반투과부를 구비한 노광 마스크의 일례에 대하여 도 5를 사용하여 설명한다.

[0116] 노광 마스크의 상면도의 구체예를 도 5(A)에 나타낸다. 또한, 그 노광 마스크를 사용했을 때의 광강도 분포(214)의 일례를 도 5(B)에 나타낸다. 도 5(A)에 나타내는 노광 마스크는, 차광부(P), 반투과부(Q), 투과부(R)를 구비하고 있다. 도 5(A)에 나타내는 노광 마스크의 반투과부(Q)는, 줄무늬 형상(스트라이프 형상, 슬릿 형상)에 라인(203, 205, 207) 및 스페이스(201, 204, 206)가 반복하여 형성되고, 라인 및 스페이스가 차광부(P)의 단부(202)에 평행한 방향으로 배치되어 있다. 이 반투과부에서, 차광 재료로 이루어지는 라인(205)의 폭이 L,

차광 재료간의 스페이스(204)의 폭이 W2이다. 라인(203)은 차광 재료로 이루어지고, 차광부(P)와 같은 차광 재료를 사용하여 형성할 수 있다. 라인(203)은 사각형 형상으로 형성되어 있지만, 이것에 한정되는 것은 아니다. 일정한 폭을 가지고 있으면 좋다. 예를 들면, 각이 둥그스름한 형상이어도 좋다.

[0117] 도 5(A)의 노광 마스크에서는, 스페이스(201)의 폭(W1)보다 스페이스(204)의 폭(W2)이 넓게 되어 있고, 스페이스(204)의 폭(W2)보다 스페이스(206)의 폭(W3)이 넓게 되어 있다. 또한, 도 5(A)의 노광 마스크에서는, 라인의 폭은 같게 하고 있다.

[0118] 또한, 도 5(A)의 노광 마스크는 일례이며, 도 5(B)에 나타내는 광강도 분포를 얻을 수 있다면, 특별히 한정되는 것은 아니다. 예를 들면, 도 5(C)에 나타내는 바와 같이, 라인은 아니고, 선단이 예각인 차광부(215)를 가지는 노광 마스크를 사용하여 노광을 행하고, 도 5(B)에 나타내는 광강도 분포로 한다. 또한, 도 5(D)에 나타내는 바와 같은 복수의 가지부를 구비한 차광부(216)을 가지는 노광 마스크를 사용하여 도 5(B)에 나타내는 광강도 분포로 한다.

[0119] 본 실시형태는, 실시형태 1과 자유롭게 조합할 수 있다.

[0120] [실시형태 3]

[0121] 본 실시형태는 실시형태 2와 일부 다른 예이며, 도 6을 사용하여 설명한다. 도 6(A)은 도 3(A)과 동일하기 때문에, 여기에서는 상세한 설명을 생략하고, 같은 부분에는 같은 부호를 사용하여 설명한다.

[0122] 실시형태 2에 따라, 제3 도전층(115)을 형성할 때까지의 공정을 행하고, 도 6(A)과 같은 단계로 한다.

[0123] 다음에, 실시형태 2와는 다른 포토마스크를 사용하여 제3 도전층(115)을 선택적으로 에칭한다. 본 실시형태에서는, 화소부에서 한쪽에만 테이퍼각을 가지는 제1 접속 전극(120)을 형성하고, 단자부에서, 양단에 같은 테이퍼각을 가지는 제2 접속 전극(121)을 형성하는 예이다.

[0124] 상기 에칭 공정의 종료 후, 애싱 처리 등을 행하여 남아 있는 레지스트 마스크를 제거한다.

[0125] 다음에, 투명 도전막을 형성한 후, 제5 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 투명 도전막의 일부를 에칭하여 화소부에 제1 접속 전극(120)의 일부와 중첩하여, 전기적으로 접속하는 화소 전극(122)과, 단자부에 제2 접속 전극(121)과 전기적으로 접속하는 제3 접속 전극(123)을 형성한다.

[0126] 본 실시형태에서는, 화소 전극(122)은, 제1 접속 전극(120)의 테이퍼 형상으로 되어 있는 부분과 중첩하도록 형성함으로써, 화소 전극(122)의 단절 방지를 도모하고 있다.

[0127] 이상에 의해 투과형의 액정 표시장치에 사용하는 것이 가능한 소자 기관을 형성할 수 있다.

[0128] 본 실시형태는, 실시형태 1 또는 실시형태 2와 자유롭게 조합할 수 있다.

[0129] [실시형태 4]

[0130] 본 실시형태는, 노광 마스크에 반투과막으로 이루어지는 광강도 저감 기능을 가지는 보조 패턴(하프톤막)을 설치한 것을 사용하는 예이다.

[0131] 먼저, 실시형태 1과 마찬가지로, 기관(101) 위에 제1 도전층(103)을 형성하고, 그 위에 레지스트막을 형성한다.

[0132] 도 7(A)에서, 노광 마스크(420)는, Cr 등의 금속막으로 이루어지는 차광부(421a, 421b)와, 광강도 저감 기능을 가지는 보조 패턴으로서, 반투막(하프톤막이라고도 한다)이 형성된 부분(반투과부(422a, 422b)라고도 부른다)이 설치되어 있다. 노광 마스크(420)의 단면도에서, 차광부(421b)와 반투과부(422b)에서 차광부(421b)와 반투과부(422b)가 중첩된 영역의 폭을 t2라고 나타내고, 반투과부(422a)에서 일층의 영역의 폭을 t1과 t3이라고 나타낸다. 즉, 반투과부(422a)에서 차광부(421a)와 중첩되지 않는 영역의 폭을 t1, t3이라고 나타낸다.

[0133] 도 7(A)에 나타내는 노광 마스크(420)를 사용하여 레지스트막의 노광을 행하면, 레지스트막에 비노광 영역(423a, 423b)과 노광 영역(423c)이 형성된다. 노광시에는, 광이 차광부(421a, 421b)에 돌아 들어가거나 반투과부(422a, 422b)를 통과함으로써 도 7(A)에 나타내는 노광 영역(423c)이 형성된다.

[0134] 그리고, 현상을 행하면, 노광 영역(423c)이 제거되어, 도 7(B)에 나타내는 바와 같이, 테이퍼 형상을 양측 측부에 가지는 레지스트 마스크(424a)와, 단면이 거의 직사각형인 레지스트 마스크(424b)가 제1 도전층(103) 위에 얻어진다.

[0135] 다음에, 레지스트 마스크(424a, 424b)를 마스크로서 사용하여, 건식 에칭에 의해 제1 도전층(103)의 에칭을 행

한다.

- [0136] 상기 에칭 공정의 종료 후, 애싱 처리 등을 행하여 남아 있는 레지스트 마스크를 제거한다. 이렇게 하여 도 7(C)에서 나타내는 바와 같이, 기판(101) 위에 제1 배선층(124a)과 제2 배선층(124b)이 각각 형성된다. 여기에서는, 화소부에 형성되는 제1 배선층(124)의 테이퍼각을 약 60° 로 하고, 단자부에 형성되는 제2 배선층(124)의 측면의 각도를 약 90° 로 한다.
- [0137] 이후의 공정은, 실시형태 1에 따라 박막트랜지스터를 형성하고, 투과형의 액정 표시장치에 사용하는 것이 가능한 소자 기판을 형성한다.
- [0138] 본 실시형태는, 실시형태 1, 실시형태 2, 또는 실시형태 3과 자유롭게 조합할 수 있다.
- [0139] [실시형태 5]
- [0140] 본 실시형태는, 배선으로서 2개의 단차를 가지는 단면 형상과, 사다리꼴의 단면 형상과, 1개의 단차를 가지는 단면 형상의 3 종류를 같은 마스크로 형성하는 예이다.
- [0141] 먼저, 실시형태 1과 마찬가지로, 기판(101) 위에 제1 도전층(103)을 형성하고, 그 위에 레지스트막을 형성한다.
- [0142] 다음에, 도 8(A)에 나타내는 노광 마스크(430)를 사용하여 레지스트막의 노광을 행한다. 레지스트막의 노광을 행하면, 레지스트막에 비노광 영역(433a, 433b, 433d)과 노광 영역(433c)이 형성된다. 노광시에는, 광이 차광부(431b)에 돌아 들어가거나 반투과부(431a, 431c)를 통과하는 것에 의해 도 8(A)에 나타내는 노광 영역(433c)이 형성된다.
- [0143] 본 실시형태에서는, 제1 포토마스크로서 노광 마스크의 일부에 광강도 저감 기능을 가지는 보조 패턴(그레이톤)을 설치한 것을 사용하여 화소부의 박막트랜지스터의 게이트 전극의 양단에 2개의 단차를 형성한다. 제1 포토마스크로서는, 도 5(A)에 나타내는 패턴을 차광부의 양측에 배치한 것을 사용한다. 라인의 폭이나 스페이스의 폭이나 노광 조건을 바꿈으로써, 도 5(B)에 나타내는 광강도 분포와 다른 분포, 예를 들면, 도 5(E)에 나타내는 2개의 단차를 가지게 하는 광강도 분포(217)로 한다. 또한, 도 5(A)에 나타내는 노광 마스크는 일레이며, 예를 들면, 도 5(C)에 나타내는 바와 같이, 라인은 아니고, 선단이 예각인 차광부(215)를 가지는 노광 마스크를 사용하여 노광을 행하고, 도 5(E)에 나타내는 광강도 분포로 하여도 좋다. 또한, 도 5(D)에 나타내는 바와 같은 복수의 가지부를 구비한 차광부(216)을 가지는 노광 마스크를 사용하여 도 5(E)에 나타내는 광강도 분포로 하여도 좋다.
- [0144] 또한, 단자부의 접속 전극의 양단에 1개의 단차를 형성한다. 화소부의 박막트랜지스터의 게이트 전극과는 다른 반투과부(431c)를 사용하는 것에 의해 형성한다.
- [0145] 그리고, 현상을 행하면, 노광 영역(433c)이 제거되어, 도 8(B)에 나타내는 바와 같이, 화소부에 제1 레지스트 마스크(434a)와, 화소부의 게이트 배선부에 제2 레지스트 마스크(434b)와, 단자부에 제3 레지스트 마스크(434c)가 각각 제1 도전층(103) 위에 얻어진다. 노광 에너지 등의 노광 조건을 조절함으로써 단부에 단차를 2개 가지는 제1 레지스트 마스크(434a)를 얻을 수 있다. 그레이톤이 설치되지 않은 영역의 포토마스크로 노광된 화소부의 게이트 배선부에서는, 사다리꼴 형상의 제2 레지스트 마스크(434b)가 형성된다. 또한, 단자부에는, 단부에 단차를 1개 가지는 제3 레지스트 마스크(434c)를 얻을 수 있다.
- [0146] 다음에, 레지스트 마스크(434a, 434b, 434c)를 마스크로서 사용하여, 건식 에칭에 의해 제1 도전층(103)의 에칭을 행한다.
- [0147] 상기 에칭 공정의 종료 후, 애싱 처리 등을 행하여 남아 있는 레지스트 마스크를 제거한다. 이렇게 하여 도 8(C)에 나타내는 바와 같이, 기판(101) 위에 제1 배선층(125a)과 제2 배선층(125b)과 제3 배선층(125c)이 각각 형성된다. 여기에서는, 화소부에 형성되는 제1 배선층(125a)을 2개의 단차를 가지는 단부로 하고, 화소부의 게이트 배선부에 형성되는 제2 배선층(107b)의 측면을 사다리꼴 형상으로 하고, 단자부에 형성되는 제3 배선층(125c)을 1개의 단차를 가지는 단부로 한다. 테이퍼 형상으로 하는 경우, 테이퍼의 단부의 위치가 에칭 시간에 따라 좌우되고, 특히 테이퍼각 60° 미만으로 하면 토탈 배선평에 편차가 생길 우려가 있지만, 계단 형상의 배선층으로 함으로써, 에칭 시간이 다소 달라도 일정한 배선평을 얻을 수 있다. 즉, 계단 형상의 배선층으로 함으로써 에칭 조건의 마진을 충분히 받을 수 있다. 또한, 제1 배선층(125a)을 2개의 단차를 가지는 단부로 함으로써, 테이퍼각 50° 미만의 테이퍼 형상을 가지는 배선층과 동일한 정도의 단차 피복성을 확보할 수 있다. 또한, 화소부의 게이트 배선부에 형성되는 제2 배선층(107b)의 측면 각도는, 60° 에서 90° 의 범위이다.

- [0148] 이와 같이 실시자가 노광 마스크(430)를 적절히 설계함으로써, 소망의 배선층의 형상을 선택적으로 형성할 수 있다.
- [0149] 이후의 공정은, 실시형태 1에 따라 박막트랜지스터를 형성하고, 투과형의 액정 표시장치에 사용하는 것이 가능한 소자 기판을 형성한다.
- [0150] 본 실시형태는, 실시형태 1, 실시형태 2, 실시형태 3, 또는 실시형태 4와 자유롭게 조합할 수 있다.
- [0151] [실시형태 6]
- [0152] 본 실시형태에서는, 액정 표시장치에 사용되는 박막트랜지스터의 제작 공정에 대하여, 도 9 내지 도 14를 사용하여 설명한다. 도 9 내지 도 11은 박막트랜지스터의 제작 공정을 나타내는 단면도이며, 도 12는 일 화소에서 박막트랜지스터 및 화소 전극의 접속 영역의 상면도이다. 또한, 도 13은 미결정 실리콘막의 성막 방법을 나타내는 타이밍 차트이다. 또한, 도 14는 전극 또는 배선을 형성할 때에 사용하는 에칭 장치의 단면도이다.
- [0153] 미결정 반도체막을 가지는 박막트랜지스터는 p형보다 n형이 이동도가 높기 때문에 구동 회로에 사용하기에 보다 적합하다. 동일한 기판 위에 형성하는 박막트랜지스터를 모두 같은 극성으로 해 두는 것이, 공정수를 억제하기 위해서도 바람직하다. 여기에서는, n 채널형의 박막트랜지스터를 사용하여 설명한다.
- [0154] 도 9(A)에 나타내는 바와 같이, 기판(50) 위에 게이트 전극(51)을 형성한다. 기판(50)은, 바륨 붕규산 유리, 알루미늄 붕규산 유리, 혹은 알루미늄 실리케이트 유리 등, 퓨전법이나 플로트법으로 제작되는 무알칼리 유리 기판 등을 사용할 수 있다. 기판(50)이 마더 유리인 경우, 기판의 크기는, 제1 세대(320 mm×400 mm), 제2 세대(400 mm×500 mm), 제3 세대(550 mm×650 mm), 제4 세대(680 mm×880 mm, 또는 730 mm×920 mm), 제5 세대(1000 mm×1200 mm 또는 1100 mm×1250 mm), 제6 세대 1500 mm×1800 mm), 제7 세대(1900 mm×2200 mm), 제8 세대(2160 mm×2460 mm), 제9 세대(2400 mm×2800 mm, 2450 mm×3050 mm), 제10 세대(2950 mm×3400 mm) 등을 사용할 수 있다.
- [0155] 게이트 전극(51)은, 티탄, 몰리브덴, 크롬, 탄탈, 텅스텐, 알루미늄 등의 금속 재료 또는 그 합금 재료를 사용하여 형성한다. 게이트 전극(51)은, 스퍼터링법이나 진공 증착법으로 기판(50) 위에 도전막을 형성하고, 이 도전막 위에 실시형태 1에 나타내는 다계조 마스크에 의해 레지스트 마스크를 형성하고, 이 마스크를 사용하여 도전막을 에칭함으로써 형성한다. 또한, 게이트 전극(51)의 밀착성 향상과 하지에의 확산을 막는 배리어 메탈로서, 상기 금속 재료의 질화물막을 기판(50) 및 게이트 전극(51)의 사이에 제공하여도 좋다. 여기에서는, 다계조 마스크인 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 기판(50) 위에 형성된 도전막을 에칭하여 게이트 전극을 형성하고, 게이트 전극과 측면의 각도가 다른 배선(게이트 배선, 리드 배선, 용량 배선 등)도 동시에 형성한다.
- [0156] 또한, 여기에서는 도 14에 나타내는 에칭 장치를 사용하여 에칭을 행한다.
- [0157] 도 14에 나타내는 에칭 장치는, 상부 전극(137)을 접지시켜, 하부 전극(135)에 13.56 MHz의 고주파 전원(132)을 접속하고, 또한, 하부 전극(135)에 3.2 MHz의 저주파 전원(131)을 접속한 ECCP(Enhanced Capacitively Coupled Plasma) 모드의 에칭 장치이다. 이 에칭 장치라면, 예를 들면, 기판(50)으로서 제10 세대의 3 m를 넘는 사이즈의 기판을 사용하는 경우에도 대응할 수 있다.
- [0158] 체임버(130)는, 피처리 기판을 도입하기 위하여, 체임버 외벽에 형성되어 있는 개구에 게이트 밸브(133)가 설치되어 있고, 게이트 밸브(133)는 기판의 로드실 또는 언로드실, 혹은 반송실과 연결되어 있다. 또한, 체임버(130) 내부는 터보 분자 펌프 등의 진공 배기 수단에 의해 감압 가능하게 되어 있다. 또한, 체임버(130) 내에는, 상부 전극(137)과 하부 전극(135)으로 이루어지는 한 쌍의 평행 평판 전극을 가지고 있다.
- [0159] 상부 전극(137)은, 샤워 헤드로 되어 있고, 체임버(130) 내에 에칭 가스를 도입하는 개구가 복수 형성되어 있다. 또한, 상부 전극(137)의 중공 부분에 공급하는 에칭 가스는 가스 공급관 및 밸브를 통하여 연결되어 있는 가스 공급 기구(139)로부터 공급된다. 또한, 가스 공급 기구(139)는 가스 공급원(138)과 연결되어 있다.
- [0160] 하부 전극(135)의 외주 및 상면 가장자리에는 절연 부재(134)가 설치되어 있다. 또한, 도시하지 않았지만, 하부 전극(135)에는, 피처리 기판(136)을 보유하기 위한 정전 척 등의 기판 보유 수단과, 온도 조절하기 위한 가열 수단 또는 냉각 수단을 가지고 있다. 또한, 상부 전극(137)에 온도 조절하기 위한 가열 수단 또는 냉각 수단을 설치해도 좋다.
- [0161] 하부 전극(135)에는 급전선이 전기적으로 접속되어 있고, 이 급전선에는, 제1 정합기(140a)와 고주파 전원(132)

2)이 접속되어 있다. 고주파 전원(132)은, 13.56 MHz의 플라즈마 형성용의 고주파 전력을 하부 전극에 공급한다. 또한, 이 급전선에는, 제2 정합기(140b)와 저주파 전원(131)이 접속되어 있다. 저주파 전원(131)은, 예를 들면, 3.2 MHz의 고주파 전력을 하부 전극에 공급하여, 플라즈마 형성용의 고주파 전력에 중첩되게 되어 있다.

[0162] 또한, 도 14에 나타내는 에칭 장치의 각 구성부는, 프로세스 컨트롤러에 제어된다. 이 에칭 장치를 사용함으로써, 제10 세대의 3 m를 넘는 사이즈의 기판을 사용하여도 면내 균일성을 확보할 수 있다.

[0163] 다음에, 게이트 전극(51) 위에, 게이트 절연막(52a, 52b, 52c)을 순차로 형성한다. 여기까지의 공정을 끝낸 단면도가 도 9(A)에 상당한다.

[0164] 게이트 절연막(52a, 52b, 52c)은 각각, CVD법이나 스퍼터링법 등을 사용하여, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 게이트 절연막에 형성되는 핀홀 등에 의한 층간 쇼트를 막기 위해, 다른 절연층을 사용하여 다층으로 하는 것이 바람직하다. 여기에서는, 게이트 절연막(52a, 52b, 52c)으로서 질화규소막, 산화질화규소막, 질화규소막의 순으로 적층하여 형성하는 형태를 나타낸다.

[0165] 여기에서는, 산화질화규소막이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것으로서, 농도 범위로서 산소가 55~65 원자%, 질소가 1~20 원자%, Si가 25~35 원자%, 수소가 0.1~10 원자%의 범위에서 포함되는 것을 말한다.

[0166] 게이트 절연막의 첫번째층 및 두번째층의 막 두께는 모두 50 nm보다 두껍게 한다. 게이트 절연막의 첫번째층은, 기판으로부터의 불순물(예를 들면, 알칼리 금속 등)의 확산을 막기 위하여, 질화규소막 또는 질화산화규소막이 바람직하다. 또한, 게이트 절연막의 첫번째층은, 게이트 전극의 산화 방지 외에, 게이트 전극에 알루미늄을 사용하는 경우에 힐록 방지를 할 수 있다. 또한, 미결정반도체막과 접하는 게이트 절연막의 세번째층은, 0 nm보다 두껍고 5 nm 이하, 바람직하게는 약 1 nm로 한다. 게이트 절연막의 세번째층은, 미결정 반도체막과의 밀착성을 향상시키기 위하여 형성하는 것이다. 또한, 게이트 절연막의 세번째층을 질화규소막으로 함으로써 후에 행해지는 열처리에 의한 미결정 반도체막의 산화 방지를 도모할 수 있다. 예를 들면, 산소의 함유량이 많은 절연막과 미결정 반도체막을 접한 상태로 열처리를 행하면, 미결정 반도체막이 산화될 우려가 있다.

[0167] 또한, 주파수가 1 GHz인 마이크로파 플라즈마 CVD 장치를 사용하여 게이트 절연막을 형성하는 것이 바람직하다. 마이크로파 플라즈마 CVD 장치로 형성한 산화질화규소막, 질화산화규소막은, 내압이 높고, 박막트랜지스터의 신뢰성을 높일 수 있다.

[0168] 여기에서는, 게이트 절연막을 3층 구조로 했지만, 액정 표시장치의 스위칭 소자에 사용하는 경우, 교류 구동시키기 위해, 질화규소막의 단층으로만 하여도 좋다.

[0169] 다음에, 게이트 절연막의 성막 후, 대기에 노출시키지 않고 기판을 반송하여, 게이트 절연막을 성막하는 진공 챔버와는 다른 진공 챔버로 미결정 반도체막(53)을 성막하는 것이 바람직하다.

[0170] 이하에, 도 13도 참조하면서 미결정 반도체막(53)을 형성하는 수순에 대하여 설명한다. 도 13의 설명은 진공 챔버를 대기압으로부터 진공 배기(200)하는 단계로부터 나타내고 있고, 그 후에 행해지는 프리코트(1201), 기판 반입(1202), 하지 전처리(1203), 성막 처리(1204), 기판 반출(1205), 클리닝(1206)의 각 처리가 시계열적으로 나타나 있다. 단, 대기압으로부터 진공 배기하는 것에 한정되지 않고, 상시 어느 정도의 진공도로 진공 챔버를 유지해 두는 것이, 양산의 관점에서 바람직하고, 또는 단시간에 도달 진공도를 낮추는데 있어서 바람직하다.

[0171] 본 실시형태에서는, 기판 반입 전의 진공 챔버 내의 진공도를 10^{-5} Pa보다 낮게 하는 초고진공 배기를 행한다. 이 단계가 도 13의 진공 배기(1200)에 대응한다. 이러한 초고진공 배기를 행하는 경우, 크라이오 펌프를 병용하여, 터보 분자 펌프에 의한 배기를 행하고, 크라이오 펌프를 더 사용하여 진공 배기하는 것이 바람직하다. 터보 분자 펌프를 2대 직렬 연결하여 진공 배기하는 것도 유효하다. 또한, 진공 챔버에 베이킹용의 히터를 설치하여 가열 처리하고 진공 챔버 내벽으로부터의 탈가스 처리를 행하는 것이 바람직하다. 또한, 기판을 가열하는 히터도 동작시켜 온도를 안정화시킨다. 기판의 가열 온도는 100℃~300℃, 바람직하게는 120℃~220℃에서 행한다.

[0172] 다음에, 기판 반입 전에 프리코트(1201)을 행하여, 내벽 피복막으로서 실리콘막을 형성한다. 프리코트(1201)로서, 수소 또는 희가스를 도입하여 플라즈마를 발생시켜 진공 챔버의 내벽에 부착한 기체(산소 및 질소 등의 대기 성분, 혹은 진공 챔버의 클리닝에 사용한 에칭 가스)를 제거한 후, 실란 가스를 도입하여, 플라즈마를 생성한다. 실란 가스는 산소, 수분 등과 반응하므로, 실란 가스를 흘리고, 실란 플라즈마를 더 생성함으로써

진공 체임버 내의 산소, 수분을 제거할 수 있다. 또한, 프리코트(1201)의 처리를 해 둠으로써, 미결정 실리콘막 중에 진공 체임버를 구성하는 부재의 금속 원소가 불순물로서 들어가는 것을 막을 수 있다. 즉, 진공 체임버 내를 실리콘으로 피복해 둠으로써, 진공 체임버 내가 플라즈마에 의해 식각되는 것을 막을 수 있어, 후에 성막하는 미결정 실리콘막 중에 포함되는 불순물 농도를 저감할 수 있다. 프리코트(1201)는, 진공 체임버의 내벽을 기관 위에 퇴적되어야 하는 막과 동종의 막으로 피복하는 처리가 포함되어 있다.

[0173] 프리코트(1201) 후, 기관 반입(1202)이 행해진다. 미결정 실리콘막이 퇴적되어야 하는 기관은, 진공 배기된 로드실에 보관되어 있으므로, 기관을 반입했다고 하더라도 진공 체임버 내의 진공도가 현저하게 악화되는 경우는 없다.

[0174] 다음에, 하지 전처리(1203)를 행한다. 하지 전처리(1203)는, 미결정 실리콘막을 형성하는 경우에 특히 유효한 처리이며 행하는 것이 바람직하다. 즉, 유리 기관 표면, 절연막의 표면 혹은 비정질 실리콘의 표면 위에 미결정 실리콘막을 플라즈마 CVD법으로 성막하는 경우에는, 불순물이나 격자 부정합 등의 요인에 의해 퇴적 초기 단계에서 비정질층이 형성되어 버릴 우려가 있다. 이 비정질층의 두께를 극력 저감하여, 가능하면 없애기 위해, 하지 전처리(1203)를 행하는 것이 바람직하다. 하지 전처리로서는 회가스 플라즈마 처리, 수소 플라즈마 처리 혹은 이 양자의 병용에 의해 행하는 것이 바람직하다. 회가스 플라즈마 처리로서는, 아르곤, 크립톤, 크세논 등 질량수가 큰 회가스 원소를 사용하는 것이 바람직하다. 표면에 부착된 산소, 수분, 유기물, 금속 원소 등의 불순물을 스퍼터링의 효과로 제거하기 위해서이다. 수소 플라즈마 처리는, 수소 라디칼에 의해, 표면에 흡착한 상기 불순물의 제거와, 절연막 혹은 비정질 실리콘막에 대한 에칭 작용에 의해 청정한 피성막 표면을 형성하는데 유효하다. 또한, 회가스 플라즈마 처리와 수소 플라즈마 처리를 병용함으로써 미결정핵 생성의 촉진을 조장한다.

[0175] 미결정핵의 생성을 촉진시킨다고 하는 의미에서는, 도 13 중의 파선(1207)으로 나타내는 바와 같이, 미결정 실리콘막의 성막 초기에 아르곤 등의 회가스를 계속하여 공급하는 것은 유효하다.

[0176] 다음에, 하지 전처리(1203)에 이어 미결정 실리콘막을 형성하는 성막 처리(1204)를 행한다. 본 실시형태에서는, 성막 속도는 낮지만 품질이 좋은 제1 성막 조건으로 게이트 절연막 계면 부근의 막을 형성하고, 그 후, 높은 성막 속도의 제2 성막 조건으로 바꾸어 막을 퇴적한다.

[0177] 제1 성막 조건에서의 성막 속도보다 제2 성막 조건의 성막 속도가 빠르면 특별히 한정되는 것은 아니다. 따라서, 주파수가 수십 MHz~수백 MHz의 고주파 플라즈마 CVD법, 또는 주파수가 1 GHz 이상의 마이크로파 플라즈마 CVD 장치에 의해 형성하고, 대표적으로는, SiH_4 , Si_2H_6 등의 수소화규소를 수소로 희석하여 플라즈마 생성함으로써 성막할 수 있다. 또한, 수소화규소 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 일종 또는 복수종의 회가스 원소로 희석하여 미결정 반도체막을 형성할 수 있다. 이 때의 수소화규소에 대하여 수소의 유량비를 12배 이상 1000배 이하, 바람직하게는 50배 이상 200배 이하, 더욱 바람직하게는 100배로 한다. 또한, 수소화규소 대신에, SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다.

[0178] 또한, 재료 가스에 헬륨을 첨가한 경우, 헬륨은 24.5 eV로 모든 기체 중에서 가장 높은 이온화 에너지를 가지고, 그 이온화 에너지보다 조금 낮은, 약 20 eV의 준위에서 준안정 상태에 있으므로, 방전 지속 중에는, 이온화에는 그 차이 약 4 eV 밖에 필요로 하지 않는다. 따라서, 방전 개시 전압도 모든 기체 중 가장 낮은 값을 나타낸다. 이러한 특성으로부터, 헬륨은 플라즈마를 안정적으로 유지할 수 있다. 또한, 균일한 플라즈마를 형성할 수 있으므로, 미결정 실리콘막을 퇴적하는 기관의 면적이 커지더라도 플라즈마 밀도의 균일화를 도모하는 효과를 얻는다.

[0179] 또한, 실란 등의 가스 중에 CH_4 , C_2H_6 등의 탄소의 수소화물, GeH_4 , GeF_4 등의 수소화게르마늄, 불화게르마늄을 혼합하여, 에너지 밴드폭을 1.5~2.4 eV, 혹은 0.9~1.1 eV로 조절해도 좋다. 규소에 탄소 또는 게르마늄을 더하면 TFT의 온도 특성을 바꿀 수 있다.

[0180] 여기에서는, 제1 성막 조건은, 실란은 수소 및/또는 회가스로 100배 초과 2000배 이하로 희석하고, 기관의 가열 온도는 100℃~300℃, 바람직하게는 120℃~220℃로 한다. 미결정 실리콘막의 성장 표면을 수소로 불활성화하여, 미결정 실리콘의 성장을 촉진하기 위해서는 120℃~220℃로 성막을 행하는 것이 바람직하다.

[0181] 제1 성막 조건을 끝낸 단계에서의 단면도를 도 9(B)에 나타낸다. 게이트 절연막(52c) 위에는, 성막 속도는 낮지만 품질이 좋은 미결정 반도체막(23)이 성막되어 있다. 이 제1 성막 조건으로 얻을 수 있는 미결정 반도체막(23)의 품질이, 후에 형성되는 TFT의 온(on) 전류 증대 및 전계 효과 이동도의 향상에 기여하기 때문에, 막 중

의 산소 농도가 $1 \times 10^{17} / \text{cm}$ 이하가 되도록 충분히 산소 농도를 저감시키는 것이 중요하다. 또한, 상기 수순에 의해, 산소 뿐만이 아니라, 질소, 및 탄소가 미결정 반도체막의 막 중에 혼입하는 농도를 저감할 수 있기 때문에 미결정 반도체막이 n형화가 되는 것을 방지할 수 있다.

[0182] 다음에, 제2 성막 조건으로 바꾸어 성막 속도를 높여 미결정 반도체막(53)을 성막한다. 이 단계에서의 단면도가 도 9(C)에 상당한다. 미결정 반도체막(53)의 막 두께는, 50 nm~500 nm(바람직하게는 100 nm~250 nm)의 두께로 하면 좋다. 또한, 본 실시형태에서는, 미결정 반도체막(53)의 성막 시간은, 제1 성막 조건으로 성막이 행해지는 제1 성막 기간과 제2 성막 조건으로 성막이 행해지는 제2 성막 기간을 가진다.

[0183] 여기에서는, 제2 성막 조건은, 실란은 수소 및/또는 희가스로 12배 이상 100배 이하로 희석하고, 기관의 가열 온도는 100℃~300℃, 바람직하게는 120℃~220℃로 한다. 또한, 용량 결합형(평행 평판형)의 CVD 장치를 사용하여, 갭(전극면과 기관 표면의 간격)을 20 mm로 하고, 진공 챔버 내의 진공도를 100 Pa로 하고, 기관 온도를 300℃로 하고, 60 MHz의 고주파 전력을 20 W 가하고, 실란 가스(유량 8 sccm)를 수소(유량 400 sccm)로 50배 희석하여 미결정 실리콘막을 성막한다. 또한, 상기 성막 조건으로 실란 가스의 유량만을 4 sccm으로 변경하여 100배 희석하여 미결정 실리콘막을 성막하면 성막 속도가 늦어진다. 수소 유량을 고정하여 실란 유량을 늘림으로써 성막 속도가 증대된다. 성막 속도를 저하시킴으로써 결정성이 향상된다.

[0184] 본 실시형태에서는, 용량 결합형(평행 평판형)의 CVD 장치를 사용하여 갭(전극면과 기관 표면의 간격)을 20 mm로 하고, 제1 성막 조건을 진공 챔버 내의 진공도를 100 Pa로 하고, 기관 온도를 100℃로 하고, 60 MHz의 고주파 전력을 30 W 가하고, 실란 가스(유량 2 sccm)를 수소(유량 400 sccm)로 200배 희석하는 조건으로 하고, 가스 유량을 바꾸어 성막 속도를 빠르게 하는 제2 성막 조건으로서 4 sccm의 실란 가스를 수소(유량 400 sccm)로 100배 희석하는 조건으로 성막을 행한다.

[0185] 다음에, 제2 성막 조건에서의 미결정 실리콘의 성막이 종료한 후, 실란, 수소 등의 재료 가스 및 고주파 전력의 공급을 멈추고, 기관 반출(1205)을 행한다. 계속하여, 다음의 기관에 대하여 성막 처리를 행하는 경우에는, 기관 반입(1202)의 단계로 복귀하여 같은 처리를 한다. 진공 챔버 내에 부착한 피막이나 분말을 제거하기 위해서는, 클리닝(1206)을 행한다.

[0186] 클리닝(1206)은 NF_3 , SF_6 로 대표되는 에칭 가스를 도입하여 플라즈마 에칭을 행한다. 또한, ClF_3 와 같이 플라즈마를 사용하지 않아도 에칭이 가능한 가스를 도입하여 행한다. 클리닝(1206)에서는 기관 가열용의 히터를 끄고, 온도를 낮추어 행하는 것이 바람직하다. 에칭에 의한 반응 부생성물의 생성을 억제하기 위해서이다. 클리닝(1206)의 종료 후에는 프리코트(1201)로 복귀하여, 다음의 기관에 대하여 상술한 것과 마찬가지로의 처리를 행하면 좋다. NF_3 는 질소를 조성에 포함하고 있기 때문에, 성막실 중의 질소 농도를 저감하기 위해서는 프리코트를 행하여 충분히 질소 농도를 낮추는 것이 바람직하다.

[0187] 다음에, 미결정 반도체막(53)의 성막 후, 대기에 노출시키지 않고 기관을 반송하여, 미결정 반도체막(53)을 성막하는 진공 챔버와는 다른 진공 챔버로 버퍼층(54)을 성막하는 것이 바람직하다. 버퍼층(54)의 진공 챔버와 별도로 함으로써, 미결정 반도체막(53)을 성막하는 진공 챔버는 기관 도입 전에 초고진공으로 하는 전용 챔버로 할 수 있어, 불순물 오염을 극력 억제하고, 또한, 초고진공에 도달하는 시간을 단축할 수 있다. 초고진공에 도달하기 위하여 베이크를 행하는 경우, 챔버 내벽 온도가 내려가 안정될 때까지 시간이 걸리기 때문에, 특히 유효하다. 또한, 진공 챔버를 따로 따로 함으로써, 얻고자 하는 막질에 맞추어 각각 고주파 전력의 주파수를 다르게 할 수 있다.

[0188] 버퍼층(54)은 수소, 혹은 할로젠을 포함하는 비정질 반도체막을 사용하여 형성한다. 수소화규소의 유량의 1배 이상 10배 이하, 더욱 바람직하게는 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 상기 수소화규소와, 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)를 사용함으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체막을 형성할 수 있다. 또한, 수소화규소 대신에, SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다.

[0189] 또한, 버퍼층(54)은, 타겟으로 비정질 반도체를 사용하여 수소, 또는 희가스로 스퍼터링하여 비정질 반도체막을 형성할 수 있다. 또한, 분위기 중에 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)를 포함하게 함으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체막을 형성할 수 있다.

- [0190] 버퍼층(54)은 결정립을 포함하지 않는 비정질 반도체막으로 형성하는 것이 바람직하다. 이 때문에, 주파수가 수십 MHz~수백 MHz의 고주파 플라즈마 CVD법, 또는 마이크로파 플라즈마 CVD법으로 형성하는 경우는, 결정립을 포함하지 않는 비정질 반도체막이 되도록, 성막 조건을 제어하는 것이 바람직하다.
- [0191] 버퍼층(54)은 후의 소스 영역 및 드레인 영역의 형성 프로세스에서, 일부 에칭한다. 그 때에, 미결정 반도체막(53)이 노정되지 않도록 버퍼층(54)의 일부가 잔존하는 두께로 형성하는 것이 바람직하다. 대표적으로는, 100 nm 이상 400 nm 이하, 바람직하게는 200 nm 이상 300 nm 이하의 두께로 형성하는 것이 바람직하다. 박막트랜지스터의 인가 전압이 높은(예를 들면, 15 V 정도) 표시장치, 대표적으로는 액정 표시장치에서, 버퍼층(54)의 막 두께를 상기 범위에 나타내는 바와 같이 두껍게 형성하면, 내압이 높아져, 박막트랜지스터에 높은 전압이 인가 되어도, 박막트랜지스터가 열화하는 것을 회피할 수 있다.
- [0192] 또한, 버퍼층(54)에는, 인이나 붕소 등의 일 도전형을 부여하는 불순물이 첨가되어 있지 않다. 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)에서 일 도전형을 부여하는 불순물이 미결정 반도체막(53)에 확산하지 않도록, 버퍼층(54)이 배리어층으로서 기능하고 있다. 버퍼층을 형성하지 않는 경우, 미결정 반도체막(53)과 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)이 접하게 되면, 후의 에칭 공정이나 가열 처리에 의해 불순물이 이동하여, 스레시홀드값 제어가 곤란하게 될 우려가 있다.
- [0193] 또한, 버퍼층(54)을 미결정 반도체막(53)의 표면 위에 형성함으로써, 미결정 반도체막(53)에 포함되는 결정립의 표면의 자연 산화를 방지하는 것이 가능하다. 특히, 비정질 반도체와 미결정립이 접하는 영역에서는, 국부 응력에 의해 균열이 들어가기 쉽다. 이 균열이 산소에 접하면 결정립은 산화되고, 산화규소가 형성되게 된다.
- [0194] 비정질 반도체막인 버퍼층(54)의 에너지 갭이 미결정 반도체막(53)에 비하여 크고(비정질 반도체막의 에너지 갭은 1.6 eV 이상 1.8 eV 이하, 미결정 반도체막(53)의 에너지 갭은 1.1 eV 이상 1.5 eV 이하), 또한, 저항이 높고, 이동도가 낮고, 미결정 반도체막(53)의 1/5~1/10이다. 따라서, 후에 형성되는 박막트랜지스터에서, 소스 영역 및 드레인 영역과, 미결정 반도체막(53)과의 사이에 형성되는 버퍼층은 고저항 영역으로서 기능하고, 미결정 반도체막(53)이 채널 형성 영역으로서 기능한다. 이 때문에, 박막트랜지스터의 오프 전류를 저감할 수 있다. 이 박막트랜지스터를 표시장치의 스위칭 소자로서 사용한 경우, 표시장치의 콘트라스트를 향상시킬 수 있다.
- [0195] 또한, 미결정 반도체막(53) 위에, 플라즈마 CVD법에 의해 버퍼층(54)을 300℃~400℃의 온도에서 성막하는 것이 바람직하다. 이 성막 처리에 의해 수소가 미결정 반도체막(53)에 공급되어, 미결정 반도체막(53)을 수소화한 것과 동등한 효과를 얻을 수 있다. 즉, 미결정 반도체막(53) 위에 버퍼층(54)을 퇴적함으로써, 미결정 반도체막(53)에 수소를 확산시켜, 덩글링 본드의 종단을 행할 수 있다.
- [0196] 다음에, 버퍼층(54)의 성막 후, 대기에 노출시키지 않고 기판을 반송하여, 버퍼층(54)을 성막하는 진공 체임버와는 다른 진공 체임버로 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 성막하는 것이 바람직하다. 이 단계에서의 단면도가 도 9(D)에 상당한다. 버퍼층(54)을 성막하는 진공 체임버와는 다른 진공 체임버로 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 성막함으로써 버퍼층의 성막시에 일 도전형을 부여하는 불순물이 혼입하지 않게 할 수 있다.
- [0197] 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)은, n 채널형의 박막트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 인을 첨가하면 좋고, 수소화규소에 PH_3 등의 불순물 기체를 더하면 좋다. 또한, p 채널형의 박막트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 붕소를 첨가하면 좋고, 수소화규소에 B_2H_6 등의 불순물 기체를 첨가하면 좋다. 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)은, 미결정 반도체, 또는 비정질 반도체로 형성할 수 있다. 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)은 2 nm 이상 50 nm 이하의 두께로 형성한다. 일 도전형을 부여하는 불순물이 첨가된 반도체막의 막 두께를, 얇게 함으로써 스루풋을 향상시킬 수 있다.
- [0198] 다음에, 도 10(A)에 나타내는 바와 같이, 일 도전형을 부여하는 불순물이 첨가된 반도체막(55) 위에 레지스트 마스크(56)를 형성한다. 레지스트 마스크(56)는, 포토리소그래피 기술 또는 잉크젯법에 의해 형성한다. 여기에서는, 제2 포토마스크를 사용하고, 일 도전형을 부여하는 불순물이 첨가된 반도체막(55) 위에 도포된 레지스트를 노광 현상하여, 레지스트 마스크(56)를 형성한다.
- [0199] 다음에, 레지스트 마스크(56)를 사용하여 미결정 반도체막(53), 버퍼층(54), 및 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 에칭하여 분리하고, 도 10(B)에 나타내는 바와 같이, 미결정 반도체막(61), 버퍼층(62),

및 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)을 형성한다. 이 후, 레지스트 마스크(56)를 제거한다.

[0200] 미결정 반도체막(61), 버퍼층(62)의 단부 측면이 경사하고 있는 것에 의해, 버퍼층(62) 위에 형성되는 소스 영역 및 드레인 영역과 미결정 반도체막(61)과의 사이에 리크 전류가 생기는 것을 방지하는 것이 가능하다. 또한, 소스 전극 및 드레인 전극과, 미결정 반도체막(61)과의 사이에 리크 전류가 생기는 것을 방지하는 것이 가능하다. 미결정 반도체막(61) 및 버퍼층(62)의 단부 측면의 경사 각도는, $30^{\circ} \sim 90^{\circ}$, 바람직하게는 $45^{\circ} \sim 80^{\circ}$ 이다. 이와 같은 각도로 함으로써, 단차 형상에 의한 소스 전극 또는 드레인 전극의 단절을 막을 수 있다.

[0201] 다음에, 도 10(C)에 나타내는 바와 같이, 일 도전형을 부여하는 불순물이 첨가된 반도체막(63) 및 게이트 절연막(52c)을 덮도록 도전막(65a~65c)을 형성한다. 도전막(65a~65c)은, 알루미늄, 혹은 구리, 실리콘, 티탄, 네오디뮴, 스칸듐, 몰리브덴 등의 내열성 향상 원소 혹은 힐록 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체막과 접하는 측의 막을, 티탄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 형성하고, 그 위에 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 또는 알루미늄 합금의 상면 및 하면을, 티탄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 끼운 적층 구조로 하여도 좋다. 여기에서는, 도전막으로서, 도전막(65a~65c) 3층이 적층한 구조의 도전막을 나타내고, 도전막(65a, 65c)에 몰리브덴막, 도전막(65b)에 알루미늄막을 사용한 적층 도전막이나, 도전막(65a, 65c)에 티탄막, 도전막(65b)에 알루미늄막을 사용한 적층 도전막을 나타낸다. 도전막(65a~65c)은, 스퍼터링법이나 진공 증착법으로 형성한다.

[0202] 다음에, 도 10(D)에 나타내는 바와 같이, 도전막(65a~65c) 위에 제3 포토마스크를 사용하여 레지스트 마스크(66)를 형성하고, 도전막(65a~65c)의 일부를 에칭하여 한 쌍의 소스 전극 및 드레인 전극(71a~71c)을 형성한다. 도전막(65a~65c)을 습식 에칭하면, 선택적으로 에칭된다. 이 결과, 도전막(65a~65c)을 등방적으로 에칭하기 때문에, 레지스트 마스크(66)보다 면적이 작은 소스 전극 및 드레인 전극(71a~71c)을 형성할 수 있다.

[0203] 다음에, 도 11(A)에 나타내는 바와 같이, 레지스트 마스크(66)를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)을 에칭하여, 한 쌍의 소스 영역 및 드레인 영역(72)을 형성한다. 또한, 이 에칭 공정에서, 버퍼층(62)의 일부도 에칭한다. 일부 에칭된, 오목한 부분(홈)이 형성된 버퍼층을 버퍼층(73)이라고 나타낸다. 소스 영역 및 드레인 영역의 형성 공정과, 버퍼층의 오목한 부분(홈)을 동일 공정으로 형성할 수 있다. 버퍼층의 오목한 부분(홈)의 깊이를 버퍼층(73)의 가장 막 두께가 두꺼운 영역의 $1/2 \sim 1/3$ 로 함으로써, 소스 영역 및 드레인 영역의 거리를 떼어 놓는 것이 가능하기 때문에, 소스 영역 및 드레인 영역의 사이에서의 리크 전류를 저감할 수 있다. 이 후, 레지스트 마스크(66)를 제거한다.

[0204] 특히, 건식 에칭 등에서 사용하는 플라즈마에 노출되면 레지스트 마스크는 변질하여, 레지스트 제거 공정으로 완전하게는 제거되지 않고, 잔사(殘渣)가 남는 것을 막기 위하여 버퍼층을 50 nm 정도 에칭한다. 레지스트 마스크(66)는 도전막(65a~65c)의 일부의 에칭 처리와, 소스 영역 및 드레인 영역(72) 형성시의 에칭 처리의 2회에 사용되고 있고, 어느쪽이나 건식 에칭을 사용하는 경우에는, 잔사가 남기 쉽기 때문에, 잔사를 완전히 제거할 때에 에칭되어도 좋은 버퍼층(73)의 막 두께를 두껍게 형성하는 것은 유효하다. 또한, 버퍼층(73)은, 건식 에칭 시에 플라즈마 데미지가 미결정 반도체막(61)에 부여되는 것을 방지할 수도 있다.

[0205] 다음에, 도 11(B)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(71a~71c), 소스 영역 및 드레인 영역(72), 버퍼층(73), 미결정 반도체막(61), 및 게이트 절연막(52c)을 덮는 절연막(76)을 형성한다. 절연막(76)은, 게이트 절연막(52a, 52b, 52c)과 같은 성막 방법을 이용하여 형성할 수 있다. 또한, 절연막(76)은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것으로, 치밀한 막이 바람직하다. 또한, 절연막(76)에 질화규소막을 사용함으로써, 버퍼층(73) 중의 산소 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하로 할 수 있다.

[0206] 도 11(B)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(71a~71c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치하지 않고 어긋난 형상이 됨으로써, 소스 전극 및 드레인 전극(71a~71c)의 단부의 거리가 멀어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 쇼트를 방지할 수 있다. 또한, 소스 전극 및 드레인 전극(71a~71c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치하지 않고 어긋난 형상이기 때문에, 소스 전극 및 드레인 전극(71a~71c) 및 소스 영역 및 드레인 영역(72)의 단부에 전계가 집중하지 않고, 게이트 전극(51)과, 소스 전극 및 드레인 전극(71a~71c)과의 사이에서의 리크 전류를 방지할 수 있다. 따라서, 신뢰성이 높고, 또한, 내압이 높은 박막트랜지스터를 제작할 수 있다.

- [0207] 이상의 공정에 의해, 박막트랜지스터(74)를 형성할 수 있다.
- [0208] 본 실시형태에서 나타내는 박막트랜지스터는, 게이트 전극 위에 게이트 절연막, 미결정 반도체막, 버퍼층, 소스 영역 및 드레인 영역, 소스 전극 및 드레인 전극이 적층되어, 채널 형성 영역으로서 기능하는 미결정 반도체막의 표면을 버퍼층이 덮는다. 또한, 버퍼층의 일부에는 오목한 부분(홈)이 형성되어 있고, 이 오목한 부분 이외의 영역이 소스 영역 및 드레인 영역으로 덮여진다. 즉, 버퍼층에 형성되는 오목한 부분에 의해, 소스 영역 및 드레인 영역의 거리가 떨어져 있기 때문에, 소스 영역 및 드레인 영역의 사이에서의 리크 전류를 저감할 수 있다. 또한, 버퍼층의 일부를 에칭함으로써 오목한 부분을 형성하기 때문에, 소스 영역 및 드레인 영역의 형성 공정에서 발생하는 에칭 잔사를 제거할 수 있기 때문에, 잔사를 통하여 소스 영역 및 드레인 영역에 리크 전류(기생 채널)가 발생하는 것을 회피할 수 있다.
- [0209] 또한, 채널 형성 영역으로서 기능하는 미결정 반도체막과 소스 영역 및 드레인 영역과의 사이에, 버퍼층이 형성되어 있다. 또한, 미결정 반도체막의 표면이 버퍼층으로 덮여 있다. 고저항의 버퍼층은, 미결정 반도체막과, 소스 영역 및 드레인 영역과의 사이에까지 연장하고 있기 때문에, 박막트랜지스터에 리크 전류가 발생하는 것을 저감할 수 있음과 동시에, 높은 전압의 인가에 의한 열화를 저감할 수 있다. 또한, 버퍼층과, 미결정 반도체막과, 소스 영역 및 드레인 영역은, 모두 게이트 전극과 중첩되는 영역 위에 형성된다. 따라서, 게이트 전극의 단부 형상에 영향을 받지 않는 구조로 할 수 있다. 게이트 전극을 적층 구조로 한 경우, 하층으로서 알루미늄을 사용하면, 게이트 전극 측면에 알루미늄이 노출되어, 힐록이 발생할 우려가 있지만, 또한, 소스 영역 및 드레인 영역을 게이트 전극 단부와도 중첩되지 않는 구성으로 함으로써, 게이트 전극 측면과 중첩되는 영역에서 쇼트가 발생하는 것을 막을 수 있다. 또한, 미결정 반도체막의 표면에 수소로 표면이 종단된 비정질 반도체막이 버퍼층으로서 형성되어 있기 때문에, 미결정 반도체막의 산화를 방지하는 것이 가능함과 동시에, 소스 영역 및 드레인 영역의 형성 공정에 발생하는 에칭 잔사가 미결정 반도체막에 혼입하는 것을 막을 수 있다. 이 때문에, 전기 특성이 뛰어나고, 또한, 내압이 뛰어난 박막트랜지스터이다.
- [0210] 또한, 박막트랜지스터의 채널 길이를 짧게 할 수 있어, 박막트랜지스터의 평면 면적을 축소할 수 있다.
- [0211] 다음에, 절연막(76)에 제4 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 절연막(76)의 일부를 에칭하여 콘택트 홀을 형성하고, 이 콘택트 홀에서 소스 전극 또는 드레인 전극(71c)에 접하는 화소 전극(77)을 형성한다. 또한, 도 11(C)은 도 12의 섹션 A-B의 단면도에 상당한다.
- [0212] 도 12에 나타내는 바와 같이, 소스 영역 및 드레인 영역(72)의 단부는, 소스 전극 및 드레인 전극(71c)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 버퍼층(73)의 단부는 소스 전극 및 드레인 전극(71c) 및 소스 영역 및 드레인 영역(72)의 단부의 외측에 위치한다. 또한, 소스 전극 및 드레인 전극의 한쪽은 소스 영역 및 드레인 영역의 다른 한쪽을 둘러싸는 형상(구체적으로는, U자형, C자형)이다. 이 때문에, 캐리어가 이동하는 영역의 면적을 증가시키는 것이 가능하기 때문에, 전류량을 늘리는 것이 가능하고, 박막트랜지스터의 면적을 축소할 수 있다. 또한, 게이트 전극 위에서 미결정 반도체막, 소스 전극 및 드레인 전극이 중첩되어 있기 때문에, 게이트 전극의 요철의 영향이 적고, 피복율의 저감 및 리크 전류의 발생을 억제할 수 있다. 또한, 소스 전극 또는 드레인 전극의 한쪽은, 소스 배선 또는 드레인 배선으로서도 기능한다.
- [0213] 또한, 미결정 반도체막과 중첩되지 않는 게이트 배선측부의 폭은, 미결정 반도체막과 중첩되어 있는 게이트 전극측부의 폭보다 좁다. 이렇게 함으로써 화소부의 개구율의 향상을 도모하고 있다. 또한, 미결정 반도체막과 중첩되어 있는 게이트 전극의 측면의 각도(테이퍼각)는, 미결정 반도체막과 중첩되지 않는 게이트 배선 측면보다 작다. 이렇게 함으로써, 상방에 형성되는 막의 피복성을 양호한 것으로 하고 있다.
- [0214] 또한, 화소 전극(77)은, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 사용할 수 있다.
- [0215] 또한, 화소 전극(77)으로서, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극(77)은, 시트 저항이 $10000 \Omega / \square$ 이하, 파장 550 nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 $0.1 \Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0216] 도전성 고분자로서는, 소위 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.

- [0217] 여기에서는, 화소 전극(77)으로서는, 스퍼터링법에 의해 인듐 주석 산화물막을 성막한 후, 인듐 주석 산화물막 위에 레지스트를 도포한다. 다음에, 제5 포토마스크를 사용하여 레지스트를 노광 및 현상하여, 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여 인듐 주석 산화물막을 에칭하여 화소 전극(77)을 형성한다.
- [0218] 이상에 의해 표시장치에 사용하는 것이 가능한 소자 기관을 형성할 수 있다.
- [0219] 본 실시형태는, 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4 또는 실시형태 5와 자유롭게 조합할 수 있다.
- [0220] [실시형태 7]
- [0221] 본 형태는 기관을 진공 챔버에 반입하기 전에, 수소 또는 희가스를 도입하여 플라즈마를 발생시켜 진공 챔버의 내벽에 부착한 기체(산소 및 질소 등의 대기 성분, 혹은 진공 챔버의 클리닝에 사용한 에칭 가스)를 제거한 후, 수소와 실란 가스와 미량의 포스핀(PH_3) 가스를 도입하는 예를 나타낸다. 실시형태 2와는 일부 공정이 다를 뿐이므로, 다른 공정만을 이하에 상세하게 도 15를 사용하여 설명한다. 도 15에 있어서, 실시형태 2와 같은 부분에는 같은 부호를 사용한다.
- [0222] 먼저, 실시형태 6과 마찬가지로 다계조 마스크를 사용하여 기관(350) 위에 게이트 전극을 형성한다. 여기에서는, 600 mm×720 mm의 사이즈의 무알칼리 유리 기관을 사용한다. 또한, 여기에서는, 대면적의 기관을 사용하여 표시 화면이 큰 표시장치를 제작하는 예이므로, 전기 저항이 낮은 알루미늄으로 이루어지는 제1 도전층(351a)과, 제1 도전층(351a)보다 내열성이 높은 폴리브텐으로 이루어지는 제2 도전층(351b)을 적층시킨 게이트 전극으로 한다. 에칭 장치는, 도 14에 나타내는 ECCP 모드의 에칭 장치를 사용한다.
- [0223] 다음에, 게이트 전극의 상층인 제2 도전층(351b) 위에, 게이트 절연막(352)을 형성한다. 액정 표시장치의 스위칭 소자에 사용하는 경우, 교류 구동시키기 때문에, 게이트 절연막(352)은, 질화규소막의 단층만으로 하는 것이 바람직하다. 여기에서는, 게이트 절연막(352)으로서 단층의 질화규소막(유전율 7.0, 두께 300 nm)을 플라즈마 CVD법에 의해 형성한다. 여기까지의 공정을 끝낸 단면도가 도 15(A)에 상당한다.
- [0224] 다음에, 게이트 절연막의 성막 후, 대기에 노출시키지 않고 기관을 반송하여, 게이트 절연막을 성막하는 진공 챔버와는 다른 진공 챔버로 미결정 반도체막을 성막한다.
- [0225] 기관을 성막 장치의 진공 챔버에 반입하기 전에, 수소 또는 희가스를 도입하여 플라즈마를 발생시켜 진공 챔버의 내벽에 부착한 기체(산소 및 질소 등의 대기 성분, 혹은 진공 챔버의 클리닝에 사용한 에칭 가스)를 제거한 후, 수소와 실란 가스와 미량의 포스핀(PH_3) 가스를 도입한다. 실란 가스는, 진공 챔버 내의 산소, 수분 등과 반응시킬 수 있다. 미량의 포스핀 가스는, 후에 성막 되는 미결정 반도체막 중에 인을 포함하게 할 수 있다.
- [0226] 다음에, 기관을 진공 챔버에 반입하여, 도 15(B)에 나타내는 바와 같이, 실란 가스 및 미량의 포스핀 가스에 노출한 후, 미결정 반도체막을 성막한다. 미결정 반도체막은, 대표적으로는, SiH_4 , Si_2H_6 등의 수소화규소를 수소로 희석하여 플라즈마 생성함으로써 성막할 수 있다. 실란 가스의 유량의 100배 초과 2000배 이하의 유량의 수소를 사용하여, 인 및 수소를 포함하는 미결정 반도체막(353)을 형성할 수 있다. 미량의 포스핀 가스에 노출 시킴으로써, 결정핵 발생을 조장하여 미결정 반도체막(353)을 성막한다. 이 미결정 반도체막(353)은, 인의 농도가 게이트 절연막 계면으로부터 떨어진 거리의 증대에 따라 감소하는 농도 프로파일을 나타낸다.
- [0227] 다음에, 같은 챔버로 성막 조건을 변경하여, 수소화규소의 유량의 1배 이상 10배 이하, 더욱 바람직하게는 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 실리콘으로 이루어지는 버퍼층(54)을 적층한다. 여기까지의 공정을 끝낸 단면도가 도 15(C)에 상당한다.
- [0228] 다음에, 버퍼층(54)의 성막 후, 대기에 노출되지 않도록 기관을 반송하여, 미결정 반도체막(353) 및 버퍼층(54)을 성막하는 진공 챔버와는 다른 진공 챔버로 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 성막한다. 반도체막(55)의 성막 이후의 공정은, 실시형태 6과 동일하기 때문에, 여기에서는 상세한 설명은 생략한다.
- [0229] 본 실시형태는, 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4, 실시형태 5 또는 실시형태 6과 자유롭게 조합할 수 있다.
- [0230] [실시형태 8]

- [0231] 실시형태 2와는 다른 박막트랜지스터의 제작방법에 대하여, 도 16 내지 도 18을 사용하여 설명한다. 여기에서는, 상기 실시형태 6과 비교하여 포토마스크수를 삭감하는 것이 가능한 프로세스를 사용하여 박막트랜지스터를 제작하는 공정에 대하여 나타낸다.
- [0232] 실시형태 6에 나타낸 도 9(A)와 마찬가지로, 기판(50) 위에 도전막을 형성하고, 도전막 위에 레지스트를 도포하여, 다계조 마스크를 사용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여, 게이트 전극(51)을 형성한다. 여기에서는 도시하지 않았지만, 적절히, 테이퍼각이 다른 측면을 가지는 게이트 전극 또는 게이트 배선을 형성한다. 다음에, 게이트 전극(51) 위에, 게이트 절연막(52a, 52b, 52c)을 순차로 형성한다.
- [0233] 다음에, 제1 성막 조건으로 미결정 반도체막(53)을 형성한다. 계속하여, 같은 체임버로 제2 성막 조건으로 성막을 행하고, 실시형태 6에 나타낸 도 9(C)와 마찬가지로, 미결정 반도체막(53)을 형성한다. 다음에, 실시형태 6에 나타낸 도 9(D)와 마찬가지로, 미결정 반도체막(53) 위에, 버퍼층(54), 일 도전형을 부여하는 불순물이 첨가된 반도체막(55)을 순차로 형성한다.
- [0234] 다음에, 일 도전형을 부여하는 불순물이 첨가된 반도체막(55) 위에 도전막(65a~65c)을 형성한다. 다음에, 도 16(A)에 나타내는 바와 같이, 도전막(65a) 위에 레지스트(80)를 도포한다.
- [0235] 레지스트(80)는, 포지티브형 레지스트 또는 네거티브형 레지스트를 사용할 수 있다. 여기에서는, 포지티브형 레지스트를 사용하여 나타낸다.
- [0236] 다음에, 제2 포토마스크로서 다계조 마스크(59)를 사용하고, 레지스트(80)에 광을 조사하여, 레지스트(80)를 노광한다.
- [0237] 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 16(B)에 나타내는 바와 같이, 막 두께가 다른 영역을 가지는 레지스트 마스크(81)를 형성할 수 있다.
- [0238] 다음에, 레지스트 마스크(81)를 마스크로 하여, 미결정 반도체막(53), 버퍼층(54), 일 도전형을 부여하는 불순물이 첨가된 반도체막(55), 및 도전막(65a~65c)을 에칭하여 분리한다. 이 결과, 도 17(A)에 나타내는 바와 같은, 미결정 반도체막(61), 버퍼층(62), 일 도전형을 부여하는 불순물이 첨가된 반도체막(63), 및 도전막(85a~85c)을 형성할 수 있다.
- [0239] 다음에, 레지스트 마스크(81)를 에칭한다. 이 결과, 레지스트의 면적이 축소하여, 두께가 얇아진다. 이 때, 막 두께가 얇은 영역의 레지스트(게이트 전극(51)의 일부와 중첩하는 영역)는 제거되고, 도 17(A)에 나타내는 바와 같이, 분리된 레지스트 마스크(86)를 형성할 수 있다.
- [0240] 다음에, 레지스트 마스크(86)를 사용하여, 도전막(85a~85c)을 에칭하여 분리한다. 이 결과, 도 17(B)에 나타내는 바와 같은, 한 쌍의 소스 전극 및 드레인 전극(92a~92c)을 형성할 수 있다. 레지스트 마스크(86)를 사용하여 도전막(89a~89c)을 습식 에칭하면, 도전막(89a~89c)의 단부가 선택적으로 에칭된다. 이 결과, 레지스트 마스크(86)보다 면적이 작은 소스 전극 및 드레인 전극(92a~92c)을 형성할 수 있다.
- [0241] 다음에, 레지스트 마스크(86)를 사용하여, 일 도전형을 부여하는 불순물이 첨가된 반도체막(63)을 에칭하여, 한 쌍의 소스 영역 및 드레인 영역(88)을 형성한다. 또한, 이 에칭 공정에서, 버퍼층(62)의 일부도 에칭한다. 일부 에칭된 버퍼층을 버퍼층(87)으로 나타낸다. 또한, 버퍼층(87)에는 오목부가 형성된다. 소스 영역 및 드레인 영역의 형성 공정과, 버퍼층의 오목한 부분(홈)을 동일 공정으로 형성할 수 있다. 여기에서는, 버퍼층(87)의 일부가, 레지스트 마스크(81)와 비교하여 면적이 축소된 레지스트 마스크(86)로 일부 에칭되었기 때문에, 소스 영역 및 드레인 영역(88)의 외측에 버퍼층(87)이 돌출한 형상이 된다. 이 후, 레지스트 마스크(86)를 제거한다. 또한, 소스 전극 및 드레인 전극(92a~92c)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고 어긋나 있고, 소스 전극 및 드레인 전극(92a~92c)의 단부의 외측에, 소스 영역 및 드레인 영역(88)의 단부가 형성된다.
- [0242] 도 17(C)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(92a~92c)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고 어긋난 형상이 됨으로써, 소스 전극 및 드레인 전극(92a~92c)의 단부의 거리가 멀어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 쇼트를 방지할 수 있다. 또한, 소스 전극 및 드레인 전극(92a~92c)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고 어긋난 형상이기 때문에, 소스 전극 및 드레인 전극(92a~92c) 및 소스 영역 및 드레인 영역(88)의 단부에 전계가 집중하지 않고, 게이트 전극(51)과, 소스 전극 및 드레인 전극(92a~92c)과의 사이에서의 리크 전류를 방지할 수 있다.

- [0243] 이상의 공정에 의해, 박막트랜지스터(83)를 형성할 수 있다. 또한, 2장의 포토마스크를 사용하여 박막트랜지스터를 형성할 수 있다.
- [0244] 다음에, 도 18(A)에 나타내는 바와 같이, 소스 전극 및 드레인 전극(92a~92c), 소스 영역 및 드레인 영역(88), 버퍼층(87), 미결정 반도체막(90), 및 게이트 절연막(52c) 위에 절연막(76)을 형성한다.
- [0245] 다음에, 제3 포토마스크를 사용하여 형성한 레지스트 마스크를 사용하여 절연막(76)의 일부를 에칭하여 콘택트 홀을 형성한다. 다음에, 이 콘택트 홀에서 소스 전극 또는 드레인 전극(71c)에 접하는 화소 전극(77)을 형성한다. 여기에서는, 화소 전극(77)으로서는, 스퍼터링법에 의해 인듐 주석 산화물막을 성막한 후, 인듐 주석 산화물막 위에 레지스트를 도포한다. 다음에, 제4 포토마스크를 사용하여 레지스트를 노광 및 현상하여, 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여 인듐 주석 산화물막을 에칭하여 화소 전극(77)을 형성한다.
- [0246] 이상에 의해, 다계조 마스크를 사용하여 마스크수를 줄이고, 표시장치에 사용하는 것이 가능한 소자 기판을 형성할 수 있다.
- [0247] 본 실시형태는, 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4, 실시형태 5, 실시형태 6, 또는 실시형태 7과 자유롭게 조합할 수 있다.
- [0248] [실시형태 9]
- [0249] 본 실시형태에서는, 다계조 마스크를 사용하여 보유 용량을 형성하는 공정과 박막트랜지스터와 화소 전극의 콘택트를 형성하는 공정에 대하여 설명한다. 또한, 도 19에서, 실시형태 6과 동일한 개소는, 실시형태 6과 같은 부호를 사용한다.
- [0250] 실시형태 6에 따라, 절연막(76)을 형성하는 공정까지 끝낸 후, 다계조 마스크를 사용하여 깊이가 다른 개구를 가지는 제1 층간 절연막(84a)을 형성한다. 여기에서는 용량부가 되는 용량 배선의 측면의 각도는, 도 19(A)에 나타내는 바와 같이, 게이트 전극의 측면의 각도보다 크다. 다계조 마스크에 의해 배선 측면의 각도를 다르게 하여 배선폭을 장소마다 제어함으로써 화소부의 개구율을 향상시키고 있다. 이 단계의 단면도가 도 19(A)에 상당한다.
- [0251] 도 19(A)에 나타내는 바와 같이, 소스 전극 또는 드레인 전극(71c)의 상방에 절연막(76)의 표면을 노정하는 제1 개구와, 제1 도전층(78a)과 제2 도전층(78b)과의 적층으로 이루어지는 용량 배선 위에 제1 개구보다 얇은 깊이의 제2 개구가 형성된다. 또한, 용량 배선의 제1 도전층(78a)과 제2 도전층(78b)은, 각각 게이트 전극의 제1 도전층(51a)과 제2 도전층(51b)과 같은 공정으로 형성된다.
- [0252] 다음에, 제1 층간 절연막(84a)을 마스크로 하여 절연막(76)의 일부를 선택적으로 에칭하여 소스 전극 또는 드레인 전극(71c)의 일부를 노정시킨다.
- [0253] 다음에, 제2 개구가 확대하여 절연막(76)의 표면을 노정할 때까지 제1 층간 절연막(84a)을 애싱한다. 동시에 제1 개구도 확대하지만, 절연막(76)에 형성한 개구의 사이즈는 변함없기 때문에, 단차가 형성된다.
- [0254] 다음에, 화소 전극(77)을 형성한다. 이 단계의 단면도가 도 19(C)에 상당한다. 애싱에 의해 제1 층간 절연막은 제2 층간 절연막(84b)으로 축소된다. 또한, 보유 용량(75)은 유전체로서 절연막(76)과 게이트 절연막(52)을 사용하여, 한 쌍의 전극으로서 용량 배선과 화소 전극(77)을 사용한다.
- [0255] 이렇게 하여, 다계조 마스크를 사용하여 적은 공정수로 보유 용량을 형성할 수 있다.
- [0256] 본 실시형태는, 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4, 실시형태 5, 실시형태 6, 실시형태 7, 또는 실시형태 8과 자유롭게 조합할 수 있다.
- [0257] [실시형태 10]
- [0258] 본 실시형태에서는, 표시장치의 일 형태로서, 실시형태 6에서 설명하는 박막트랜지스터를 가지는 액정 표시장치에 대하여, 이하에 나타낸다.
- [0259] 먼저, VA(Vertical Alignment)형의 액정 표시장치에 대하여 설명한다. VA형의 액정 표시장치란, 액정 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형의 액정 표시장치는, 전압이 인가되어 있지 않을 때에 패널면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 본 실시형태에서는, 특히 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누어, 각각 다른 방향으로 분자를 정렬하도록 고안되어 있다. 이것을 멀티 도메인화 혹은

멀티 도메인 설계라고 한다. 이하의 설명에서는, 멀티 도메인 설계가 고려된 액정 표시장치에 대하여 설명한다.

- [0260] 도 21 및 도 22는, 각각 화소 전극 및 대향 전극을 나타내고 있다. 또한, 도 21은 화소 전극이 형성되는 기관층의 평면도이며, 도면 중에 나타내는 절단선 A-B에 대응하는 단면 구조를 도 20에 나타내고 있다. 또한, 도 22는 대향 전극이 형성되는 기관층의 평면도이다. 이하의 설명에서는 이들 도면을 참조하여 설명한다.
- [0261] 도 20은, TFT(628)와 거기에 접속하는 화소 전극(624), 및 보유 용량부(630)이 형성된 기관(600)과, 대향 전극(640) 등이 형성되는 대향 기관(601)이 서로 중첩하여, 액정이 주입된 상태를 나타내고 있다.
- [0262] 대향 기관(601)에서 스페이서(642)가 형성되는 위치에는, 차광막(632), 제1 착색막(634), 제2 착색막(636), 제3 착색막(638), 대향 전극(640)이 형성되어 있다. 이 구조에 의해, 액정의 배향을 제어하기 위한 돌기(644)와 스페이서(642)의 높이를 다르게 하고 있다. 화소 전극(624) 위에는 배향막(648)이 형성되고, 마찬가지로 대향 전극(640) 위에도 배향막(646)이 형성되어 있다. 그 사이에 액정층(650)이 형성되어 있다.
- [0263] 스페이서(642)는 여기에서는 기둥 형상 스페이서를 사용하여 나타내었지만 비드 스페이서를 산포해도 좋다. 또한, 스페이서(642)를 기관(600) 위에 형성되는 화소 전극(624) 위에 형성해도 좋다.
- [0264] 기관(600) 위에는, TFT(628)와 거기에 접속하는 화소 전극(624), 및 보유 용량부(630)가 형성된다. 화소 전극(624)은, TFT(628), 배선, 및 보유 용량부(630)를 덮는 절연막(620), 절연막을 덮는 제3 절연막(622)을 각각 관통하는 콘택트 홀(623)과, 배선(618)에 접속한다. 또한, 다게조 마스크를 사용하여, 배선(618)과 TFT(628)의 소스 전극 또는 드레인 전극을 선택적으로 에칭하고, 배선(618)의 측면 각도는 TFT(628)의 소스 전극 또는 드레인 전극의 측면 각도보다 크게 하여 개구율 향상에 기여하고 있다. TFT(628)는 실시형태 6에서 설명하는 박막 트랜지스터를 적절히 사용할 수 있다. 또한, 보유 용량부(630)는, 실시형태 2에 따라 TFT(628)의 게이트 배선(602)과 같은 다게조 마스크로 형성한 제1 용량 배선(604)과, 게이트 절연막(606)과, 배선(616, 618)과 마찬가지로 형성한 제2 용량 배선(617)으로 구성된다. 또한, 제1 용량 배선(604)의 측면 각도는, TFT(628)의 배선(616, 618)의 측면 각도보다 크게 하여 개구율 향상에 기여하고 있다.
- [0265] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 서로 중첩됨으로써, 액정 소자가 형성되어 있다.
- [0266] 도 21에 기관(600) 위의 구조를 나타낸다. 화소 전극(624)은 실시형태 6에서 나타난 재료를 사용하여 형성한다. 화소 전극(624)에는 슬릿(625)을 형성한다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다.
- [0267] 도 21에 나타내는 TFT(629)와 거기에 접속하는 화소 전극(626) 및 보유 용량부(631)는, 각각 TFT(628), 화소 전극(624) 및 보유 용량부(630)와 마찬가지로 형성할 수 있다. TFT(628)와 TFT(629)는 모두 배선(616)과 접속하고 있다. 이 액정 패널의 화소(픽셀)는, 화소 전극(624)과 화소 전극(626)에 의해 구성되어 있다. 화소 전극(624)과 화소 전극(626)은 서브 픽셀이다.
- [0268] 도 22에 대향 기관층의 구조를 나타낸다. 차광막(632) 위에 대향 전극(640)이 형성되어 있다. 대향 전극(640)은, 화소 전극(624)과 같은 재료를 사용하여 형성하는 것이 바람직하다. 대향 전극(640) 위에는 액정의 배향을 제어하는 돌기(644)가 형성되어 있다. 또한, 차광막(632)의 위치에 맞추어 스페이서(642)가 형성되어 있다.
- [0269] 이 화소 구조의 등가 회로를 도 23에 나타낸다. TFT(628)와 TFT(629)는, 모두 게이트 배선(602), 배선(616)과 접속하고 있다. 이 경우, 제1 용량 배선(604)과 제3 용량 배선(605)의 전위를 다르게 함으로써, 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, 제1 용량 배선(604)과 제3 용량 배선(605)의 전위를 개별적으로 제어함으로써 액정의 배향을 정밀하게 제어하여 시야각을 넓히고 있다.
- [0270] 슬릿(625)을 형성한 화소 전극(624)에 전압을 인가하면, 슬릿(625)의 근방에는 전계의 왜곡(기울기 전계)이 발생한다. 이 슬릿(625)과, 대향 기관(601)층의 돌기(644)를 번갈아 교합하도록 배치함으로써, 기울기 전계가 효과적으로 발생되어 액정의 배향을 제어함으로써, 액정이 배향하는 방향을 장소에 따라 다르게 하고 있다. 즉, 멀티 도메인화하여 액정 패널의 시야각을 넓히고 있다.
- [0271] 상술에서는, VA형의 액정 표시장치의 일례를 나타냈지만 도 21에 나타내는 화소 전극 구조에 특별히 한정되지 않는다.
- [0272] 다음에, TN형의 액정 표시장치의 형태에 대하여 나타낸다.
- [0273] 도 24와 도 25는, TN형의 액정 표시장치의 화소 구조를 나타내고 있다. 도 25는 평면도이며, 도면 중에 나타내는 절단선 A-B에 대응하는 단면 구조를 도 24에 나타내고 있다. 이하의 설명에서는 이 양 도면을 참조하여 설

명한다. 또한, 도 24 및 도 25에 있어서, 도 20과 같은 부위에는 같은 부호를 사용한다.

- [0274] 화소 전극(624)은 콘택트 홀(623)에 의해, 배선(618)과 TFT(628)와 접속하고 있다. 데이터선으로서 기능하는 배선(616)은, TFT(628)와 접속하고 있다. TFT(628)는 실시형태 2에 나타내는 TFT 중 어느 것을 적용할 수 있다.
- [0275] 화소 전극(624)은 실시형태 2에서 설명하는 화소 전극(77)을 사용하여 형성되어 있다.
- [0276] 대향 기관(601)에는, 차광막(632), 제2 착색막(636), 대향 전극(640)이 형성되어 있다. 또한, 제2 착색막(636)과 대향 전극(640)의 사이에는 평탄화막(637)이 형성되어, 액정의 배향의 호트러짐을 막고 있다. 액정층(650)은 화소 전극(624)과 대향 전극(640)의 사이에 형성되어 있다.
- [0277] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 서로 중첩됨으로써, 액정 소자가 형성되어 있다.
- [0278] 또한, 기관(600) 또는 대향 기관(601)에 컬러 필터나, 디스클리네이션(disclination)을 막기 위한 차폐막(블랙 매트릭스) 등이 형성되어 있어도 좋다. 또한, 기관(600)의 박막트랜지스터가 형성되어 있는 면과는 반대의 면에 편광판을 부착시키고, 또한, 대향 기관(601)의 대향 전극(640)이 형성되어 있는 면과는 반대면에, 편광판을 부착시켜 둔다.
- [0279] 이상의 공정에 의해, 액정 표시장치를 제작할 수 있다. 본 실시형태의 액정 표시장치는, 오프 전류가 적고, 전기 특성이 뛰어나고, 신뢰성이 높은 박막트랜지스터를 사용하고 있기 때문에, 콘트라스트가 높고, 시인성이 높은 액정 표시장치이다. 또한, 다계조 마스크를 사용하여, 배선의 측면 각도를 장소마다 조절함으로써, 개구율이 높은 액정 표시장치를 실현하고 있다. 또한, 다계조 마스크를 사용하여, 배선의 측면 각도를 장소마다 조절함으로써, 배선 단부의 상방에서의 단선이나, 합선 불량을 저감하고 있다.
- [0280] 또한, 본 발명은 횡전계 방식의 액정 표시장치에 응용할 수도 있다. 횡전계 방식은, 셀 내의 액정 분자에 대하여 수평 방향으로 전계를 더함으로써 액정을 구동하여 계조 표현하는 방식이다. 이 방식에 의하면, 시야각을 약 180° 까지 넓힐 수 있다.
- [0281] 본 실시형태는, 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4, 실시형태 5, 실시형태 6, 실시형태 7, 실시형태 8, 또는 실시형태 9와 자유롭게 조합할 수 있다.
- [0282] [실시형태 11]
- [0283] 본 발명의 액정 표시장치의 일 형태인 표시 패널의 구성에 대하여, 이하에 나타낸다.
- [0284] 도 26(A)에, 신호선 구동 회로(6013)만을 별도 형성하고, 기관(6011) 위에 형성된 화소부(6012)와 접속하고 있는 표시 패널의 형태를 나타낸다. 화소부(6012) 및 주사선 구동 회로(6014)는, 미결정 반도체막을 사용한 박막트랜지스터를 사용하여 형성한다. 미결정 반도체막을 사용한 박막트랜지스터보다 높은 이동도를 얻을 수 있는 트랜지스터로 신호선 구동 회로를 형성함으로써, 주사선 구동 회로보다 높은 구동 주파수가 요구되는 신호선 구동 회로의 동작을 안정시킬 수 있다. 또한, 신호선 구동 회로(6013)는, 단결정의 반도체를 사용한 트랜지스터, 다결정의 반도체를 사용한 박막트랜지스터, 또는 SOI를 사용한 트랜지스터이어도 좋다. 화소부(6012)와, 신호선 구동 회로(6013)와, 주사선 구동 회로(6014)에, 각각 전원의 전위, 각종 신호 등이 FPC(6015)를 통하여 공급된다.
- [0285] 또한, 신호선 구동 회로 및 주사선 구동 회로를, 모두 화소부와 같은 기관 위에 형성해도 좋다.
- [0286] 또한, 구동 회로를 별도 형성하는 경우, 반드시 구동 회로가 형성된 기관을, 화소부가 형성된 기관 위에 부착시킬 필요는 없고, 예를 들면, FPC 위에 부착시키도록 해도 좋다. 도 26(B)에, 신호선 구동 회로(6023)만을 별도 형성하고, 기관(6021) 위에 형성된 화소부(6022) 및 주사선 구동 회로(6024)와 접속하고 있는 액정 표시장치 패널의 형태를 나타낸다. 화소부(6022) 및 주사선 구동 회로(6024)는, 미결정 반도체막을 사용한 박막트랜지스터를 사용하여 형성한다. 신호선 구동 회로(6023)는 FPC(6025)를 통하여 화소부(6022)와 접속되어 있다. 화소부(6022)와, 신호선 구동 회로(6023)와, 주사선 구동 회로(6024)에, 각각 전원의 전위, 각종 신호 등이 FPC(6025)를 통하여 공급된다.
- [0287] 또한, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을, 미결정 반도체막을 사용한 박막트랜지스터를 사용하여 화소부와 같은 기관 위에 형성하고, 나머지를 별도 형성하여 화소부와 전기적으로 접속하도록 해도 좋다. 도 26(C)에, 신호선 구동 회로가 가지는 아날로그 스위치(6033a)를 화소부(6032), 주사선 구동 회로(6034)와 같은 기관(6031) 위에 형성하고, 신호선 구동 회로가 가지는 시프트 레지스터(6033b)를 별도의 다른

기관에 형성하여 부착시키는 액정 표시장치 패널의 형태를 나타낸다. 화소부(6032) 및 주사선 구동 회로(6034)는 미결정 반도체막을 사용한 박막트랜지스터를 사용하여 형성한다. 신호선 구동 회로가 가지는 시프트 레지스터(6033b)는 FPC(6035)를 통하여 화소부(6032)와 접속되어 있다. 화소부(6032)와, 신호선 구동 회로와, 주사선 구동 회로(6034)에, 각각 전원의 전위, 각종 신호 등이 FPC(6035)를 통하여 공급된다.

[0288] 도 26에 나타내는 바와 같이, 액정 표시장치는 구동 회로의 일부 또는 전부를 화소부와 같은 기관 위에 미결정 반도체막을 사용한 박막트랜지스터를 사용하여 형성할 수 있다.

[0289] 또한, 별도 형성한 기관의 접속 방법은 특별히 한정되는 것은 아니고, 공지의 COG 방법, 와이어 본딩 방법, 혹은 TAB 방법 등을 사용할 수 있다. 또한, 접속하는 위치는, 전기적인 접속이 가능하다면, 도 26에 나타난 위치로 한정되지 않는다. 또한, 콘트롤러, CPU, 메모리 등을 별도 형성하여 접속하도록 해도 좋다.

[0290] 또한, 본 실시형태에서 사용하는 신호선 구동 회로는, 시프트 레지스터와 아날로그 스위치만을 가지는 형태에 한정되는 것은 아니다. 시프트 레지스터와 아날로그 스위치에 추가하여, 버퍼, 레벨 시프터, 소스 팔로워 등, 다른 회로를 가지고 있어도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 설치할 필요는 없고, 예를 들면, 시프트 레지스터 대신에 디코더 회로와 같은 신호선의 선택을 할 수 있는 다른 회로를 사용하여도 좋고, 아날로그 스위치 대신에 래치 등을 사용해도 좋다.

[0291] 본 실시형태는, 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4, 실시형태 5, 실시형태 6, 실시형태 7, 실시형태 8, 실시형태 9 또는 실시형태 10과 자유롭게 조합할 수 있다.

[0292] [실시형태 12]

[0293] 본 발명의 표시장치의 일 형태에 상응하는 액정 표시 패널의 외관 및 단면에 대하여, 도 27을 사용하여 설명한다. 도 27(A)은, 제1 기관(4001) 위에 형성된 미결정 반도체막을 가지는 박막트랜지스터(4010) 및 액정 소자(4013)를, 제2 기관(4006)과의 사이에 시일재(4005)에 의해 봉지한, 패널의 상면도이며, 도 27(B)은 도 27(A)의 A-A'에서의 단면도에 상당한다.

[0294] 제1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 형성되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기관(4006)이 설치되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)는 제1 기관(4001)과 시일재(4005)와 제2 기관(4006)에 의해, 액정(4008)과 함께 봉지되어 있다. 또한, 제1 기관(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위의 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 또한 본 실시형태에서는, 다결정 반도체막을 사용한 박막트랜지스터를 가지는 신호선 구동 회로를, 제1 기관(4001)에 부착시키는 예에 대하여 설명하지만, 단결정 반도체를 사용한 박막트랜지스터로 신호선 구동 회로를 형성하여, 부착시키도록 해도 좋다. 도 27에서는, 신호선 구동 회로(4003)에 포함되는 다결정 반도체막으로 형성된 박막트랜지스터(4009)를 예시한다.

[0295] 또한, 제1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 박막트랜지스터를 복수 가지고 있고, 도 27(B)에서는, 화소부(4002)에 포함되는 박막트랜지스터(4010)를 예시하고 있다. 박막트랜지스터(4010)는 미결정 반도체막을 사용한 박막트랜지스터에 상당한다.

[0296] 또한, 부호 4011은 액정 소자에 상당하고, 액정 소자(4013)가 가지는 화소 전극(4030)은, 박막트랜지스터(4010)와 배선(4041)을 통하여 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극(4031)은 제2 기관(4006) 위에 형성되어 있다. 화소 전극(4030)과 대향 전극(4031)과 액정(4008)이 중첩되어 있는 부분이, 액정 소자(4013)에 상당한다.

[0297] 또한, 제1 기관(4001), 제2 기관(4006)으로서는, 유리, 금속(대표적으로는 스테인리스 스틸), 세라믹, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.

[0298] 또한, 부호 4035는 구상(球狀)의 스페이서이며, 화소 전극(4030)과 대향 전극(4031)과의 사이의 거리(셀 갭)를 제어하기 위하여 형성되어 있다. 또한 절연막을 선택적으로 에칭함으로써 얻어지는 스페이서를 사용하고 있어도 좋다.

[0299] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신

호 및 전위는, 리드 배선(4014, 4015)을 통하여, FPC(4018)로부터 공급되고 있다.

- [0300] 본 실시형태에서는, 접속 단자(4016)가, 액정 소자(4013)가 가지는 화소 전극(4030)과 같은 도전막으로 형성되어 있다. 또한, 리드 배선(4014, 4015)은 배선(4041)과 같은 도전막으로 형성되어 있다. 실시형태 1에 나타내는 바와 같이, 다계조 마스크를 사용하는 것에 의해, 리드 배선(4014, 4015)의 측면의 각도는 배선(4041)보다 크다. 서로 인접하는 리드 배선 간에 단락이 생기지 않도록 양측면의 수직으로 가공하는 것은 효과적이다.
- [0301] 접속 단자(4016)는 FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.
- [0302] 또한, 도시하지 않았지만, 본 실시형태에 나타난 액정 표시장치는 배향막, 편광판을 가지고, 또한 컬러 필터나 차폐막을 가지고 있어도 좋다.
- [0303] 또한, 도 27에서는, 신호선 구동 회로(4003)를 별도 형성하고, 제1 기관(4001)에 실장하고 있는 예를 나타내고 있지만, 본 실시형태는 이 구성에 한정되는 것은 아니다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.
- [0304] 본 실시형태는, 다른 실시형태에 기재한 구성과 조합하여 실시하는 것이 가능하다.
- [0305] [실시형태 13]
- [0306] 본 발명에 의해 얻어지는 표시장치 등에 의해, 액티브 매트릭스형 표시장치 모듈에 사용할 수 있다. 즉, 그것들을 표시부에 조립한 전자기기 전부에 본 발명을 실시할 수 있다.
- [0307] 그와 같은 전자기기로서는, 비디오 카메라, 디지털 카메라, 헤드 마운트 디스플레이(고글형 디스플레이), 카 내비게이션, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대전화 또는 전자 서적 등) 등을 들 수 있다. 그들의 일례를 도 28에 나타낸다.
- [0308] 도 28(A)은 텔레비전 장치이다. 표시 모듈을, 도 28(A)에 나타내는 바와 같이, 케이스에 조립하여, 텔레비전 장치를 완성시킬 수 있다. FPC까지 장착된 표시 패널을 표시 모듈이라고도 부른다. 표시 모듈에 의해 주화면(2003)이 형성되고, 그 외 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비되어 있다. 이와 같이, 텔레비전 장치를 완성시킬 수 있다.
- [0309] 도 28(A)에 나타내는 바와 같이, 케이스(2001)에 표시 소자를 이용한 표시용 패널(2002)이 조립되어, 수신기(2005)에 의해 일반 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자 사이끼리)의 정보 통신을 할 수도 있다. 텔레비전 장치의 조작은, 케이스에 조립된 스위치 또는 별체의 리모콘 조작기(2006)에 의해 행하는 것이 가능하고, 이 리모콘 장치에도 출력하는 정보를 표시하는 표시부(2007)가 설치되어 있어도 좋다.
- [0310] 또한, 텔레비전 장치에도, 주화면(2003) 외에 서브 화면(2008)을 제2 표시용 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어 있어도 좋다. 이 구성에서, 주화면(2003)을 시야각이 뛰어난 액정 표시 패널로 형성하고, 서브 화면(2008)을 저소비 전력으로 표시할 수 있는 발광 표시 패널로 형성해도 좋다. 또한, 저소비 전력화를 우선시키기 위해서는, 주화면(2003)을 발광 표시 패널로 형성하고, 서브 화면을 발광 표시 패널로 형성하고, 서브 화면은 점멸 가능하게 하는 구성으로 하여도 좋다.
- [0311] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등에 있어서의 정보 표시판이나, 가두에 있어서의 광고 표시판 등 대면적의 표시 매체로서도 다양한 용도에 적용할 수 있다.
- [0312] 도 28(B)은 휴대전화기(2301)의 일례를 나타내고 있다. 이 휴대전화기(2301)는 표시부(2302), 조작부(2303) 등을 포함하여 구성되어 있다. 표시부(2302)에서는, 상기 실시형태에서 설명한 표시장치를 적용함으로써, 양산성을 높일 수 있다.
- [0313] 또한, 도 28(C)에 나타내는 휴대형의 컴퓨터는, 본체(2401), 표시부(2402) 등을 포함하고 있다. 표시부(2402)에, 상기 실시형태에 나타내는 표시장치를 적용함으로써, 양산성을 높일 수 있다.

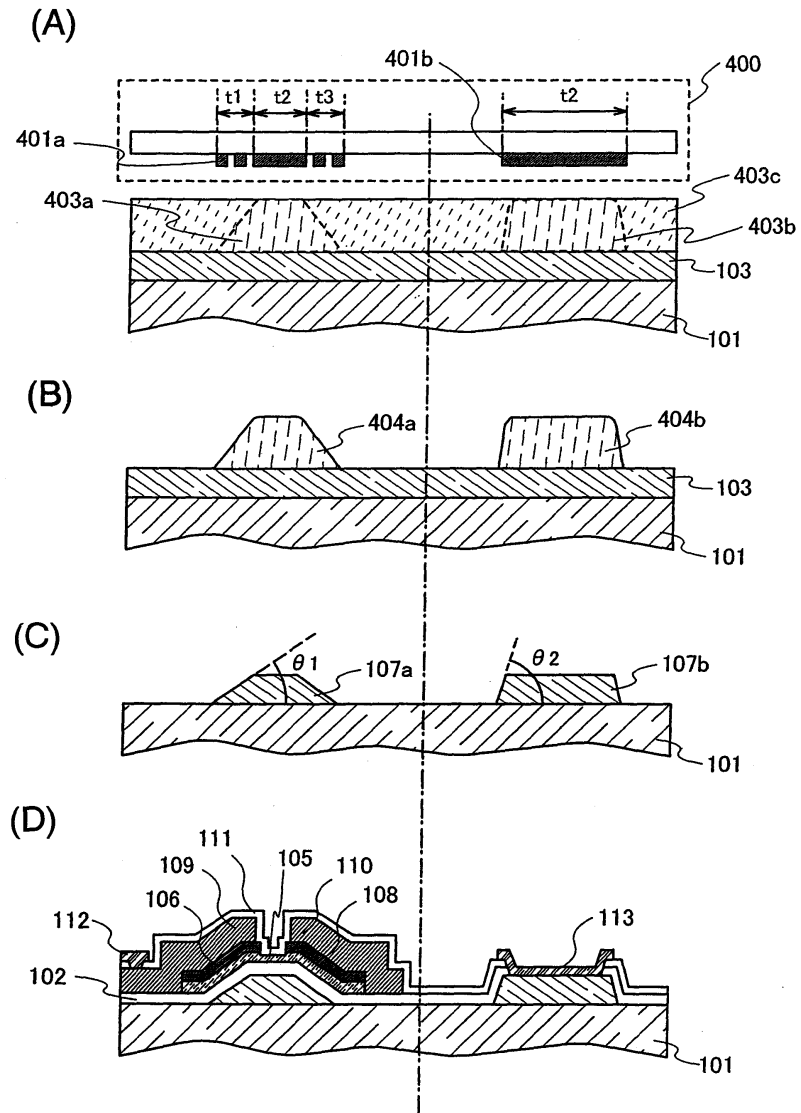
도면의 간단한 설명

- [0314] 도 1은 반도체 장치의 제작 공정을 나타내는 단면도이다.

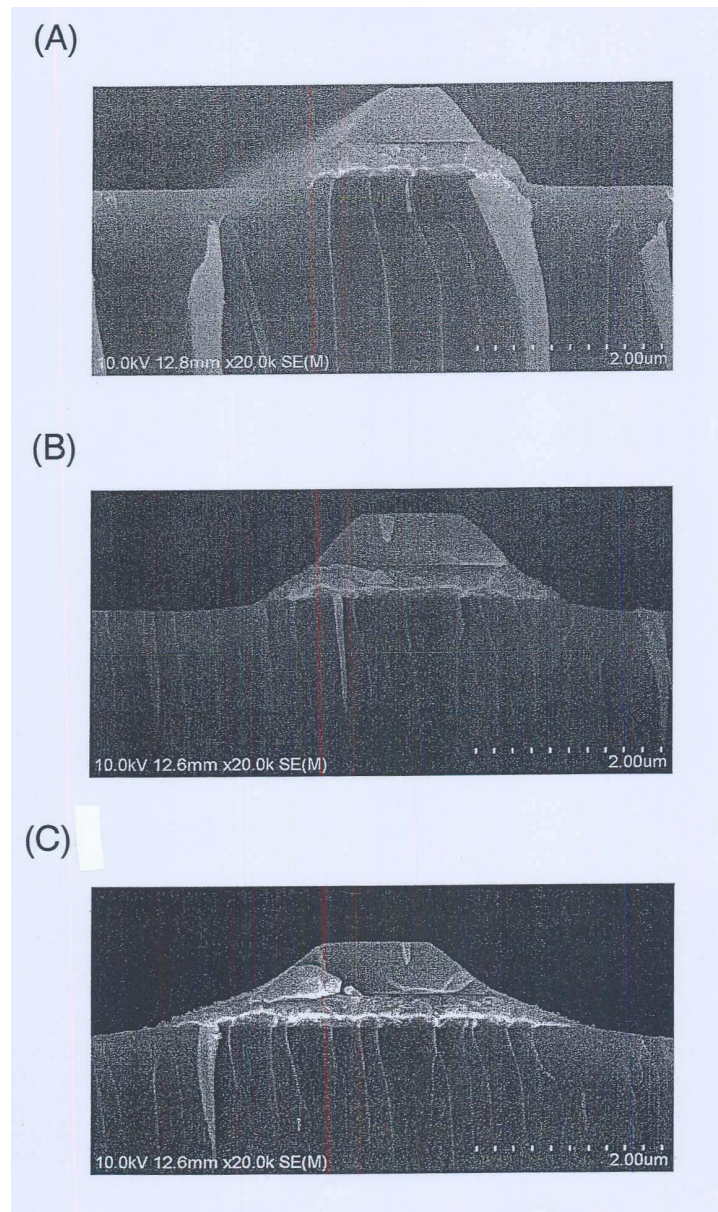
- [0315] 도 2는 배선의 단면의 일례를 나타내는 사진도이다.
- [0316] 도 3은 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0317] 도 4는 배선의 단면의 일례를 나타내는 사진도이다.
- [0318] 도 5(A), 도 5(C), 도 5(D)는 마스크의 일부 상면도를 나타내는 도면이고, 도 5(B), 도 5(E)는 광강도의 관계의 일례를 나타내는 모식도이다.
- [0319] 도 6은 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0320] 도 7은 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0321] 도 8은 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0322] 도 9는 본 발명의 제작방법을 설명하는 단면도이다.
- [0323] 도 10은 본 발명의 제작방법을 설명하는 단면도이다.
- [0324] 도 11은 본 발명의 제작방법을 설명하는 단면도이다.
- [0325] 도 12는 본 발명의 제작방법을 설명하는 상면도이다.
- [0326] 도 13은 미결정 실리콘막을 형성하는 공정을 설명하는 타임 차트의 일례를 나타내는 도면이다.
- [0327] 도 14는 에칭 장치를 나타내는 단면도이다.
- [0328] 도 15는 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0329] 도 16은 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0330] 도 17은 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0331] 도 18은 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0332] 도 19는 반도체 장치의 제작 공정을 나타내는 단면도이다.
- [0333] 도 20은 액정표시장치의 일례를 설명하는 단면도이다.
- [0334] 도 21은 액정표시장치의 일례를 설명하는 상면도이다.
- [0335] 도 22는 액정표시장치의 일례를 설명하는 상면도이다.
- [0336] 도 23은 액정표시장치의 화소의 등가 회로도이다.
- [0337] 도 24는 액정표시장치의 일례를 설명하는 도면이다.
- [0338] 도 25는 액정표시장치의 일례를 설명하는 도면이다.
- [0339] 도 26은 표시 패널을 설명하는 사시도이다.
- [0340] 도 27은 표시 패널을 설명하는 상면도 및 단면도이다.
- [0341] 도 28은 전자기기를 설명하는 사시도이다.

도면

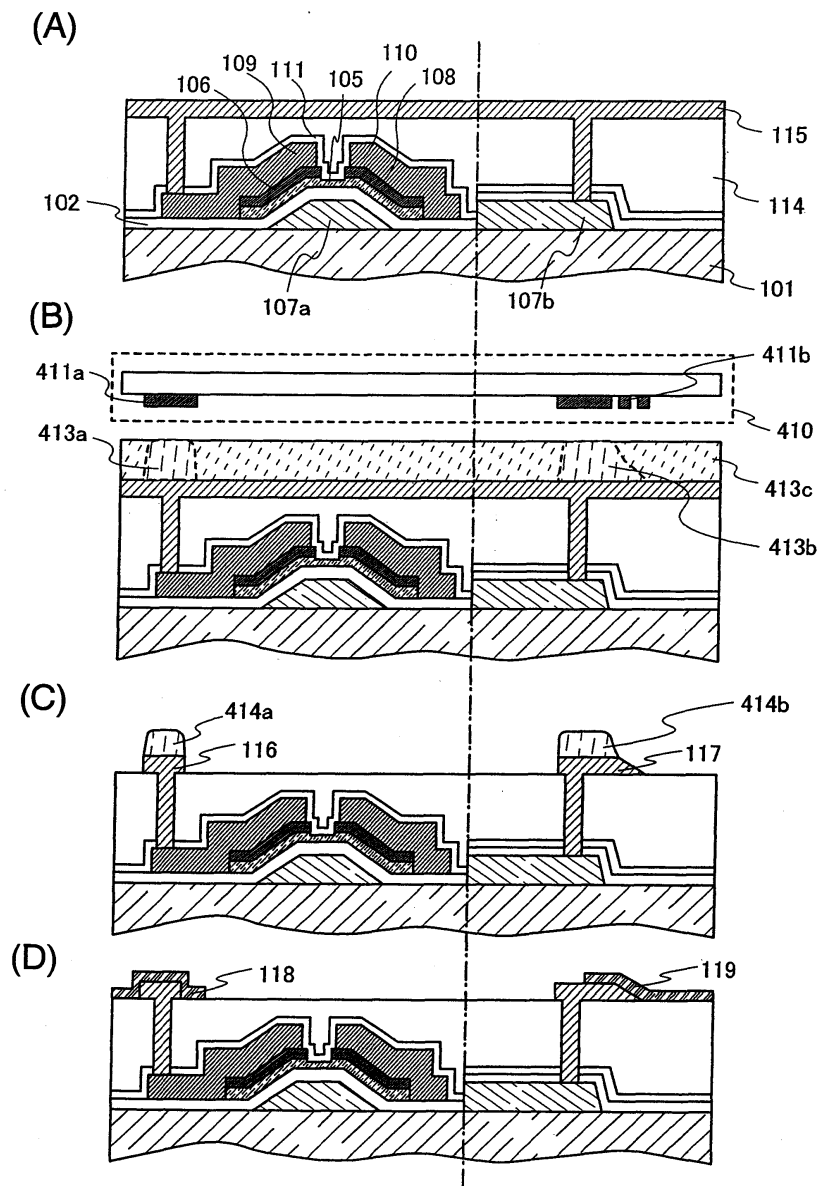
도면1



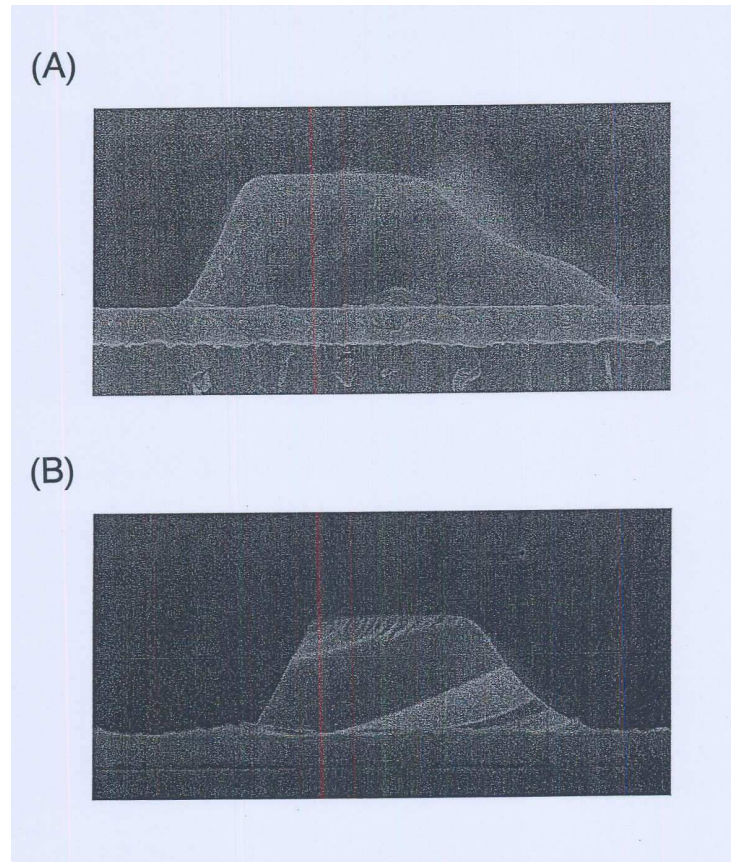
도면2



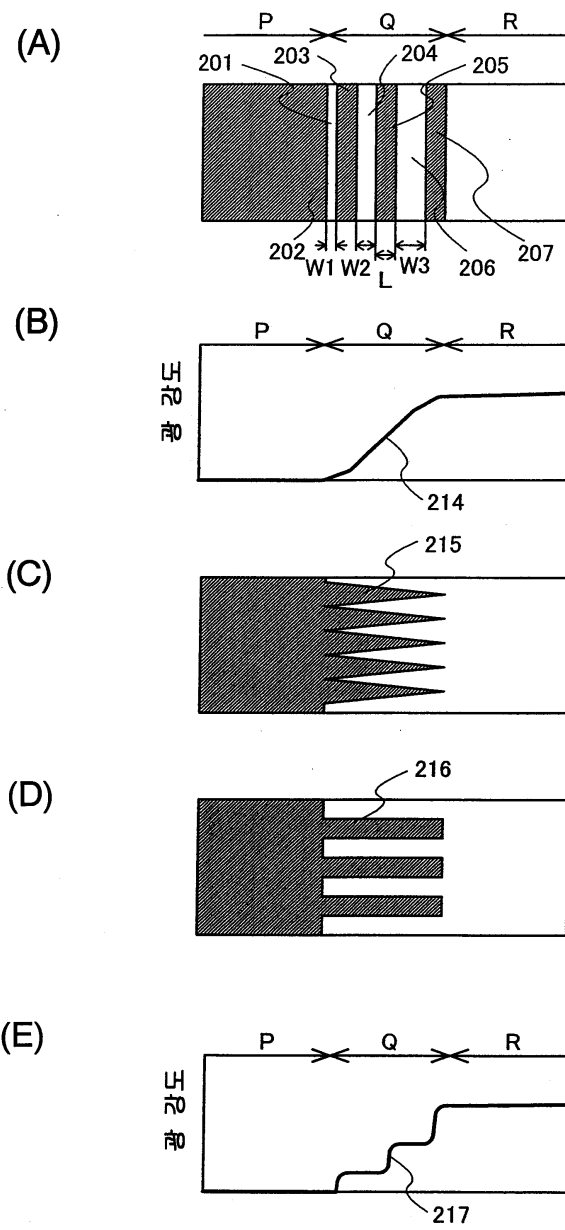
도면3



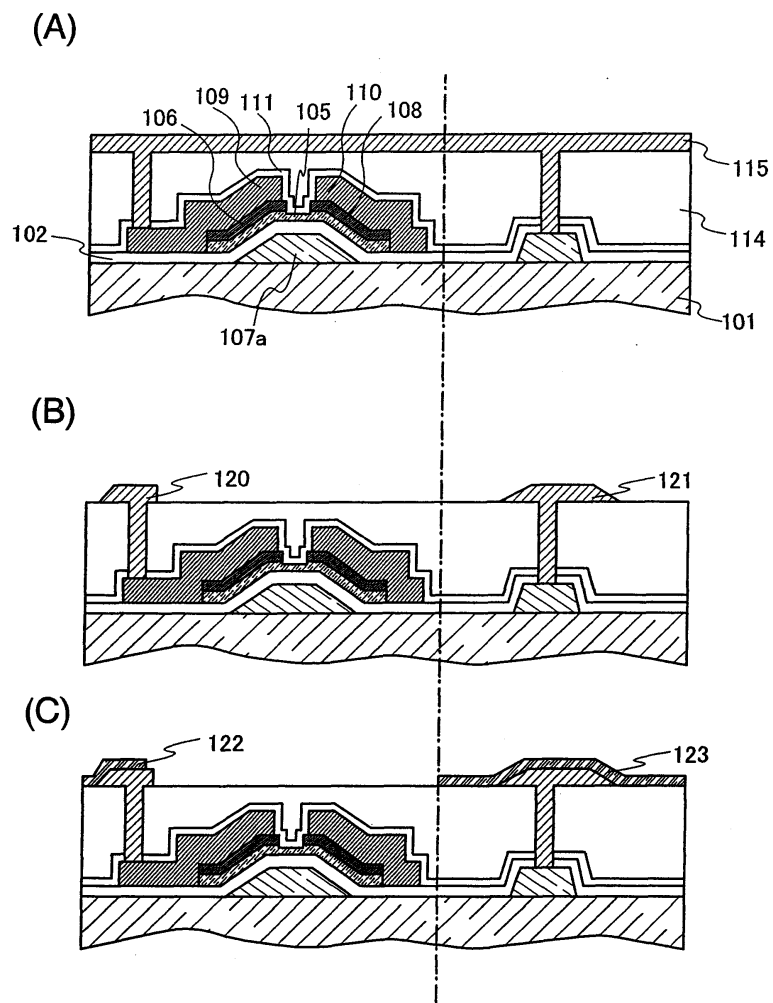
도면4



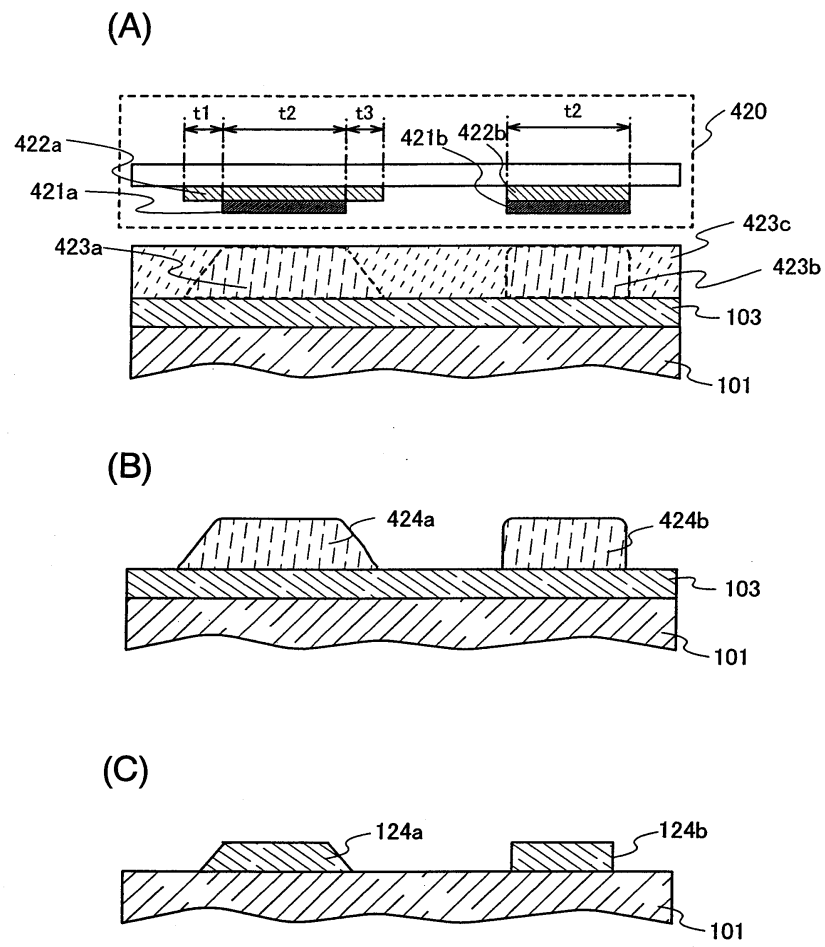
도면5



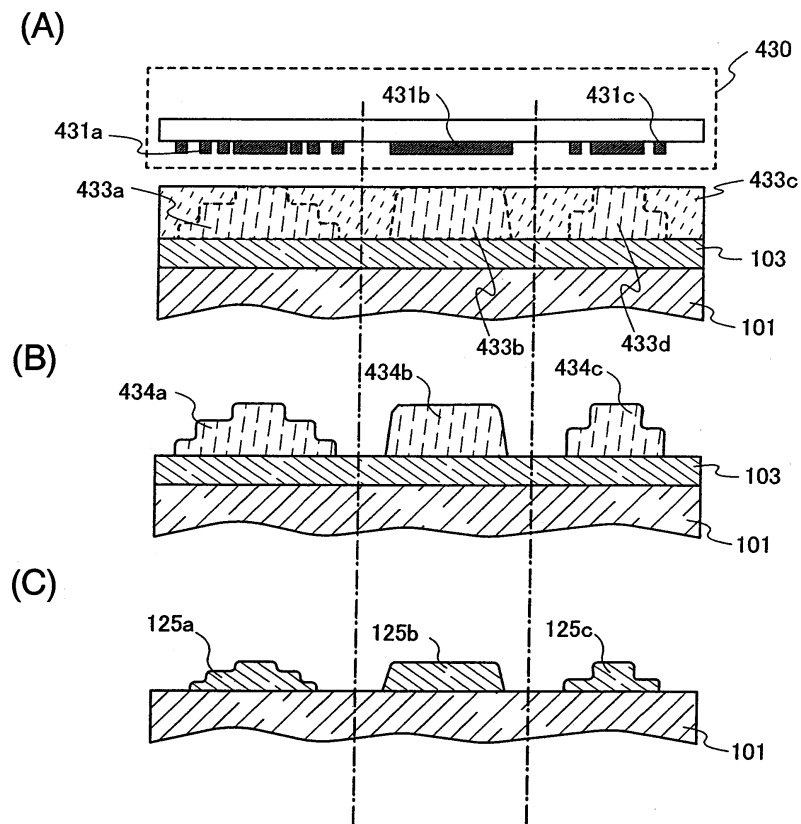
도면6



도면7

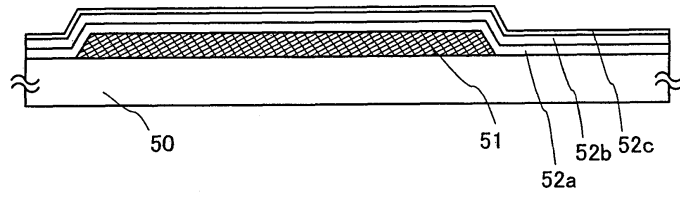


도면8

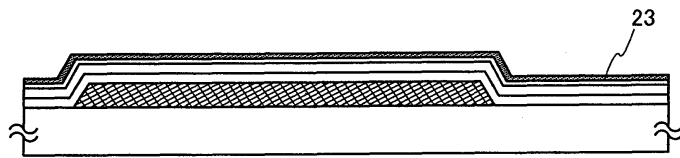


도면9

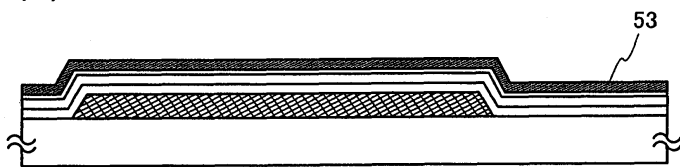
(A)



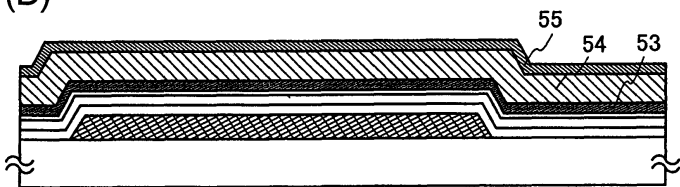
(B)



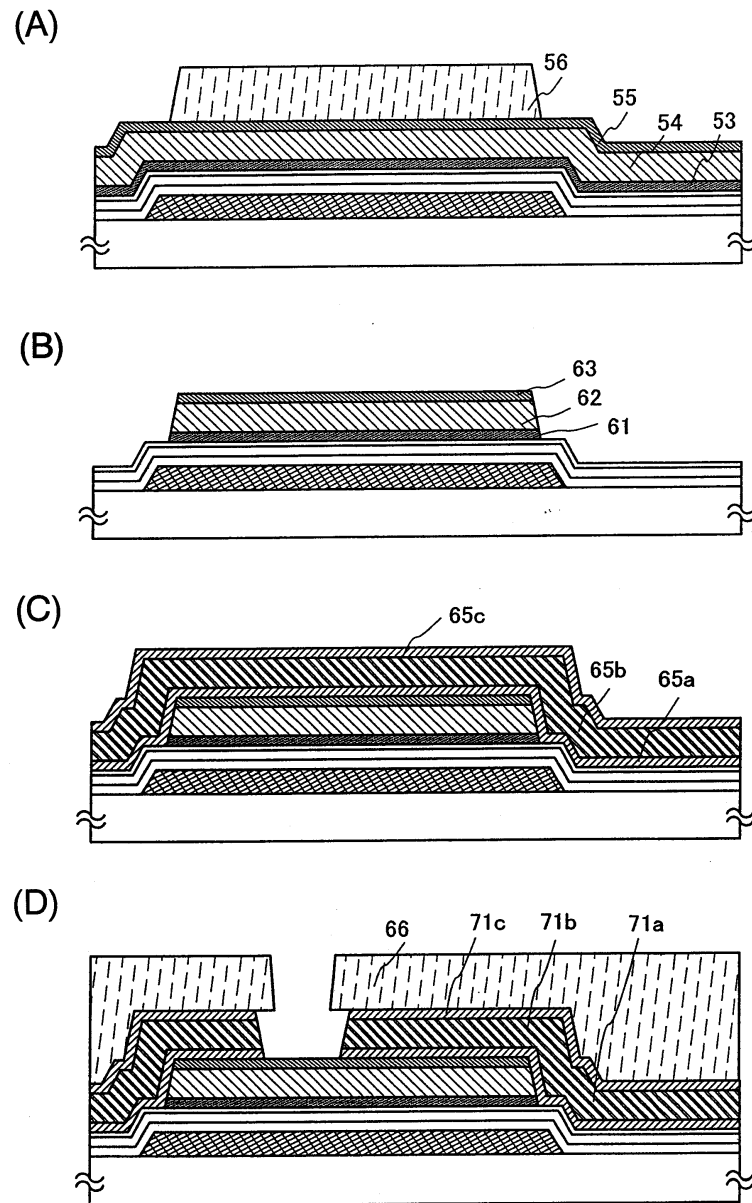
(C)



(D)

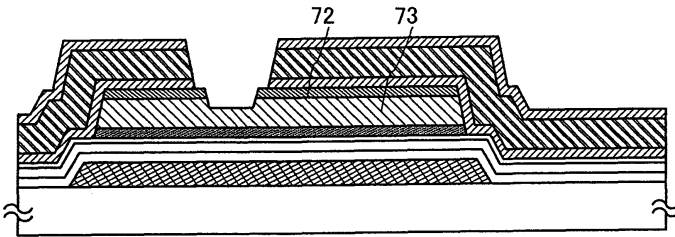


도면10

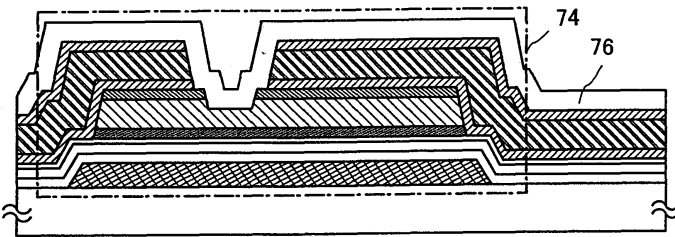


도면11

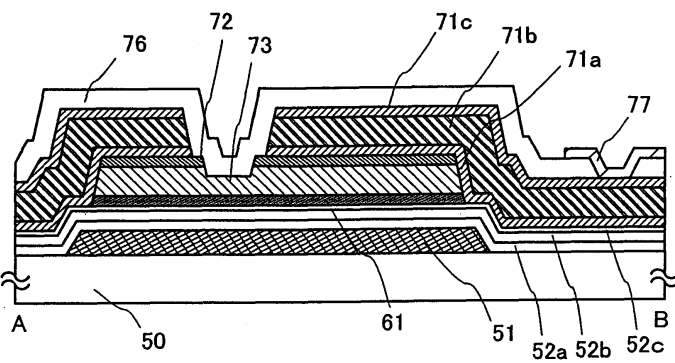
(A)



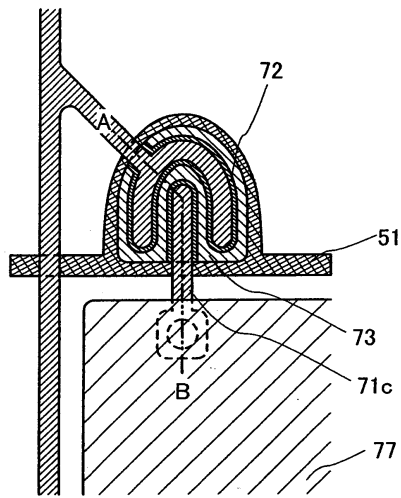
(B)



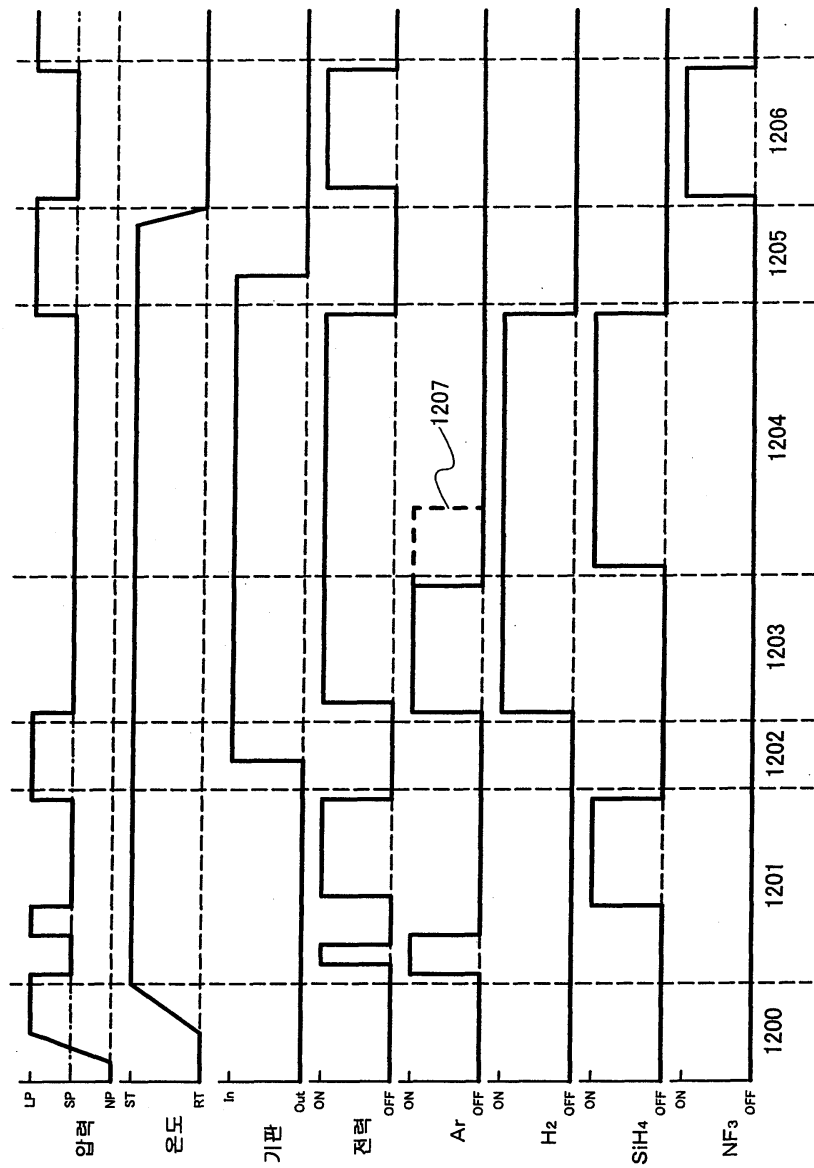
(C)



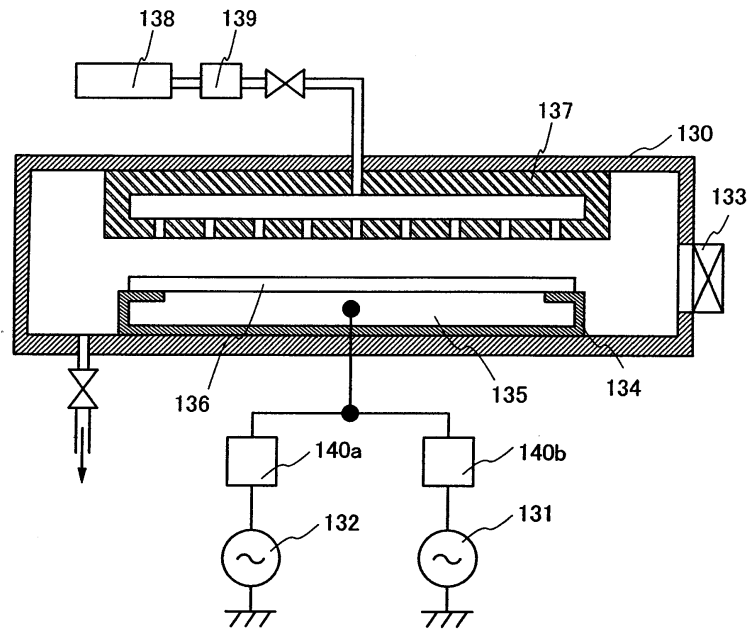
도면12



도면13

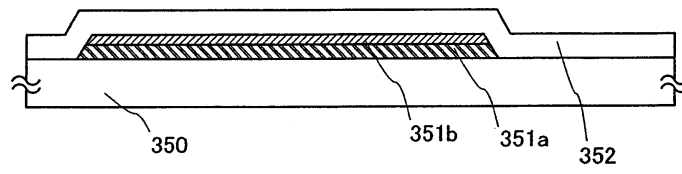


도면14

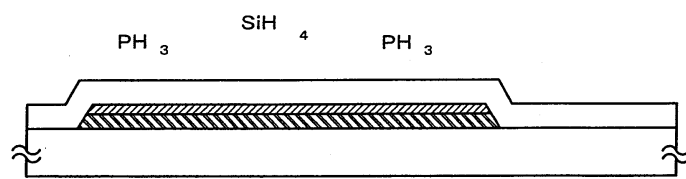


도면15

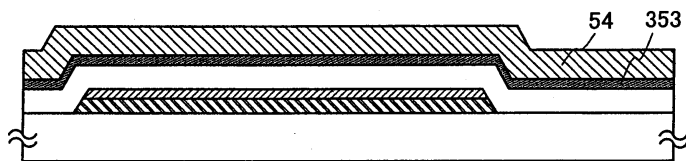
(A)



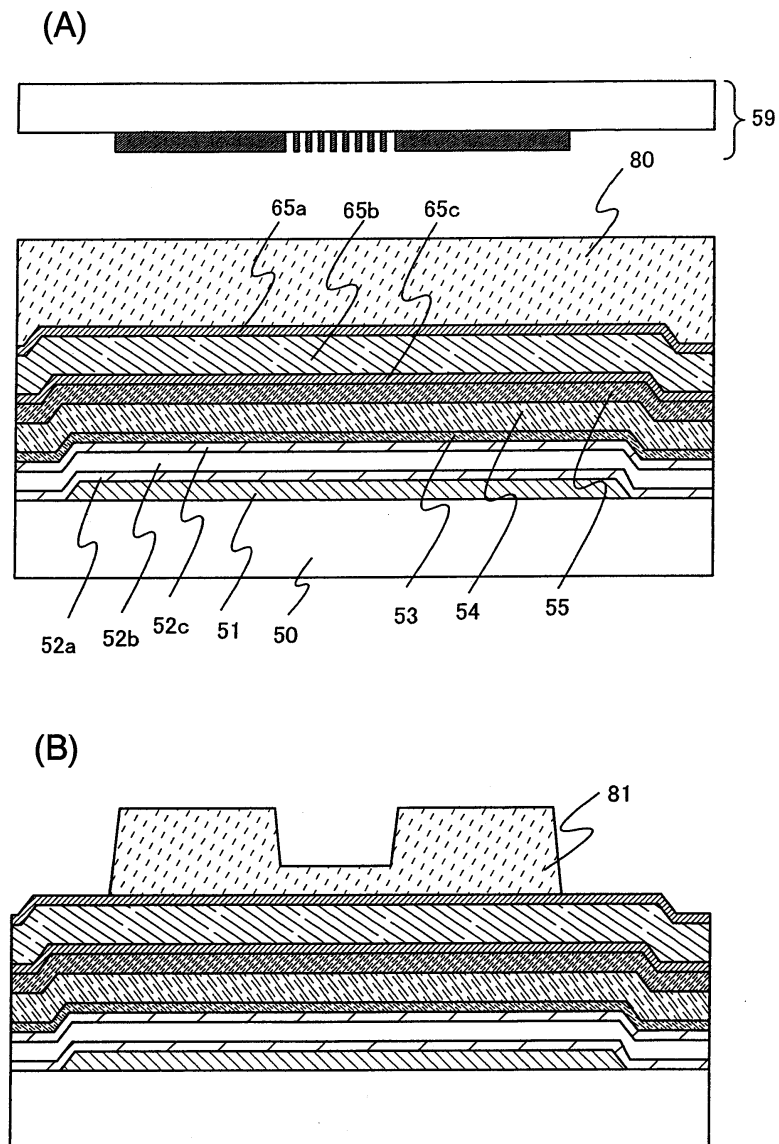
(B)



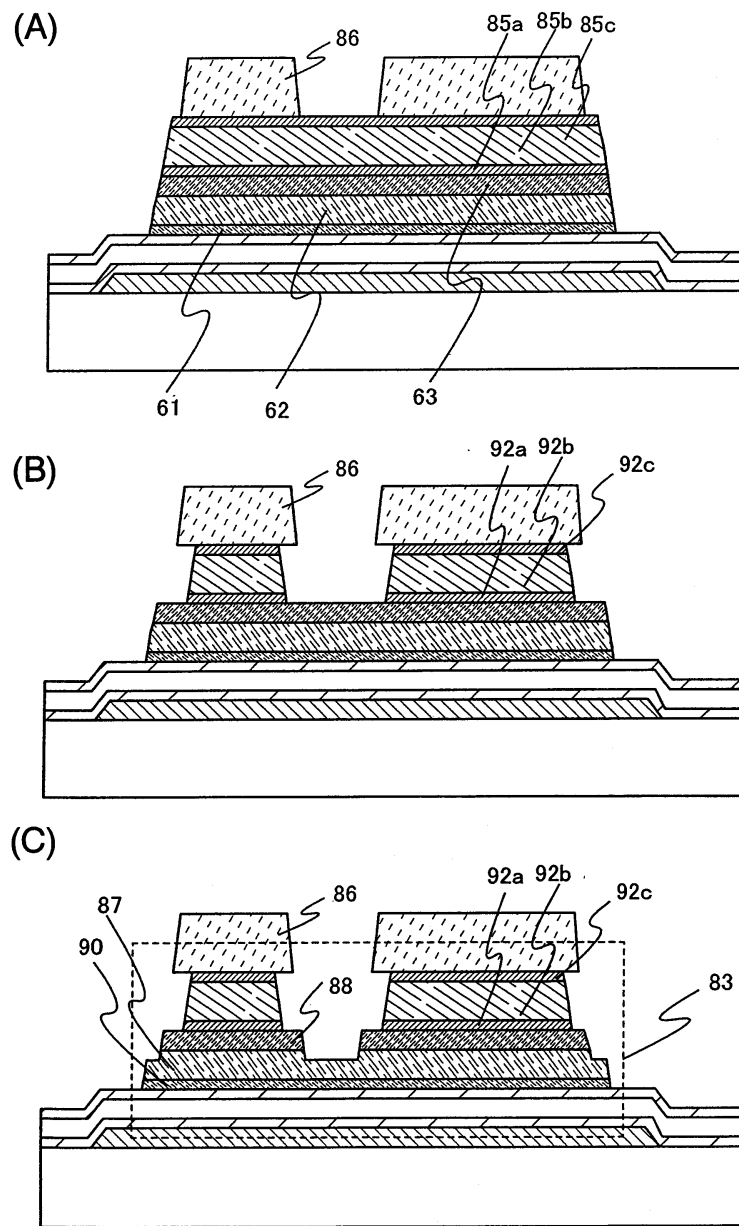
(C)



도면16

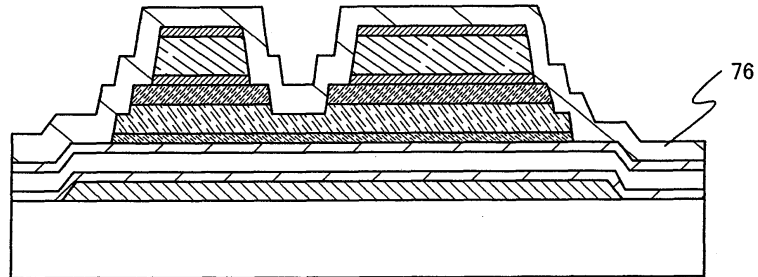


도면17

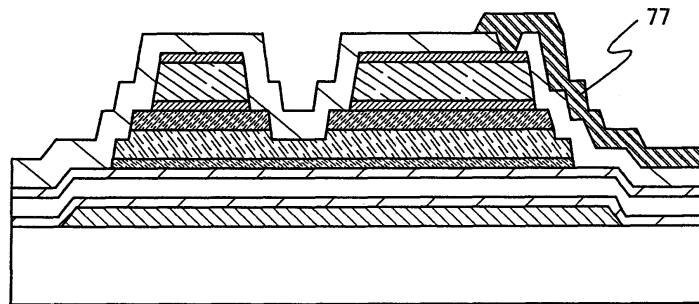


도면18

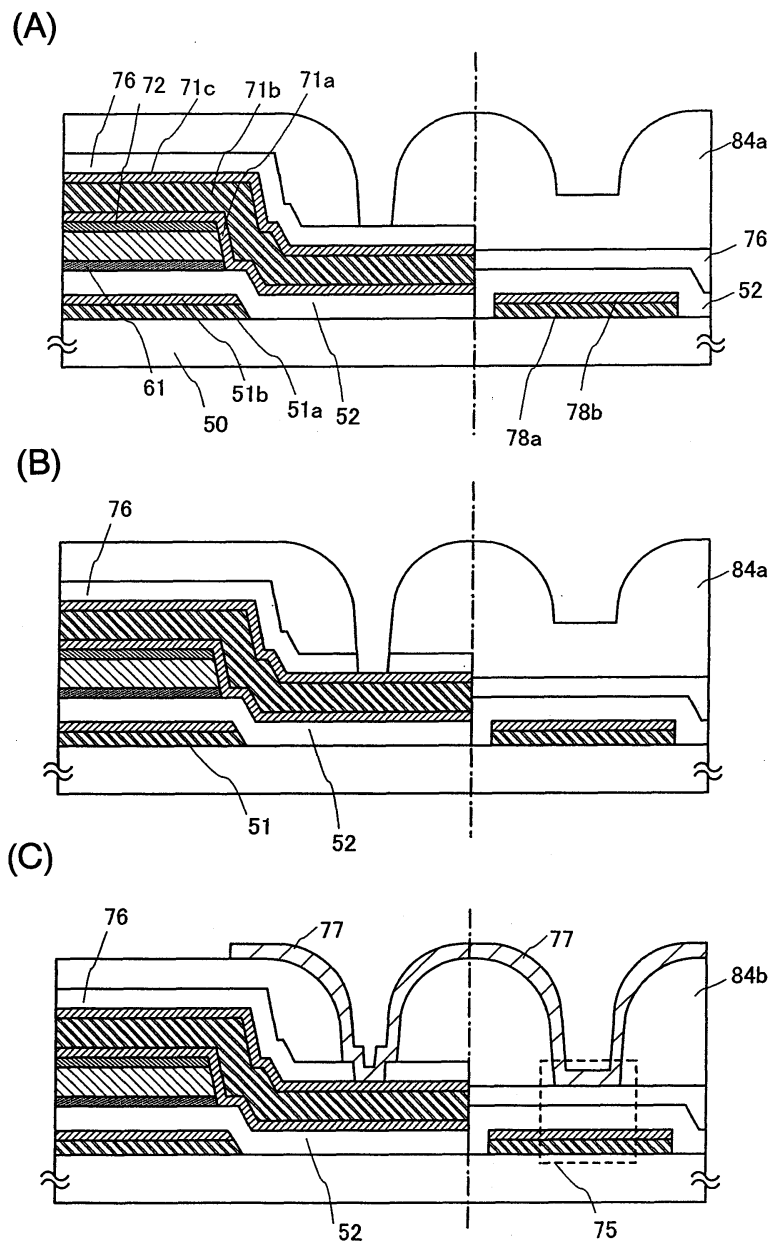
(A)



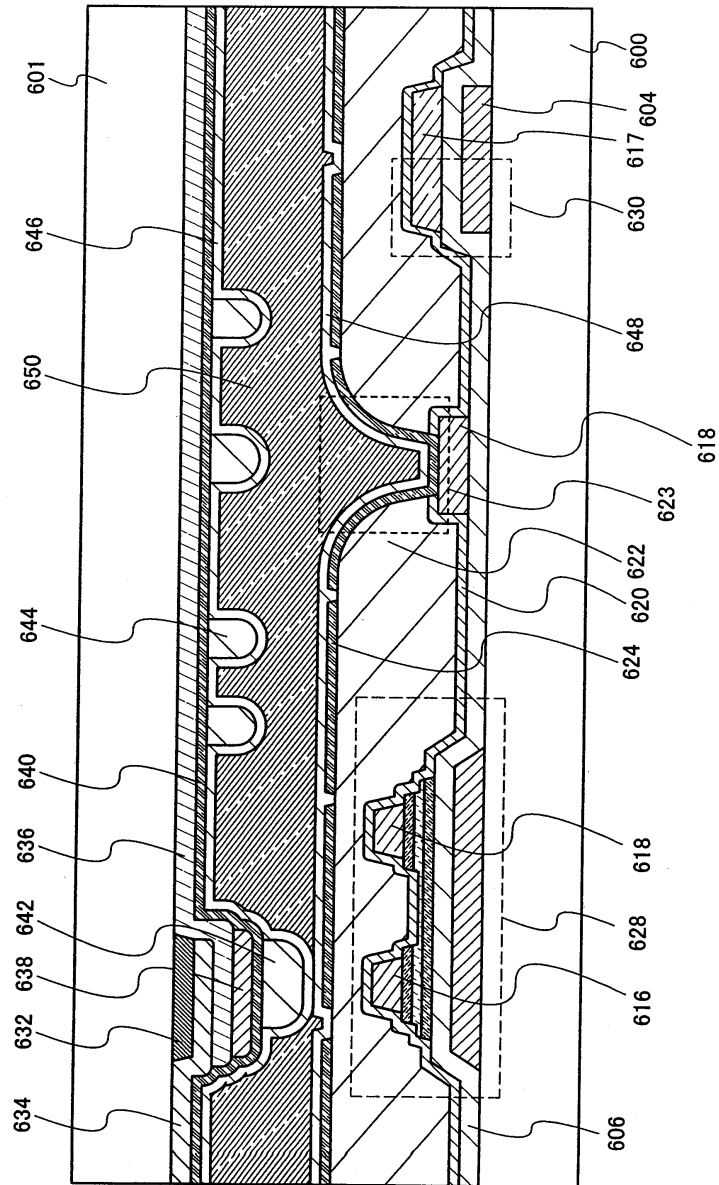
(B)



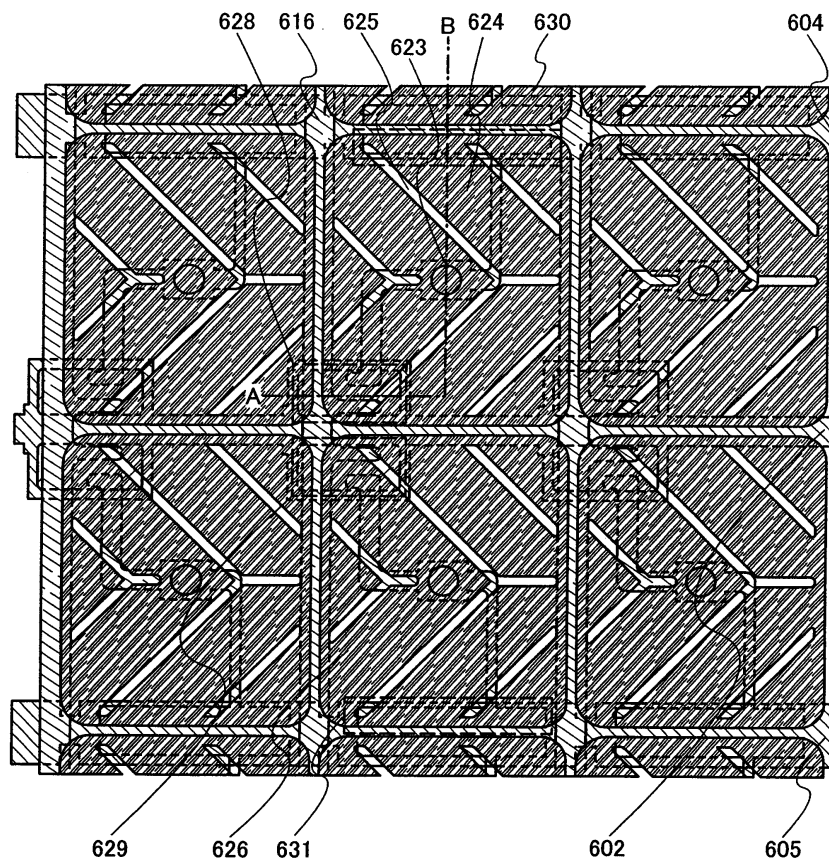
도면19



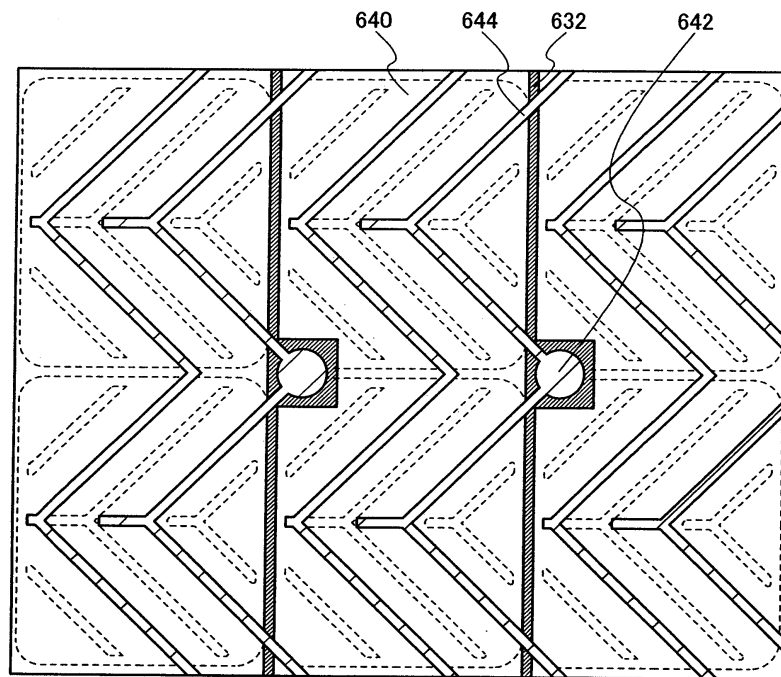
도면20



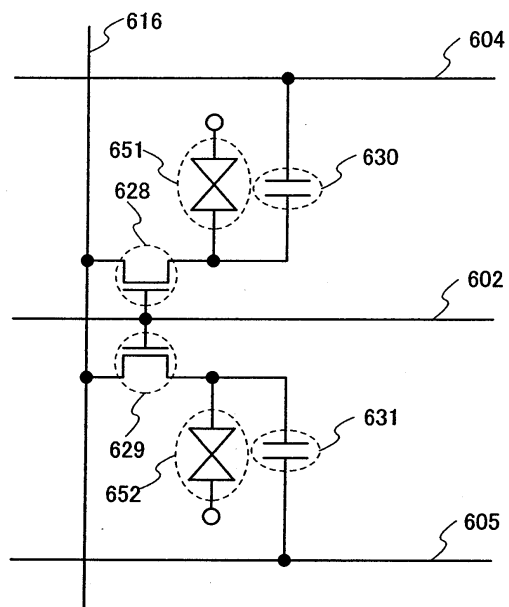
도면21



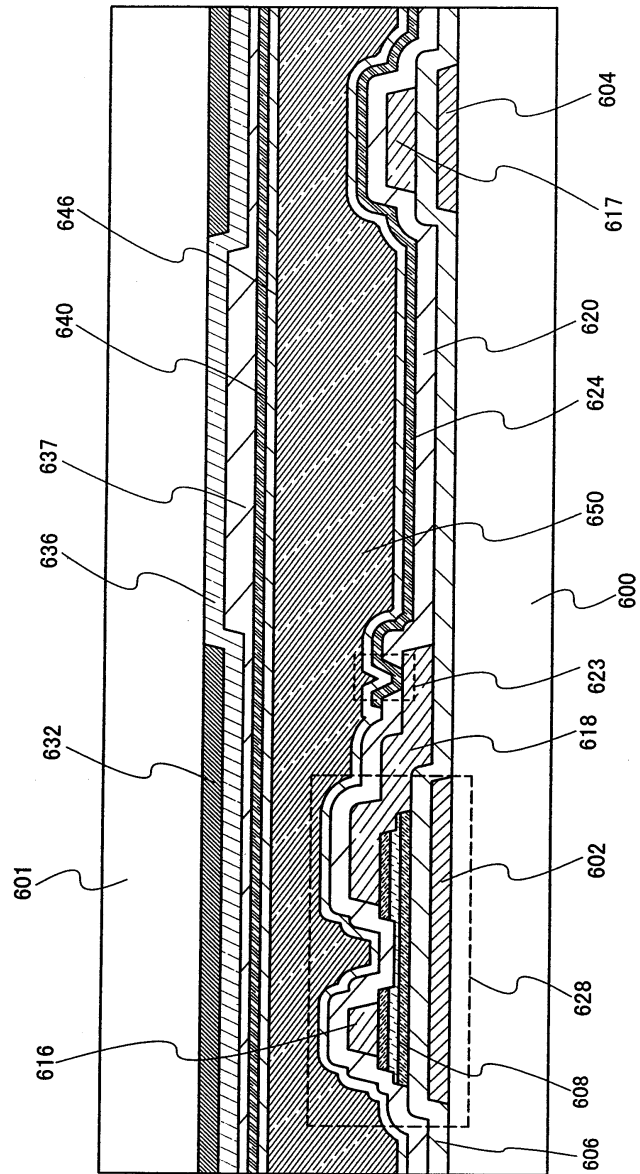
도면22



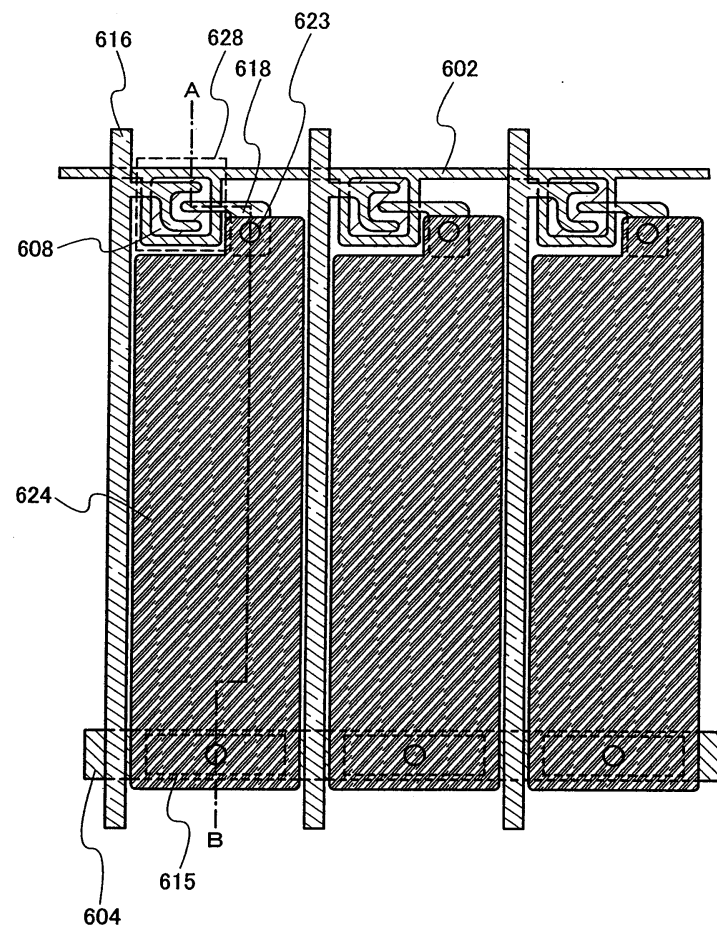
도면23



도면24

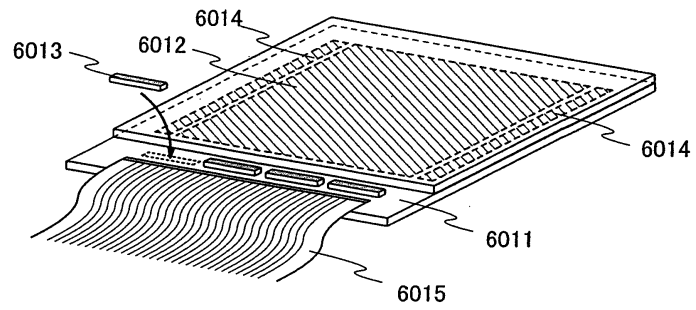


도면25

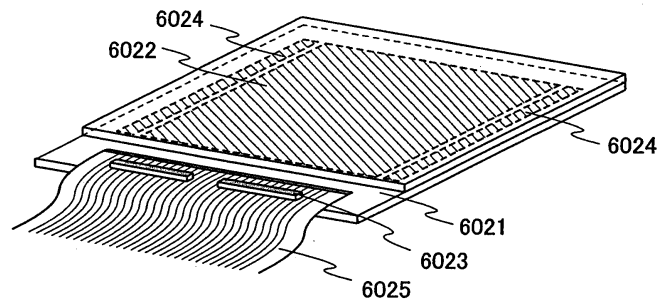


도면26

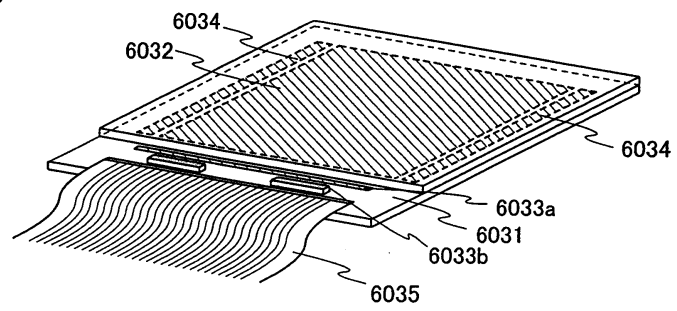
(A)



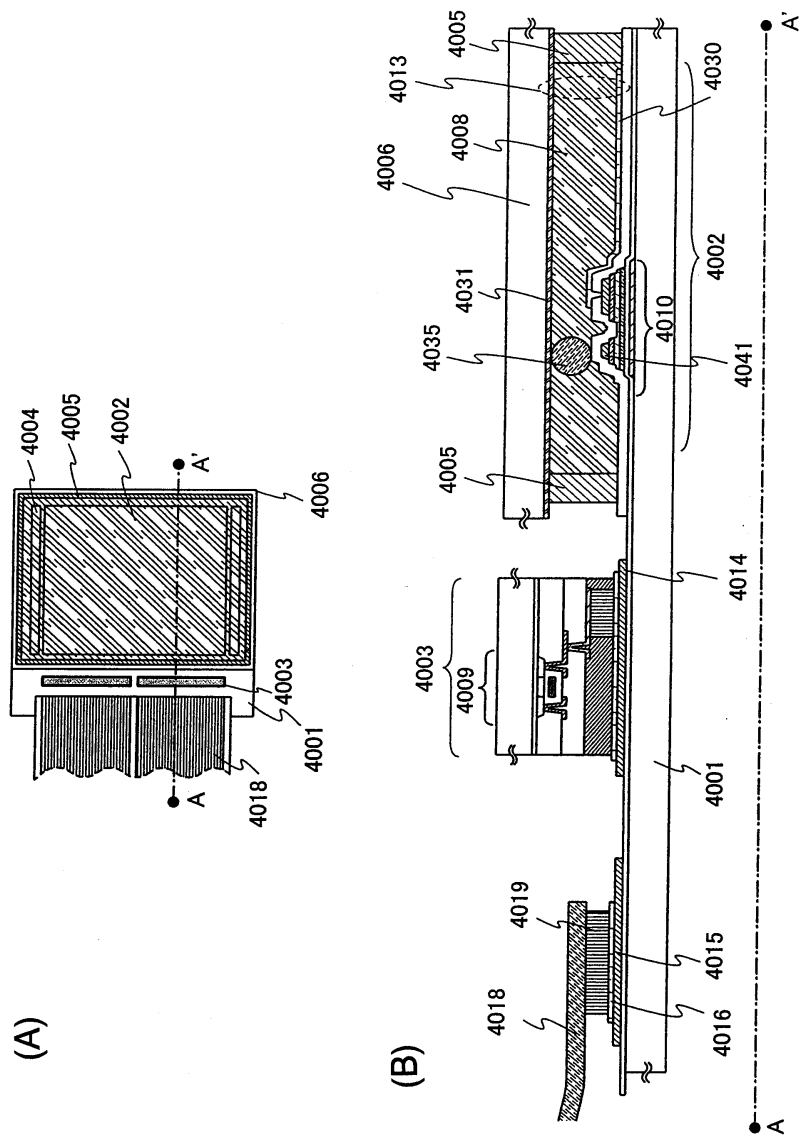
(B)



(C)



도면27



도면28

