

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年11月4日(2010.11.4)

【公開番号】特開2009-99854(P2009-99854A)

【公開日】平成21年5月7日(2009.5.7)

【年通号数】公開・登録公報2009-018

【出願番号】特願2007-271428(P2007-271428)

【国際特許分類】

H 0 1 L 27/105 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

H 0 1 L 27/10 4 4 8

H 0 1 L 45/00 A

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

H 0 1 L 27/10 4 5 1

【手続補正書】

【提出日】平成22年9月21日(2010.9.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

シリコンの酸化による体積膨張を利用して狭小な開口を形成することを特徴とする半導体装置の製造方法。

【請求項 2】

前記狭小な開口は、あらかじめ基板に設けられた開口に前記シリコンを堆積し、該シリコンを酸化することにより、前記開口を狭小化して形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記シリコンの酸化を行う前に前記堆積したシリコンについて異方性エッチング処理を行うことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記シリコンの酸化を行った後に前記酸化したシリコンについて異方性エッチング処理を行うことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 5】

少なくともコンタクトプラグ、絶縁体層、下部電極、可変抵抗層及び上部電極からなる、半導体記憶装置の製造方法であって、

前記下部電極を形成するための前記絶縁層の開口が、シリコンの酸化による体積膨張を利用して形成されることを特徴とする半導体装置の製造方法。

【請求項 6】

前記開口が、

前記絶縁膜を貫通するように設けられた前記コンタクトプラグを選択的にエッチングして形成した開口部に前記シリコンを堆積し、

前記堆積したシリコンについて前記コンタクトプラグが露出するまで異方性エッチング処理を行うことにより、前記開口部に前記シリコンからなるサイドウォールを形成し、

前記サイドウォールを酸化して前記開口部の開口径を狭小化することにより形成されることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記開口が、

前記絶縁膜を貫通するように設けられた前記コンタクトプラグを選択的にエッチングして形成した開口部に前記シリコンを堆積し、

前記堆積したシリコンを酸化して前記開口部の開口径を狭小化し、

前記酸化したシリコンについてコンタクトプラグが露出するまで異方性エッチング処理を行うことにより形成されることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 8】

選択能動素子あるいは下部配線が形成された基板上に絶縁体層を形成し、前記下部配線あるいは前記選択能動素子に繋がる第 1 の開口を形成する第 1 の工程と、

前記開口された絶縁体層上に導電性を有する材料を堆積し平坦化して、前記第 1 の開口内にコンタクトプラグを形成する第 2 の工程と、

前記コンタクトプラグ及び前記絶縁体層からなる平面において前記コンタクトプラグの一部を選択的にエッチングし、第 2 の開口を形成する第 3 の工程と、

前記第 2 の開口にシリコンを堆積し、更に該シリコンを異方性エッチングにより整形し、前記第 2 の開口の側壁に前記シリコンからなるサイドウォールを形成する第 4 の工程と、

前記シリコンからなるサイドウォールを選択的に酸化し、二酸化シリコン (SiO_2) とすることにより、前記第 2 の開口の開口径を狭小化する第 5 の工程と、

前記開口径が狭小化された第 2 の開口に下部電極の材料を堆積し、研磨および平坦化処理を行うことで、前記第 2 の開口内に下部電極材料を形成する第 6 の工程と、

少なくとも下部電極上を含む前記絶縁体層上に可変抵抗層および上部電極を順次形成する第 7 の工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 9】

選択能動素子あるいは下部配線が形成された基板上に絶縁体層を形成し、前記下部配線あるいは前記選択能動素子に繋がる第 1 の開口を形成する第 1 の工程と、

前記開口された絶縁体層上に導電性を有する材料を堆積し平坦化して、前記第 1 の開口内にコンタクトプラグを形成する第 2 の工程と、

前記コンタクトプラグ及び前記絶縁体層からなる平面において前記コンタクトプラグの一部を選択的にエッチングし、第 2 の開口を形成する第 3 の工程と、

前記第 2 の開口にシリコンを堆積し、前記堆積したシリコンを酸化して前記第 2 の開口の開口径を狭小化する第 4 の工程と、

前記酸化したシリコンについてコンタクトプラグが露出するまで異方性エッチング処理を行う第 5 の工程と、

前記開口径が狭小化された開口に下部電極の材料を堆積し、研磨および平坦化処理を行うことで、前記第 2 の開口内に下部電極材料を形成する第 6 の工程と、

少なくとも下部電極上を含む前記絶縁体層上に可変抵抗層および上部電極を順次形成する第 7 の工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 10】

前記シリコンを酸化する方法が、選択的にシリコンのみを酸化する方法であることを特徴とする請求項 5 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】

前記シリコンが、多結晶シリコン又はアモルファスシリコンであることを特徴とする請求項 5 乃至 10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 2】

前記第 6 の工程において、下部電極を形成後、下部電極の一部を除去する選択エッチングを行い、その後、前記第 7 の工程を行うことを特徴とする請求項 8 乃至 1 1 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 3】

前記半導体装置が可変抵抗メモリ素子であることを特徴とする請求項 5 乃至 1 2 のいずれか 1 項に記載の可変抵抗メモリ素子の製造方法。

【請求項 1 4】

前記可変抵抗層の材料が、相変化材料であることを特徴とする請求項 1 3 に記載の可変抵抗メモリ素子の製造方法。

【請求項 1 5】

前記相変化材料が、カルコゲナイド材料であることを特徴とする請求項 1 4 に記載の可変抵抗メモリ素子の製造方法。

【請求項 1 6】

請求項 1 3 乃至 1 5 のいずれか 1 項に記載の方法で製造された可変抵抗メモリ素子を含んで構成されることを特徴とする可変抵抗メモリ装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】変更

【補正の内容】

【0 0 1 7】

そこで、本発明に係る半導体装置の製造方法は、シリコンの酸化による体積膨張を利用して狭小な開口を形成することを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】変更

【補正の内容】

【0 0 2 2】

したがって、本発明に係る半導体装置の製造方法は、

シリコンの酸化による体積膨張を利用して狭小な開口を形成することを特徴とする。

また、本発明に係る半導体装置の製造方法は、

少なくともコンタクトプラグ、絶縁体層、下部電極、可変抵抗層及び上部電極からなる、半導体記憶装置の製造方法であって、

前記下部電極を形成するための前記絶縁層の開口が、シリコンの酸化による体積膨張を利用して形成されることを特徴とする。

また、本発明に係る半導体装置の製造方法は、

選択能動素子あるいは下部配線が形成された基板上に絶縁体層を形成し、前記下部配線あるいは前記選択能動素子に繋がる第 1 の開口を形成する第 1 の工程と、

前記開口された絶縁体層上に導電性を有する材料を堆積し平坦化して、前記第 1 の開口内にコンタクトプラグを形成する第 2 の工程と、

前記コンタクトプラグ及び前記絶縁体層からなる平面において前記コンタクトプラグの一部を選択的にエッチングし、第 2 の開口を形成する第 3 の工程と、

前記第 2 の開口にシリコンを堆積し、更に該シリコンを異方性エッチングにより整形し、前記第 2 の開口の側壁に前記シリコンからなるサイドウォールを形成する第 4 の工程と、

前記シリコンからなるサイドウォールを選択的に酸化し、二酸化シリコン (SiO₂) とすることにより、前記第 2 の開口の開口径を狭小化する第 5 の工程と、

前記開口径が狭小化された第 2 の開口に下部電極の材料を堆積し、研磨および平坦化処

理を行うことで、前記第 2 の開口内に下部電極材料を形成する第 6 の工程と、
少なくとも下部電極上を含む前記絶縁体層上に可変抵抗層および上部電極を順次形成する第 7 の工程と、
を有することを特徴とする。
また、本発明に係る半導体装置の製造方法は、
選択能動素子あるいは下部配線が形成された基板上に絶縁体層を形成し、前記下部配線あるいは前記選択能動素子に繋がる第 1 の開口を形成する第 1 の工程と、
前記開口された絶縁体層上に導電性を有する材料を堆積し平坦化して、前記第 1 の開口内にコンタクトプラグを形成する第 2 の工程と、
前記コンタクトプラグ及び前記絶縁体層からなる平面において前記コンタクトプラグの一部を選択的にエッチングし、第 2 の開口を形成する第 3 の工程と、
前記第 2 の開口にシリコンを堆積し、前記堆積したシリコンを酸化して第 2 の開口の開口径を狭小化する第 4 の工程と、
前記酸化したシリコンについてコンタクトプラグが露出するまで異方性エッチング処理を行う第 5 の工程と、
前記開口径が狭小化された開口に下部電極の材料を堆積し、研磨および平坦化処理を行うことで、前記第 2 の開口内に下部電極材料を形成する第 6 の工程と、
少なくとも下部電極上を含む前記絶縁体層上に可変抵抗層および上部電極を順次形成する第 7 の工程と、
を有することを特徴とする。