



(12)发明专利

(10)授权公告号 CN 105830434 B

(45)授权公告日 2019.10.29

(21)申请号 201480063496.5

铃木笃史

(22)申请日 2014.11.20

(74)专利代理机构 北京正理专利代理有限公司

11257

(65)同一申请的已公布的文献号

代理人 付生辉 张雪梅

申请公布号 CN 105830434 A

(43)申请公布日 2016.08.03

(51)Int.CI.

H04N 5/378(2011.01)

(30)优先权数据

H03K 23/00(2006.01)

2013-244949 2013.11.27 JP

H03M 1/12(2006.01)

2014-100185 2014.05.14 JP

H03M 1/56(2006.01)

(85)PCT国际申请进入国家阶段日

H03K 5/135(2006.01)

2016.05.20

(56)对比文件

(86)PCT国际申请的申请数据

US 2003085746 A1, 2003.05.08,

PCT/JP2014/005841 2014.11.20

CN 102684698 A, 2012.09.19,

(87)PCT国际申请的公布数据

US 2011187907 A1, 2011.08.04,

W02015/079663 EN 2015.06.04

CN 101873136 A, 2010.10.27,

(73)专利权人 索尼公司

CN 101237533 A, 2008.08.06,

地址 日本国东京都港区港南1-7-1

US 2011292265 A1, 2011.12.01,

(72)发明人 佐伯贵范 高桥知宏 武田祐一

审查员 刘霞

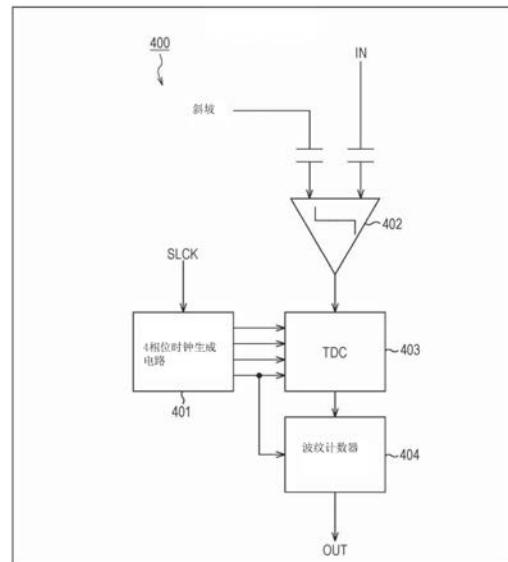
权利要求书2页 说明书47页 附图32页

(54)发明名称

具有基于相位插值器的多相位时钟生成单元的A/D转换装置

(57)摘要

一种A/D转换装置包括：相位差时钟生成单元，其被构造为使用多个相位插值器，用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号，所述多相位时钟信号的相位相对于输入时钟信号移位；以及A/D转换单元，其被构造为使用所述相位差时钟生成单元生成的所述多相位时钟信号对输入模拟信号执行A/D转换。



1. 一种灰度代码生成装置,所述灰度代码生成装置包括:

相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及

灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的所述多相位时钟信号来生成灰度代码。

2. 根据权利要求1所述的灰度代码生成装置,其中,所述灰度代码生成单元包括:

第一灰度代码生成单元,其被构造成用所述相位差时钟生成单元生成的所述多相位时钟信号中的一个来生成高阶灰度代码,以及

第二灰度代码生成单元,其被构造成用所述相位差时钟生成单元生成的所述多相位时钟信号中的剩余信号来生成低阶灰度代码。

3. 一种A/D转换装置,所述A/D转换装置包括:

相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;

灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的所述多相位时钟信号来生成灰度代码;以及

A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,转换输入模拟信号。

4. 根据权利要求3所述的A/D转换装置,其中,所述A/D转换单元包括:

比较单元,其被构造成将斜坡波形的参考电压与输入电压进行比较;以及

锁存器,其被构造成通过使用所述比较单元的输出的反转锁存所述灰度代码生成单元生成的所述灰度代码,将所述灰度代码转换成二进制值,并且输出得到的数字值。

5. 根据权利要求3所述的A/D转换装置,其中,所述A/D转换单元还包括:计数器,其被构造成对所述输入时钟信号的周期数进行计数并且将计数值作为高阶位输出,其中,得到的数字值被作为低阶位输出。

6. 一种成像元件,所述成像元件包括:

像素阵列,其包括多个单位像素,其中,所述多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件;

相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;

灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的所述多相位时钟信号来生成灰度代码;以及

A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,转换从所述像素阵列的单位像素输出的模拟信号。

7. 根据权利要求6所述的成像元件,其中,所述像素阵列的单位像素的各列或各部分区域包括A/D转换单元,所述A/D转换单元被构造成使用所述灰度代码生成单元生成的灰度代码,转换从对应于所述A/D转换单元的列或部分区域的单位像素输出的模拟信号。

8. 根据权利要求6所述的成像元件，
其中，预定数量的列或部分区域包括所述灰度代码生成单元，以及
其中，所述A/D转换单元使用与对应于所述A/D转换单元的列或部分区域对应的所述灰度代码生成单元生成的所述灰度代码来执行A/D转换。
9. 一种电子装置，所述电子装置包括：
成像单元，其被构造成将对象成像；以及
图像处理单元，其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理，其中，所述成像单元包括：
像素阵列，其包括多个单位像素，其中，所述多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件；
相位差时钟生成单元，其被构造成使用多个相位插值器，用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号，所述多相位时钟信号的相位相对于所述输入时钟信号移位；
灰度代码生成单元，其被构造成使用多个相位插值器和逻辑门，用所述相位差时钟生成单元生成的所述多相位时钟信号来生成灰度代码；
A/D转换单元，其被构造成使用所述灰度代码生成单元生成的所述灰度代码，转换从所述像素阵列的单位像素输出的模拟信号。

具有基于相位插值器的多相位时钟生成单元的A/D转换装置

技术领域

[0001] 本技术涉及A/D转换装置、灰度代码生成装置、信号处理装置、成像元件和电子装置,更特别地讲,涉及被构造成更容易实现高速、高分辨率、或这二者的A/D转换装置、灰度代码生成装置、信号处理装置、成像元件和电子装置。

[0002] 相关申请的交叉引用

[0003] 本申请要求2013年11月27日提交的日本优先权专利申请JP 2013-244949和2014年5月14日提交的日本优先权专利申请JP 2014-100185的权益,这两个专利申请中的每个的全部内容以引用方式并入本文中。

背景技术

[0004] 过去,在成像元件中,已经推荐了在像素阵列中得到的像素信号的A/D转换中使用灰度代码计数器的方法(例如,参见PTL1)。PTL 1中公开的固态成像元件被构造成,使得参考时钟从PLL(锁相环)分配到灰度代码计数器并且灰度代码从灰度代码计数器分配到各列的A/D转换器。

[0005] [引用列表]

[0006] [专利文献]

[0007] [PTL1]

[0008] 日本未经审查的专利申请公开No.2011-234326

发明内容

[0009] 技术问题

[0010] 然而,在PTL1中公开的构造中,分配到所有A/D转换器的参考时钟的频率在芯片中是最高的。因此,为了实现高速或高分辨率,必须提高参考时钟的频率。然而,由于参考时钟必须被分配到所有列,因此提高频率不容易。因此,难以实现高速或高分辨率。

[0011] 依据这些情形设想到本技术并且期望更容易地实现高速、高分辨率或这二者。

[0012] 问题的解决方案

[0013] 根据本技术的实施例,提供了一种A/D转换装置,所述A/D装置包括:相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位;以及A/D转换单元,其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号对输入模拟信号执行A/D转换。

[0014] 所述相位差时钟生成单元可包括一个延迟单元和四个相位插值器并且用所述输入时钟信号生成4相位时钟信号。

[0015] 所述相位插值器可在从两个输入信号的相位差的中间时刻延迟了所述相位插值器的延迟时间的时刻,输出输出信号。

[0016] 所述A/D转换单元可包括:计数器,其被构造成对所述时钟信号的周期数进行计数

并且将计数值作为高阶位输出；比较单元，其被构造成将斜坡波形的参考电压与输入电压进行比较；以及时间量化单元，其被构造成通过使用所述比较单元的输出的反转作为触发信号同时锁存所述相位差时钟生成单元生成的多相位时钟信号，获取相位信息，将所述相位信息的值解码，并且将得到的数字值作为分辨率比所述时钟信号的周期高的低阶位输出。

[0017] 根据本技术的实施例，提供了一种成像元件，所述成像元件包括：像素阵列，其被构造成使得布置均包括光电转换入射光的光电转换元件的单位像素；相位差时钟生成单元，其被构造成使用多个相位插值器，用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号，所述多相位时钟信号的相位相对于所述输入时钟信号移位；以及A/D转换单元，其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号，对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0018] 所述A/D转换单元可安装在所述像素阵列的单位像素的各列或部分区域并且可使用所述相位差时钟生成单元生成的多相位时钟信号，对从对应于所述A/D转换单元的列或部分区域的单位像素输出的模拟信号执行A/D转换。

[0019] 所述相位差时钟生成单元可以以预定数量的列或部分区域为间隔进行安装。所述A/D转换单元可使用与对应于所述A/D转换单元的列或部分区域对应的所述相位差时钟生成单元生成的多相位时钟信号来执行A/D转换。

[0020] 根据本技术的实施例，提供了一种电子装置，所述电子装置包括：成像单元，其被构造成将对象成像；以及图像处理单元，其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理。所述成像单元包括：像素阵列，其中布置均包括光电转换入射光的光电转换元件的单位像素；相位差时钟生成单元，其被构造成使用多个相位插值器，用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号，所述多相位时钟信号的相位相对于所述输入时钟信号移位；以及A/D转换单元，其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号，对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0021] 根据本技术的另一个实施例，提供了一种灰度代码生成装置，所述灰度代码生成装置包括：相位差时钟生成单元，其被构造成使用多个相位插值器，用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号，所述多相位时钟信号的相位相对于所述输入时钟信号移位；以及灰度代码生成单元，其被构造成使用多个相位插值器和逻辑门，用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码。

[0022] 所述灰度代码生成单元可包括：第一灰度代码生成单元，其被构造成用所述相位差时钟生成单元生成的多相位时钟信号中的一个来生成高阶灰度代码；第二灰度代码生成单元，其被构造成用所述相位差时钟生成单元生成的多相位时钟信号中的剩余信号来生成低阶灰度代码。

[0023] 根据本技术的另一个实施例，提供了一种A/D转换装置，所述A/D转换装置包括：相位差时钟生成单元，其被构造成使用多个相位插值器，用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号，所述多相位时钟信号的相位相对于所述输入时钟信号移位；灰度代码生成单元，其被构造成使用多个相位插值器和逻辑门，用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码；以及A/D转换单元，其被构

造成使用所述灰度代码生成单元生成的所述灰度代码,对输入模拟信号执行A/D转换。

[0024] 所述A/D转换单元可包括:计数器,其被构造成对所述时钟信号的周期数进行计数并且将计数值作为高阶位输出;比较单元,其被构造成将斜坡波形的参考电压与输入电压进行比较;以及锁存器,其被构造成通过使用所述比较单元的输出的反转作为触发信号同时锁存所述灰度代码生成单元生成的所述灰度代码,将所述灰度代码转换成二进制值,并且将得到的数字值作为低阶位输出。

[0025] 根据本技术的另一个实施例,提供了一种成像元件,所述成像元件包括:像素阵列,其被构造成使得布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0026] 所述A/D转换单元可安装在所述像素阵列的单位像素的各列或各部分区域并且可使用所述灰度代码生成单元生成的所述灰度代码,对从对应于所述A/D转换单元的列或部分区域的单位像素输出的模拟信号执行A/D转换。

[0027] 所述灰度代码生成单元可以以预定数量的列或部分区域为间隔进行安装。所述A/D转换单元可使用与对应于所述A/D转换单元的列或部分区域对应的所述灰度代码生成单元生成的所述灰度代码来执行A/D转换。

[0028] 根据本技术的另一个实施例,提供了一种电子装置,所述电子装置包括:成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理。所述成像单元包括:像素阵列,其中布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0029] 根据本技术的另一个实施例,提供了一种A/D转换装置,所述A/D转换装置包括:相位差时钟生成单元,其被构造成生成由其相位相互移位的多个时钟信号形成的多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器来校正所述相位差时钟生成单元生成的所述多相位时钟信号的时钟信号之间的相位差;以及A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,对输入模拟信号执行A/D转换。

[0030] 根据本技术的另一个实施例,提供了一种成像元件,所述成像元件包括:像素阵列,其被构造成使得布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成生成由其相位相互移位的多个时钟信号形成的多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器来校正所述相位差时钟生成单元生成的所述多相位时钟信号的时钟信号之间的相位差;以及A/D转换单元,其被构造成使用经所述相位

校正单元校正的多相位时钟信号,对从像素阵列的单位像素示出的模拟信号执行A/D转换。

[0031] 根据本技术的另一个实施例,提供了一种电子装置,所述电子装置包括:成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理。所述成像单元包括:像素阵列,其中布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成生成由其相位相互移位的多个时钟信号形成的多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器来校正所述相位差时钟生成单元生成的所述多相位时钟信号的时钟信号之间的相位差;以及A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,对从所述像素阵列的像素单元输出的模拟信号执行A/D转换。

[0032] 根据本技术的另一个实施例,提供了一种信号处理装置,所述信号处理装置包括相位校正单元,所述相位校正单元被构造成使用多个相位插值器,校正由其相位相互移位的多个时钟信号形成的多相位时钟信号的时钟信号之间的相位差。

[0033] 根据本技术的实施例,在A/D转换装置中,使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位,并且使用生成的多相位时钟信号对输入模拟信号执行A/D转换。

[0034] 根据本技术的实施例,在成像元件中,使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位,并且使用生成的多相位时钟信号对从像素阵列的各单位像素输出的模拟信号执行A/D转换,在像素阵列中布置均包括光电转换入射光的光电转换元件的单位像素。

[0035] 根据本技术的实施例,在电子装置中,使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位,使用生成的多相位时钟信号对从像素阵列的各单位像素输出的模拟信号执行A/D转换,在像素阵列中布置均包括光电转换入射光的光电转换元件的单位像素,并且得到的图像数据经受图像处理。

[0036] 根据本技术的另一个实施例,在灰度代码生成装置中,使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位,使用多个相位插值器和逻辑门,用所生成的多相位时钟信号来生成灰度代码。

[0037] 根据本技术的另一个实施例,在A/D转换装置中,使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位,使用多个相位插值器和逻辑门,用所生成的多相位时钟信号来生成灰度代码,并且使用生成的灰度代码对输入模拟信号执行A/D转换。

[0038] 根据本技术的另一个实施例,在成像元件中,使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位,使用多个相位插值器和逻辑门,用所生成的多相位时钟信号来生成灰度代码,并且使用生成的灰度代码对从像素阵列的各单位像素输出

的模拟信号执行A/D转换,在像素阵列中布置均包括光电转换入射光的光电转换元件的单位像素。

[0039] 根据本技术的另一个实施例,在电子装置中,使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位,使用多个相位插值器和逻辑门,用所生成的多相位时钟信号来生成灰度代码,使用生成的灰度代码对从像素阵列的单位像素输出的模拟信号执行A/D转换,在像素阵列中布置均包括光电转换入射光的光电转换元件的单位像素,并且得到的图像数据经受图像处理。

[0040] 根据本技术的另一个实施例,在A/D转换装置中,生成由其相位相互移位的多个时钟信号形成的多相位时钟信号,使用多个相位插值器校正生成的多相位时钟信号中的时钟信号之间的相位差,并且使用生成的多相位时钟信号对输入模拟信号执行A/D转换。

[0041] 根据本技术的另一个实施例,在成像元件中,生成由其相位相互移位的多个时钟信号形成的多相位时钟信号,使用多个相位插值器校正生成的多相位时钟信号中的时钟信号之间的相位差,并且使用经校正的多相位时钟信号对从像素阵列的单位像素输出的模拟信号执行A/D转换,在像素阵列中布置均包括光电转换入射光的光电转换元件的单位像素。

[0042] 根据本技术的另一个实施例,在电子装置中,生成由其相位相互移位的多个时钟信号形成的多相位时钟信号,使用多个相位插值器校正生成的多相位时钟信号中的时钟信号之间的相位差,并且使用经校正的多相位时钟信号对从像素阵列的单位像素输出的并且通过对对象进行成像而得到的模拟信号执行A/D转换,在像素阵列中布置均包括光电转换入射光的光电转换元件的单位像素,并且得到的图像数据经受图像处理。

[0043] 根据本技术的另一个实施例,在信号处理装置中,使用多个相位插值器校正由其相位相互移位的多个时钟信号形成的多相位时钟信号中的时钟信号之间的相位差。

[0044] 根据本技术的另一个实施例,提供了一种模数(A/D)转换装置,所述模数转换装置包括相位差时钟生成单元,所述相位差时钟生成单元被构造成使用多个相位差时钟生成单元,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及A/D转换单元,其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号来转换输入模拟信号。

[0045] 根据本技术的另一个实施例,提供了一种电子装置,所述电子装置包括:像素阵列,其包括多个单位像素,其中,所述多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位;以及模数(A/D)转换单元,其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号,转换从所述像素阵列的单位像素输出的模拟信号。

[0046] 根据本技术的另一个实施例,提供了一种电子装置,所述电子装置包括:成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元得到的图像数据执行图像处理,其中,所述成像单元包括像素阵列、相位差时钟生成单元和A/D转换单元,所述像素阵列包括多个单位像素,其中,所述多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件,所述相位差时钟生成单元被构造成使用多个相位插

值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位,所述模数(A/D)转换单元被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号,转换从所述像素阵列的单位像素输出的模拟信号。

[0047] 根据本技术的另一个实施例,提供了一种灰度代码生成装置,所述灰度代码生成装置包括:相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位;以及灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码。

[0048] 根据本技术的另一个实施例,提供了一种模数(A/D)转换装置,所述模数转换装置包括:相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,转换输入模拟信号。

[0049] 根据本技术的另一个实施例,提供了一种成像元件,所述成像元件包括:像素阵列,其包括多个单位像素,其中,所述多个单位像素中的各单位像素包括光电转换元件,所述光电转换元件被构造成光电转换入射光;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位;灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及模数(A/D)转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,转换从所述像素阵列的单位像素输出的模拟信号。

[0050] 根据本技术的另一个实施例,提供了一种模数(A/D)转换装置,所述模式转换装置包括:相位差时钟生成单元,其被构造成生成由其相位相互移位的多个时钟信号形成的多个相位时钟信号;相位校正单元,其被构造成使用多个相位插值器,校正通过相位差时钟生成单元生成的多相位时钟信号中的时钟信号之间的相位差;以及A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,转换输入模拟信号。

[0051] 根据本技术的另一个实施例,提供了一种成像元件,所述成像元件包括:像素阵列,其包括多个单位像素,其中,所述多个单位像素中的各单位像素包括光电转换元件,所述光电转换元件被构造成光电转换入射光;相位差时钟生成单元,其被构造成基于其相位相互移位的多个时钟信号来生成多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器,校正所述相位差始终生成单元生成的多相位时钟信号的时钟信号之间的相位差;A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,转换从所述像素阵列的单位像素输出的模拟信号。

[0052] 根据本技术的另一个实施例,提供了一种成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元对对象进行成像而得到的图像数据执行图像处理,其中,所述成像单元包括像素阵列、相位差时钟生成单元、相位校正单元和模数(A/D)转换单元,所述像素阵列包括多个单位像素,其中,所述多个单位像素中的各单位像素包

括被构造成光电转换入射光的光电转换元件,所述相位差时钟生成单元被构造成基于其相位相互移位的多个时钟信号来生成多相位时钟信号,所述相位校正单元被构造成使用多个相位插值器,校正所述相位差时钟生成单元生成的所述多相位时钟信号中的时钟信号之间的相位差,所述模数(A/D)转换单元被构造成使用经所述相位校正单元校正的多相位时钟信号来转换从所述像素阵列的单位像素输出的模拟信号。

[0053] 根据本技术的另一个实施例,提供了一种相位校正单元,所述相位校正单元被构造成使用多个相位插值器来校正由多个时钟信号形成的多相位时钟信号中的时钟信号之间的相位差,其中,所述多个时钟信号包括具有相互移位的相位的时钟信号。

[0054] 本发明的有利益处

[0055] 根据本技术的实施例,可处理信号。根据本技术的实施例,可以更容易地实现高速、高分辨率、或这二者。

附图说明

- [0056] 图1是示出成像元件的主要构造的示例的示图。
- [0057] 图2是用于描述纹波计数器的操作的情形的示例的示图。
- [0058] 图3是示出成像元件的主要构造的示例的示图。
- [0059] 图4是示出成像元件的主要构造的示例的示图。
- [0060] 图5是示出4相时钟生成电路的主要构造的示例的示图。
- [0061] 图6是用于描述4相时钟生成电路的操作情形的示例的时序图。
- [0062] 图7是示出4相时钟生成电路的各输出信号的延迟时间和相位差的示图。
- [0063] 图8是用于描述相位插值器的操作情形的示例的示图。
- [0064] 图9是用于描述相位插值器的操作情形的示例的时序图。
- [0065] 图10是示出相位插值器的主要构造的示例的示图。
- [0066] 图11是示出相位插值器的主要构造的示例的示图。
- [0067] 图12是示出高分辨率灰度代码生成电路的主要构造的示例的示图。
- [0068] 图13是示出高分辨率灰度代码生成电路的操作情形的示例的时序图。
- [0069] 图14是示出高分辨率灰度代码生成电路的构造的另一个示例的示图。
- [0070] 图15是示出高分辨率灰度代码生成电路的操作情形的另一个示例的时序图。
- [0071] 图16是示出A/D转换电路的主要构造的示例的示图。
- [0072] 图17是示出成像元件的主要构造的示例的示图。
- [0073] 图18是示出单位像素的主要构造的示例的示图。
- [0074] 图19是示出成像元件的主要构造的示例的示图。
- [0075] 图20是示出A/D转换电路的主要构造的示例的示图。
- [0076] 图21是示出成像元件的主要构造的示例的示图。
- [0077] 图22是示出成像元件的主要构造的示例的示图。
- [0078] 图23是示出外围电路区的主要构造的示例的示图。
- [0079] 图24是示出外围电路区的主要构造的示例的示图。
- [0080] 图25A是示出低阶位时间量化器的示例的示图。
- [0081] 图25B是示出低阶位时间量化器的示例的示图。

- [0082] 图26是示出相位校正电路的主要构造的示例的示图。
- [0083] 图27是示出相位校正电路的输入/输出端的相位的示例的示图。
- [0084] 图28A是示出相位校正电路的各节点的相位的相对分布的示例的示图。
- [0085] 图28B是示出相位校正电路的各节点的相位的相对分布的示例的示图。
- [0086] 图29是示出成像元件的主要构造的示例的示图。
- [0087] 图30是示出时钟生成单元的主要构造的示例的示图。
- [0088] 图31是示出成像元件的主要构造的示例的示图。
- [0089] 图32是示出成像元件的主要构造的示例的示图。

具体实施方式

[0090] 下文中,将描述用于执行本公开的模式(下文中被称为实施例)。将按以下次序进行描述。

- [0091] 1.成像元件的A/D转换
- [0092] 2.第一实施例(4相时钟生成电路)
- [0093] 3.第二实施例(高分辨率灰度代码生成电路-1)
- [0094] 4.第三实施例(A/D转换电路-1)
- [0095] 5.第四实施例(成像元件-1)
- [0096] 6.第五实施例(A/D转换电路-2)
- [0097] 7.第六实施例(成像元件-2)
- [0098] 8.第七实施例(A/D转换电路-3)
- [0099] 9.第八实施例(使用多时钟信号的A/D转换)
- [0100] 10.第九实施例(图像传感器-1)
- [0101] 11.第十实施例(成像装置)
- [0102] <1.成像元件的A/D转换>

[0103] 在通常的图像传感器中,单位像素的光接收部分(例如,光电二极管)中累积的电荷被读取为信号电压(像素信号)并且经受模拟/数字转换(A/D转换)。作为A/D转换的方法,例如,已经推荐了以下方法:通过在变化参考电压并且获取相应时序的同时与信号电压进行比较,执行数字转换。

[0104] 日本未经审查的专利申请公开No.2005-323331(下文中,被称为PTL2)推荐了一体型A/D转换器在图像传感器中平行布置成列的构造。在图1中示出一体平行列型A/D转换器的示例。在一体型A/D转换器中,由比较器将具有其中电压值随时间推移而线性变化的斜坡波形的参考电压RAMP与输入电压VSL进行比较,将比较结果作为VC0输出。通过在VC0变化的时刻开始或停止纹波计数器的操作并且对计数周期进行计数,将电压变化转换成数字值。用PLL(锁相环)分配时钟并且斜坡波从斜坡发生器分配到所有列。

[0105] 总体上,优选地,如果其它性能相同,则A/D转换器具有高分辨率。另外,优选地,如果其它性能相同,则A/D转换器高速操作。

[0106] 例如,为了增加PTL2中公开的一体型A/D转换器的分辨率,可升高纹波计数器的计数数量。例如,为了将使用具有频率f[Hz]的时钟信号在时间段H[s]期间执行A/D转换的一体型A/D转换器的分辨率增加1位,计数器的计数数量可被加倍。为了将计数数量加倍,如图

2中所示,当保持转换时间段H[s]时,必须将时钟信号的频率升高至 $2f[\text{Hz}]$,从而被加倍。由于必须将时钟信号分配到所有列,因此与时钟信号连接的列的负载大,不容易实现高频率。为此原因,难以实现PTL 2中公开的一体型A/D转换器的高分辨率。

[0107] 通过升高时钟信号的频率或者增大A/D转换器的分辨率,实现A/D转换器的操作的高速。然而,如上所述,升高频率和增加分辨率都不容易。也就是说,难以实现PLT 2中公开的一体型A/D转换器的高速。

[0108] 同时,PLT 1推荐将A/D转换器用于低功耗的目的。在图3中示出一体平行列型列A/D转换器的示例。如图3中所示,PTL 1中公开的一体型A/D转换器被构造成,使得参考时钟信号从PLL分配到灰度代码计数器并且灰度代码从灰度代码计数器分配到各列。在这种构造中,由于灰度代码计数器处于给定集合的列群组中的每个中,因此分配参考时钟信号的布线上的负载大大减小并且使用灰度代码,因此,可以以参考频率 $f/2[\text{Hz}]$ 得到相同的分辨率。

[0109] 然而,即使在这种情况下,分配到整个A/D转换器的参考时钟信号在芯片中具有最高频率。为此原因,在PTL 1中公开的一体型A/D转换器中,如PTL 2中公开的一体型A/D转换器的情况一样,还是难以实现高速或高分辨率。

[0110] 同时,日本未经审查的专利申请公开No.2008-92901(下文中,被称为PTL3)推荐了以下的方法:通过致使环形振荡器生成具有不同相位的时钟信号并且用比较结果的信号锁存时钟信号使得分辨率增加来得到相位信息。

[0111] 在图4中示出遵循这种方法的一体平行列型列A/D转换器的示例。如图4中所示,PTL 3中公开的一体型A/D转换器通过将参考时钟信号插入环形振荡器中,形成具有不同相位的时钟信号。在环形振荡器中使用PLL。然后,具有不同相位的时钟信号被分配到成列的A/D转换器。

[0112] 在这种方法,由于使用重点针对相位差的时间量化器(TDC(时间-数字转换器))执行A/D转换,因此可以降低参考时钟信号的频率。例如,在TDC使用相位差是45度的四个时钟信号对低阶3位执行A/D转换的情况下,当输入PLL的参考时钟具有 $f/8[\text{Hz}]$ 时,PTL 3中公开的一体型A/D转换器可得到与图1中的A/D转换器的分辨率相同的分辨率。

[0113] 然而,由于诸如PLL的环形振荡器被构造为包括反馈的模拟电路,因此它的面积大并且难以将环形振荡器布置在给定集合列组中的每个。因此,相位差时钟信号被分配到所有列,因此,由于时钟漂移(clock skew)等,导致难以保持相位差,并且难以实现高速或高分辨率。

[0114] 因此,经设计,通过使用多个相位插值器用输入时钟信号和通过延迟时钟信号而得到的信号来生成其相位相对于时钟信号偏移的多相位时钟信号,在抑制时钟信号的高频率的同时,更容易实现高速或高分辨率。

[0115] 下文中,将进行更具体的描述。

[0116] <2.第一实施例>

[0117] <4相位时钟生成电路>

[0118] 图5是作为应用本技术的相位差时钟生成电路的示例的4相位时钟生成电路的主要构造的示例的示图。相位差时钟生成电路是生成相位差时钟信号(也被称为多相位时钟信号)的电路,相位差时钟信号是由相位因输入时钟信号的相位移位而相互移位的多个时

钟信号构成的。图5中示出的4相位时钟生成电路100以相同方式用输入时钟信号SLCK来生成4相位时钟信号,4相位时钟信号是由相位均移位1/4个周期的四个时钟信号形成的。

[0119] 如图5中所示,4相位时钟生成电路100包括延迟电路101和相位插值器(PI)102-1至相位插值器(PI)102-4。延迟电路101将输入时钟信号SLCK延迟预定延迟时间tPD并且输出延迟的时钟信号。可使用任何延迟时间tPD。例如,延迟时间tPD可以是时钟信号SLCK的1/4周期。延迟电路101将延迟后的时钟信号SLCK供应到相位插值器(PI)102-1至相位插值器(PI)102-4。

[0120] 相位插值器(PI)102-1至相位插值器(PI)102-4是相同的电路。下文中,当进行描述时不必将相位插值器(PI)102-1至相位插值器(PI)102-4彼此区分开时,相位插值器(PI)102-1至相位插值器(PI)102-4被简称为相位插值器102。相位插值器102是带有两个输入和一个输出的电路,并且在从两个输入信号之间的相位差的中间时刻延迟了预定延时时间的时刻,输出信号。以下,将描述相位插值器102的细节。

[0121] 如图5中所示,时钟信号SLCK和将时钟信号SLCK延迟大约1/4周期而得到的信号输入相位插值器(PI)102-1。相位插值器(PI)102-1用这些信号生成作为4相位时钟信号之一的时钟信号q0并且将生成的时钟信号输出到4相位时钟生成电路100的外部。时钟信号SLCK的反转信号和将时钟信号SLCK延迟大约1/4周期而得到的信号输入相位插值器(PI)102-2。相位插值器(PI)102-2用这些信号生成作为4相位时钟信号之一的时钟信号q1并且将生成的时钟信号输出到4相位时钟生成电路100的外部。时钟信号SLCK的反转信号和将时钟信号SLCK延迟大约1/4周期而得到的信号输入相位插值器(PI)102-3。相位插值器(PI)102-3用这些信号生成作为4相位时钟信号之一的时钟信号q2并且将生成的时钟信号输出到4相位时钟生成电路100的外部。时钟信号SLCK和将时钟信号SLCK延迟大约1/4周期而得到的信号的反转信号输入相位插值器(PI)102-4。相位插值器(PI)102-4用这些信号生成作为4相位时钟信号之一的时钟信号q3并且将生成的时钟信号输出到4相位时钟生成电路100的外部。

[0122] 也就是说,相位插值器102用时钟信号SLCK和通过将时钟信号SLCK延迟大约1/4周期而得到的信号来生成其相位均移位1/4个周期的4相位时钟信号并且输出这些4相位时钟信号。

[0123] 图6是示出4相时钟生成电路的操作情形的示例的时序图。如图6中所示,相位插值器(PI)102-1生成时钟信号q0,然后输出生成的时钟信号,时钟信号q0与时钟信号SLCK具有相同周期,并且在从时钟信号SLCK的上升沿的时刻(T0)和只延迟了延迟时间tPD的时钟信号(SLCK+delay)的上升沿的时刻(T1)之间的中间时刻(T11)只延迟了双向箭头111-1所指示的相位插值器(PI)102-1的固定延迟时间的时刻具有上升沿。

[0124] 同样地,相位插值器(PI)102-2生成时钟信号q1,然后输出生成的时钟信号,时钟信号q1与时钟信号SLCK具有相同周期,并且在从只延迟了延迟时间tPD的时钟信号SLCK(SLCK+delay)的上升沿的时刻(T1)和时钟信号SLCK的反转信号的上升沿(也就是说,时钟信号SLCK的下降沿)的时刻(T2)之间的中间时刻(T12)只延迟了双向箭头111-2所指示的相位插值器(PI)102-2的固定延迟时间的时刻具有上升沿。

[0125] 同样地,相位插值器(PI)102-3生成时钟信号q2,然后输出生成的时钟信号,时钟信号q2与时钟信号SLCK具有相同周期,并且从时钟信号SLCK的反转信号的上升沿(也就是说,时钟信号SLCK的下降沿)的时刻(T2)和只延迟了延迟时间tPD的时钟信号SLCK(SLCK+

delay) 的反转信号的上升沿 (也就是说, 只延迟了延迟时间 tPD 的时钟信号 SLCK (SLCK+delay) 的下降沿) 的时刻 (T3) 之间的中间时刻 (T13) 只延迟了双向箭头 111-3 所指示的相位插值器 (PI) 102-3 的固定延迟时间的时刻具有上升沿。

[0126] 同样地, 相位插值器 (PI) 102-4 生成时钟信号 q3, 然后输出生成的时钟信号, 时钟信号 q3 与时钟信号 SLCK 具有相同周期, 并且从只延迟了延迟时间 tPD 的时钟信号 SLCK (SLCK+delay) 的反转信号的上升沿 (也就是说, 只延迟了延迟时间 tPD 的时钟信号 SLCK (SLCK+delay) 的下降沿) 的时刻 (T3) 和时钟信号 SLCK 的上升沿的时刻 (T4) 之间的中间时刻 (T14) 只延迟了双向箭头 111-4 所指示的相位插值器 (PI) 102-4 的固定延迟时间的时刻具有上升沿。

[0127] 也就是说, 在图 7 的表中示出相对于时钟信号 SLCK 的 (作为 4 相位时钟信号的) 时钟信号 q0 至时钟信号 q3 的延迟时间。因此, 如图 7 的表中所示的, 时钟信号 q0 至时钟信号 q3 之间的相互相位差是时钟信号 SLCK 的 1/4 周期 (tCK/4)。也就是说, 4 相位时钟生成电路 100 可生成准确的 4 相位时钟信号。

[0128] [相位插值的操作原理]

[0129] 接下来, 将参照图 8 和图 9 描述相位插值器 102 的操作原理。如上所述, 相位插值器 102 具有两个输入和一个输出的电路构造。当这两个输入之间有相位差时, 在相位差的中间时刻输出信号。例如, 假设信号 IN1 输入相位插值器 (PI) 102-1 的两个输入端, 如图 8 的示例中一样。假设信号 IN1 输入相位插值器 (PI) 102-2 的一个输入端而假设信号 IN2 输入另一个输入端。假设信号 IN2 输入相位插值器 (PI) 102-3 的两个输入端。如图 9 中所示, 假设按照信号 IN1 和信号 IN2 之间的双向箭头 T11 出现延迟时间, 并且假设在相位插值器 102 中出现双向箭头 T12 所指示的固定延迟时间。

[0130] 由于只有信号 IN1 输入相位插值器 (PI) 102-1, 因此相位插值器 (PI) 102-1 输出从信号 IN1 按双向箭头 T12 延迟的信号 OUT11。也就是说, 当在时间 T0 出现信号 IN1 的上升沿时, 在从时间 T0 按双向箭头 T12 延迟信号 OUT11 的时间 T2 出现信号 OUT11 的上升沿。

[0131] 由于只有信号 IN2 输入相位插值器 (PI) 102-3, 因此相位插值器 (PI) 102-3 输出从信号 IN2 按双向箭头 T12 延迟的信号 OUT13。也就是说, 当在时间 T1 出现信号 IN2 的上升沿时, 在从时间 T1 按双向箭头 T12 延迟信号 OUT13 的时间 T4 出现信号 OUT13 的上升沿。

[0132] 另一方面, 由于信号 IN1 和信号 IN2 二者输入相位插值器 (PI) 102-2, 因此相位插值器 (PI) 102-2 输出从信号 IN1 和信号 IN2 之间的相位差的中间时刻按双向箭头 T12 延迟的信号 OUT12。也就是说, 当假设信号 IN1 的上升沿在时间 T0 出现并且假设信号 IN2 的上升沿在时间 T1 出现时, 信号 OUT12 的上升沿在信号从时间 T0 和时间 T1 的中间时间按双向箭头 T12 延迟的时间 T3 出现。

[0133] 可根据相位插值器 102 的构造, 设置任何中间时刻。

[0134] [相位插值器的构造]

[0135] 在图 10 和图 11 中示出相位插值器 102 的构造的示例。具有图 10 中示出的构造的相位插值器 102 也被称为 CMOS 相位插值器 (PI)。在这种情况下, 相位插值器 102 包括三个反相器并且两个反相器 (反相器 121 和 122) 的输出被短路地输入剩余反相器 (反相器 123)。当在假设 W 是加权系数的情况下输入晶体管的驱动能力是 1-W:W 时, 输出时刻变成 W:1-W, 如图 9 的信号 OUT12 一样。

[0136] 具有图11中示出的构造的相位插值器102也被称为CML相位插值器(PI)。在这种情况下,相位插值器102包括两个差分电路并且共用负载电阻器R。当在假设W是加权系数的情况下输入晶体管的驱动能力是 $1-W:W$ 时,如图10的示例中的CMOS相位插值器(PI)一样,输出时刻变成 $W:1-W$,如图9的信号OUT12一样。通过电流源131的电流值和电流源132的电流值来确定驱动能力。

[0137] 在4相位时钟生成电路100(参见图5)的相位插值器(PI)102-1至相位插值器(PI)102-4中,设置加权系数 $W=0.5$ 。也就是说,输出时刻变成时刻1:1(两个输入之间的相位差的二等分时刻)。

[0138] [相位差时钟生成电路]

[0139] 当生成相位差时钟信号(多相位时钟信号)时,正常使用PLL等。由于PLL是形成带有请求反馈的模拟电路的滤波器等的无源元件,因此其面积大。另一方面,可通过三个反相器来实现上述的相位插值器102。因此,相比于PLL,可用简单的构造来实现4相位时钟生成电路100。因此,通过使用4相位时钟生成电路100,可以进一步小于电路大小(面积)。因此,可以提高电路布置的自由度。另外,由于4相位时钟生成电路100不使用PLL,因此相比于当使用PLL时进一步降低功耗。

[0140] 已经描述了生成4相位时钟信号的示例(4相位时钟生成电路100),但可使用所生成的相位差时钟信号的任何数量的相位。例如,通过改变图5中的示例(4相位时钟生成电路100)中的相位差时钟生成电路的相位插值器102的数量或组合,可以生成相位均移位1/8周期的8相位时钟信号或者相位均移位1/16周期的16相位时钟信号。同样地,通过改变图5中的示例(4相位时钟生成电路100)中的相位差时钟生成电路的相位插值器102的数量、其组合及其加权系数W,可以生成相位均移位1/3周期的3相位时钟信号或者相位均移位1/5周期的5相位时钟信号。

[0141] <3.第二实施例>

[0142] [高分辨率灰度代码生成电路-1]

[0143] 图12是示出作为应用本技术的灰度代码生成装置的示例的高分辨率灰度代码生成电路的主要构造的示例的示图。灰度代码生成装置是用输入时钟信号生成灰度代码(也被称为交变二进制代码)的装置。灰度代码是相邻的前一代码和后一代码之间的汉明距离(Hamming distance)一般是1的代码。图12中示出的高分辨率灰度代码生成电路200用输入的时钟信号SLCK生成5位灰度代码。

[0144] 如图12中所示,高分辨率灰度代码生成电路200包括4相位时钟生成电路201和灰度代码生成电路202。4相位时钟生成电路201是与第一实施例中描述的4相位时钟生成电路100(参见图5)具有相同构造并且执行相同过程的电路。4相位时钟生成电路201用输入的时钟信号SLCK生成4相位时钟信号(时钟信号q0、时钟信号q1、时钟信号q2和时钟信号q3)并且将这些4相位时钟信号供应到灰度代码生成电路202。

[0145] 灰度代码生成电路202包括多个相位插值器和逻辑门,并且使用相位插值器和逻辑门用4相位时钟生成电路201中生成的4相位时钟信号(时钟信号q0、时钟信号q1、时钟信号q2和时钟信号q3)生成5位灰度代码并且输出5位灰度代码。

[0146] 如图12中所示,灰度代码生成电路202包括相位插值器(PI)211-1至相位插值器(PI)212-1、相位插值器(PI)221-1至相位插值器(PI)212-16、XOR 213-1至XOR 213-9、AND

214-1和AND 214-5。

[0147] 相位插值器(PI)211-1至相位插值器(PI)211-8是均与第一实施例中描述的相位插值器102(参见图5)具有相同构造并且执行相同过程的电路。

[0148] 从4相位时钟生成电路201输出的时钟信号q0输入相位插值器(PI)211-1的两个输入端。相位插值器(PI)211-1输出从这些信号延迟了相位插值器(PI)211-1的固定延迟时间的信号。4相位时钟生成电路201输出的时钟信号q0和q1输入相位插值器(PI)211-2。相位插值器(PI)211-2输出与这些信号的中间时刻相比延迟了相位插值器(PI)211-2的固定延迟时间的信号。

[0149] 从4相位时钟生成电路201输出的时钟信号q1输入相位插值器(PI)211-3的两个输入端。相位插值器(PI)211-3输出从这些信号延迟了相位插值器(PI)211-3的固定延迟时间的信号。4相位时钟生成电路201输出的时钟信号q1和q2输入相位插值器(PI)211-4。相位插值器(PI)211-4输出从这些信号的中间时刻延迟了相位插值器(PI)211-4的固定延迟时间的信号。

[0150] 从4相位时钟生成电路201输出的时钟信号q2输入相位插值器(PI)211-5的两个输入端。相位插值器(PI)211-5输出从这些信号延迟了相位插值器(PI)211-5的固定延迟时间的信号。4相位时钟生成电路201输出的时钟信号q2和q3输入相位插值器(PI)211-6。相位插值器(PI)211-6输出从这些信号的中间时刻延迟了相位插值器(PI)211-6的固定延迟时间的信号。

[0151] 从4相位时钟生成电路201输出的时钟信号q3输入相位插值器(PI)211-7的两个输入端。相位插值器(PI)211-7输出从这些信号延迟了相位插值器(PI)211-7的固定延迟时间的信号。4相位时钟生成电路201输出的时钟信号q3和q0输入相位插值器(PI)211-8。相位插值器(PI)211-8输出从这些信号的中间时刻延迟了相位插值器(PI)211-8的固定延迟时间的信号。

[0152] 下文中,当不必将相位插值器(PI)211-1至相位插值器(PI)211-8彼此区分开时,相位插值器(PI)211-1至相位插值器(PI)211-8被简称为相位插值器211。

[0153] 相位插值器(PI)212-1至相位插值器(PI)212-16是均与第一实施例中描述的相位插值器102(参见图5)具有相同构造并且执行相同过程的电路。

[0154] 相位插值器(PI)211-1的输出输入相位插值器(PI)212-1的两个输入端。相位插值器(PI)212-1输出从这些信号延迟了相位插值器(PI)212-1的固定延迟时间的信号P0。相位插值器(PI)211-1的输出和相位插值器(PI)211-2的输出输入相位插值器(PI)212-2。相位插值器(PI)212-2输出从这些信号的中间时刻延迟了相位插值器(PI)212-2的固定延迟时间的信号P1。

[0155] 相位插值器(PI)211-2的输出输入相位插值器(PI)212-3的两个输入端。相位插值器(PI)212-3输出从这些信号延迟了相位插值器(PI)212-3的固定延迟时间的信号P2。相位插值器(PI)211-2的输出和相位插值器(PI)211-3的输出输入相位插值器(PI)212-4。相位插值器(PI)212-4输出从这些信号的中间时刻延迟了相位插值器(PI)212-4的固定延迟时间的信号P3。

[0156] 相位插值器(PI)211-3的输出输入相位插值器(PI)212-5的两个输入端。相位插值器(PI)212-5输出从这些信号延迟了相位插值器(PI)212-5的固定延迟时间的信号P4。相位

插值器(PI)211-3的输出和相位插值器(PI)211-4的输出输入相位插值器(PI)212-6。相位插值器(PI)212-6输出从这些信号的中间时刻延迟了相位插值器(PI)212-6的固定延迟时间的信号P5。

[0157] 相位插值器(PI)211-4的输出输入相位插值器(PI)212-7的两个输入端。相位插值器(PI)212-7输出从这些信号延迟了相位插值器(PI)212-7的固定延迟时间的信号P6。相位插值器(PI)211-4的输出和相位插值器(PI)211-5的输出输入相位插值器(PI)212-8。相位插值器(PI)212-8输出从这些信号的中间时刻延迟了相位插值器(PI)212-8的固定延迟时间的信号P7。

[0158] 相位插值器(PI)211-5的输出输入相位插值器(PI)212-9的两个输入端。相位插值器(PI)212-9输出从这些信号延迟了相位插值器(PI)212-9的固定延迟时间的信号P8。相位插值器(PI)211-5的输出和相位插值器(PI)211-6的输出输入相位插值器(PI)212-10。相位插值器(PI)212-10输出从这些信号的中间时刻延迟了相位插值器(PI)212-10的固定延迟时间的信号P9。

[0159] 相位插值器(PI)211-6的输出输入相位插值器(PI)212-2的两个输入端。相位插值器(PI)212-11输出从这些信号延迟了相位插值器(PI)212-11的固定延迟时间的信号P10。相位插值器(PI)211-6的输出和相位插值器(PI)211-7的输出输入相位插值器(PI)212-12。相位插值器(PI)212-12输出从这些信号的中间时刻延迟了相位插值器(PI)212-12的固定延迟时间的信号P11。

[0160] 相位插值器(PI)211-7的输出输入相位插值器(PI)212-13的两个输入端。相位插值器(PI)212-13输出从这些信号延迟了相位插值器(PI)212-13的固定延迟时间的信号P12。相位插值器(PI)211-7的输出和相位插值器(PI)211-8的输出输入相位插值器(PI)212-14。相位插值器(PI)212-14输出从这些信号的中间时刻延迟了相位插值器(PI)212-14的固定延迟时间的信号P13。

[0161] 相位插值器(PI)211-8的输出输入相位插值器(PI)212-15的两个输入端。相位插值器(PI)212-15输出从这些信号延迟了相位插值器(PI)212-15的固定延迟时间的信号P14。相位插值器(PI)211-8的输出和相位插值器(PI)211-1的输出输入相位插值器(PI)212-16。相位插值器(PI)212-16输出从这些信号的中间时刻延迟了相位插值器(PI)212-16的固定延迟时间的信号P15。

[0162] 也就是说,如图13中所示,相位插值器(PI)212-1至相位插值器(PI)212-16可生成其相位均移位1/16周期的信号P0至信号P15(也就是说,16相位时钟信号)。下文中,当不必将相位插值器(PI)212-1至相位插值器(PI)212-16彼此区分开时,相位插值器(PI)212-1至相位插值器(PI)212-16被简称为相位插值器212。

[0163] XOR 213-1至XOR 213-9是均具有两个输入和一个输出并且执行异或操作的电路。XOR 213-1得到信号P0和P2的异或并且输出运算结果。XOR 213-2得到信号P1和P5的异或并且输出运算结果。XOR 213-3得到信号P3和P11的异或并且输出运算结果。XOR 213-4得到信号P4和P6的异或并且输出运算结果。XOR 213-5得到信号P7和恒定电势(L)的异或并且输出运算结果。XOR 213-6得到信号P8和P10的异或并且输出运算结果。XOR 213-7得到信号P9和P13的异或并且输出运算结果。XOR 213-8得到信号P12和P14的异或并且输出运算结果。XOR 213-9得到信号P15和恒定电势(L)的异或并且输出运算结果。当不必将XOR 213-1与XOR

213-9彼此区分开时,XOR 213-1至XOR 213-9被简称为XOR 213。

[0164] AND 214-1至AND 214-5是均具有四个输入和一个输出并且执行逻辑与操作的电路。AND 214-1得到XOR 213-1的输出、XOR 213-4的输出、XOR 213-6的输出和XOR 213-8的输出的逻辑与并且将运算结果作为灰度代码的最低有效位GC0来输出。AND 214-2得到恒定电势(H)、恒定电势(H)、XOR 213-2的输出和XOR 213-7的输出的逻辑与并且将运算结果作为从灰度代码的低阶起算的第二位GC1输出。AND 214-3得到恒定电势(H)、恒定电势(H)、恒定电势(H)和XOR 213-3的输出的逻辑与并且将运算结果作为从灰度代码的低阶起算的第三位GC2输出。AND 214-4得到恒定电势(H)、恒定电势(H)、恒定电势(H)和XOR 213-5的输出的逻辑与并且将运算结果作为从灰度代码的低阶起算的第四位GC3输出。AND 214-5得到恒定电势(H)、恒定电势(H)、恒定电势(H)和XOR 213-9的输出的逻辑与并且将运算结果作为从灰度代码的低阶起算的最高有效位GC4输出。

[0165] AND 214-1至AND 214-5生成5位灰度代码(GC0至CG4),如图13中所示。当不必将AND 214-1至AND 214-5彼此区分开时,AND 214-1至AND 214-5被简称为AND 214。

[0166] 如上所述,高分辨率灰度代码生成电路200使用应用本公开的相位差时钟生成电路用时钟信号SLCK来生成4相位时钟信号并且使用灰度代码生成电路202将4相位时钟信号转换成灰度代码。因此,如图13中所示,高分辨率灰度代码生成电路200可以生成与时钟信号SLCK具有相同频率的、具有比信号P0至P15高的频率分量的灰度代码(也就是说,高分辨率灰度代码)(GC0至GC3)。

[0167] 当用时钟信号SLCK生成灰度代码时,时钟信号SLCK的频率已经升高,以生成更高分辨率灰度代码。然而,就一般电路而言,由于在其它电路中使用时钟信号SLCK,因此担心设计会变困难。另外,即使当时钟信号SLCK的频率升高时,也担心功耗会大大增加。可考虑用时钟信号SLCK生成专用于高分辨率灰度代码生成电路200的高频时钟信号的方法。然而,在这种情况下,一般使用PLL。为此原因,担心电路大小或功耗会增加。

[0168] 相比之下,高分辨率灰度代码生成电路200可使用相位插值器和逻辑电路来生成高分辨率灰度代码,而不用升高时钟信号SLCK的频率和使用PLL等。也就是说,高分辨率灰度代码生成电路200可更容易地实现所生成的灰度代码的高分辨率。因为没有使用PLL,所以相比于使用PLL时,高分辨率灰度代码生成电路200可降低功耗。高分辨率灰度代码生成电路200可用比使用PLL时更简单的构造来实现,因此电路大小(面积)可进一步减小。因此,高分辨率灰度代码生成电路200可相比于使用PLL时进一步提高电路布置的自由度。

[0169] 在图12中已经描述了使用4相位时钟生成电路201的情况。然而,高分辨率灰度代码生成电路200可使用生成具有任何数量的相位的时钟信号的多相位时钟生成电路来生成灰度代码。例如,在图12中,包括4相位时钟生成电路201和相位插值器211的8相位时钟生成电路221生成8相位时钟信号。也就是说,高分辨率灰度代码生成电路200可包括8相位时钟生成电路221和灰度代码生成电路223,灰度代码生成电路223包括相位插值器212、XOR 213和AND 214。例如,在图12中,包括4相位时钟生成电路201、相位插值器211和相位插值器212的16相位时钟生成电路222生成16相位时钟信号。也就是说,高分辨率灰度代码生成电路200可包括16相位时钟生成电路222和灰度代码生成电路224,灰度代码生成电路224包括XOR 213和AND 214。

[0170] 可实现灰度代码生成电路202(也包括灰度代码生成电路223和灰度代码生成电路

224)的相位插值器和逻辑电路的任何构造,本技术不限于图12的示例。例如,可使用执行与非运算的与非门来替代XOR 213。

[0171] 可使用高分辨率灰度代码生成电路200生成的任何位数的灰度代码,本技术不限于图12的示例中的5位。例如,高分辨率灰度代码生成电路200可生成6位或更多位的灰度代码或者可生成4位或更少位的灰度代码。在这种情况下,可正确设置灰度代码生成电路202中的相位插值器和逻辑电路的构造,使得可用4相位时钟生成电路201用时钟信号SLCK生成的4相位时钟信号来生成所需位数的灰度代码。

[0172] [高分辨率灰度代码生成电路-2]

[0173] 图14是示出作为应用本技术的灰度代码生成装置的示例的高分辨率灰度代码生成电路的主要构造的示例的示图。图14中示出的高分辨率灰度代码生成电路230用输入的时钟信号SLCK生成具有比时钟信号SLCK的频率高的频率分量的灰度代码(也就是说,高分辨率灰度代码)。

[0174] 如图14中所示,高分辨率灰度代码生成电路230包括相位差时钟生成电路231和灰度代码生成电路234。

[0175] 相位差时钟生成电路231是应用本技术的相位差时钟生成电路的示例并且用输入的时钟信号SLCK生成的其相位均移位1/8周期的8相位时钟信号中的一些。更具体地讲,相位差时钟生成电路231生成其相位均移位1/8周期的信号P0至信号P7之中的信号P0、信号P1、信号P2、信号P4、信号P6和信号P7,如图15中所示。

[0176] 如图14中所示,相位差时钟生成电路231包括4相位时钟生成电路241和相位插值器(PI) 242-1至相位插值器(PI) 242-6。

[0177] 4相位时钟生成电路241是与第一实施例中描述的4相位时钟生成电路100(参见图5)具有相同构造并且执行相同过程的电路。4相位时钟生成电路241用输入的时钟信号SLCK生成4相位时钟信号(时钟信号q0、时钟信号q1、时钟信号q2和时钟信号q3)并且将这些4相位时钟信号供应到相位插值器(PI) 242-1至相位插值器(PI) 242-6。

[0178] 相位插值器(PI) 242-1至相位插值器(PI) 242-6是与第一实施例中描述的相位插值器102(参见图5)具有相同构造并且执行相同过程的电路。

[0179] 4相位时钟生成电路241输出的时钟信号q0和q1输入相位插值器(PI) 242-1。相位插值器(PI) 242-1输出与这些信号的中间时刻相比延迟了相位插值器(PI) 242-1的固定延迟时间的信号P1。4相位时钟生成电路241输出的时钟信号q3和q0输入相位插值器(PI) 242-2。相位插值器(PI) 242-2输出与这些信号的中间时刻相比延迟了相位插值器(PI) 242-2的固定延迟时间的信号P7。4相位时钟生成电路241输出的时钟信号输入相位插值器(PI) 242-3的两个输入端。相位插值器(PI) 242-3输出从这些信号延迟了相位插值器(PI) 242-3的固定延迟时间的信号P0。

[0180] 4相位时钟生成电路241输出的时钟信号q1输入相位插值器(PI) 242-4的两个输入端。相位插值器(PI) 242-4输出从这些信号延迟了相位插值器(PI) 242-4的固定延迟时间的信号P2。4相位时钟生成电路241输出的时钟信号q2输入相位插值器(PI) 242-5的两个输入端。相位插值器(PI) 242-5输出从这些信号延迟了相位插值器(PI) 242-5的固定延迟时间的信号P4。4相位时钟生成电路241输出的时钟信号q3输入相位插值器(PI) 242-6的两个输入端。相位插值器(PI) 242-6输出从这些信号延迟了相位插值器(PI) 242-6的固定延迟时间的信号P5。

信号P6。

[0181] 下文中,当不必将相位插值器(PI)242-1与相位插值器(PI)242-6彼此区分开时,相位插值器(PI)242-1至相位插值器(PI)242-6被简称为相位插值器242。如图15中所示,信号P0至P7具有相同的周期,而其相位互不相同(与时钟信号SLCK相同)。

[0182] 灰度代码生成电路234用相位差时钟生成电路231中生成的多相位时钟信号(信号P0、信号P1、信号P2、信号P4、信号P6和信号P7)生成高分辨率灰度代码并且输出高分辨率灰度代码。如图14中所示,灰度代码生成电路234包括灰度代码生成电路232和灰度代码生成电路232。

[0183] 灰度代码生成电路232用信号P1生成5位灰度代码(GC[0至4])并且输出5位灰度代码。在图15中示出灰度代码中的低阶3位(GC0至GC2)。信号P1具有与时钟信号SLK的相位不同的相位,而其周期不变。也就是说,可由用时钟信号SLCK生成灰度代码的一般灰度代码生成电路来实现灰度代码生成电路232。因此,灰度代码生成电路232具有任何构造。例如,可使用图3中示出的PTL 1中描述的灰度代码计数器。

[0184] 额外灰度代码生成电路233用信号P7、P0、P2、P4和P6生成比灰度代码生成电路232生成的灰度代码(GC0至GC4)低的2位灰度代码(GC-LSB[0]和GC-LSB[1])并且输出灰度代码。在图15中示出灰度代码(GC-LSB[0]和GC-LSB[1])的示例。也就是说,额外灰度代码生成电路233用比输入高分辨率灰度代码生成电路230的时钟信号SLCK的频率高的频率分量来生成灰度代码(也就是说,高分辨率灰度代码)。

[0185] 如图14中所示,额外灰度代码生成电路233包括5个NAND(与非)门(NAND 251至NAND 255)。NAND 251至NAND 255中的每个是具有两个输入和一个输出并且执行与非运算的电流。NAND 251得到恒定电势(H)和信号P7的与非并且输出运算结果。NAND 252得到恒定电势(H)和NAND 251的输出的与非并且将运算结果作为从灰度代码的低级起算的第二位GC-LSB[1]输出。NAND 253得到信号P0和信号P2的与非并且输出运算结果。NAND 254得到信号P4和信号P6的与非并且输出运算结果。NAND 255得到NAND 253的输出和NAND 254的输出的与非并且将运算结果作为灰度代码的最低有效位GC-LSB[0]输出。

[0186] 如上所述,高分辨率灰度代码生成电路230使用应用本公开的相位差时钟生成电路用时钟信号SLCK来生成8相位时钟信号,并且使用灰度代码生成电路234将8相位时钟信号中的一些转换成灰度代码。因此,如图15中所示,高分辨率灰度代码生成电路230可以生成与时钟信号SLCK具有相同频率的、具有比信号P0至P7的频率分量高的频率分量的灰度代码(也就是说,高分辨率灰度代码)(GC-LSB[0]和GC-LSB[1])。

[0187] 高分辨率灰度代码生成电路230可使用相位插值器和逻辑电路来生成高分辨率灰度代码,而不用升高时钟信号SLCK的频率和使用PLL等。也就是说,高分辨率灰度代码生成电路230可更容易地实现所生成的灰度代码的高分辨率。因为没有使用PLL,所以相比于使用PLL时,高分辨率灰度代码生成电路200可降低功耗。因此,电路大小(面积)可进一步减小。

[0188] 如图14中所示,高分辨率灰度代码生成电路230使用应用本技术的相位差时钟生成电路来生成8相位时钟信号中的一些。因此,由于仅仅在灰度代码生成电路232中添加了包括NAND门的额外灰度代码生成电路233,因此可以实现灰度代码的高分辨率。也就是说,可容易地设计高清晰度灰度代码生成电路230,因此可抑制开发成本增加。

[0189] 可使用高分辨率灰度代码生成电路230生成的任何位数的灰度代码。可根据所生成的灰度代码(具有比时钟信号SLCK的频率高的频率分量的灰度代码)的低阶位的位数,正确设置相位差时钟生成电路231中的相位插值器等的构造或额外灰度代码生成电路233中的逻辑电路的构造,使得可用4相位时钟生成电路201用时钟信号SLCK生成的4相位时钟信号来生成所需位数的灰度代码。

[0190] <4.第三实施例>

[0191] [A/D转换电路-1]

[0192] 本技术还可应用于除了第二实施例中描述的灰度代码生成电路之外的电路或装置。例如,第二实施例中描述的高分辨率灰度代码生成电路可应用于A/D转换装置。

[0193] 图16是示出作为应用本技术的A/D转换装置的示例的A/D转换电路的主要构造的示例的示图。A/D转换电路是将输入模拟信号转换成指示其信号电平的数字信号的电流。图16中示出的A/D转换电路300将输入模拟信号IN的信号电平与具有信号电平随着时间推移而线性变化的斜坡波的参考电压RAMP的信号电平进行比较。A/D转换电路300测量直至比较结果改变之前的时间的持续时间并且将测量值(数字值)作为输入模拟信号IN的信号电平输出。也就是说,A/D转换电路300是一体型A/D转换电路。

[0194] 如图16中所示,A/D转换电路300包括高分辨率灰度生成电路301、比较电路302、锁存器303和纹波计数器304。

[0195] 高分辨率灰度生成电路301用输入的时钟信号SLCK生成具有比时钟信号SLCK的频率高的频率分量的灰度代码(也就是说,高分辨率灰度代码)。例如,高分辨率灰度生成电路301用时钟信号SLCK生成包括比时钟信号SLCK的频率高的更高频率分量的两位的7位灰度代码。高分辨率灰度生成电路301将生成的灰度代码供应到锁存器303。

[0196] 高分辨率灰度生成电路301是与第二实施例中描述的高分辨率灰度代码生成电路200(参见图12)或高分辨率灰度代码生成电路230(参见图14)具有相同构造并且执行相同过程的电路。也就是说,应用本技术的灰度代码生成装置被应用于高分辨率灰度代码生成电路301。

[0197] 比较电路302将输入模拟信号IN的信号电平与斜坡波的参考电压RAMP的信号电平进行比较并且将比较结果供应到锁存器303。

[0198] 锁存器303在比较电路302的比较结果变化的时刻得到和锁存高分辨率灰度代码生成电路301供应的灰度代码。锁存器303将锁存的灰度代码作为指示输入模拟信号IN的信号电平的数字值的低阶位供应到纹波计数器304。

[0199] 纹波计数器304被形成为例如可逆计数器,对灰度代码的最高有效位的下降的时刻进行计数,并且将计数值设置为指示输入模拟信号IN的信号电平的数字值的高阶位。纹波计数器304将锁存器303供应的高阶位和低阶位设置为指示输入模拟信号IN的信号电平的数字值并且输出数字值。

[0200] 如上所述,A/D转换电路300使用应用本技术的灰度代码生成装置来生成高分辨率灰度代码并且使用灰度代码执行A/D转换。因此,相比于当使用时钟信号SLCK的计数值来执行A/D转换时,A/D转换电路300可在不升高时钟信号SLCK的频率不使用PLL等的情况下,进一步升高A/D转换的分辨率。也就是说,A/D转换电路300可更容易地实现A/D转换的高分辨率。

[0201] 换句话讲,A/D转换电路300可相对于时钟信号SLCK以较高速度操作。也就是说,相比于当使用时钟信号SLCK的计数值来执行A/D转换时,A/D转换电路300可在不升高时钟信号SLCK的频率不使用PLL等的情况下,进一步实现A/D转换的高速。也就是说,A/D转换电路300可更容易地实现A/D转换的高速。

[0202] A/D转换电路300可在不升高时钟信号SLCK的频率不使用PLL等的情况下,更容易地实现时钟信号SLCK的A/D转换的高分辨率和高速二者。也就是说,A/D转换电路300可更容易地实现A/D转换的高速、或高分辨率、或高速和高分辨率二者。

[0203] A/D转换电路300可相对于时钟信号SLCK以较高速度操作。因此,通过将A/D转换的分辨率和处理速度设置成与对时钟信号SLCK进行计数的情况的分辨率和处理速度相同,相比于当使用时钟信号SLCK的计数值来执行A/D转换时,可以进一步减小时钟信号SLCK的频率。也就是说,相比于对时钟信号SLCK进行计数时,A/D转换电路300可进一步降低功耗。

[0204] 由于使用的是应用本技术的灰度代码生成装置,因此A/D转换电路300可使用相位插值器和逻辑电路(而不使用PLL等)利用高分辨率灰度代码执行A/D转换。因此,A/D转换电路300可用比使用PLL生成高分辨率灰度代码时更简单的构造来执行A/D转换,因此可进一步减小电路大小(面积)。因此,A/D转换电路300可提高电路布置的自由度。由于A/D转换电路300不使用PLL,因此相比于当使用PLL时可以进一步降低功耗。

[0205] <5.第四实施例>

[0206] [成像元件-1]

[0207] 在本技术中,例如,第二实施例中描述的灰度代码生成电路可应用于成像元件。

[0208] 图17是示出应用本技术的成像元件的主要构造的示例的示图。图17中示出的成像元件320是对对象进行成像并且得到所拍摄图像的数字数据的元件。如图17中所示,成像元件320包括像素阵列321、A/D转换电路322、水平扫描单元323、PLL 324和斜坡生成电路325。

[0209] 像素阵列321是均包括对入射光进行光电转换的光电转换元件的多个单位像素布置而成的阵列。从各单位像素读取的像素信号经由连接像素列的垂直信号线被发送到A/D转换电路322。各单位像素连接到连接像素行的列选择线(未示出)并且由行扫描电路(未示出)经由行选择线来控制各单位像素的操作。

[0210] A/D转换电路322对针对像素阵列321的单位像素的各列供应的像素信号执行A/D转换。A/D转换电路322包括高分辨率灰度代码生成电路331-1至高分辨率灰度代码生成电路331-M和列A/D转换电路332-1至列A/D转换电路332-N。

[0211] 高分辨率灰度代码生成电路331-1至高分辨率灰度代码生成电路331-M具有相同构造并且执行相同过程。下文中,当不必将高分辨率灰度代码生成电路331-1与高分辨率灰度代码生成电路331-M彼此区分开时,高分辨率灰度代码生成电路331-1至高分辨率灰度代码生成电路331-M被简称为高分辨率灰度代码生成电路331。列A/D转换电路332-1至列A/D转换电路332-N具有相同构造并且执行相同过程。下文中,当不必将列A/D转换电路332-1至列A/D转换电路332-N彼此区分开时,列A/D转换电路332-1至列A/D转换电路332-N被简称为列A/D转换电路332。

[0212] 高分辨率灰度代码生成电路331均用输入的参考时钟($f/2$)生成具有比参考时钟($f/2$)的频率高的频率分量的灰度代码(也就是说,高分辨率灰度代码)。高分辨率灰度代码生成电路331是针对像素阵列321的单位像素的各预定数量的行(N/M 行)安装的。也就是说,

A/D转换电路322包括M个高分辨率灰度代码生成电路331。高分辨率灰度代码生成电路331将生成的灰度代码供应到与对应于高分辨率灰度代码生成电路331的列对应的列A/D转换电路332(列A/D转换电路332的锁存器343)。

[0213] 高分辨率灰度代码生成电路331是与第二实施例中描述的高分辨率灰度代码生成电路200(参见图12)或高分辨率灰度代码生成电路230(参见图14)具有相同构造并且执行相同过程的电路。

[0214] 列A/D转换电路332安装在像素阵列的单位像素的各行。也就是说,列A/D转换电路332包括N个列A/D转换电路332。列A/D转换电路332对与列A/D转换电路332对应的列的单位像素供应的像素信号(模拟信号)执行A/D转换,并且输出指示各像素信号的信号电平的数字数据,并且将数字数据供应到水平扫描单元323(水平扫描单元323的缓冲器351)。

[0215] 列A/D转换电路332是与第三实施例中描述的列A/D转换电路300(不包括其高分辨率灰度代码生成电路301)(参见图16)具有相同构造的电路并且执行相同过程。也就是说,如图17中所示,列A/D转换电路332包括比较电路342、锁存器343和纹波计数器344。

[0216] 比较电路342是与第三实施例中描述的比较电路302(参见图16)具有相同构造并且执行相同过程的电路。也就是说,比较电路342将对应于比较电路342的列的像素信号的信号电平与斜坡生成电路325供应的斜坡波的参考电压RAMP的信号电平进行比较并且将比较结果供应到锁存器343。

[0217] 锁存器343是与第三实施例中描述的锁存器303(参见图16)具有相同构造并且执行相同过程的电路。也就是说,锁存器343在比较电路342的比较结果变化的时刻得到和锁存高分辨率灰度代码生成电路331供应的灰度代码。锁存器343将锁存的灰度代码作为指示对应于锁存器343的列的像素信号的信号电平的数字值的低阶位供应到纹波计数器344。

[0218] 纹波计数器344是与第三实施例中描述的纹波计数器304(参见图16)具有相同构造并且执行相同过程的电路。也就是说,纹波计数器344被形成为例如可逆计数器,对灰度代码的最高有效位的下降的时刻进行计数,并且将计数值设置为指示像素信号的信号电平的数字值的高阶位。纹波计数器344将锁存器343供应的高阶位和低阶位设置为指示对应于纹波计数器344的列的信号电平的数字值并且输出数字值。

[0219] 也就是说,各列A/D转换电路332具有与第三实施例中描述的A/D转换电路300(参见图16)相同的构造并且通过添加对应于列A/D转换电路332的高分辨率灰度代码生成电路331来执行相同过程。也就是说,在成像元件320中,应用本技术的A/D转换装置被应用作为列A/D转换电路332和高分辨率灰度代码生成电路331。

[0220] 水平扫描单元323将A/D转换电路322供应的像素阵列321的单位像素的相应列的像素信号的数字数据顺序地输出到成像元件320的外部。如图17中所示,水平扫描单元323包括缓冲器351-1至缓冲器351-N、水平传输扫描电路352、传输总线353和感测放大器354。

[0221] 缓冲器351-1至缓冲器351-N具有相同构造并且执行相同过程。下文中,当不必将缓冲器351-1至缓冲器351-N彼此区分开时,缓冲器351-1至缓冲器351-N被简称为缓冲器351。

[0222] 缓冲器351安装在像素阵列的单位像素的各列并且暂时保持从对应于缓冲器351的列A/D转换电路332输出的数字数据。例如,缓冲器351-1保持从列A/D转换电路332-1输出的数字数据。例如,缓冲器351-N保持从列A/D转换电路332-N输出的数字数据。缓冲器351在

水平传输扫描电路352的控制下将保持的数据输出到传输总线353。

[0223] 水平传输扫描电路352控制各缓冲器351中保持的数字数据的输出时序,即,各列的数字数据的传输时序。也就是说,各缓冲器351在水平传输扫描电路352所指定的时刻将保持的数据输出到传输总线353。在水平传输扫描电路352的控制下,顺序地传输相应列的数字数据。

[0224] 传输总线353将从相应缓冲器351输出的数字数据顺序地传输到感测放大器354。感测放大器354放大借助传输总线353供应的各列的数字数据并且将放大后的数字数据输出到成像元件320的外部(例如,执行信号处理的后期处理单元等)。PLL 324生成频率为 $f/2$ [Hz]的参考时钟。PLL 324将生成的参考时钟($f/2$)供应到A/D转换电路322(各高分辨率灰度代码生成电路331)和斜坡生成电路325。斜坡生成电路325使用PLL 324供应的参考时钟($f/2$),生成其电压值随着时间推移而线性变化的斜坡波形的参考电压RAMP。斜坡生成电路325将生成的参考电压RAMP供应到A/D转换电路322(A/D转换电路322的各列A/D转换电路332的比较电路342)。

[0225] [单位像素的构造]

[0226] 图18是示出图17中的像素阵列321的单位像素的构造的示例的示图。如图18中所示,除了(例如)作为光电转换部分(光接收部分)的光电二极管371之外,单位像素361还包括四个晶体管,例如,读晶体管372、重置晶体管373、放大晶体管374和选择晶体管375。

[0227] 这里,例如,使用N沟道MOS(金属氧化物半导体)晶体管作为四个晶体管(读晶体管372至选择晶体管375)。然而,这里例示的读晶体管372、重置晶体管373、放大晶体管374和选择晶体管375的导电组合仅仅是示例,本技术不限于这种组合。

[0228] 在单位像素361中,例如,针对同一像素行的各像素,公共地将三条驱动布线(未示出)即传输线、重置线和选择线作为列选择线安装。传输线、重置线和选择线中的每个的一端连接到与以像素行为单元的行扫描电路(未示出)的各像素行对应的输出端,因此,传输线、重置线和选择线传输作为用于驱动单位像素的驱动信号的传输脉冲TRG、重置脉冲RST和选择脉冲SEL。

[0229] 光电二极管371的阳极电极连接到负侧电源(例如,地),因此光电二极管371根据接收到的光的量,将光光电转换成一定电荷量的光电子(这里,光电子)并且存储光电子。光电二极管371的阴极电极经由读晶体管372电连接到放大晶体管374的栅极。与放大晶体管374的栅极电连接的节点被称为FD(浮动扩散)。

[0230] 读晶体管372连接在光电二极管371的阴极电极和放大晶体管374的栅极(也就是说,FD)之间。高电平(例如,Vdd电平)有效的传输脉冲TRF(下文中被称为“高有效”)经由传输线被提供到读晶体管372的栅极。因此,读晶体管372进入导通状态,将经光电二极管371光电转换的光电子传输到浮动扩散(FD)。

[0231] 重置晶体管373的漏极和源极分别连接到像素电源Vrst和浮动扩散(FD)。高有效重置脉冲RST经由重置线被提供到重置晶体管373的栅极。因此,重置晶体管373进入导通状态,通过将浮动扩散(FD)的电荷释放到像素电源Vrst来重置浮动扩散(FD)。

[0232] 放大晶体管374的栅极和漏极分别连接到浮动扩散(FD)和像素电源Vdd。放大晶体管374将重置晶体管373进行重置之后浮动扩散(FD)的电势作为重置信号(重置电平)输出。放大晶体管374将读晶体管372传输信号电荷之后浮动扩散(FD)的电势作为光学累积信号

(信号电平)输出。

[0233] 例如,选择晶体管375的漏极和源极分别连接到放大晶体管374的源极和垂直信号线376。高有效选择脉冲SEL经由选择线被提供到选择晶体管375的栅极。因此,选择晶体管375进入导通状态并且通过将单位像素的状态设置为选择状态,将放大晶体管374输出的信号转达到垂直信号线376。

[0234] 选择晶体管375还可具有连接在像素电源Vdd和放大晶体管374的漏之间的电路构造。

[0235] 单位像素不限于具有由具有上述构造的四个晶体管形成的像素构造的单位像素。例如,可使用由组合了放大晶体管374和选择晶体管375的三个晶体管形成的像素构造并且可采用像素电路的任何构造。

[0236] [将本技术应用于成像元件-1]

[0237] 回头参照图17,具有上述构造的成像元件320使用应用本技术的A/D转换装置对像素阵列321的单位像素的各列的像素信号执行A/D转换。因此,相比于使用参考时钟的计数值来执行A/D转换时,在不升高参考时钟的频率($f/2$ [Hz])不使用PLL等来生成频率比参考时钟高的时钟信号的情况下,成像元件320可进一步升高A/D转换的分辨率。也就是说,成像元件320可更容易地实现A/D转换的高分辨率。因此,例如,成像元件320可更容易地增加所拍摄图像(图像数据)的位深度。也就是说,成像元件320可更容易地实现所拍摄图像的高分辨率。

[0238] 换句话讲,成像元件320可相对于参考时钟以较高速度操作。也就是说,相比于使用参考时钟的计数值来执行A/D转换时,成像元件320可在不升高参考时钟的频率($f/2$ [Hz])不使用PLL等来生成频率比参考时钟高的时钟信号的情况下,进一步实现A/D转换的高速。也就是说,成像元件320可更容易地实现A/D转换的高速。因此,例如,成像元件320可更容易地增加所拍摄图像的帧频。也就是说,成像元件320可更容易地实现所拍摄图像的高质量。

[0239] 进一步地,成像元件320还可在不升高参考时钟的频率($f/2$ [Hz])不使用PLL等来生成频率比参考时钟高的时钟信号的情况下,更容易地实现A/D转换的高分辨率和高速二者。也就是说,成像元件320还可在不升高参考时钟的频率($f/2$ [Hz])不使用PLL等来生成频率比参考时钟高的时钟信号的情况下,更容易地实现所拍摄图像的位深度增大和帧频增大二者。也就是说,成像元件320可更容易地实现A/D转换的高速或高分辨率或高速和高分辨率二者。因此,例如,成像元件320可更容易地实现所拍摄图像的位深度增大、帧频增大、或位深度增大和帧频增大二者。

[0240] 由于成像元件320使用应用本技术的A/D转换装置,因此成像元件320可通过相位插值器和逻辑电路,在不使用PLL等的情况下使用高分辨率灰度代码来执行A/D转换。因此,成像元件320可用比使用PLL生成高分辨率灰度代码时更简单的构造来执行A/D转换,因此还可进一步减小电路大小(面积)。因此,成像元件320可提高电路布置的自由度。由于成像元件320不使用PLL,因此相比于当使用PLL时可以进一步降低功耗。

[0241] 如图17中所示,成像元件320包括针对各预定数量的列的高分辨率灰度代码生成电路331,因此,可使用灰度代码在靠近列A/D转换电路332的位置生成高分辨率灰度代码。因此,可容易地执行参考时钟的漂移调节,并且设计的自由度提高。也就是说,成像元件320

可更容易地实现A/D转换的高速或高分辨率或者高速和高分辨率二者。

[0242] 由于列A/D转换电路332可相对于参考时钟以较高速度操作,因此成像元件320可通过将A/D转换的分辨率和处理速度设置成与使用参考时钟的计数值来执行A/D转换的情况的分辨率和处理速度相同,减小参考时钟信号的频率(例如,减小至 $f/8$ [Hz]),如图19中示出的示例中一样。通过这样做,成像元件320可比图17的示例的情况进一步降低功耗。

[0243] <6.第五实施例>

[0244] [A/D转换电路-2]

[0245] 应用本技术的相位差时钟生成电路还可应用于灰度代码生成装置,例如,应用本技术的相位差时钟生成电路还可应用于A/D转换装置。

[0246] 图20是示出作为应用本技术的A/D转换装置的示例的A/D转换电路的主要构造的示例的示图。图20中示出的A/D转换电路400是执行与A/D转换电路300(参见图16)基本上相同的A/D转换的一体型A/D转换电路。也就是说,A/D转换电路400将输入模拟信号IN的信号电平与信号电平随着时间推移而线性变化的斜坡波的参考电压RAMP的信号电平进行比较。A/D转换电路400测量直至比较结果改变之前的时间的持续时间并且将测量值(数字值)作为输入模拟信号IN的信号电平输出。

[0247] 如图20中所示,A/D转换电路400包括4相位时钟生成电路401、比较电路402、TDC 403和纹波计数器404。

[0248] 4相位时钟生成电路401是与第一实施例中描述的4相位时钟生成电路100具有相同构造并且执行相同过程的电路。也就是说,4相位时钟生成电路401用输入的时钟信号SLCK生成4相位时钟信号并且将4相位时钟信号供应到TDC 403。

[0249] 比较电路402是与比较电路302(参见图16)具有相同构造并且执行相同过程的电路。也就是说,比较电路402将输入模拟信号IN的信号电平与斜坡波的参考电压RAMP的信号电平进行比较并且将比较结果供应到TDC 403。

[0250] TDC(时间-数字转换器)403是时间量化器,在比较电路402的比较结果变化的时刻得到和锁存从4相位时钟生成电路401供应的4相位时钟信号,通过将4相位时钟信号解码来得到指示输入模拟信号IN的信号电平的数字值的低阶位,并且将低阶位供应到纹波计数器404。

[0251] 纹波计数器404是与纹波计数器304(参见图16)具有相同构造的电路并且执行相同过程。也就是说,纹波计数器404被形成为例如可逆计数器,对4相位时钟信号中的一个的下降的时刻进行计数,并且将计数值设置为指示输入模拟信号IN的信号电平的数字值的高阶位。纹波计数器404将从TDC403供应的高阶位和低阶位设置为指示输入模拟信号IN的信号电平的数字值并且输出数字值。

[0252] 如上所述,A/D转换电路400使用应用本技术的相位差时钟生成电路来生成相位差时钟信号(多相位时钟信号)并且使用相位差时钟信号(多相位时钟信号)执行A/D转换。因此,相比于当使用时钟信号SLCK的计数值来执行A/D转换时,A/D转换电路300可在不升高时钟信号SLCK的频率不使用PLL等的情况下,进一步升高A/D转换的分辨率,如使用应用本技术的灰度代码生成装置的A/D转换电路300的情况一样。也就是说,A/D转换电路400可更容易地实现A/D转换的高分辨率。

[0253] 换句话讲,A/D转换电路400可相对于时钟信号SLCK以较高速度操作,如使用应用

本技术的灰度代码生成装置的A/D转换电路300的情况一样。也就是说,相比于当使用时钟信号SLCK的计数值来执行A/D转换时,A/D转换电路400可在不升高时钟信号SLCK的频率不使用PLL等的情况下,实现A/D转换的更高速度。也就是说,A/D转换电路400可更容易地实现A/D转换的高速。

[0254] A/D转换电路400还可在不升高时钟信号SLCK的频率不使用PLL等的情况下,更容易地实现A/D转换的高分辨率和高速二者,如使用应用本技术的灰度代码生成装置的A/D转换电路300的情况一样。也就是说,A/D转换电路400可更容易地实现A/D转换的高速或高分辨率或高速和高分辨率二者。

[0255] 由于A/D转换电路400可相对于时钟信号SLCK以较高速度操作,因此通过将A/D转换的分辨率和处理速度设置成与对时钟信号SLCK进行计数的情况的分辨率和处理速度相同,相比于当使用时钟信号SLCK的计数值来执行A/D转换时,可以进一步减小时钟信号SLCK的频率。也就是说,相比于对时钟信号SLCK进行计数的情况,A/D转换电路400可进一步降低功耗。

[0256] 由于A/D转换电路400使用应用本技术的相位差时钟生成电路,因此A/D转换电路400可使用相位插值器和逻辑电路(而不使用PLL等)利用相位差时钟信号(多相位时钟信号)执行A/D转换。因此,A/D转换电路400可用比使用PLL用时钟信号SLCK生成具有高频率的时钟信号时更简单的构造来执行A/D转换,因此可进一步减小电路大小(面积)。因此,A/D转换电路400可提高电路布置的自由度。由于A/D转换电路400不使用PLL,因此相比于当使用PLL时可以进一步降低功耗。

[0257] 如上所述,已经描述了A/D转换电路400使用4相位时钟信号执行A/D转换的情况。然而,A/D转换电路400使用任何数量的相位的相位差时钟信号(多相位时钟信号)来执行A/D转换。也就是说,可应用生成任何数量的相位的相位差时钟信号(多相位时钟信号)并且应用本技术的相位差时钟生成电路来替代图20中的4相位时钟生成电路401。

[0258] <7.第六实施例>

[0259] [成像元件-2]

[0260] 在本技术中,例如,第五实施例中描述的A/D转换电路可应用于成像元件。

[0261] 图21是示出应用本技术的成像元件的主要构造的示例的示图。图21中示出的成像元件420是对对象进行成像并且得到所拍摄图像的数字数据的元件,与成像元件(参见图17)具有基本上相同的构造。如图21中所示,成像元件420包括像素阵列421、A/D转换电路422、水平扫描单元423、PLL 424和斜坡生成电路425。

[0262] 像素阵列421具有与像素阵列321(参见图17)基本上相同的构造并且执行相同过程。也就是说,在像素阵列421中,布置均包括对入射光进行光电转换的光电转换元件的多个单位像素。从各单位像素读取的像素信号经由连接像素列的垂直信号线被发送到A/D转换电路422。各单位像素连接到连接像素行的列选择线(未示出)并且由行扫描电路(未示出)经由行选择线来控制各单位像素的操作。

[0263] A/D转换电路422对针对像素阵列421的单位像素的各列供应的像素信号执行A/D转换。A/D转换电路422包括4相位时钟生成电路431-1至4相位时钟生成电路431-M和列A/D转换电路432-1至列A/D转换电路432-N。

[0264] 4相位时钟生成电路431-1至4相位时钟生成电路431-M具有相同构造并且执行相

同过程。下文中,当不必将4相位时钟生成电路431-1至4相位时钟生成电路431-M彼此区分开时,4相位时钟生成电路431-1至4相位时钟生成电路431-M被简称为4相位时钟生成电路431。列A/D转换电路432-1至列A/D转换电路432-N具有相同构造并且执行相同过程。下文中,当不必将列A/D转换电路432-1至列A/D转换电路432-N彼此区分开时,列A/D转换电路432-1至列A/D转换电路432-N被简称为列A/D转换电路432。

[0265] 4相位时钟生成电路431均用输入的参考时钟($f/8$)生成4相位时钟信号。4相位时钟生成电路431是针对像素阵列321的单位像素的各预定数量的行(N/M行)安装的。也就是说,A/D转换电路422包括M个4相位时钟生成电路431。4相位时钟生成电路431将生成的4相位时钟信号供应到与对应于4相位时钟生成电路431的列对应的列A/D转换电路432(列A/D转换电路432的TDC 443)。

[0266] 4相位时钟生成电路431是与第一实施例中描述的4相位时钟生成电路100(参见图5)具有相同构造并且执行相同过程的电路。

[0267] 列A/D转换电路432安装在像素阵列421的单位像素的各行。也就是说,列A/D转换电路422包括N个列A/D转换电路432。列A/D转换电路432对与列A/D转换电路432对应的列的单位像素供应的像素信号(模拟信号)执行A/D转换,输出指示各像素信号的信号电平的数字数据,并且将数字数据供应到水平扫描单元423(水平扫描单元423的缓冲器451)。

[0268] 列A/D转换电路432是与第五实施例中描述的A/D转换电路400(不包括其4相位时钟生成电路401)(参见图20)具有相同构造的电路并且执行相同过程。也就是说,如图21中所示,列A/D转换电路432包括比较电路442、TDC 43和纹波计数器444。

[0269] 比较电路442是与第五实施例中描述的比较电路402(参见图20)具有相同构造并且执行相同过程的电路。也就是说,比较电路442将对应于比较电路442的列的像素信号的信号电平与斜坡生成电路425供应的斜坡波的参考电压RAMP的信号电平进行比较并且将比较结果供应到TDC 443。

[0270] TDC 443是与第五实施例中描述的TDC 403(参见图20)具有相同构造并且执行相同过程的电路。也就是说,TDC 443在比较电路442的比较结果变化的时刻得到和锁存对应于TDC 443的4相位时钟生成电路431供应的4相位时钟信号,并且执行解码。TDC 443将解码结果作为指示对应于TDC 443的列的像素信号的信号电平的数字值的低阶位供应到纹波计数器444。

[0271] 纹波计数器444是与第五实施例中描述的纹波计数器404(参见图20)具有相同构造并且执行相同过程的电路。也就是说,纹波计数器444被形成为例如可逆计数器,对4相位时钟信号中的一个的下降的时刻进行计数,并且将计数值设置为指示像素信号的信号电平的数字值的高阶位。纹波计数器444将TDC 443供应的高阶位和低阶位设置为指示对应于纹波计数器444的列的信号电平的数字值并且输出数字值。

[0272] 也就是说,各列A/D转换电路432具有与第五实施例中描述的A/D转换电路400(参见图20)相同的构造并且通过添加对应于列A/D转换电路432的4相位时钟生成电路431来执行相同过程。也就是说,在成像元件420中,应用本技术的A/D转换装置被应用作为列A/D转换电路432和4相位时钟生成电路431。

[0273] 水平扫描单元423将A/D转换电路422供应的像素阵列421的单位像素的相应列的像素信号的数字数据顺序地输出到成像元件420的外部。如图21中所示,水平扫描单元423

包括缓冲器451-1至缓冲器451-N、水平传输扫描电路452、传输总线453和感测放大器454。

[0274] 缓冲器451-1至缓冲器451-N具有相同构造并且执行相同过程。下文中,当不必将缓冲器451-1至缓冲器451-N彼此区分开时,缓冲器451-1至缓冲器451-N被简称为缓冲器451。

[0275] 缓冲器451是与缓冲器351(参见图17)基本上相同的元件,安装在像素阵列的单位像素的各列,并且暂时保持从对应于缓冲器451的列A/D转换电路432输出的数字数据。例如,缓冲器451-1保持从列A/D转换电路432-1输出的数字数据。例如,缓冲器451-N保持从列A/D转换电路432-N输出的数字数据。缓冲器451在水平传输扫描电路452的控制下将保持的数据输出到传输总线453。

[0276] 水平传输扫描电路452是与水平传输扫描电路352(参见图17)基本上相同的元件并且控制各缓冲器351中保持的数字数据的输出时序,即,各列的数字数据的传输时序。也就是说,各缓冲器451在水平传输扫描电路452所指定的时刻将保持的数据输出到传输总线453。在水平传输扫描电路452的控制下,顺序地传输相应列的数字数据。

[0277] 传输总线453是与传输总线353(参见图17)基本上相同的元件并且将从相应缓冲器451输出的数字数据顺序地传输到感测放大器454。感测放大器454是与感测放大器354(参见图17)基本上相同的元件,放大借助传输总线453供应的各列的数字数据,并且将放大的数字数据输出到成像元件420的外部(例如,执行信号处理的后期处理单元等)。PLL 424是与PLL 324(参见图19)基本上相同的元件并且生成频率为 $f/8[\text{Hz}]$ 的参考时钟。PLL 424将生成的参考时钟($f/8$)供应到A/D转换电路422(各4相位时钟生成电路431)和斜坡生成电路425。斜坡生成电路425是与斜坡生成电路325(参见图17)基本上相同的元件并且使用PLL 424供应的参考时钟($f/8$),生成其电压值随着时间推移而线性变化的斜坡波形的参考电压RAMP。斜坡生成电路425将生成的参考电压RAMP供应到A/D转换电路422(A/D转换电路422的各列A/D转换电路432的比较电路442)。

[0278] [将本技术应用于成像元件-2]

[0279] 具有上述构造的成像元件420使用应用本技术的A/D转换装置对像素阵列421的单位像素的各列的像素信号执行A/D转换。因此,相比于使用参考时钟的计数值来执行A/D转换时,在不升高参考时钟的频率($f/8[\text{Hz}]$)不使用PLL等来生成频率比参考时钟高的时钟信号的情况下,成像元件420可进一步升高A/D转换的分辨率。也就是说,成像元件420可更容易地实现A/D转换的高分辨率。因此,例如,成像元件420可更容易地增加所拍摄图像(图像数据)的位深度。也就是说,成像元件420可更容易地实现所拍摄图像的高分辨率。

[0280] 换句话讲,成像元件420可相对于参考时钟以较高速度操作。也就是说,相比于使用参考时钟的计数值来执行A/D转换时,成像元件320可在不升高参考时钟的频率($f/8[\text{Hz}]$)不使用PLL等来生成频率比参考时钟高的时钟信号的情况下,进一步实现A/D转换的高速。也就是说,成像元件420可更容易地实现A/D转换的高速。因此,例如,成像元件420可更容易地增加所拍摄图像的帧频。也就是说,成像元件420可更容易地实现所拍摄图像的高质量。

[0281] 进一步地,成像元件420还可在不升高参考时钟的频率($f/8[\text{Hz}]$)不使用PLL等来生成频率比参考时钟高的时钟信号的情况下,更容易地实现A/D转换的高分辨率和高速二者。也就是说,成像元件420还可在不升高参考时钟的频率($f/8[\text{Hz}]$)不使用PLL等来生成频

率比参考时钟高的时钟信号的情况下,更容易地实现所拍摄图像的位深度增大和帧频增大二者。也就是说,成像元件420可更容易地实现A/D转换的高速或高分辨率或高速和高分辨率二者。因此,例如,成像元件420可更容易地实现所拍摄图像的位深度增大、帧频增大、或位深度增大和帧频增大二者。

[0282] 由于成像元件420使用应用本技术的A/D转换装置,因此成像元件420可通过相位插值器和逻辑电路,在不使用PLL等的情况下使用相位差时钟信号(多相位时钟信号)来执行A/D转换。因此,成像元件420可用比使用PLL生成相位差时钟信号时更简单的构造来执行A/D转换,因此还可进一步减小电路大小(面积)。因此,成像元件420可提高电路布置的自由度。由于成像元件420不使用PLL,因此相比于当使用PLL时可以进一步降低功耗。

[0283] 如图21中所示,成像元件420包括针对各预定数量的列的4相位时钟生成电路431。也就是说,在成像元件420中,可在靠近作为相位差时钟信号供应源的列A/D转换电路432的位置,生成相位差时钟信号。因此,相位差时钟信号的传输距离可被设置成较短并且可容易地执行参考时钟的漂移调节,因此提高了设计的自由度。也就是说,成像元件420可更容易地实现A/D转换的高速或高分辨率或者高速和高分辨率二者。

[0284] 由于列A/D转换电路432可相对于参考时钟以较高速度操作,因此成像元件420可通过将A/D转换的分辨率和处理速度设置成与使用参考时钟的计数值来执行A/D转换的情况的分辨率和处理速度相同,减小参考时钟信号的频率。通过这样做,成像元件420可降低功耗。

[0285] <8.第七实施例>

[0286] [A/D转换电路-3]

[0287] 可使用可应用本技术的成像元件的任何构造并且成像元件的构造不限于第四实施例和第六实施例中描述的示例。例如,本技术还可应用于其它A/D转换电路以及安装在像素阵列的单位像素的各列的列A/D转换电路。

[0288] 图22是示出应用本技术的成像元件的示例的主要构造的示例的示图。图22中示出的成像元件500是对对象进行成像并且得到所拍摄图像的数字数据的元件。如图22中所示,成像元件500相互叠置的多个半导体基板(半导体基板501和502)。在图22的示例中,成像元件500是由相互叠置的两个半导体基板(半导体基板501和502)形成的,但可叠置任何数量的半导体基板。

[0289] 在半导体基板501中,形成像素区511,均包括光电转换入射光的光电转换元件的多个单位像素布置在像素区511中。在半导体衬底502中,形成外围电路区512,处理从像素区511读取的像素信号的外围电路形成在外围电路区512中。

[0290] 半导体基板501和502形成多层结构(层合结构)。半导体基板501中形成的像素区511的各像素和半导体基板502中形成的外围电路区512的电路经由穿通孔等彼此电连接。

[0291] 在外围电路区512中,例如,形成图23中示出的A/D转换电路522和PLL 524。

[0292] A/D转换电路522对针对像素区511的各部分区域(也被称为区域)供应的像素信号执行A/D转换。A/D转换电路522包括高分辨率灰度代码生成电路531和区域A/D转换电流532。

[0293] 区域A/D转换电流532安装在像素区511的各区域中。可使用任何数量的区域和任何大小的区域。也就是说,可使用任何数量的区域A/D转换电流532和任何分配区域A/D转换

电流532的方法(将区域A/D转换电流532分配到区域的方式)。在图23的示例的情况下,区域A/D转换电流532布置成阵列形式(矩阵形式)。

[0294] 各区域A/D转换电流532对从对应于区域A/D转换电流532的区域中的单位像素供应的像素信号(模拟信号)执行A/D转换,并且输出指示各像素信号的信号电平的数字数据。也就是说,区域A/D转换电流532与列A/D转换电路332(参见图17)基本上相同,除了分配单位像素的方法之外。也就是说,区域A/D转换电流532是与第三实施例中描述的A/D转换电路300(不包括其高分辨率灰度代码生成电路301)(参见图16)具有相同构造并且执行相同过程的电路。

[0295] 针对像素区511的各预定数量的区域安装高分辨率灰度代码生成电路531。在图23的示例的情况下,高分辨率灰度代码生成电路531安装在布置成阵列形式(矩阵形式)的区域A/D转换电流532的各行。高分辨率灰度代码生成电路531的数量或分配高分辨率灰度代码生成电路531的方法(将高分辨率灰度代码生成电路531分配到区域的方式)不限于图23的示例,并且可使用任何数量或任何方法。

[0296] 高分辨率灰度代码生成电路531均生成具有比PLL 524供应的参考时钟($f/8$)的频率高的频率分量的灰度代码(也就是说,高分辨率灰度代码)。高分辨率灰度代码生成电路531将生成的灰度代码供应到与对应于高分辨率灰度代码生成电路531的行对应的区域A/D转换电流532。也就是说,高分辨率灰度代码生成电路531是与高分辨率灰度代码生成电路331(参见图17)基本上相同的电路,除了分配单位像素的方法不同之外。也就是说,高分辨率灰度代码生成电路531是与第二实施例中描述的高分辨率灰度代码生成电路200(参见图12)或高分辨率灰度代码生成电路230(参见图14)具有相同构造并且执行相同过程的电路。

[0297] 也就是说,如第四实施例中描述的成像元件320(参见图17)的情况一样,应用本技术的A/D转换装置被应用作为成像元件500中的区域A/D转换电流532和高分辨率灰度代码生成电路531。

[0298] 因此,如成像元件320中一样,成像元件500可更容易地实现A/D转换的高速或高分辨率或高速和高分辨率二者。因此,例如,成像元件500可更容易地实现所拍摄图像的位深度增大、帧频增大、或位深度增大和帧频增大二者。由于成像元件500不使用PLL来生成具有比参考时钟高的频率分量的灰度代码,因此如成像元件320的情况一样,相比于当使用PLL时可以进一步降低功耗。

[0299] 如成像元件320的情况一样,成像元件500可使用灰度代码在靠近区域A/D转换电流532的位置生成高分辨率灰度代码。因此,可容易地执行参考时钟的漂移调节,并且设计的自由度提高。如成像元件320的情况一样,成像元件500可以与使用参考时钟的计数值来执行A/D转换的情况相同的分辨率和相同的处理速度来实现A/D转换,同时减小参考时钟的频率并且降低功耗。

[0300] [A/D转换电路-4]

[0301] 在图23中,已经描述了以下情况:在外围电路区512中安装使用应用本技术的高分辨率灰度代码生成电路执行A/D转换的A/D转换电路,如第四实施例中描述的A/D转换电路332中一样。然而,可在外围电路区512中安装使用应用本技术的4相位时钟生成电路执行A/D转换的A/D转换电路,如第六实施例中描述的A/D转换电路422中一样。

[0302] 图24是示出外围电路区512中形成的A/D转换电路的另一个示例的示图。在图24的

示例的情况下,外围电路区512中形成的A/D转换电路522包括4相位时钟生成电路561和区域A/D转换电流562。

[0303] 区域A/D转换电流562安装在像素区511的各区域中。可使用任何数量的区域和任何大小的区域。也就是说,可使用任何数量的区域A/D转换电流562和任何分配区域A/D转换电流562的方法(将区域A/D转换电流562分配到区域的方式)。在图24的示例的情况下,区域A/D转换电流562布置成阵列形式(矩阵形式)。

[0304] 各区域A/D转换电流562对从对应于区域A/D转换电流562的区域中的单位像素供应的像素信号(模拟信号)执行A/D转换,并且输出指示各像素信号的信号电平的数字数据。也就是说,区域A/D转换电流562与列A/D转换电路432(参见图21)基本上相同,除了分配单位像素的方法不同之外。也就是说,区域A/D转换电流562是与第五实施例中描述的A/D转换电路400(不包括其4相位时钟生成电路401)(参见图20)具有相同构造并且执行相同过程的电路。

[0305] 针对像素区511的各预定数量的区域安装4相位时钟生成电路561。在图24的示例的情况下,4相位时钟生成电路561安装在布置成阵列形式(矩阵形式)的区域A/D转换电流562的各行。4相位时钟生成电路561的数量或分配4相位时钟生成电路561的方法(将4相位时钟生成电路561分配到区域的方式)不限于图24的示例,并且可使用任何数量或任何方法。

[0306] 4相位时钟生成电路561均用PLL 524供应的参考时钟($f/8$)生成相位差时钟信号(多相位时钟信号)。4相位时钟生成电路561将生成的相位差时钟信号(多相位时钟信号)供应到与对应于4相位时钟生成电路561的列对应的区域A/D转换电流562。也就是说,4相位时钟生成电路561是与4相位时钟生成电路431(参见图21)基本上相同的电路,除了分配单位像素的方法不同之外。也就是说,4相位时钟生成电路561是与第一实施例中描述的4相位时钟生成电路100(参见图5)具有相同构造并且执行相同过程的电路。

[0307] 也就是说,如第六实施例中描述的成像元件420(参见图21)的情况一样,应用本技术的A/D转换装置被应用作为成像元件500中的区域A/D转换电流562和4相位时钟生成电路561。

[0308] 因此,如图23的情况一样,成像元件500可更容易地实现A/D转换的高速或高分辨率或高速和高分辨率二者。

[0309] 在图24中,已经描述了以下示例:使用4相位时钟生成电路561作为应用本技术的相位差时钟生成电路的示例。然而,当然可使用生成的相位差时钟信号的任何数量的相位。

[0310] <9.第八实施例>

[0311] [使用多时钟信号的A/D转换器]

[0312] 日本未经审查的专利申请公开No.2008-92091推荐了一种一体型A/D转换器,在该一体型A/D转换器中,通过时间量化器(TDC(时间-数字转换器))用常见高阶位计数器和常见环形振荡器锁存并且解码具有不同相位的时钟信号来获取低阶位信息。通过这样做,可以在不升高时钟频率的情况下提高A/D转换器的分辨率。

[0313] 在图25A中示出A/D转换器的主要构造的示例。如图25A中所示,A/D转换器600包括比较器601、锁存器&解码器602和计数器603。比较器601将从像素读取的信号(VSL)与斜坡信号(RAMP)进行比较并且将比较结果(VCO)供应到锁存器&解码器602和计数器603。计数器

603在直到比较结果 (VCO) 改变之前执行计数并且得到计数值走位高阶位信息。锁存器&解码器602是由时间量化器构造的,锁存并且解码具有互不相同相位的时钟信号 (CLKA、CLKB、CLKC和CLKD),以得到低阶位信息。

[0314] 更具体地讲,例如,如图25B中示出的时序图中,当锁存器&解码器602在比较结果 (VCO) 变化的时刻锁存在时钟频率的一个周期期间其相位均相差45度的四个时钟信号 CLKA、CLKB、CLKC和CLKD的值时,得到8个扩展代码EB[3:0]。锁存器&解码器602解码这8个代码,以得到3位低阶位信息。

[0315] 为了在这种方案中进一步提高低阶位的分辨率,必须将各位传输的时钟信号的数量加倍并且将相位差减半。由于电路中包括的晶体管 (Tr) 或布线的形状或特性差异 (个体差异),导致难以正常地恒定保持时钟信号之间的相位差。此外,当针对相位差无法忽略该差异时,担心会出现计数值的错误确定。

[0316] 例如,当如成像元件的列A/D转换器一样平行地布置多个一体型A/D转换器时,针对各时钟信号,通常针对各信号使用被称为中继站 (repeater) 或缓冲器 (当信号限于时钟信号时的时钟缓冲器) 的驱动电路,以防止由于布线的时间常数而导致信号电平衰减。正常地,随着平行布置的A/D转换器的数量增大,时钟信号的传输距离延长并且更多信号驱动电路连接于多个级。

[0317] 信号驱动电路具有延迟时间的差异。担心延迟时间的差异会造成经过信号驱动电路的时钟信号之间的相位差改变。因此,当连接于多个级的信号驱动电路的数量增加时,担心各时钟信号 (换句话讲,时钟信号之间的相位差的差异) 的延迟时间的差异会增大。

[0318] [信号处理装置]

[0319] 因此,通过实现包括使用多个相位插值器来校正由相位相互移位的多个时钟信号构成的多相位时钟信号的时钟信号之间的相位差的相位校正单元的信号处理装置,多相位时钟信号的时钟信号之间的相位差被构造成减小。

[0320] 例如,可使用相位插值器,相位插值器在从两个输入信号的相位差的中间时刻延迟了相位插值器的延迟时间的时刻输出输出信号。

[0321] 通过使用信号处理装置,可以平滑多相位时钟信号的各时钟信号中的差异并且正常地恒定保持多相位时钟信号之间的相位差。

[0322] 图26是根据信号处理装置的实施例的相位校正电路的主要构造的示例的示图。图26中示出的相位校正电路700是校正由其相互相位差是90度的四个时钟信号构成的4相位时钟信号的时钟信号之间的相位差的电流。

[0323] 如图26中所示,相位校正电路700包括构造成3级的24个相位插值器。各级由8个相位插值器并行构造。也就是说,当从输入端侧观察时,第一级由相位插值器711-1至相位插值器711-8构成,第二级由相位插值器712-1至相位插值器712-8构成,第三级由相位插值器713-1至相位插值器713-8构成。当不必为了描述将相位插值器711-1与相位插值器711-8彼此区分开时,相位插值器711-1至相位插值器711-8被简称为相位插值器711。当不必为了描述将相位插值器712-1与相位插值器712-8彼此区分开时,相位插值器712-1至相位插值器712-8被简称为相位插值器712。当不必为了描述将相位插值器713-1与相位插值器713-8彼此区分开时,相位插值器713-1至相位插值器713-8被简称为相位插值器713。

[0324] 由其相互相位差是90度的四个时钟信号CLKA、CLKB、CLKC和CLKD构成的8个信号和

这些信号的反转信号输入相位校正电路700。

[0325] 当从输入端侧观察时,第一级的相位插值器711生成相位差是0度的两个输入信号的中间相位信号。更具体地,相位插值器711-1生成时钟信号CLKA和时钟信号CLKA的反转信号的“非”的中间相位信号。相位插值器711-2生成时钟信号CLKB和时钟信号CLKB的反转信号的“非”的中间相位信号。相位插值器711-3生成时钟信号CLKC和时钟信号CLKC的反转信号的“非”的中间相位信号。相位插值器711-4生成时钟信号CLKD和时钟信号CLKD的反转信号的“非”的中间相位信号。相位插值器711-5生成时钟信号CLKA的“非”和时钟信号CLKA的反转信号的中间相位信号。相位插值器711-6生成时钟信号CLKB的“非”和时钟信号CLKB的反转信号的中间相位信号。相位插值器711-7生成时钟信号CLKC的“非”和时钟信号CLKC的反转信号的中间相位信号。相位插值器711-8生成时钟信号CLKD的“非”和时钟信号CLKD的反转信号的中间相位信号。

[0326] 当从输入端侧观察时,第二级的相位插值器712生成相位差是90度的两个输入信号的中间相位信号。更具体地讲,相位插值器712-1生成相位插值器711-1的输出和相位插值器711-3的输出的中间相位信号。相位插值器712-2生成相位插值器711-2的输出和相位插值器711-4的输出的中间相位信号。相位插值器712-3生成相位插值器711-3的输出和相位插值器711-5的输出的中间相位信号。相位插值器712-4生成相位插值器711-4的输出和相位插值器711-6的输出的中间相位信号。相位插值器712-5生成相位插值器711-5的输出和相位插值器711-7的输出的中间相位信号。相位插值器712-6生成相位插值器711-6的输出和相位插值器711-8的输出的中间相位信号。相位插值器712-7生成相位插值器711-7的输出和相位插值器711-1的输出的中间相位信号。相位插值器712-8生成相位插值器711-8的输出和相位插值器711-2的输出的中间相位信号。

[0327] 当从输入端侧观察时,第三级的相位插值器713生成相位差是45度的两个输入信号的中间相位信号。更具体地讲,相位插值器713-1生成相位插值器712-1的输出和相位插值器712-2的输出的中间相位信号。相位插值器713-2生成相位插值器712-2的输出和相位插值器712-3的输出的中间相位信号。相位插值器713-3生成相位插值器712-3的输出和相位插值器712-4的输出的中间相位信号。相位插值器713-4生成相位插值器712-4的输出和相位插值器712-5的输出的中间相位信号。相位插值器713-5生成相位插值器712-5的输出和相位插值器712-6的输出的中间相位信号。相位插值器713-6生成相位插值器712-6的输出和相位插值器712-7的输出的中间相位信号。相位插值器713-7生成相位插值器712-7的输出和相位插值器712-8的输出的中间相位信号。相位插值器713-8生成相位插值器712-8的输出和相位插值器712-1的输出的中间相位信号。

[0328] 相位插值器713-1的输出被作为时钟信号OUT_A输出。相位插值器713-2的输出被作为时钟信号OUT_B输出。相位插值器713-3的输出被作为时钟信号OUT_C输出。相位插值器713-4的输出被作为时钟信号OUT_D输出。相位插值器713-5的输出被作为时钟信号OUT_E输出。相位插值器713-6的输出被作为时钟信号OUT_F输出。相位插值器713-7的输出被作为时钟信号OUT_G输出。相位插值器713-8的输出被作为时钟信号OUT_H输出。

[0329] 在图27中示出相位校正电路700的输入信号和输出信号的相位。也就是说,输出信号的相位相对于输入信号延迟了67.5度,并且输出信号之间的相位差是45度,如输入信号中一样。

[0330] 也就是说,相位插值器的输出信号的延迟是输入信号的延迟(不包括因相位插值器造成的延迟)的平均。因此,当假设t1至t8是输入信号(时钟信号CLKA至CLKD和这些时钟信号的反转信号)的延迟、第一级的相位插值器711的输出(节点A至节点H的信号)的延迟、第二级的相位插值器712的输出(节点I至节点P的信号)、和输出信号(时钟信号OUT_A至OUT_H)时,这些在图28A和图28B中示出的表中。也就是说,输出信号的延迟是所有输入信号的延迟的平均。因此,即使当输入信号之间的延迟(相位差)有差异时,输出信号中的延迟(相位差)的差异被平滑。

[0331] 因此,相位校正电路700可校正多相位时钟信号的时钟信号之间的相位并且还可延迟相位。也就是说,相位校正电路700可在恒定地保持时钟信号之间的相位差(抑制相位差的差异)的同时,延迟多相位时钟信号。

[0332] <10.第九实施例>

[0333] [图像传感器-1]

[0334] 通过将相位校正电路700应用于A/D转换器,可以实现使用时钟信号之间的相位差更准确的多相位时钟信号来得到低阶位信息的A/D转换器。也就是说,可防止出现低阶位的错误确定,因此可以更容易地实现A/D转换器的高分辨率。另外,通过将A/D转换器应用于成像元件,可以更容易地实现所拍摄图像数据的高位深度。

[0335] 图29是示出根据应用本技术的成像元件的实施例的图像传感器的主要构造的示例的框图。

[0336] 在图29中示出的图像传感器800中,光电转换入射光并且将电荷累积在单位像素的光接收部分(例如,光电二极管)中,对应于电荷的信号电压被读取为像素信号并且经受A/D转换,并且得到像素数据。然后,图像传感器800将各单位像素的像素数据作为图像数据输出。

[0337] 在图29中,示出图像传感器800的部分构造的示例。如图29中所示,图像传感器800包括像素阵列811、时钟生成单元812、相位校正单元813、和A/D转换单元814。

[0338] 在像素阵列811中,布置均包括光电转换入射光的光电转换元件的多个单位像素。单位像素包括一个光电转换元件或多个光电转换元件和读取累积在光电转换元件中的电荷的电路。例如,单位像素具有图18中示出的构造。在像素阵列811中,多个单位像素布置在平坦表面或弯曲表面上。例如,单位像素布置成阵列形式(矩阵形式)。在像素阵列811中,形成将控制信号传输到单位像素的控制晶体管的控制线和传输从单位像素读取的信号(重置电平、像素信号等)的信号线。

[0339] 光电转换元件光电转换入射光并且累积得到的电荷。从单位像素读取电荷,并且通过根据经由各种控制信号从(未示出的)扫描单元传输的各种控制信号来驱动单位像素中包括的各晶体管,将电荷经由信号线供应到A/D转换单元814。例如,信号线形成在像素阵列811中的单位像素的各列。也就是说,当单位像素的列的数量是N(其中,N是任何自然数)时候,形成N条信号线。针对单位像素的各行,读取从各单位像素读取的信号。读取的信号经由各列的信号线传输并且供应到与A/D转换单元814的各列对应的A/D转换单元(A/D转换单元821-1至A/D转换单元821-N)中的每个。

[0340] 时钟生成单元812生成由其相互相位差是45度的四个时钟信号构成的4相位时钟信号(CLKA、CLKB、CLKC和CLKD)和这些信号的反转信号,并且将这些信号供应到相位校正单

元813。

[0341] 当相位校正单元813获取从时钟生成单元812供应的4相位时钟信号(CLKA、CLKB、CLKC和CLKD)和具有反转相位的反转信号时,相位校正单元813使用这些信号来校正信号的相位,使得信号之间的延迟(相位差)的差异得以抑制。相位校正单元813将其相位经校正的4相位时钟信号供应到A/D转换单元814。

[0342] A/D转换单元814对从像素阵列811供应的信号执行A/D转换。例如,A/D转换单元814可包括用于连接像素阵列811的各信号线的A/D转换单元。在图29的示例的情况下,A/D转换单元814包括用于像素阵列811的单位像素的各列的A/D转换单元。更具体地讲,A/D转换单元814包括A/D转换单元821-1至A/D转换单元821-N。当不必为了描述量A/D转换单元821-1至A/D转换单元821-N彼此区分开时,A/D转换单元821-1至A/D转换单元821-N被简称为A/D转换单元821。

[0343] A/D转换单元821对经由被分派A/D转换单元821的信号线从像素阵列811供应的信号执行A/D转换。例如,A/D转换单元821-1对从像素阵列811的最左列的单位像素读取的信号执行A/D转换。例如,A/D转换单元821-2对从像素阵列811的左起第二列的单位像素读取的信号执行A/D转换。同样地,例如,例如,A/D转换单元821-N对从像素阵列811的最右列的单位像素读取的信号执行A/D转换。

[0344] A/D转换单元821具有任何构造。例如,A/D转换单元821可与A/D转换器600(参见图25A)具有相同构造并且可执行相同过程。也就是说,A/D转换单元821可将从像素阵列811供应的信号与斜坡信号进行比较,直到比较结果变化之前执行计数,并且得到计数值作为高阶位信息,时间量化器可被构造成基于4相位时钟信号得到分辨率比时钟信号高的3位低阶位信息,该4相位时钟信号是由时钟生成单元812生成的,并且其信号之间的延迟(相位差)由相位校正单元813进行校正。

[0345] A/D转换单元814将从各A/D转换单元821输出的数据作为图像数据输出。

[0346] 由时钟生成单元812生成并且其信号之间的延迟(相位差)由相位校正单元813进行校正的4相位时钟信号被供应到A/D转换单元821。如图29中所示,A/D转换单元814在相位校正单元813和A/D转换单元821之间传输多相位时钟信号的布线中包括预定数量的时钟缓冲器(例如,时钟缓冲器822-1至时钟缓冲器822-M(其中,M是任何自然数)),以防止多相位时钟信号的信号电平衰减。当不必为了描述将时钟缓冲器822-1至时钟缓冲器822-M彼此区分开时,时钟缓冲器822-1至时钟缓冲器822-M被简称为时钟缓冲器822。时钟缓冲器822可安装在任何位置,只要这些位置位于相位校正单元813和A/D转换单元821之间即可。例如,可以以预定距离的间隔来安装时钟缓冲器822。

[0347] 例如,时钟缓冲器822由放大电路等构成并且放大和输出输入信号。

[0348] 在具有此构造的图像传感器800中,参照例如图26至图28描述的相位校正电路700可被应用作为相位校正单元813。也就是说,相位校正单元813可使用多个相位插值器来校正输入的多相位时钟信号的时钟信号之间的相位差。

[0349] 也就是说,图像传感器800可包括:像素阵列811,其中布置均包括光电转换入射光的光电转换元件的单位像素;时钟生成单元812(相位差时钟生成单元),其生成由相互相位有移位的多个时钟信号构成的多相位时钟信号;相位校正单元813,其使用多个相位插值器来校正由时钟生成单元812生成的多相位时钟信号中的时钟信号之间的相位差;A/D转换单

元814(A/D转换单元821),其基于经相位校正单元813校正的多相位时钟信号对从像素阵列的单位像素输出的模拟信号执行A/D转换。

[0350] 如上所述,A/D转换单元821可安装在像素阵列811的单位像素的各列并且可基于经相位校正单元813校正的多相位时钟信号对从对应于A/D转换单元821的列的单位像素输出的模拟信号执行A/D转换。

[0351] 通过这样做,可以防止在A/D转换中出现低阶位的错误确定并且更容易实现A/D转换单元814(A/D转换单元821)的高分辨率。

[0352] 因此,图像传感器800可更容易地实现所拍摄图像的高位深度。在这种情况下,如上所述,由于相位校正电路700可被应用作为相位校正单元813,不必相当地变化现有布局。因此,可容易地实现开发并且可以减少开发所必需的时间。另外,可以防止电路大小(面积)增大。因此,可以抑制开发或制造成本增加。

[0353] [时钟生成单元]

[0354] 图30是示出时钟生成单元812的主要构造的示例的框图。如图30中所示,时钟生成单元812包括延迟元件831至延迟元件838。延迟元件831至延迟元件838串联连接并且延迟元件的输出被作为时钟信号或时钟信号的反转信号输出。

[0355] 延迟元件831至延迟元件838均将输入信号的相位延迟45度。例如,延迟元件831至延迟元件838均是用例如环形振荡器中使用的与非电路、与或电路、差分放大器、或反相器形成的。

[0356] 时钟生成单元812输入的时钟信号供应到延迟元件831,时钟信号的相位延迟45度,并且这个时钟信号被作为时钟信号CLKA输出到时钟生成单元812的外部。时钟信号CLKA也供应到延迟元件832,时钟信号的相位延迟45度,并且这个时钟信号被作为时钟信号CLKB输出到时钟生成单元812的外部。时钟信号CLKB也供应到延迟元件833,时钟信号的相位延迟45度,并且这个时钟信号被作为时钟信号CLKC输出到时钟生成单元812的外部。时钟信号CLKC也供应到延迟元件834,时钟信号的相位延迟45度,并且这个时钟信号被作为时钟信号CLKD输出到时钟生成单元812的外部。

[0357] 时钟信号CLKD也供应到延迟元件835,时钟信号的相位延迟45度,并且这个时钟信号被作为时钟信号CLKA的反转信号输出到时钟生成单元812的外部。时钟信号CLKA的反转信号也供应到延迟元件836,时钟信号的相位延迟45度,并且这个时钟信号被作为时钟信号CLKB的反转信号输出到时钟生成单元812的外部。时钟信号CLKB的反转信号也供应到延迟元件837,时钟信号的相位延迟45度,并且这个时钟信号被作为时钟信号CLKC的反转信号输出到时钟生成单元812的外部。时钟信号CLKC的反转信号也供应到延迟元件838,时钟信号的相位延迟45度,并且这个时钟信号被作为时钟信号CLKD的反转信号输出到时钟生成单元812的外部。

[0358] 例如,日本未经审查的专利申请公开No.2008-92091推荐了包括环形振荡器作为时钟信号生成源的锁相环电路。然而,锁相环电路的构造是复杂的并且其电路大小大。

[0359] 如图30中构造的时钟生成单元812的电路构造比锁相环电路简单并且其电路大小较小。然而,在图30中构造的时钟生成单元812中,担心会由于延迟元件之间的个体差异而导致延迟量差异。因此,担心出现时钟生成单元812生成的多相位时钟信号中的时钟信号之间的相位差(延迟)有不可容许的大差异。

[0360] 例如,时钟生成单元812生成的多相位时钟信号在不经过相位校正单元813的情况下供应到A/D转换单元821时,担心由于多相位时钟信号的时钟信号之间的相位差(延迟)的差异而导致出现A/D转换单元821中的计数值被错误确定。

[0361] 然而,如上所述,通过将相位校正电路700应用作为相位校正单元813,多相位时钟信号的时钟信号之间的相位差(延迟)的差异得以抑制。因此,即使当应用具有图30中示出的简单构造的时钟生成单元812时,可以得到具有足够高精度的多相位时钟信号(时钟信号之间的相位差(延迟)的差异足够小)。

[0362] 换句话讲,通过将相位校正电路700应用作为相位校正单元813,时钟生成单元812的构造可被简化,从而防止电路的大小或成本增加。

[0363] [A/D转换单元]

[0364] 图29中示出的相位校正单元813和A/D转换单元814可一体化。也就是说,在图29中,A/D转换单元814可包括相位校正单元813。例如,相位校正单元813和A/D转换单元814可被形成为单个独立装置(例如,A/D转换装置)(或者以诸如单元、模块、芯片或块的任何单元形成为单个装置)。

[0365] 同样地,图29中示出的时钟生成单元812、相位校正单元813、A/D转换单元814可一体化。也就是说,在图29中,A/D转换单元814可包括时钟生成单元812和相位校正单元813。例如,时钟生成单元812、相位校正单元813和A/D转换单元814可被形成为单个独立装置(例如,A/D转换装置)(或者以诸如单元、模块、芯片或块的任何单元形成为单个装置)。

[0366] 通过将相位校正电路700应用作为具有此构造的A/D转换装置中的相位校正单元813,可容易地实现A/D转换的高分辨率。

[0367] 也就是说,A/D转换装置可包括:时钟生成单元812(相位差时钟生成单元),其生成由相互相位有移位的多个时钟信号构成的多相位时钟信号;相位校正单元813,其使用多个相位插值器来校正时钟生成单元812生成的多相位时钟信号中的时钟信号之间的相位差;A/D转换单元814(A/D转换单元821),其基于经相位校正单元813校正的多相位时钟信号对输入模拟信号执行A/D转换。

[0368] 相位插值器可在从两个输入信号的相位差的中间时刻延迟了相位插值器的延迟时间的时刻,输出输出信号。

[0369] 时钟生成单元812可生成相位差是45度的4相位时钟信号。相位校正单元813可用第一级的相位插值器生成其相位差是0的两个输入信号的中间相位信号,用第二级的相位插值器生成其相位差是90的两个输入信号的中间相位信号,并且用第三级的相位插值器生成其相位差是45的两个输入信号的中间相位信号。

[0370] A/D转换单元821可包括:计数器603,其对时钟信号的周期数进行计数并且将计数值作为高阶位输出;比较器601,其将斜坡波形的参考电压与输入电压进行比较;锁存器&解码器602(时间量化器),其通过使用比较单元的输出的反转作为触发信号(trigger)同时锁存经相位校正单元校正的多相位时钟信号,获取相位信息,将相位信息的值解码,并且将得到的数字值作为分辨率比时钟信号的周期高的低阶位。

[0371] [图像传感器-2]

[0372] 相位校正电路700可被应用作为时钟缓冲器。图31示出这种情况下的图像传感器的主要构造的示例。图31中示出的图像传感器850具有与图像传感器300(参见图29)基本上

相同的构造。

[0373] 然而,流图像传感器850而言,A/D转换单元814包括替代时钟缓冲器822(时钟缓冲器822-1至时钟缓冲器822-M)的相位校正单元813(相位校正单元813-2至相位校正单元813-K(其中,K是等于或大于2的整数))。

[0374] 也就是说,例如,相位校正单元813可以以预定数量的列为间隔安装,并且A/D转换单元821可使用与对应于A/D转换单元821的列对应的经相位校正单元813校正的多相位时钟信号来执行A/D转换。

[0375] 即使在这种构造的情况下,可以得到与图29的情况的优点相同的特点。

[0376] 可将相位校正单元813和时钟缓冲器822一起使用。也就是说,可用相位校正单元813(相位校正单元813-2至相位校正单元813-K)取代A/D转换单元814的所有时钟缓冲器822(时钟缓冲器822-1至时钟缓冲器822-M),但可用相位校正单元813取代时钟缓冲器822中的一些。例如,多相位时钟信号可主要传输到时钟缓冲器822并且多相位时钟信号之间的相位差的差异可被构造成由相位校正单元813就在相位差的差异增大并且到达不可允许水平之前进行重新设置。

[0377] [其它构造]

[0378] 如上述情况一样,应用本技术的实施例的相位校正单元813可应用于成像元件,包括(例如)彼此叠加的多个半导体基板(半导体基板501至半导体基板502),如图22中所示。

[0379] 应用本技术的实施例的相位校正单元813可不仅应用于使用均安装在上述像素阵列的各列的列A/D转换单元的成像元件,类似地而且还可应用于使用区域A/D转换单元的成像元件,区域A/D转换单元对与A/D转换单元对应的区域(其中形成像素阵列811的像素区的部分区域)中的单位像素供应的像素信号(模拟信号)执行A/D转换并且输出例如指示各像素信号的信号电平的数字数据,如图24中所示。

[0380] 当就使用区域A/D转换的成像元件而言应用相位校正单元813替代时钟缓冲器822时,相位校正单元813可以以预定数量的部分区域为间隔进行安装并且A/D转换单元821可使用与对应于A/D转换单元821的部分区域对应的经相位校正单元813校正的多相位时钟信号来执行A/D转换。

[0381] <11.第十实施例>

[0382] [成像装置]

[0383] 图32是作为应用本技术的电子装置的示例的成像装置的主要构造的示例的框图。图32中示出的成像装置900是将对象成像并且将对象的图像作为电信号输出的装置。

[0384] 如图32中所示,成像装置900包括光学单元911、CMOS传感器912、A/D转换器913、操作单元914、控制单元915、图像处理单元916、显示单元917、编解码处理单元918和记录单元919。

[0385] 光学单元911包括镜头、光圈和快门,镜头调节对象的聚焦并且集中来自聚焦位置的光,光圈调节曝光,快门控制成像的时序。光学单元911允许来自对象的光(入射光)穿过并且将光供应到CMOS传感器912。

[0386] CMOS传感器912光电转换入射光并且将各像素的信号(像素信号)供应到A/D转换器913。

[0387] A/D转换器913将CMOS传感器912以预定时序供应的像素信号转换成数字数据(图

像数据)并且顺序地将数字数据供应到图像处理单元916。

[0388] CMOS传感器912和A/D转换器913被一体化(形成为一个模块)并且可被构造为成像元件921(成像单元)。

[0389] 操作单元914包括例如jog dial(拨盘)(商标)、键、按钮、或触摸面板,接收用户输入的操作,并且将对应于操作输入的信号供应到控制单元915。

[0390] 控制单元915通过基于对应于用户用操作单元914输入的操作输入的信号控制光学单元911、CMOS传感器912、A/D转换器913、图像处理单元916、显示单元917、编解码处理单元918和记录单元919的驱动,执行与各单元的成像相关的过程。

[0391] 图像处理单元916对通过成像得到的图像数据执行图像处理。更具体地讲,图像处理单元916对A/D转换器913(成像元件921)供应的图像数据执行各种类型的图像处理,诸如,混合颜色校正、黑水平校正、白平衡调节、去马赛克处理、矩阵处理、伽玛校正和YC转换。图像处理单元916将经受图像处理的图像数据供应到显示单元917和编解码处理单元918。

[0392] 显示单元917被构造为例如液晶显示器并且基于图像处理单元916供应的图像数据来显示对象的图像。

[0393] 编解码处理单元918对图像处理单元916供应的图像数据执行预定方案的编码过程并且将得到的经编码数据供应到记录单元919。

[0394] 记录单元919记录来自编解码处理单元918的经编码数据。记录在记录单元919上的经编码数据酌情被图像处理单元916读取和解码。通过解码过程而得到的图像数据被供应到显示单元917,使得显示对应图像。

[0395] 上述的本技术被应用作为以上成像装置900的包括CMOS传感器912和A/D转换器913的成像元件921。也就是说,上述实施例的成像元件被用作成像元件921。因此,成像元件921可更容易地实现高速、高分辨率、或这二者。因此,成像装置900可通过将对象成像来得到质量更高的图像。

[0396] 应用本技术的成像装置不限于上述构造,而是可具有另一种构造。例如,成像装置可以是具有成像功能的信息处理装置(诸如,便携式电话、智能电话、平板型装置、或个人计算机、以及数字静态相机或摄像机)。成像装置还可以是安装在待使用的其它信息处理装置上(或者被安装为嵌入式装置)的相机模块。

[0397] 在以上描述中,被描述为一个装置(或处理单元)的构造可被划分,从而被构造为多个装置(或处理单元)。相比之下,被描述为多个装置(或处理装置)的构造可一体化,从而被构造为一个装置(或处理单元)。上述构造的其它构造可当然被添加到各装置(或各处理单元)的构造中。另外,当整个系统中的构造或操作相同时,给定装置(或处理单元)的构造的部分也可被包括在其它装置(或其它处理单元)的构造中。

[0398] 以上,已经参照附图描述了本技术的优选实施例,但本技术的技术范围不限于示例。本技术领域的技术人员应该清楚,可在权利要求书中描述的技术精神的范围和实质内出现各种修改形式和校正形式并且这些修改形式和校正形式当然被理解为属于本技术的技术范围。

[0399] 本技术可被如下地构造。

[0400] (1)一种A/D转换装置,所述A/D转换装置包括:相位差时钟生成单元,其被构造为使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生

成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及A/D转换单元,其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号,对输入模拟信号执行A/D转换。

[0401] (2) 在(1)、(3)和(4)中的任一项中描述的A/D转换装置中,所述相位差时钟生成单元可包括一个延迟单元和四个相位插值器并且用所述输入时钟信号生成4相位时钟信号。

[0402] (3) 在(1)、(2)和(4)中的任一项中描述的A/D转换装置中,所述相位插值器可在从两个输入信号的相位差的中间时刻延迟了所述相位插值器的延迟时间的时刻,输出输出信号。

[0403] (4) 在(1)至(3)中的任一项中描述的A/D转换装置中,所述A/D转换单元可包括:计数器,其被构造成对所述时钟信号的周期数进行计数并且将计数值作为高阶位输出;比较单元,其被构造成将斜坡波形的参考电压与输入电压进行比较;以及时间量化单元,其被构造成通过使用所述比较单元的输出的反转作为触发信号同时锁存所述相位差时钟生成单元生成的多相位时钟信号,获取相位信息,将所述相位信息的值解码,并且将得到的数字值作为分辨率比所述时钟信号的周期高的低阶位输出。

[0404] (5) 一种成像元件,所述成像元件包括:像素阵列,其被构造成使得布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及A/D转换单元,其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号,对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0405] (6) 在(5)和(7)至(9)中的任一项中描述的成像元件中,所述A/D转换单元可安装在所述像素阵列的单位像素的各列并且使用所述相位差时钟生成单元生成的多相位时钟信号,对从对应于所述A/D转换单元的列的单位像素输出的模拟信号执行A/D转换。

[0406] (7) 在(5)、(6)、(8)和(9)中的任一项中描述的成像元件中,所述相位差时钟生成单元可以以预定数量的列为间隔进行安装。所述A/D转换单元可使用与对应于所述A/D转换单元的列对应的所述相位差时钟生成单元生成的多相位时钟信号来执行A/D转换。

[0407] (8) 在(5)至(7)和(9)中的任一项中描述的成像元件中,所述A/D转换单元可安装在所述像素阵列的单位像素的各部分区域中并且使用所述相位差时钟生成单元生成的多相位时钟信号,对从对应于所述A/D转换单元的部分区域的单位像素输出的模拟信号执行A/D转换。

[0408] (9) 在(5)至(8)中的任一项中描述的成像元件中,所述相位差时钟生成单元可以以预定数量的部分区域为间隔进行安装。所述A/D转换单元可使用与对应于所述A/D转换单元的部分区域对应的所述相位差时钟生成单元生成的多相位时钟信号来执行A/D转换。

[0409] (10) 一种电子装置,所述电子装置包括:成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理。所述成像单元包括:像素阵列,其中布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及A/D转换单元,其被构造成使用所述相位差时钟生成单元

生成的所述多相位时钟信号,对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0410] (11) 一种灰度代码生成装置,所述灰度代码生成装置包括:相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码。

[0411] (12) 在(11)中描述的灰度代码生成装置中,所述灰度代码生成单元可包括:第一灰度代码生成单元,其被构造成用所述相位差时钟生成单元生成的多相位时钟信号中的一个来生成高阶灰度代码;第二灰度代码生成单元,其被构造成用所述相位差时钟生成单元生成的多相位时钟信号中的剩余信号来生成低阶灰度代码。

[0412] (13) 一种A/D转换装置,所述A/D转换装置包括:相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,对输入模拟信号执行A/D转换。

[0413] (14) 在(13)中描述的A/D转换装置中,所述A/D转换单元可包括:计数器,其被构造成对所述时钟信号的周期数进行计数并且将计数值作为高阶位输出;比较单元,其被构造成将斜坡波形的参考电压与输入电压进行比较;以及锁存器,其被构造成通过使用所述比较单元的输出的反转作为触发信号同时锁存所述灰度代码生成单元生成的所述灰度代码,将所述灰度代码转换成二进制值,并且将得到的数字值作为低阶位输出。

[0414] (15) 一种成像元件,所述成像元件包括:像素阵列,其被构造成布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0415] (16) 在(15)和(17)至(19)中的任一项中描述的成像元件中,所述A/D转换单元可安装在所述像素阵列的单位像素的各列并且使用所述灰度代码生成单元生成的所述灰度代码,对从对应于所述A/D转换单元的列的单位像素输出的模拟信号执行A/D转换。

[0416] (17) 在(15)、(16)、(18)和(19)中的任一项中描述的成像元件中,所述灰度代码生成单元可以以预定数量的列为间隔进行安装。所述A/D转换单元可使用与对应于所述A/D转换单元的列对应的所述灰度代码生成单元生成的所述灰度代码来执行A/D转换。

[0417] (18) 在(15)至(17)和(19)中的任一项中描述的成像元件中,所述A/D转换单元可安装在所述像素阵列的单位像素的各部分区域中并且使用所述灰度代码生成单元生成的所述灰度代码,对从对应于所述A/D转换单元的部分区域的单位像素输出的模拟信号执行A/D转换。

[0418] (19) 在(15)至(18)中的任一项中描述的成像元件中,所述灰度代码生成单元可以

以预定数量的部分区域为间隔进行安装。所述A/D转换单元可使用与对应于所述A/D转换单元的部分区域对应的所述灰度代码生成单元生成的所述灰度代码来执行A/D转换。

[0419] (20) 一种电子装置,所述电子装置包括:成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理。所述成像单元包括:像素阵列,其中布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0420] (21) 一种A/D转换装置,所述A/D转换装置包括:相位差时钟生成单元,其被构造成生成由其相位相互移位的多个时钟信号形成的多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器来校正所述相位差时钟生成单元生成的所述多相位时钟信号的时钟信号之间的相位差;以及A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,对输入模拟信号执行A/D转换。

[0421] (22) 在(21)中描述的A/D转换装置中,所述相位插值器可在从两个输入信号的相位差的中间时刻延迟了所述相位插值器的延迟时间的时刻,输出输出信号。

[0422] (23) 在(21)或(22)中描述的A/D转换装置中,所述相位差时钟生成单元可生成其相位差是45度的4相位时钟信号。所述相位校正单元可用第一级相位插值器生成其相位差是0度的两个输入信号的中间相位信号,用第二级相位插值器生成其相位差是90度的两个输入信号的中间相位信号,用第三级相位插值器生成其相位差是45度的两个输入信号的中间相位信号。

[0423] (24) 在(21)至(23)中的任一项中描述的A/D转换装置中,所述A/D转换单元可包括:计数器,其被构造成对所述时钟信号的周期数进行计数并且将计数值作为高阶位输出;比较单元,其被构造成将斜坡波形的参考电压与输入电压进行比较;以及时间量化单元,其被构造成通过使用所述比较单元的输出的反转作为触发信号同时锁存经所述相位校正单元校正的多相位时钟信号,获取相位信息,将所述相位信息的值解码,并且将得到的数字值作为分辨率比所述时钟信号的周期高的低阶位输出。

[0424] (25) 一种成像元件,所述成像元件包括:像素阵列,其被构造成使得布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成生成由其相位相互移位的多个时钟信号形成的多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器来校正所述相位差时钟生成单元生成的所述多相位时钟信号的时钟信号之间的相位差;以及A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,对从所述像素阵列的单位像素输出的模拟信号执行A/D转换。

[0425] (26) 在(25)中描述的成像元件中,所述A/D转换单元可安装在所述像素阵列的单位像素的各列并且使用经所述相位校正单元校正的多相位时钟信号,对从对应于所述A/D转换单元的列的单位像素输出的模拟信号执行A/D转换。

[0426] (27) 在(25)或(26)中描述的成像元件中,所述相位校正单元可以以预定数量的列

为间隔进行安装。所述A/D转换单元可使用经与对应于所述A/D转换单元的列对应的所述相位校正单元校正的所述多相位时钟信号来执行A/D转换。

[0427] (28) 在(25)至(27)中的任一项中描述的成像元件中,所述A/D转换单元可安装在所述像素阵列的单位像素的各部分区域中并且使用经所述相位校正单元校正的多相位时钟信号,对从对应于所述A/D转换单元的部分区域的单位像素输出的模拟信号执行A/D转换。

[0428] (29) 在(25)至(28)中描述的成像元件中,所述相位校正单元可以以预定数量的部分区域为间隔进行安装。所述A/D转换单元可使用与对应于所述A/D转换单元的部分区域对应的经所述相位校正单元校正的多相位时钟信号来执行A/D转换。

[0429] (30) 一种电子装置,所述电子装置包括:成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理。所述成像单元包括:像素阵列,其中布置均包括光电转换入射光的光电转换元件的单位像素;相位差时钟生成单元,其被构造成生成由其相位相互移位的多个时钟信号形成的多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器来校正所述相位差时钟生成单元生成的所述多相位时钟信号的时钟信号之间的相位差;以及A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,对从所述像素阵列的像素单元输出的模拟信号执行A/D转换。

[0430] (31) 一种信号处理装置,所述信号处理装置包括相位校正单元,所述相位校正单元被构造成使用多个相位插值器,校正由其相位相互移位的多个时钟信号形成的多相位时钟信号的时钟信号之间的相位差。

[0431] (32) 在(31)中描述的信号处理装置中,所述相位插值器可在从两个输入信号的相位差的中间时刻延迟了所述相位插值器的延迟时间的时刻,输出输出信号。

[0432] (33) 在(31)或(32)中描述的信号处理装置中,所述多相位差时钟信号是其相互相位差是45度的4相位时钟信号,所述4相位时钟信号包括第一时钟信号至第四时钟信号。

[0433] (34) 在(31)至(33)中的任一项中描述的信号处理装置中,所述相位校正单元可用第一级相位插值器生成其相位差是0度的两个输入信号的中间相位信号,用第二级相位插值器生成其相位差是90度的两个输入信号的中间相位信号,用第三级相位插值器生成其相位差是45度的两个输入信号的中间相位信号。

[0434] (35) 在(31)至(34)中的任一项中描述的信号处理装置中,所述相位校正单元可包括作为第一级相位插值器的第一相位插值器、第二相位插值器、第三相位插值器、第四相位插值器、第五相位插值器、第六相位插值器、第七相位插值器和第八相位插值器,所述第一相位插值器被构造成生成第一时钟信号和第一时钟信号的反转信号的“非”的中间相位信号,所述第二相位插值器被构造成生成第二时钟信号和第二时钟信号的反转信号的“非”的中间相位信号,所述第三相位插值器被构造成生成第三时钟信号和第三时钟信号的反转信号的“非”的中间相位信号,所述第四相位插值器被构造成生成第四时钟信号和第四时钟信号的反转信号的“非”的中间相位信号,所述第五相位插值器被构造成生成第一时钟信号的“非”和第一时钟信号的反转信号的中间相位信号,所述第六相位插值器被构造成生成第二时钟信号的“非”和第二时钟信号的反转信号的中间相位信号,所述第七相位插值器被构造成生成第三时钟信号的“非”和第三时钟信号的反转信号的中间相位信号,所述第八相位插

值器被构造成生成第四时钟信号的“非”和第四时钟信号的反转信号的中间相位信号。所述相位校正单元可包括作为第二级相位插值器的第九相位插值器、第十相位插值器、第十一相位插值器、第十二相位插值器、第十三相位插值器、第十四相位插值器、第十五相位插值器和第十六相位插值器，所述第九相位插值器被构造成生成所述第一相位插值器的输出和所述第三相位插值器的输出的中间相位信号，所述第十相位插值器被构造成生成所述第二相位插值器的输出和所述第四相位插值器的输出的中间相位信号，所述第十一相位插值器被构造成生成所述第三相位插值器的输出和所述第五相位插值器的输出的中间相位信号，所述第十二相位插值器被构造成生成所述第四相位插值器的输出和所述第六相位插值器的输出的中间相位信号，所述第十三相位插值器被构造成生成所述第五相位插值器的输出和所述第七相位插值器的输出的中间相位信号，所述第十四相位插值器被构造成生成所述第六相位插值器的输出和所述第八相位插值器的输出的中间相位信号，所述第十五相位插值器被构造成生成所述第七相位插值器的输出和所述第一相位插值器的输出的中间相位信号，所述第十六相位插值器被构造成生成所述第八相位插值器的输出和所述第二相位插值器的输出的中间相位信号。所述相位校正单元可包括作为第三级相位插值器的第十七相位插值器、第十八相位插值器、第十九相位插值器、第二十相位插值器、第二十一相位插值器、第二十二相位插值器、第二十三相位插值器和第二十四相位插值器，所述第十七相位插值器被构造成生成所述第九相位插值器的输出和所述第十相位插值器的输出的中间相位信号，所述第十八相位插值器被构造成生成所述第十相位插值器的输出和所述第十一相位插值器的输出的中间相位信号，所述第十九相位插值器被构造成生成所述第十一相位插值器的输出和所述第十二相位插值器的输出的中间相位信号，所述第二十相位插值器被构造成生成所述第十二相位插值器的输出和所述第十三相位插值器的输出的中间相位信号，所述第二十一相位插值器被构造成生成所述第十三相位插值器的输出和所述第十四相位插值器的输出的中间相位信号，所述第二十二相位插值器被构造成生成所述第十四相位插值器的输出和所述第十五相位插值器的输出的中间相位信号，所述第二十三相位插值器被构造成生成所述第十五相位插值器的输出和所述第十六相位插值器的输出的中间相位信号，所述第二十四相位插值器被构造成生成所述第十六相位插值器的输出和所述第一相位插值器的输出的中间相位信号。

[0435] (36) 一种模数(A/D)转换装置，所述模数转换装置包括：相位差时钟生成单元，其被构造成使用多个相位差时钟生成单元，用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号，所述多相位时钟信号的相位相对于输入时钟信号移位；以及

[0436] A/D转换单元，其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号来转换输入模拟信号。

[0437] (37) 根据(36)所述的A/D转换装置，其中，所述相位差时钟生成单元包括延迟电路和多个相位插值器，并且所述相位差时钟生成单元被构造成基于所述输入时钟信号，生成与所述多个相位插值器对应的多个相位时钟信号。

[0438] (38) 根据(37)所述的A/D转换装置，其中，所述多个相位插值器中的相位插值器被构造成输出具有基于两个输入信号之间的相位差的延迟的输出信号。

[0439] (39) 根据(36)至(37)中的任一项所述的A/D转换装置，其中，基于所述输入时钟信

号和延迟后的输入时钟信号,各多相位时钟信号的相位相对于所述输入时钟信号移位。

[0440] (40) 根据(36)至(39)中的任一项所述的A/D转换装置,其中,所述A/D转换单元包括:比较单元,其被构造成将斜坡波形的参考电压与输入电压进行比较;以及时间量化单元,其被构造成通过基于所述比较单元的输出的反转锁存所述相位差时钟生成单元生成的多相位时钟信号来获取相位信息,将所述相位信息的值解码,并且将得到的数字值以比所述时钟信号的周期大的分辨率输出。

[0441] (41) 根据(40)所述的A/D转换装置,其中,所述A/D转换单元还包括计数器,所述计数器被构造成对所述输入时钟信号的周期数进行计数并且将计数值作为高位输出,其中,得到的数字值被作为低位输出。

[0442] (42) 一种成像元件,所述成像元件包括:像素阵列,其具有多个单位像素,其中,所述多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件;相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及

[0443] 数模(A/D)转换单元,其被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号,转换从所述像素阵列的单位像素输出的模拟信号。

[0444] (43) 根据权利要求(42)所述的成像元件,其中,所述像素阵列的单位像素的各列或部分区域包括A/D转换单元,所述A/D转换单元被构造成使用所述相位差时钟生成单元生成的多相位时钟信号,将从对应于A/D转换单元的列或部分区域的单位像素输出的模拟信号转换成数字输出信号。

[0445] (44) 根据权利要求(43)所述的成像元件,其中,预定数量的列或部分区域包括相位差时钟生成单元,并且其中,所述A/D转换单元使用由与对应于所述A/D转换单元的列或部分区域的相位差时钟生成单元生成的多相位时钟信号来执行A/D转换。

[0446] (45) 根据(41)至(44)中的任一项所述的成像元件,其中,基于所述输入时钟信号和延迟后的输入时钟信号,各多相位时钟信号的相位相对于所述输入时钟信号移位。

[0447] (46) 一种电子装置,所述电子装置包括:

[0448] 成像单元,其被构造成将对象成像;以及

[0449] 图像处理单元,其被构造成对通过所述成像单元得到的图像数据执行图像处理,

[0450] 其中,所述成像单元包括像素阵列、相位差时钟生成单元和A/D转换单元,所述像素阵列包括多个单位像素,其中,所述多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件,所述相位差时钟生成单元被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位,所述模数(A/D)转换单元被构造成使用所述相位差时钟生成单元生成的所述多相位时钟信号,转换从所述像素阵列的单位像素输出的模拟信号。

[0451] (47) 一种灰度代码生成装置,所述灰度代码生成装置包括:相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位;以及灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成

单元生成的多相位时钟信号来生成灰度代码。

[0452] (48) 根据(47)所述的灰度代码生成装置,其中,所述灰度代码生成单元包括:第一灰度代码生成单元,其被构造成用所述相位差时钟生成单元生成的多相位时钟信号中的一个来生成高阶灰度代码;第二灰度代码生成单元,其被构造成用所述相位差时钟生成单元生成的多相位时钟信号中的剩余信号来生成低阶灰度代码。

[0453] (49) 一种模数(A/D)转换装置,所述模数转换装置包括:相位差时钟生成单元,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于所述输入时钟信号移位;以及灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及A/D转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,转换输入模拟信号。

[0454] (50) 根据(49)所述的A/D转换装置,其中,所述A/D转换单元包括:比较单元,其被构造成将斜坡波形的参考电压与输入电压进行比较;以及锁存器,其被构造成通过使用所述比较单元的输出的反转锁存所述灰度代码生成单元生成的所述灰度代码,将所述灰度代码转换成二进制值,并且输出得到的数字值。

[0455] (51) 根据(49)所述的A/D转换装置,其中,所述A/D转换单元还包括:计数器,其被构造成对所述输入时钟信号的周期数进行计数并且将计数值作为高位输出,其中,得到的数字值被作为低位输出。

[0456] (52) 一种成像元件,所述成像元件包括:像素阵列,其包括多个单位像素,其被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位;灰度代码生成单元,其被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码;以及模数(A/D)转换单元,其被构造成使用所述灰度代码生成单元生成的所述灰度代码,转换从所述像素阵列的单位像素输出的模拟信号。

[0457] (53) 根据(52)所述的成像元件,其中,像素阵列的单位像素的各列或各部分区域包括A/D转换单元,所述A/D转换单元被构造成使用所述灰度代码生成单元生成的灰度代码,转换从对应于所述A/D转换单元的列或部分区域的单位像素输出的模拟信号。

[0458] (54) 根据(52)至(53)中的任一项所述的成像元件,其中,预定数量的列或部分区域包括灰度代码生成单元,并且其中,所述A/D转换单元使用与对应于所述A/D转换单元的列或部分区域对应的所述灰度代码生成单元生成的灰度代码来执行A/D转换。

[0459] (55) 一种电子装置,所述电子装置包括:成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理,其中,所述成像单元包括像素阵列、相位差时钟生成单元、灰度代码生成单元和A/D转换单元,所述像素阵列包括多个像素单元,其中,多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件,所述相位差时钟生成单元被构造成使用多个相位插值器,用输入时钟信号和通过将所述输入时钟信号延迟而得到的信号来生成多相位时钟信号,所述多相位时钟信号的相位相对于输入时钟信号移位,所述灰度代码生成单元被构造成使用多个相位插值器和逻辑门,用所述相位差时钟生成单元生成的多相位时钟信号来生成灰度代码,所述A/D转换单元被构造成使用所述灰度代码生成单元生成的灰度代码,转换

从所述像素阵列的单位像素输出的模拟信号。

[0460] (56) 一种模数(A/D)转换装置,所述模式转换装置包括:相位差时钟生成单元,其被构造成生成用其相位相互移位的多个时钟信号形成的多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器,校正通过相位差时钟生成单元生成的多相位时钟信号中的时钟信号之间的相位差;以及A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,转换输入模拟信号。

[0461] (57) 一种成像元件,所述成像元件包括:像素阵列,其包括多个单位像素,其中,所述多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件;相位差时钟生成单元,其被构造成基于其相位相互移位的多个时钟信号来生成多相位时钟信号;相位校正单元,其被构造成使用多个相位插值器,校正所述相位差时钟生成单元生成的所述多相位时钟信号中的时钟信号之间的相位差;A/D转换单元,其被构造成使用经所述相位校正单元校正的多相位时钟信号,转换从所述像素阵列的单位像素输出的模拟信号。

[0462] (58) 一种电子装置,所述电子装置包括:成像单元,其被构造成将对象成像;以及图像处理单元,其被构造成对通过所述成像单元进行成像而得到的图像数据执行图像处理,其中,所述成像单元包括像素阵列、光电转换元件、相位差时钟生成单元、相位校正单元和模数(A/D)转换单元,所述像素阵列包括多个单位像素,其中,所述多个单位像素中的各单位像素包括被构造成光电转换入射光的光电转换元件,所述相位差时钟生成单元被构造成基于其相位相互移位的多个时钟信号来生成多相位时钟信号,所述相位校正单元被构造成使用多个相位插值器,校正所述相位差时钟生成单元生成的所述多相位时钟信号中的时钟信号之间的相位差,所述A/D转换单元被构造成使用经所述相位校正单元校正的多相位时钟信号来转换从所述像素阵列的单位像素输出的模拟信号。

[0463] (59) 一种信号处理装置,所述信号处理装置包括相位校正单元,所述相位校正单元被构造成使用多个相位插值器来校正由多个时钟信号形成的多相位时钟信号的时钟信号之间的相位差,其中,所述多个时钟信号包括具有相互移位的相位的时钟信号。

[0464] 本领域的技术人员应该理解,可根据设计要求和其它因素,想到各种修改形式、组合形式、子组合形式和替代形式,主要这些在随附权利要求书的范围或其等同物的范围内即可。

[0465] [参考符号列表]

- [0466] 100 4相位时钟生成电路
- [0467] 101 延迟电路
- [0468] 102 相位插值器
- [0469] 200 高分辨率灰度代码生成电路
- [0470] 201 4相位时钟生成电路
- [0471] 202 灰度代码生成电路
- [0472] 211、212 相位插值器
- [0473] 221 8相位时钟生成电路
- [0474] 221 16相位时钟生成电路
- [0475] 223、224 灰度代码生成电路
- [0476] 230 高分辨率灰度代码生成电路

- [0477] 231 相位差时钟生成电路
- [0478] 232 灰度代码生成电路
- [0479] 233 额外灰度代码生成电路
- [0480] 241 4相位时钟生成电路
- [0481] 242 相位插值器
- [0482] 300 A/D转换电路
- [0483] 301 高分辨率灰度代码生成电路
- [0484] 302 比较电路
- [0485] 303 锁存器
- [0486] 304 纹波计数器
- [0487] 320 成像元件
- [0488] 321 像素阵列
- [0489] 322 A/D转换电路
- [0490] 323 水平扫描单元
- [0491] 324 PLL
- [0492] 325 斜坡生成电路
- [0493] 331 高分辨率灰度代码生成电路
- [0494] 332 列A/D转换电路
- [0495] 342 比较电路
- [0496] 343 锁存器
- [0497] 344 纹波计数器
- [0498] 351 缓冲器
- [0499] 352 水平传输扫描电路
- [0500] 353 传输总线
- [0501] 354 感测放大器
- [0502] 361 单位像素
- [0503] 371 光电二极管
- [0504] 376 垂直信号线
- [0505] 400 A/D转换电路
- [0506] 401 4相位时钟生成电路
- [0507] 402 比较电路
- [0508] 403 TDC
- [0509] 404 纹波计数器
- [0510] 420 成像元件
- [0511] 421 像素阵列
- [0512] 422 A/D转换电路
- [0513] 423 水平扫描单元
- [0514] 424 PLL
- [0515] 425 斜坡生成电路

- [0516] 431 4相位时钟生成电路
- [0517] 432 列A/D转换电路
- [0518] 442 比较电路
- [0519] 443 TDC
- [0520] 444 纹波计数器
- [0521] 451 缓冲器
- [0522] 452 水平传输扫描电路
- [0523] 453 传输线
- [0524] 454 感测放大器
- [0525] 500 成像元件
- [0526] 501 半导体基板
- [0527] 502 半导体基板
- [0528] 511 像素区
- [0529] 512 外围电路区
- [0530] 522 A/D转换电路
- [0531] 524 PLL
- [0532] 531 高分辨率灰度代码生成电路
- [0533] 532 区域A/D转换电路
- [0534] 561 4相位时钟生成电路
- [0535] 562 区域A/D转换电路
- [0536] 600 A/D转换器
- [0537] 601 比较器
- [0538] 602 锁存器&解码器
- [0539] 603 计数器
- [0540] 700 相位校正电路
- [0541] 711 至713相位插值器
- [0542] 800 图像传感器
- [0543] 811 像素阵列
- [0544] 812 时钟发生器
- [0545] 813 相位校正单元
- [0546] 814 A/D转换单元
- [0547] 821 A/D转换单元
- [0548] 822 时钟缓冲器
- [0549] 831至838 延迟元件
- [0550] 850 图像传感器
- [0551] 900 成像装置
- [0552] 912 CMOS传感器
- [0553] 913 A/D转换器
- [0554] 921 成像元件

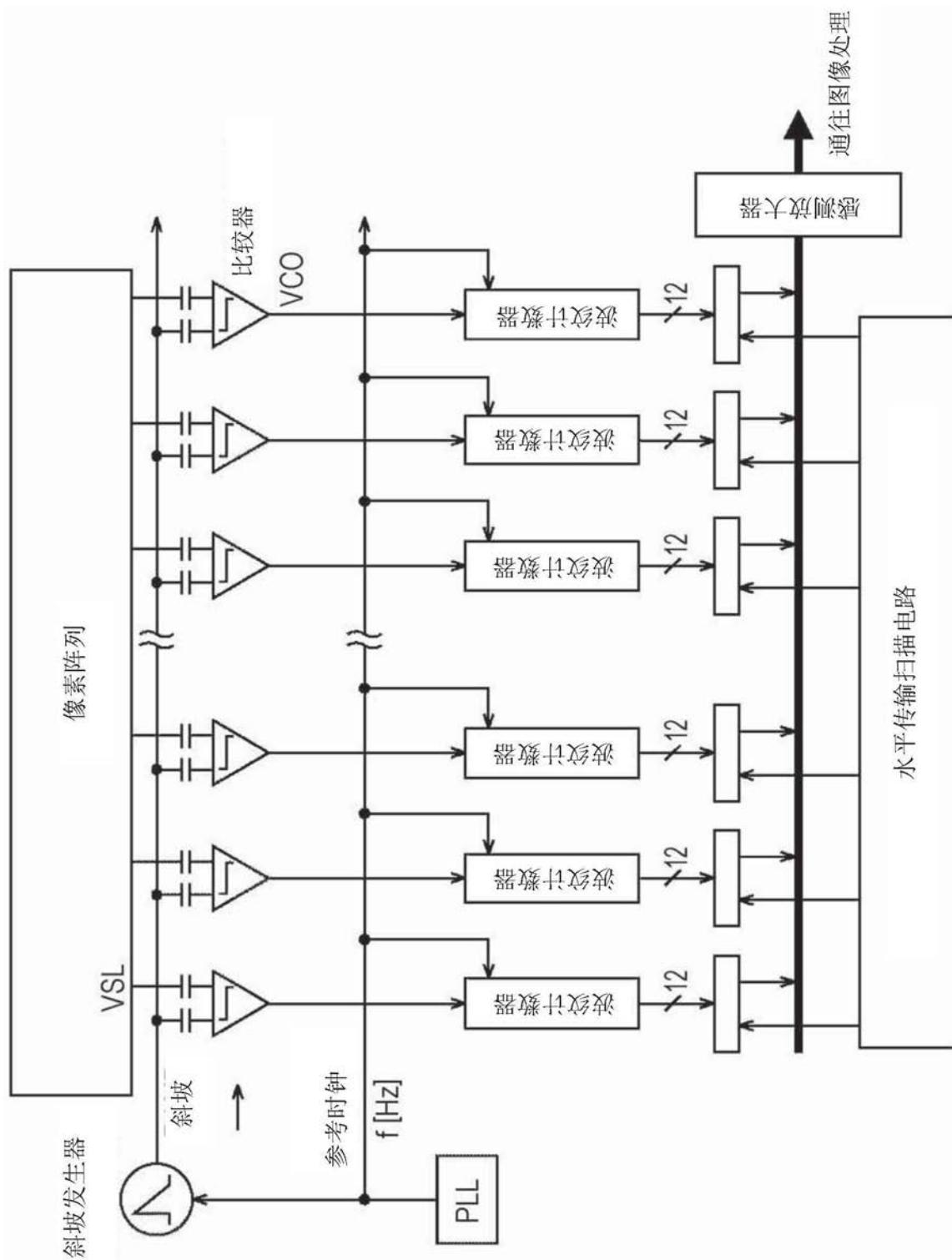


图1

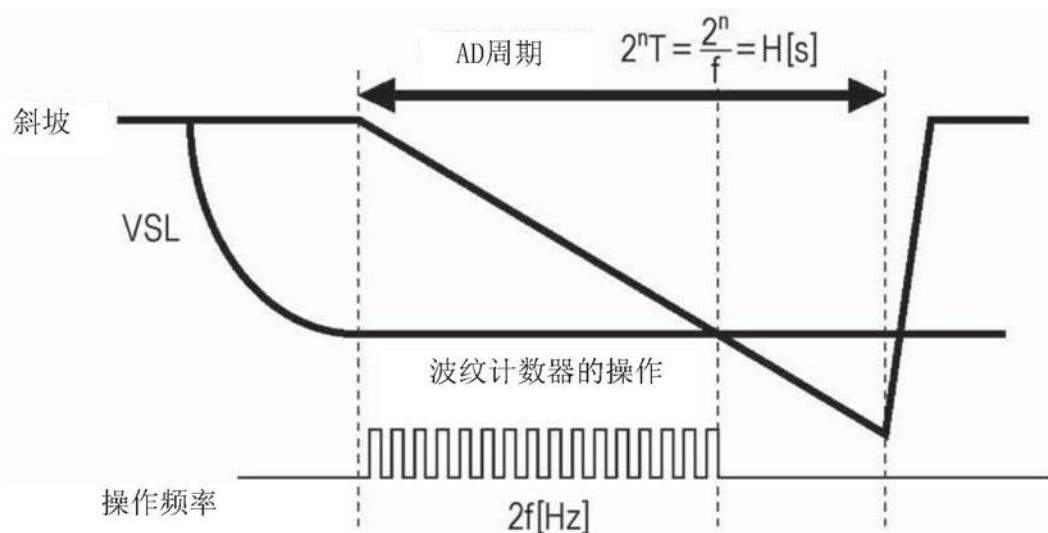


图2

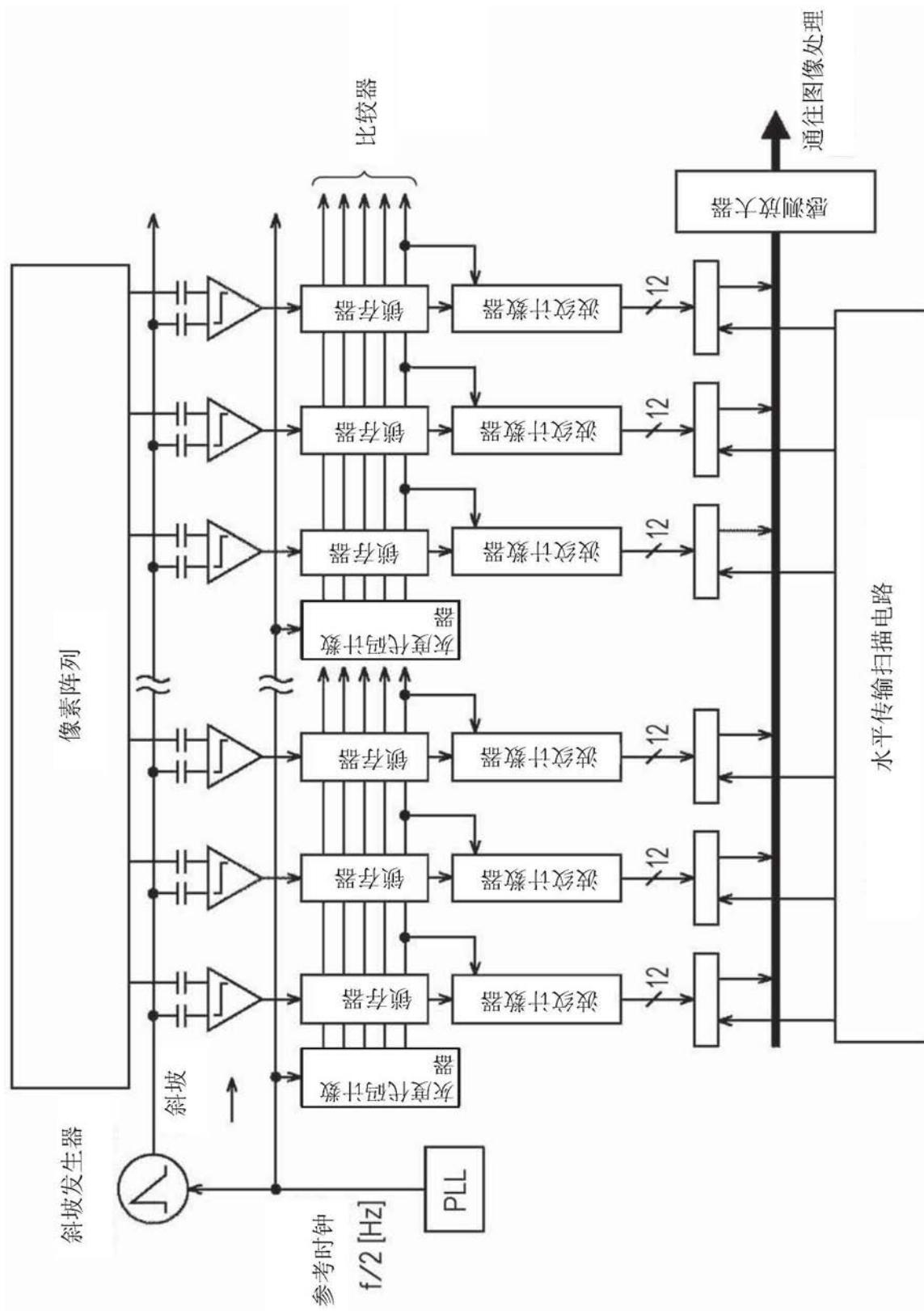


图3

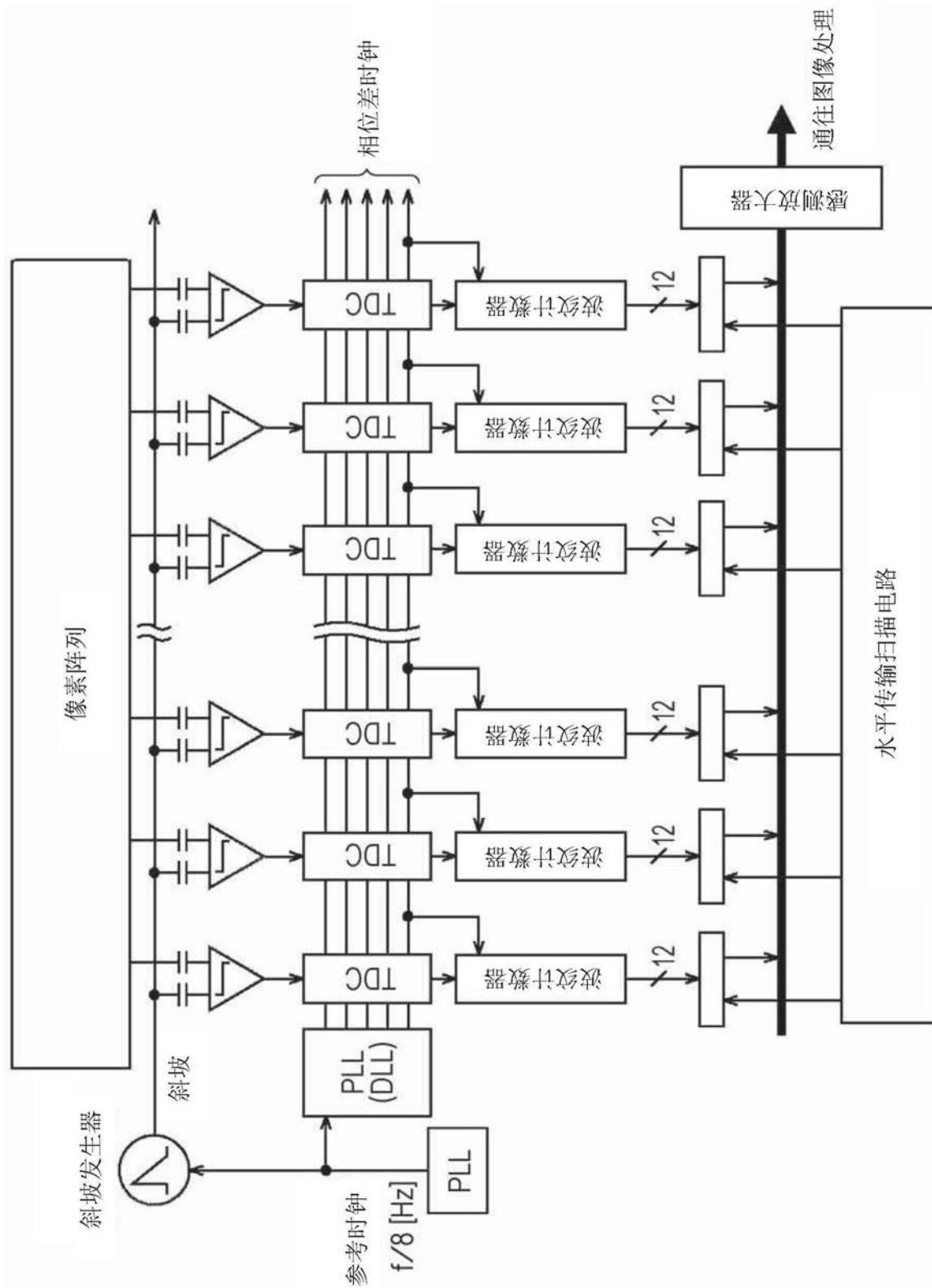


图4

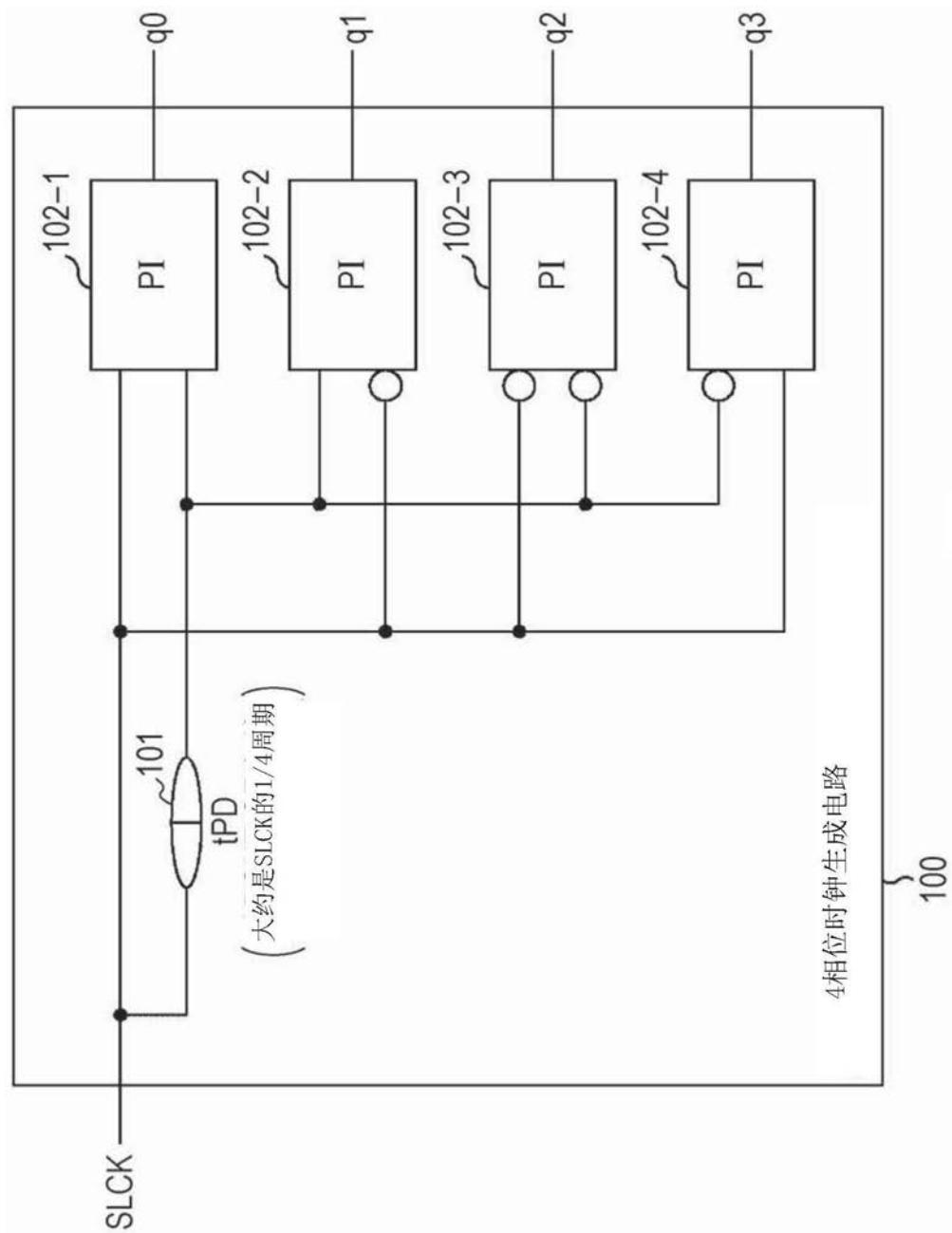


图5

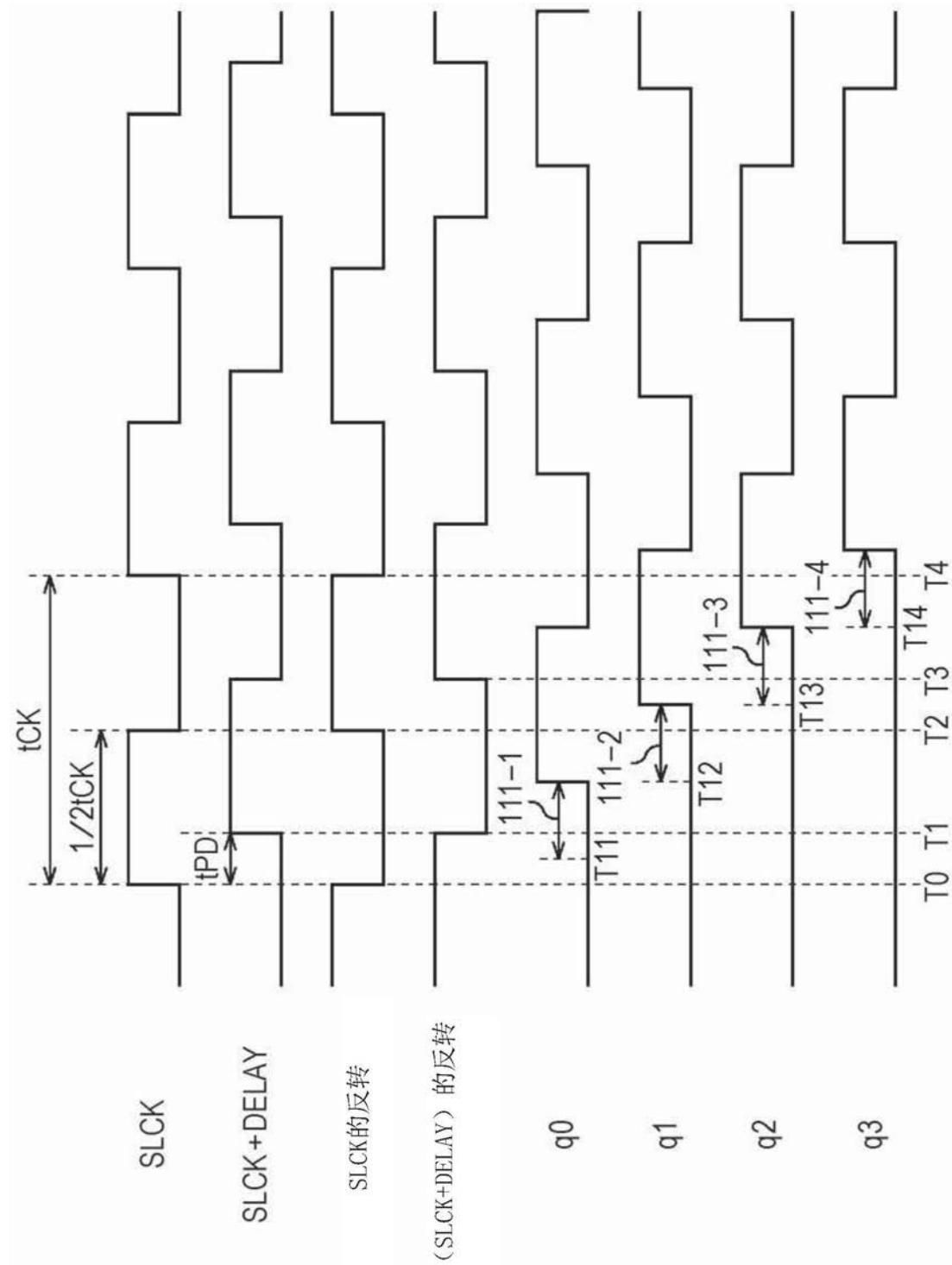


图6

	从上升沿到SLCK的各上升沿的延迟时间 t_{PDqN}	后续相位差 $t_{PDq(N+1)} - t_{PDqN}$
q0	$(0 + t_{PD})/2 + PI$ 固定延迟时间	$t_{CK}/4$
q1	$(t_{PD} + t_{CK}/2)/2 + PI$ 固定延迟时间	$t_{CK}/4$
q2	$(t_{CK}/2 + (t_{CK}/2 + t_{PD}))/2 + PI$ 固定延迟时间	$t_{CK}/4$
q3	$((t_{CK}/2 + t_{PD}) + t_{CK})/2 + PI$ 固定延迟时间	$t_{CK}/4$

图7

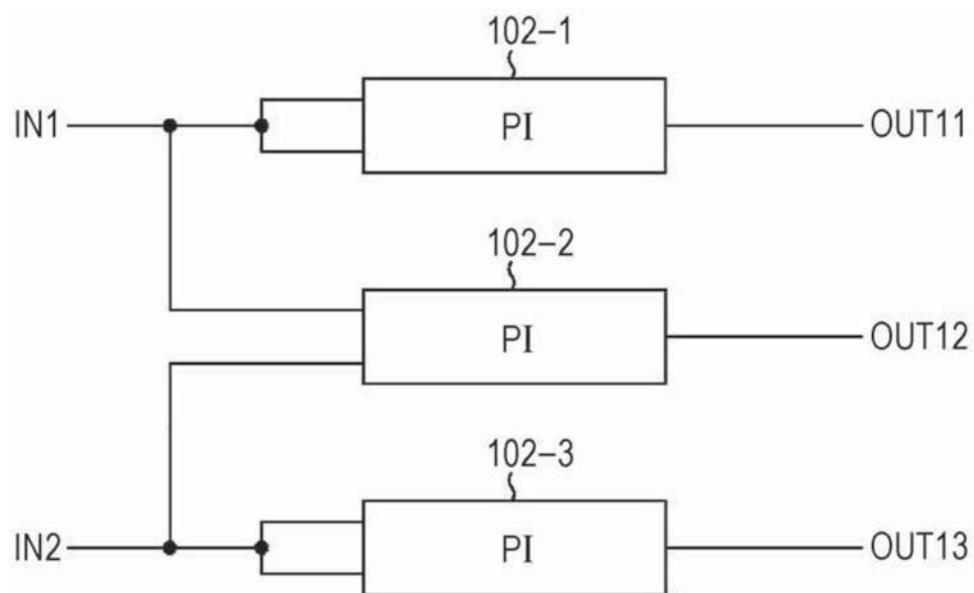


图8

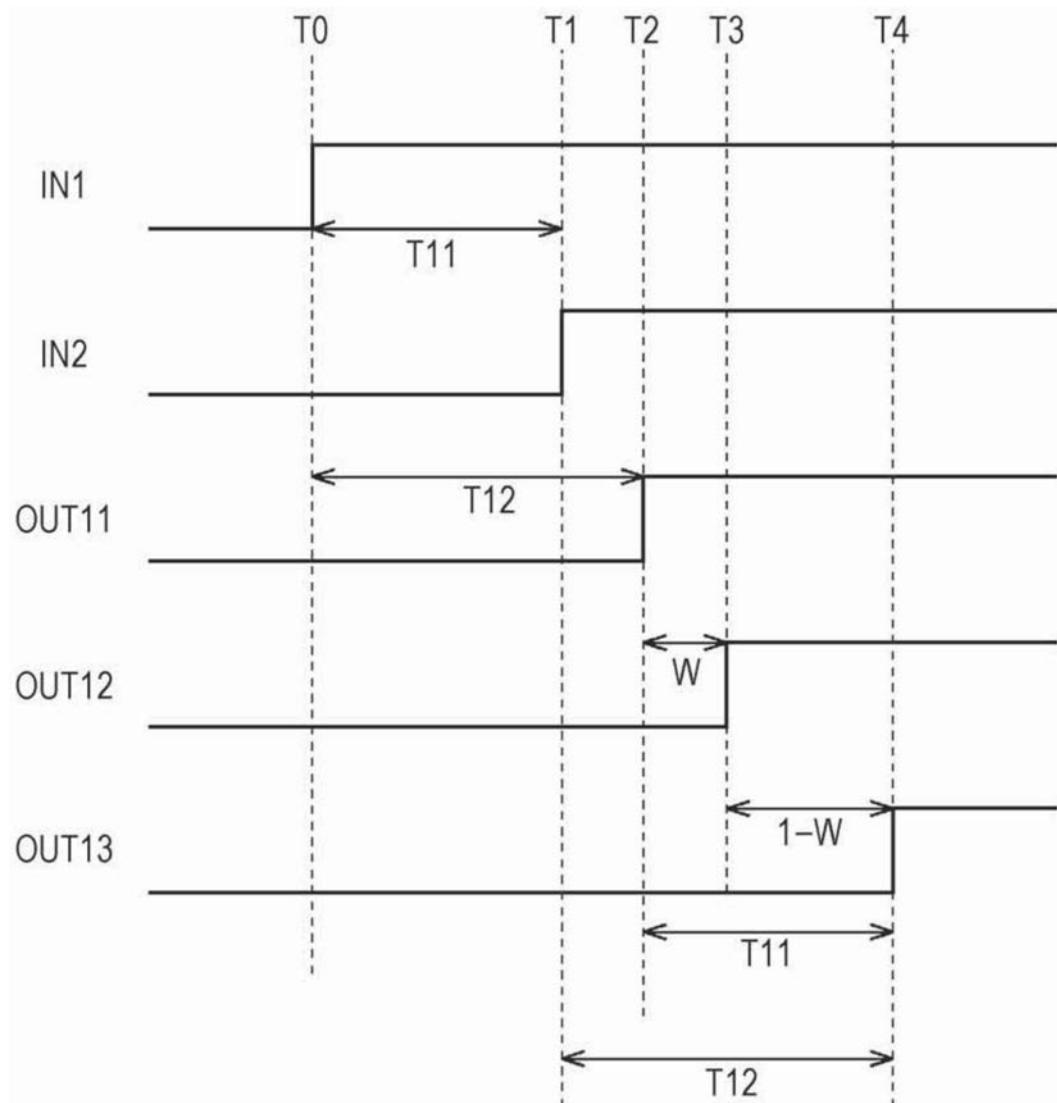


图9

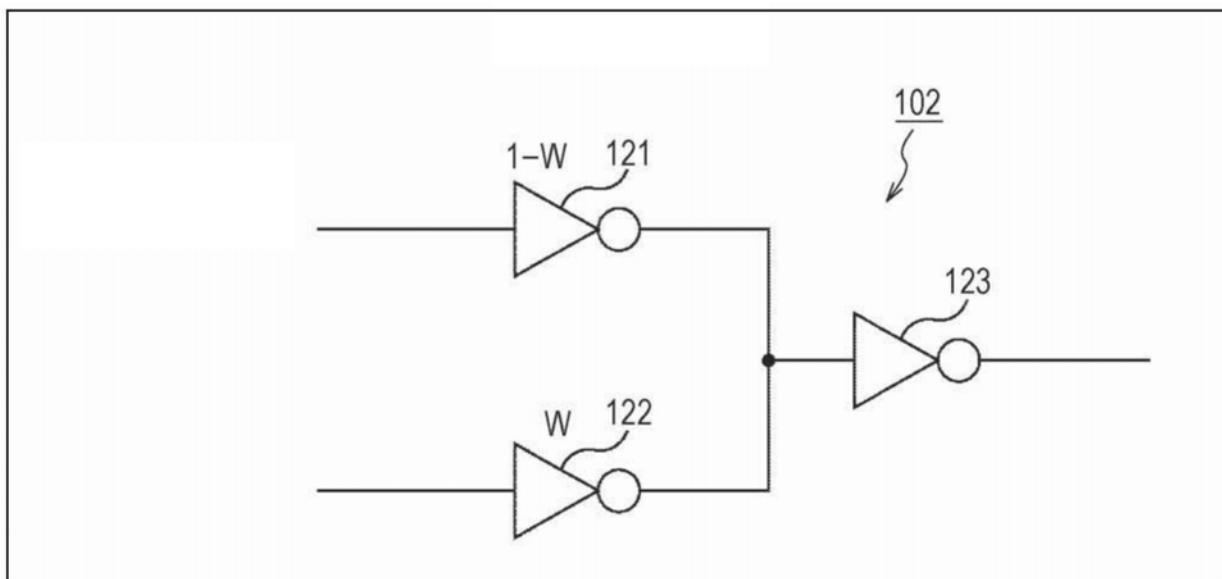


图10

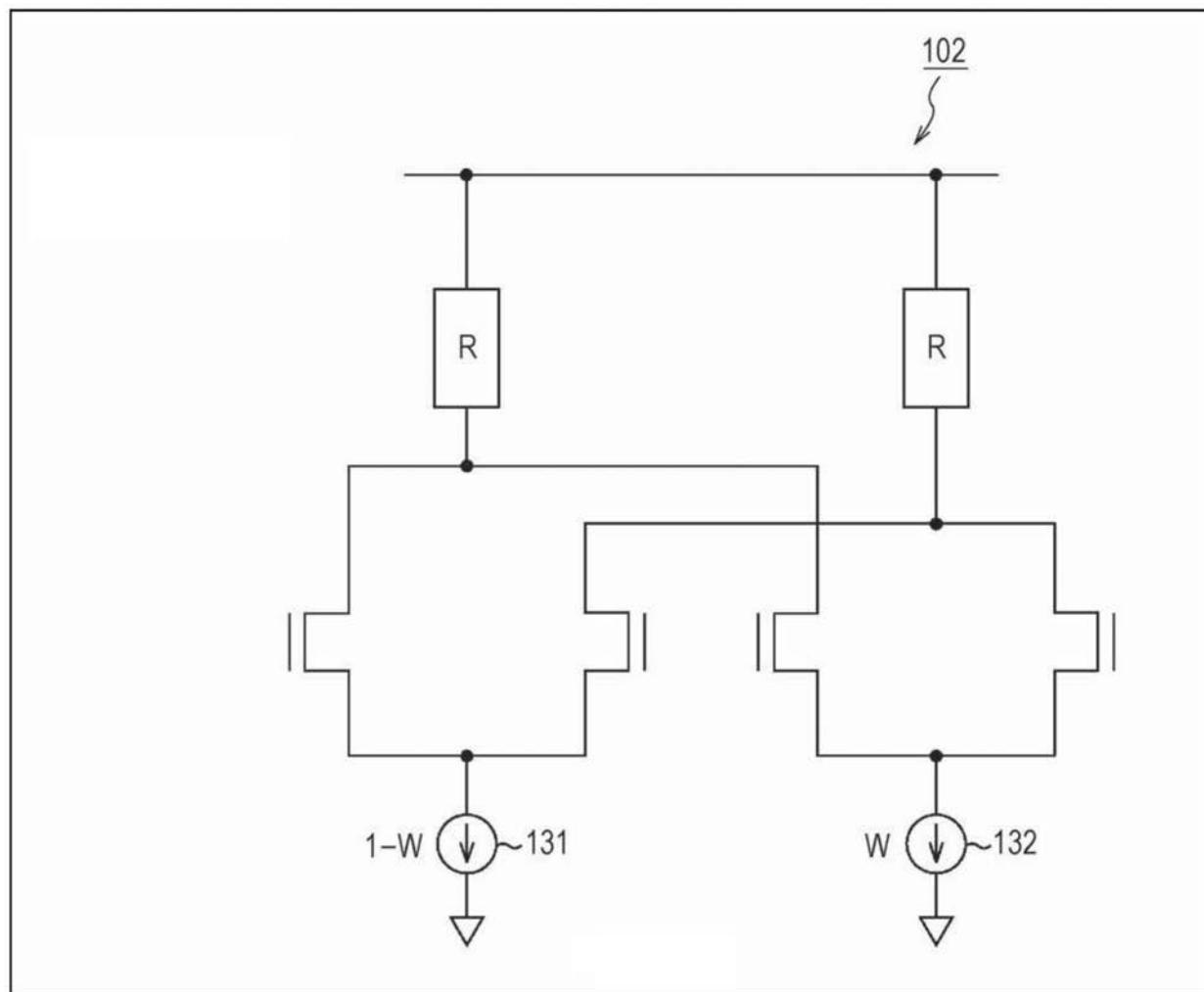


图11

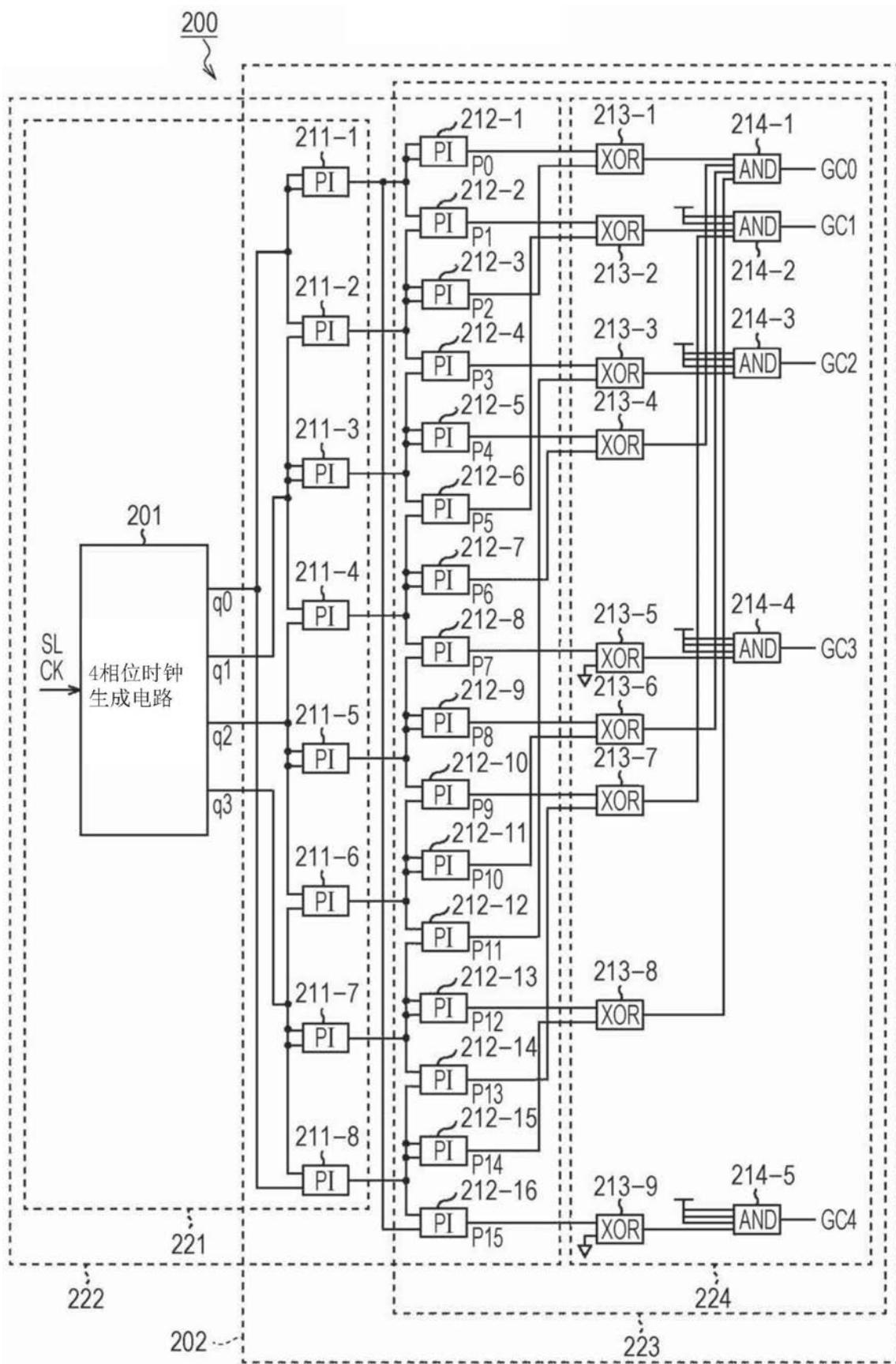


图12

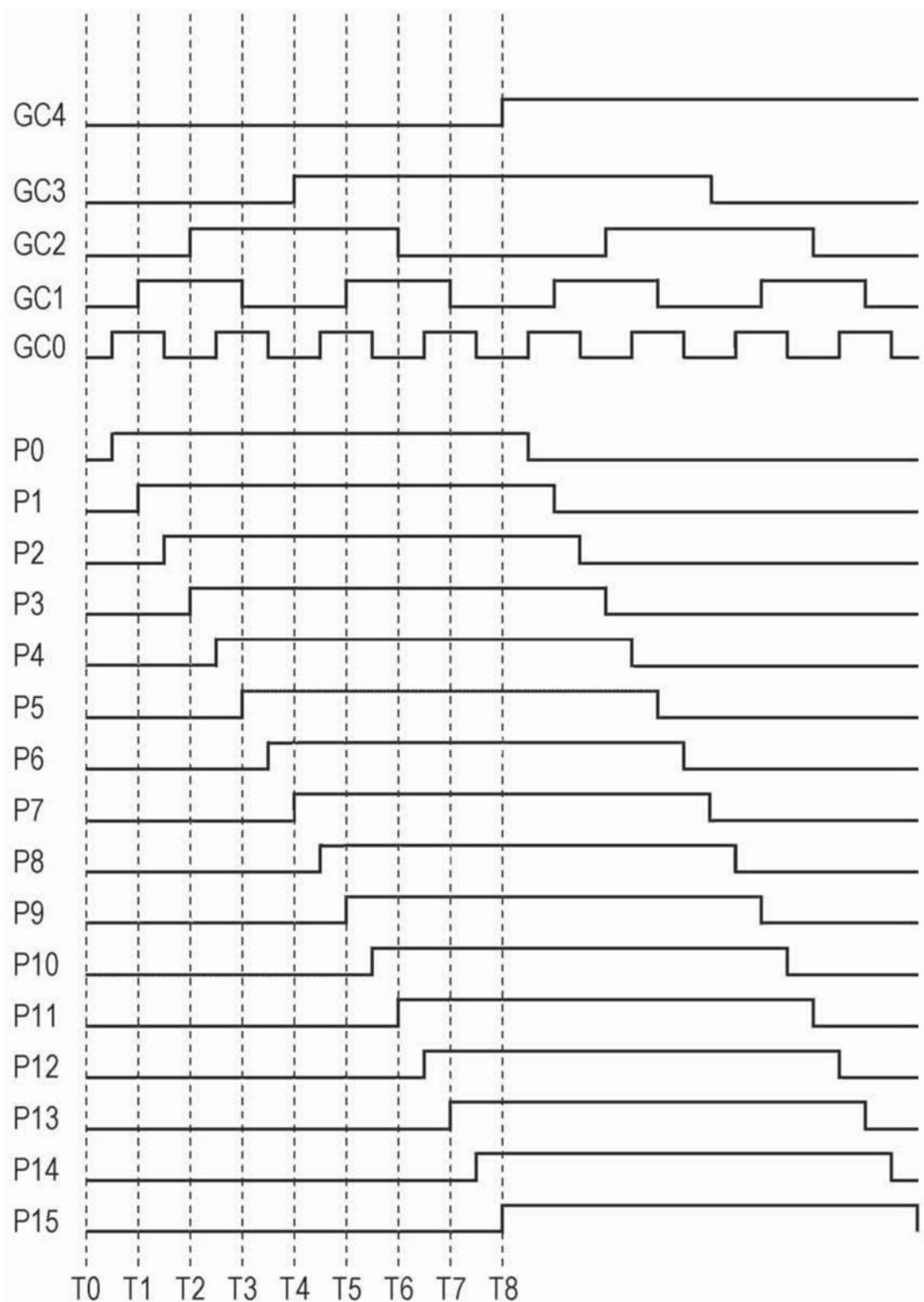


图13

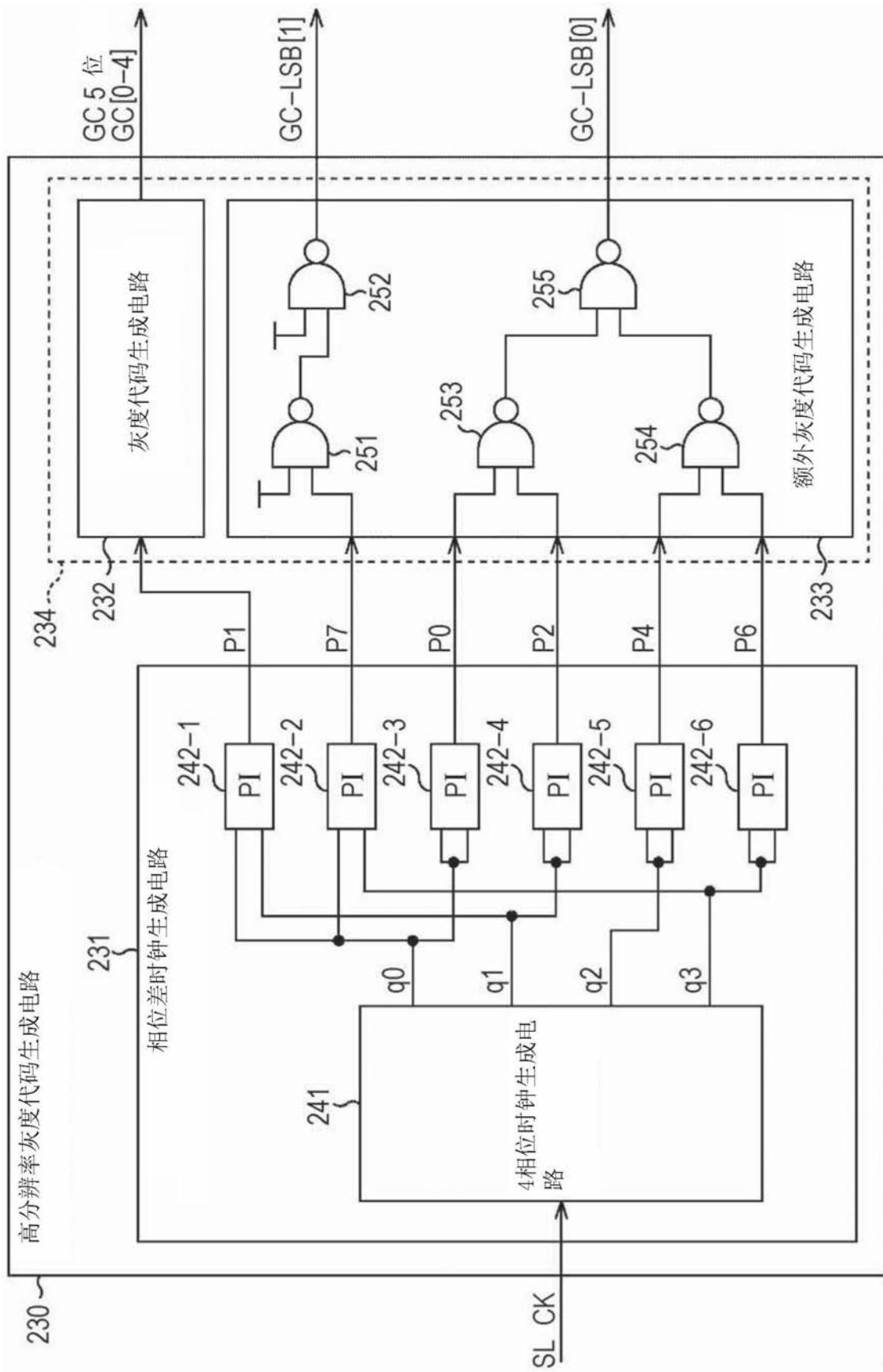


图14

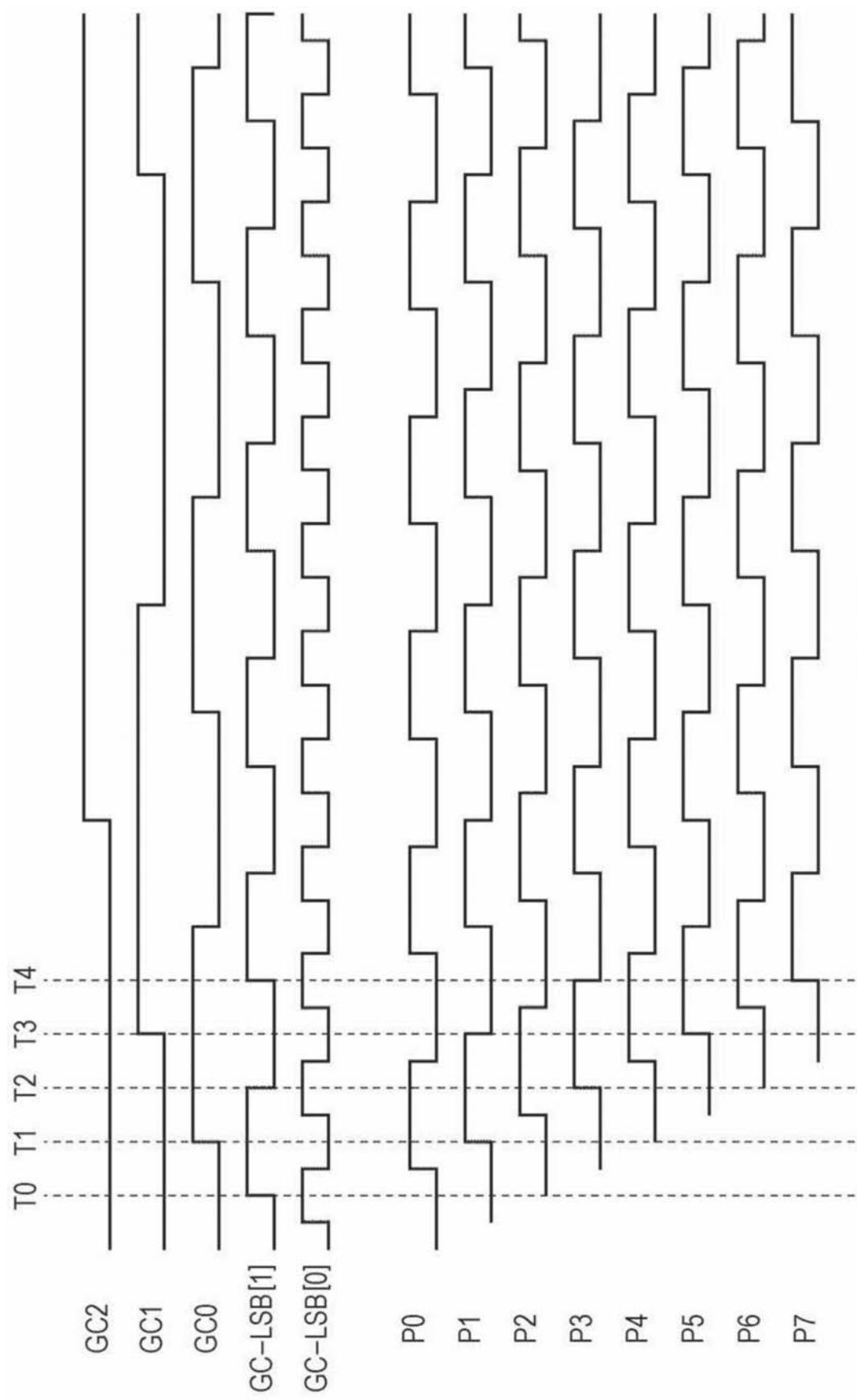


图15

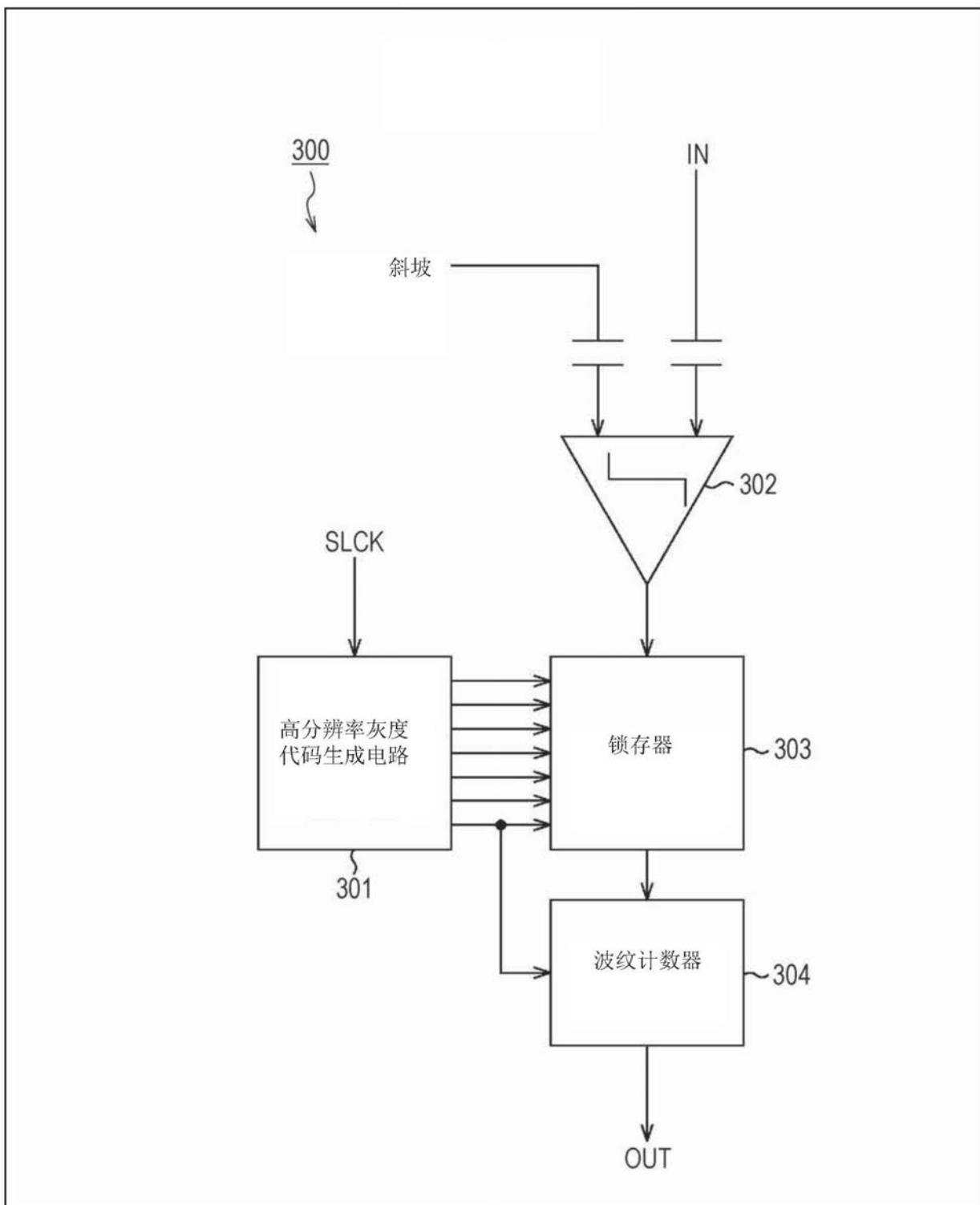


图16

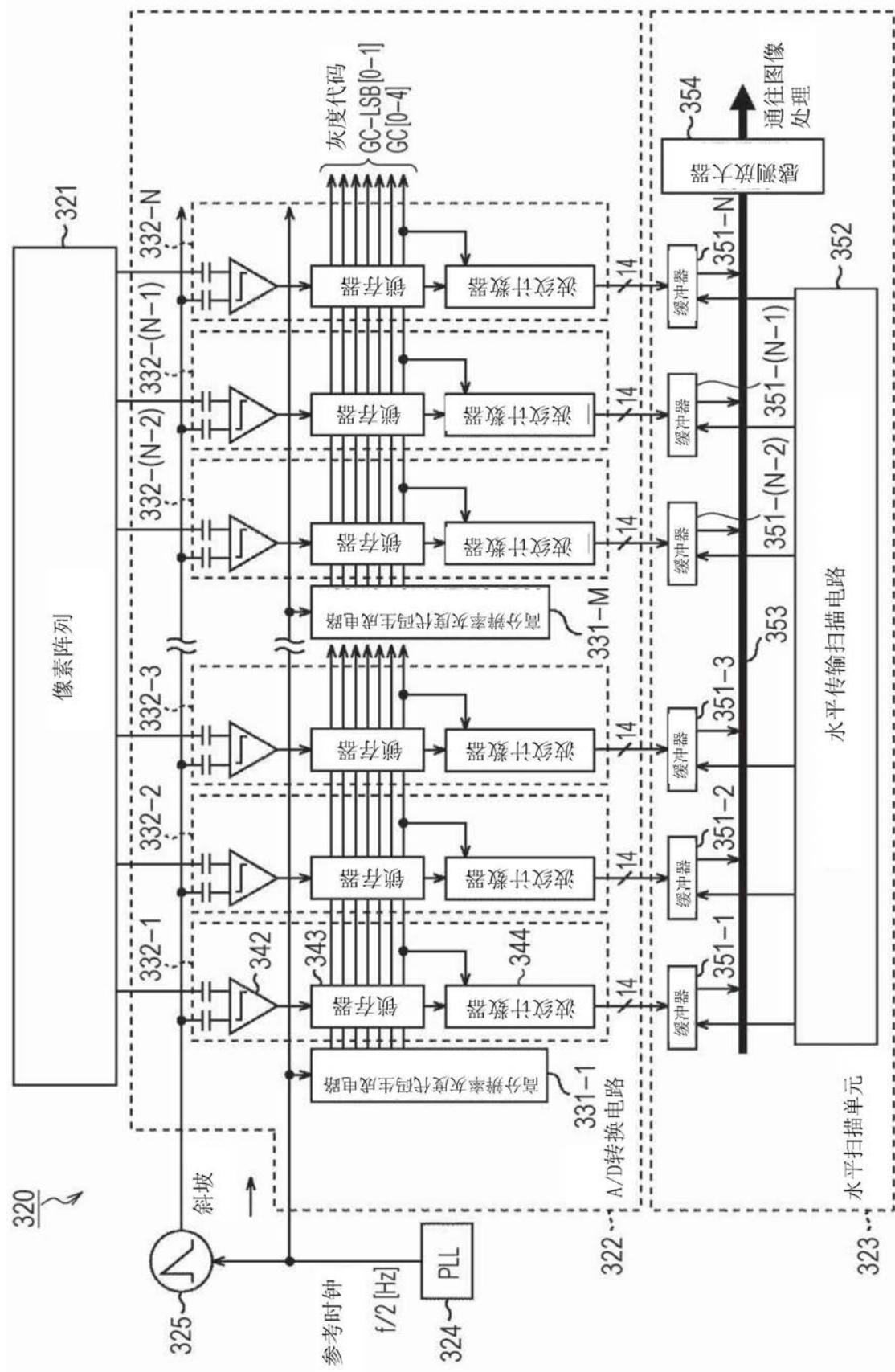


图 17

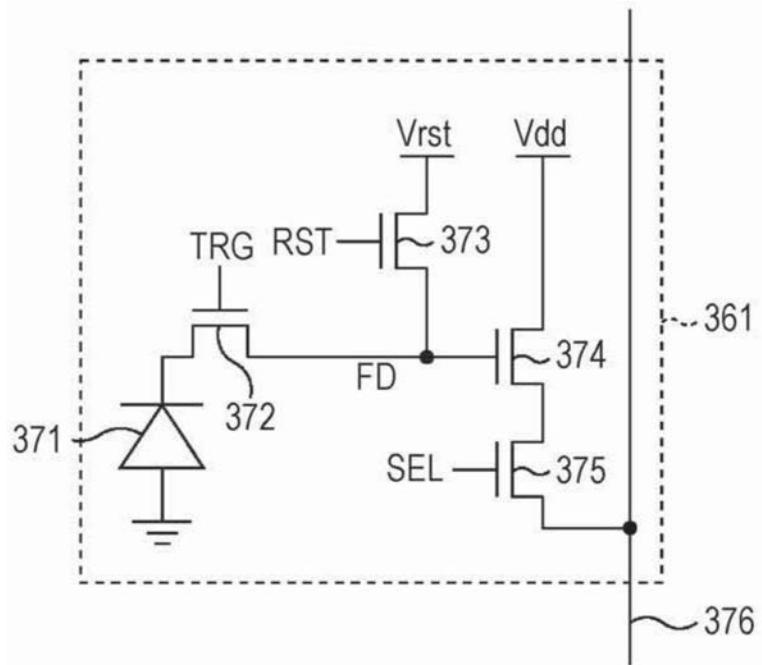


图18

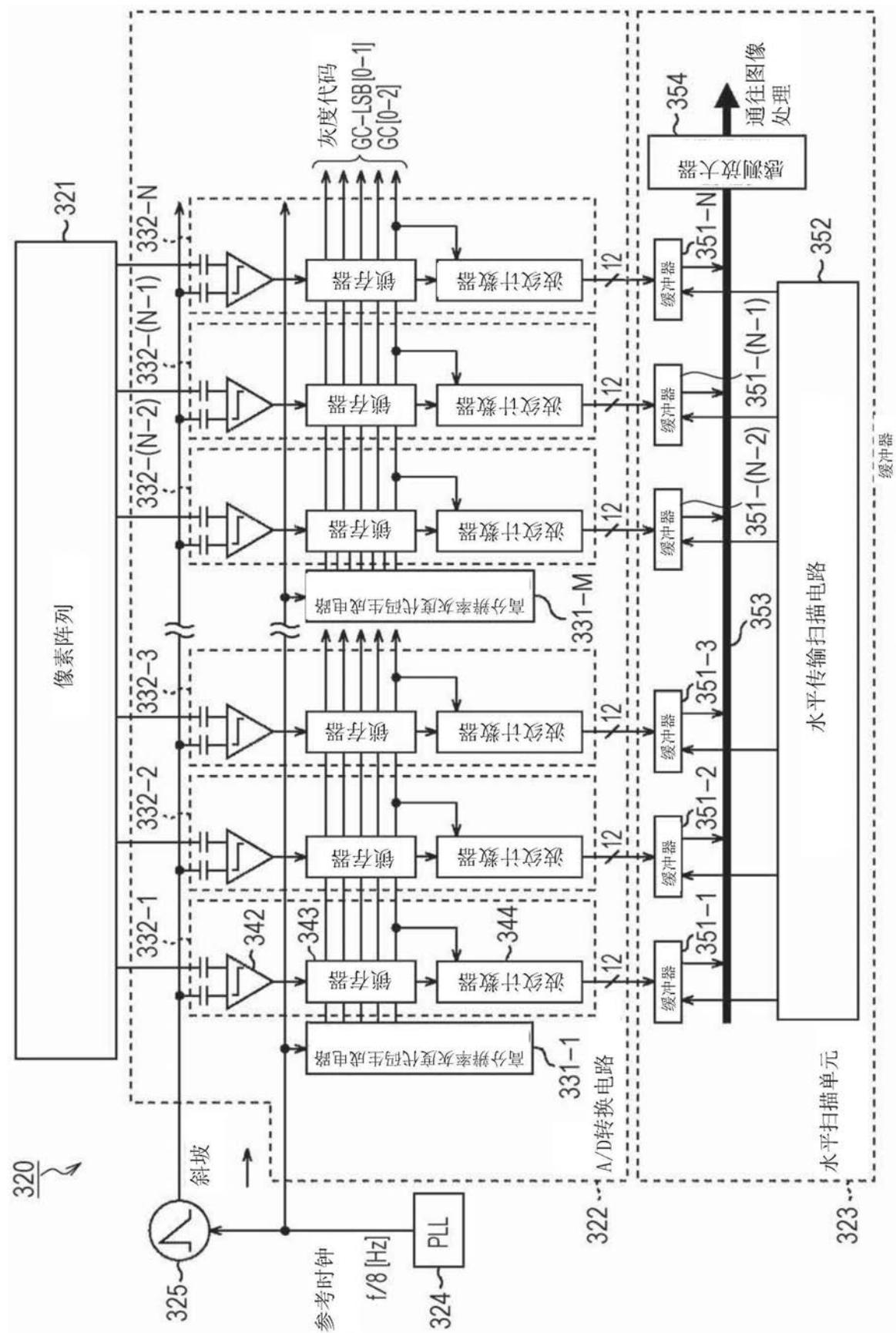


图 19

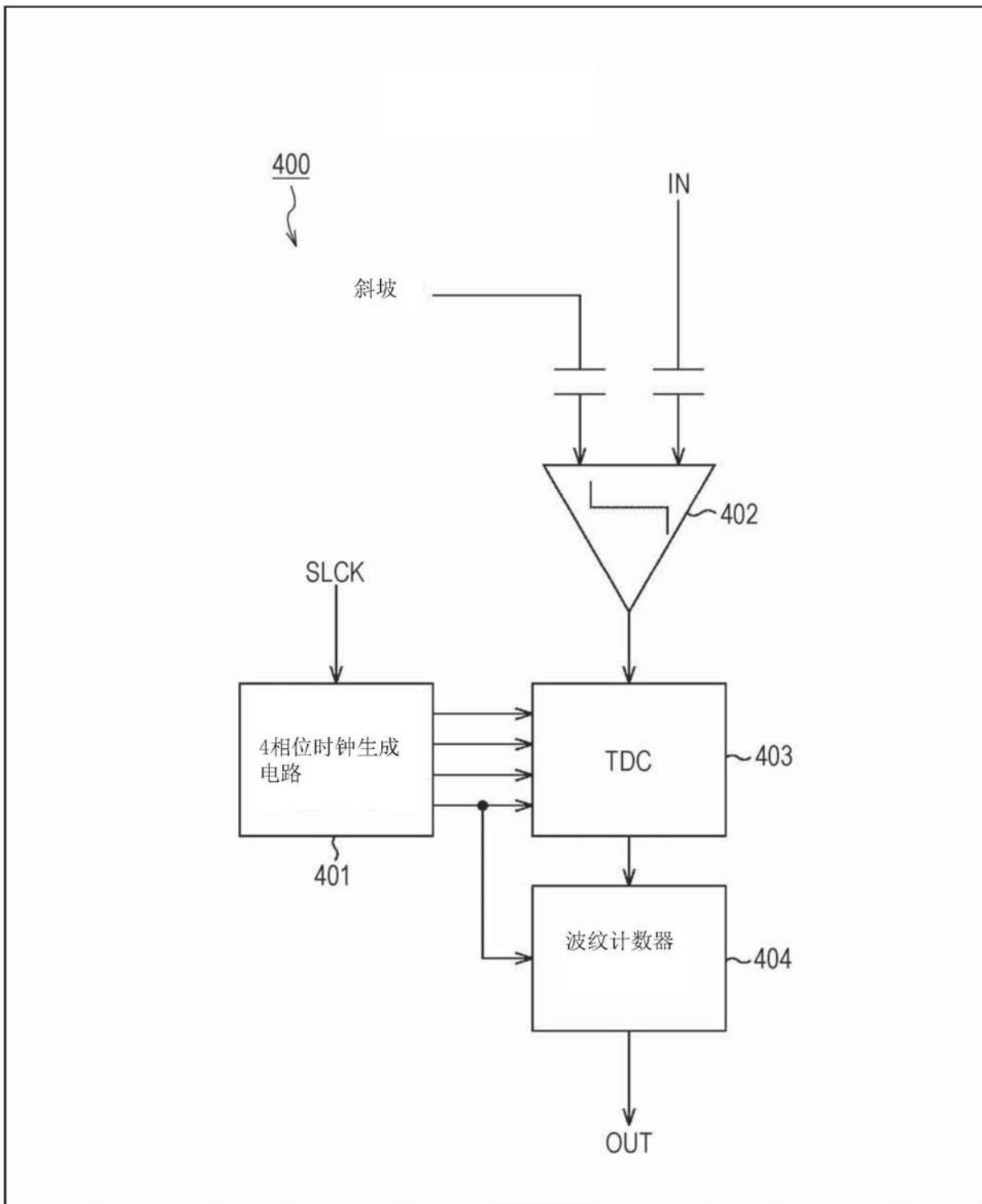


图20

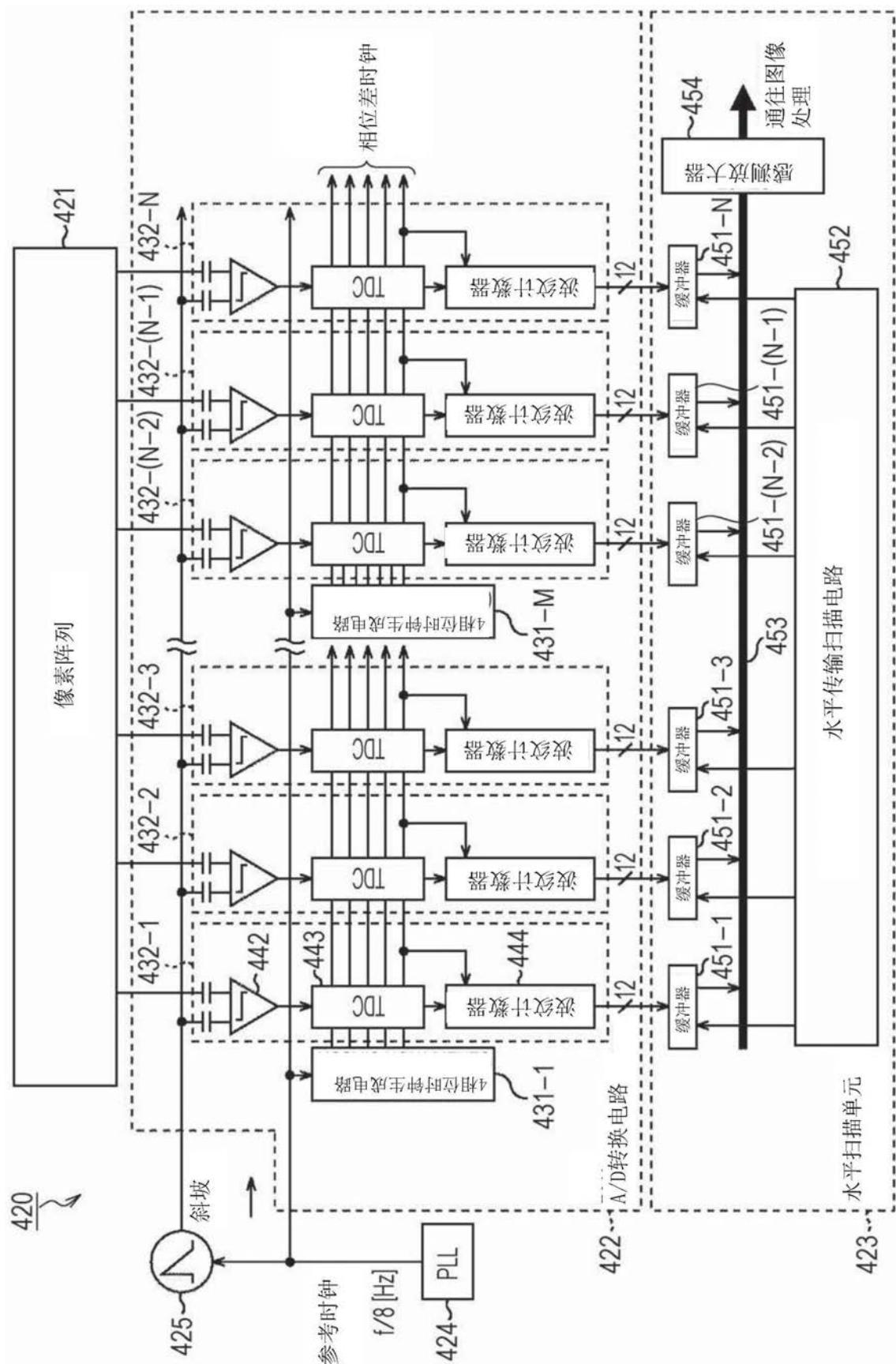


图 21

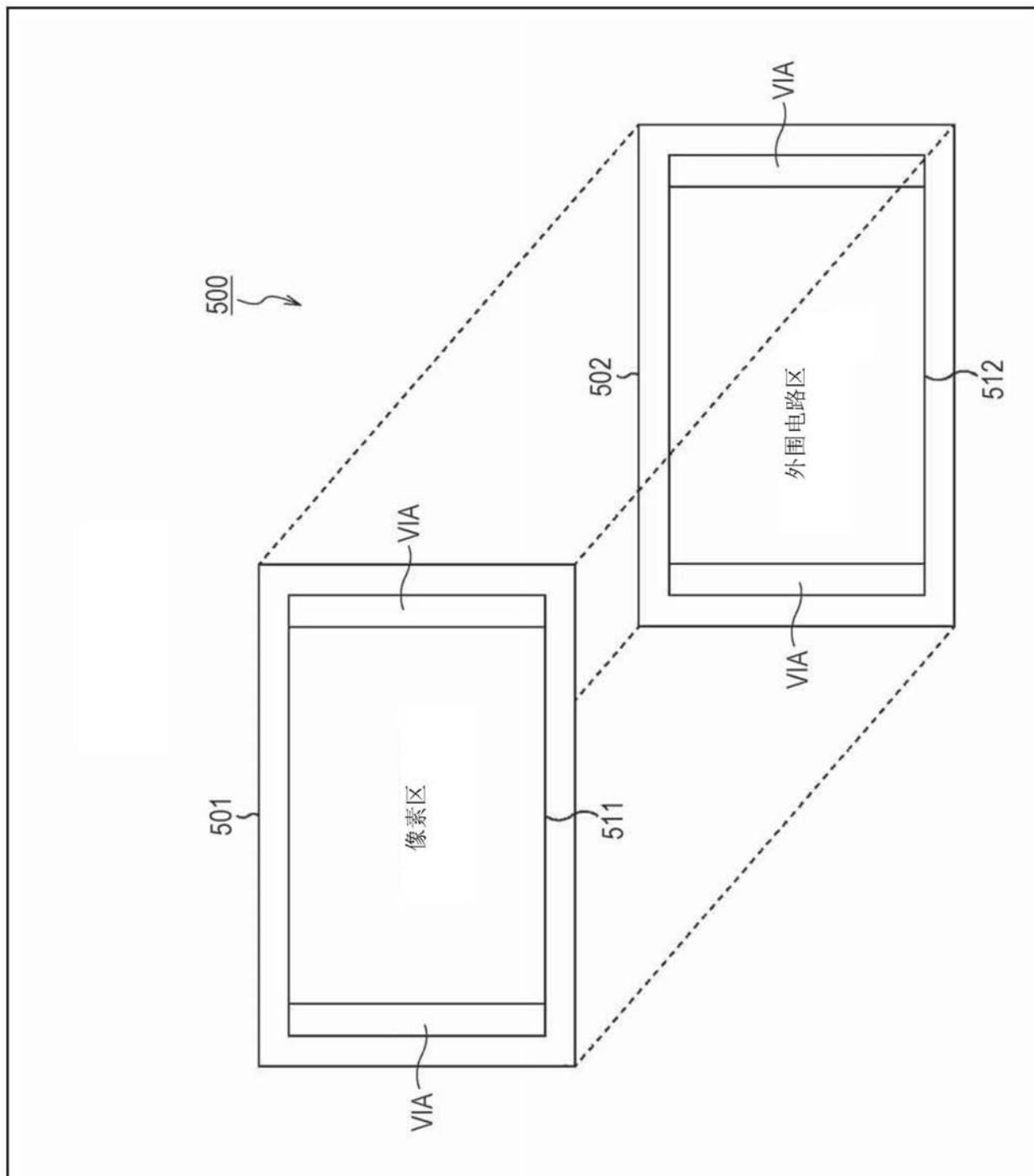


图22

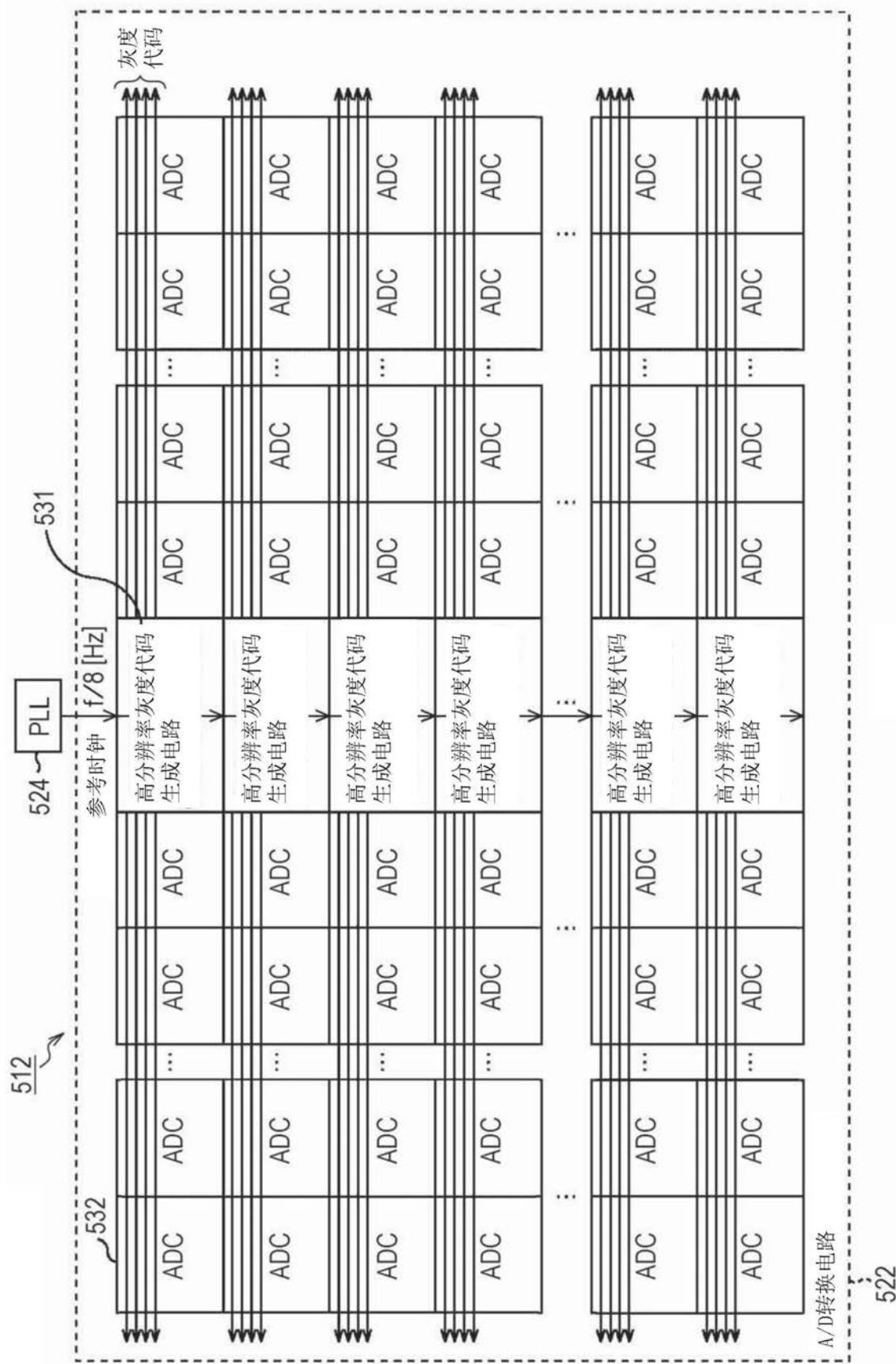


图23

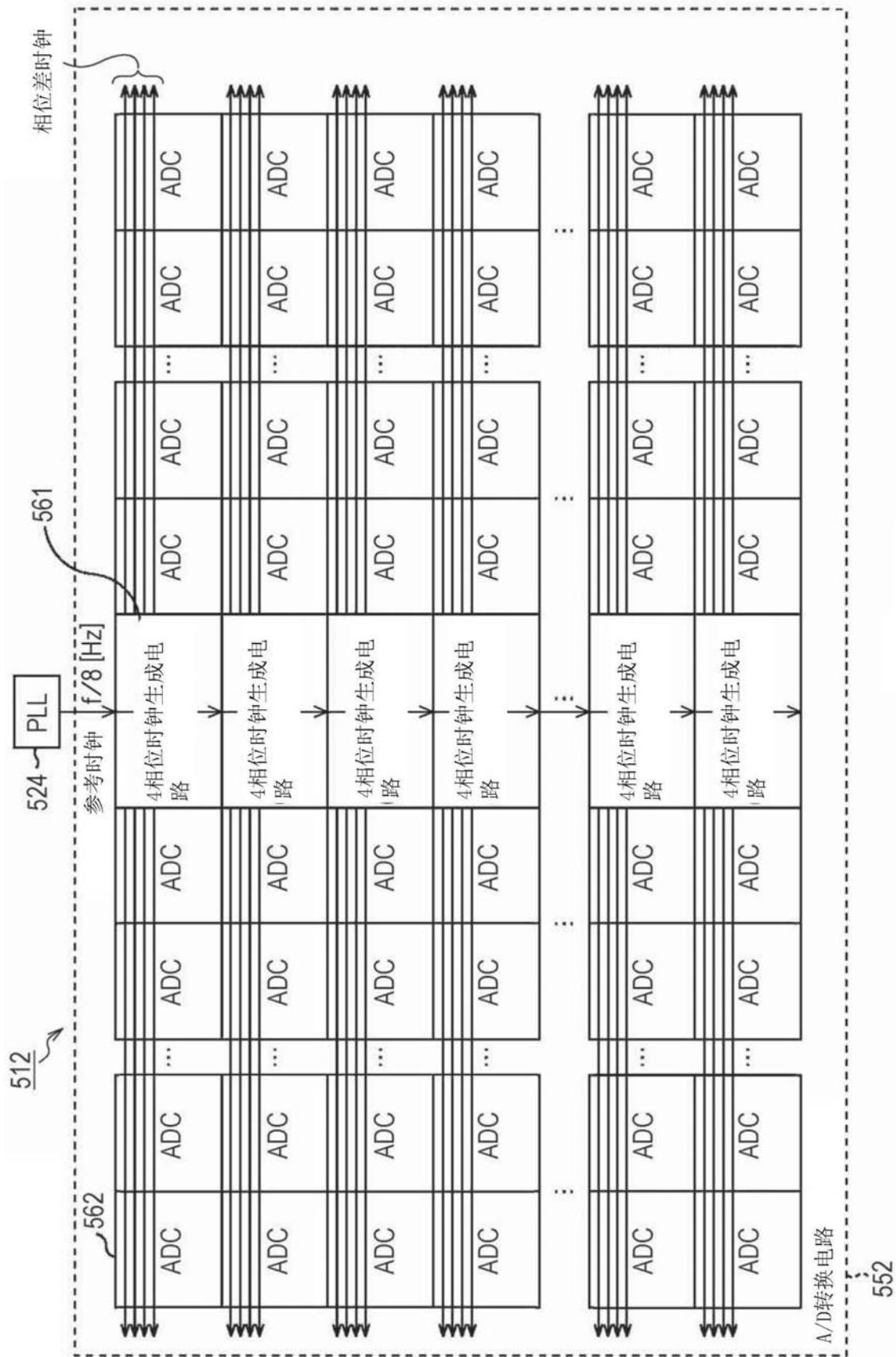


图24

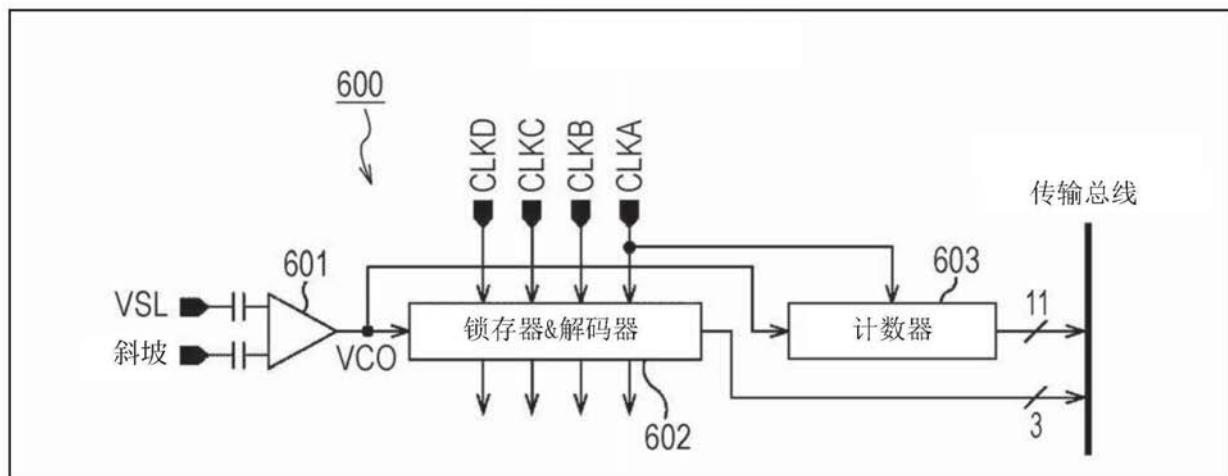


图25A

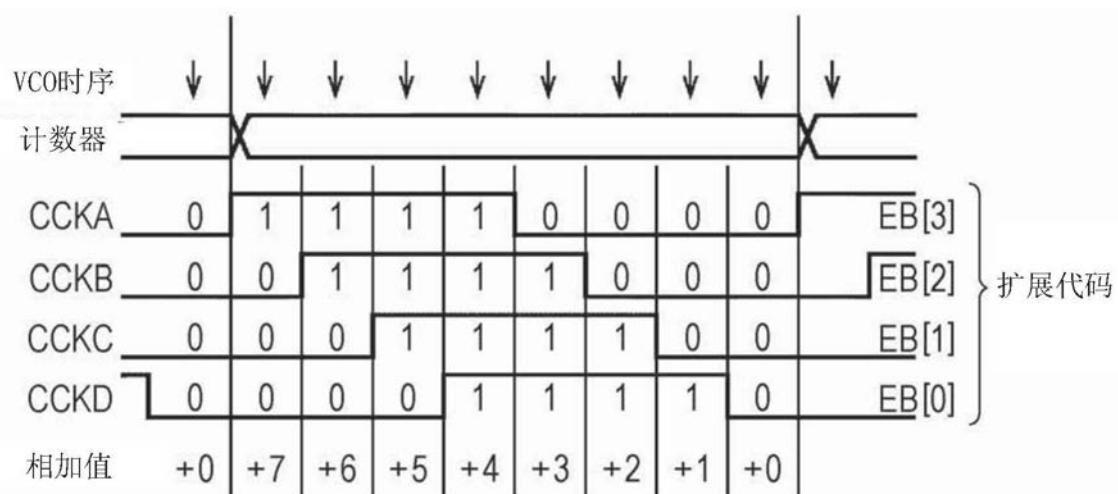


图25B

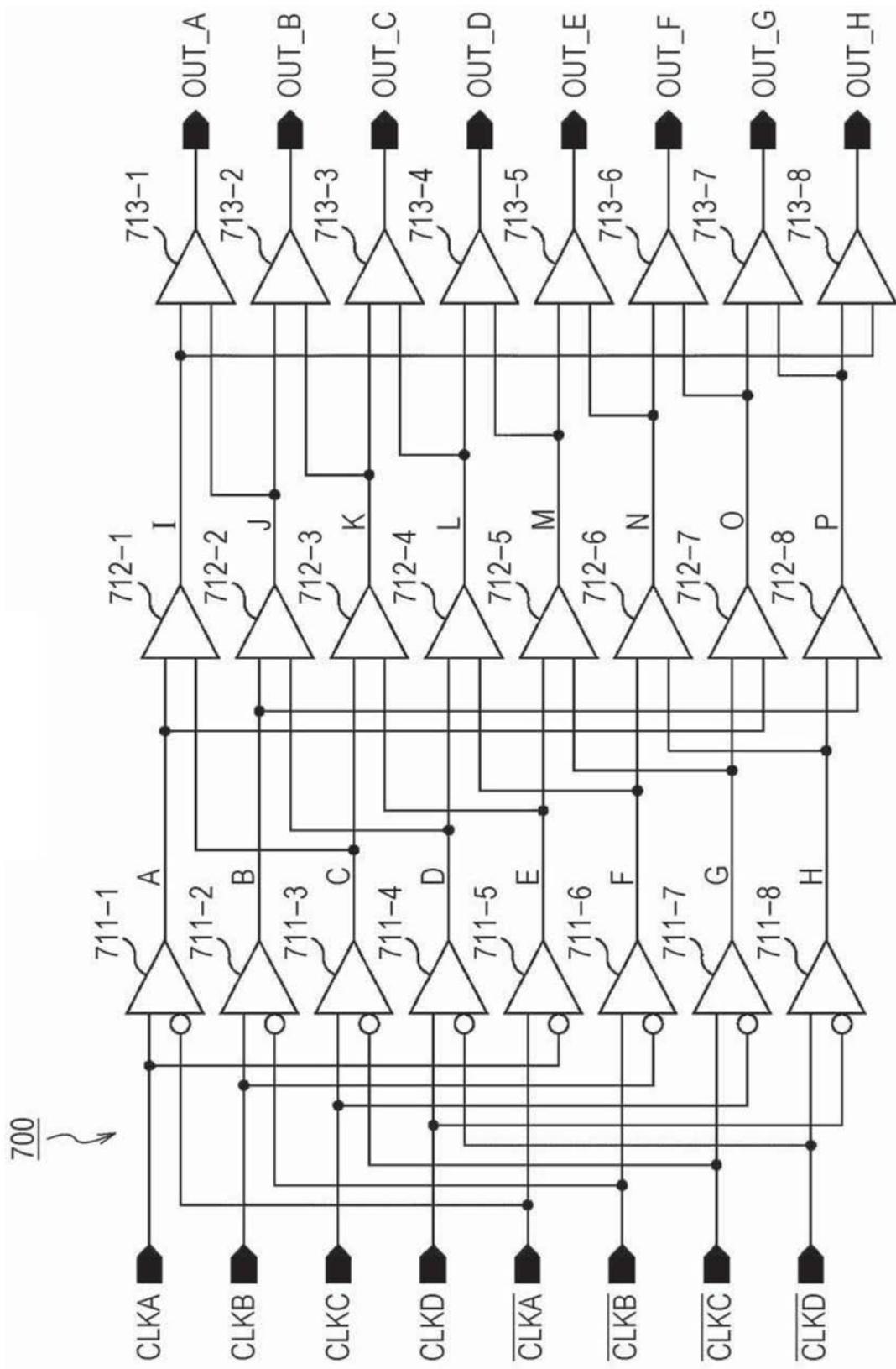


图26

CLKA	0	OUT_A	67.5
CLKB	45	OUT_B	112.5
CLKC	90	OUT_C	157.5
CLKD	135	OUT_D	202.5
CLKA	180	OUT_E	247.5
CLKB	225	OUT_F	292.5
CLKC	270	OUT_G	337.5
CLKD	315	OUT_H	382.5

图27

节点名称	相对差异	节点名称	相对差异
CLKA	t1	A	$(t1+t5)/2$
CLKB	t2	B	$(t2+t6)/2$
CLKC	t3	C	$(t3+t7)/2$
CLKD	t4	D	$(t4+t8)/2$
CLKA	t5	E	$(t5+t1)/2$
CLKB	t6	F	$(t6+t2)/2$
CLKC	t7	G	$(t7+t3)/2$
CLKD	t8	H	$(t8+t4)/2$

图28A

节点名称	相对差异	节点名称	相对差异
I	$(t1+t5+t7+t3)/4$	OUT_A	$(t1+t2+t3+t4+t5+t6+t7+t8)/8$
J	$(t2+t6+t8+t4)/4$	OUT_B	$(t1+t2+t3+t4+t5+t6+t7+t8)/8$
K	$(t3+t7+t5+t1)/4$	OUT_C	$(t1+t2+t3+t4+t5+t6+t7+t8)/8$
L	$(t4+t8+t6+t2)/4$	OUT_D	$(t1+t2+t3+t4+t5+t6+t7+t8)/8$
M	$(t5+t1+t7+t3)/4$	OUT_E	$(t1+t2+t3+t4+t5+t6+t7+t8)/8$
N	$(t6+t2+t8+t4)/4$	OUT_F	$(t1+t2+t3+t4+t5+t6+t7+t8)/8$
O	$(t7+t3+t1+t5)/4$	OUT_G	$(t1+t2+t3+t4+t5+t6+t7+t8)/8$
P	$(t8+t4+t2+t6)/4$	OUT_H	$(t1+t2+t3+t4+t5+t6+t7+t8)/8$

图28B

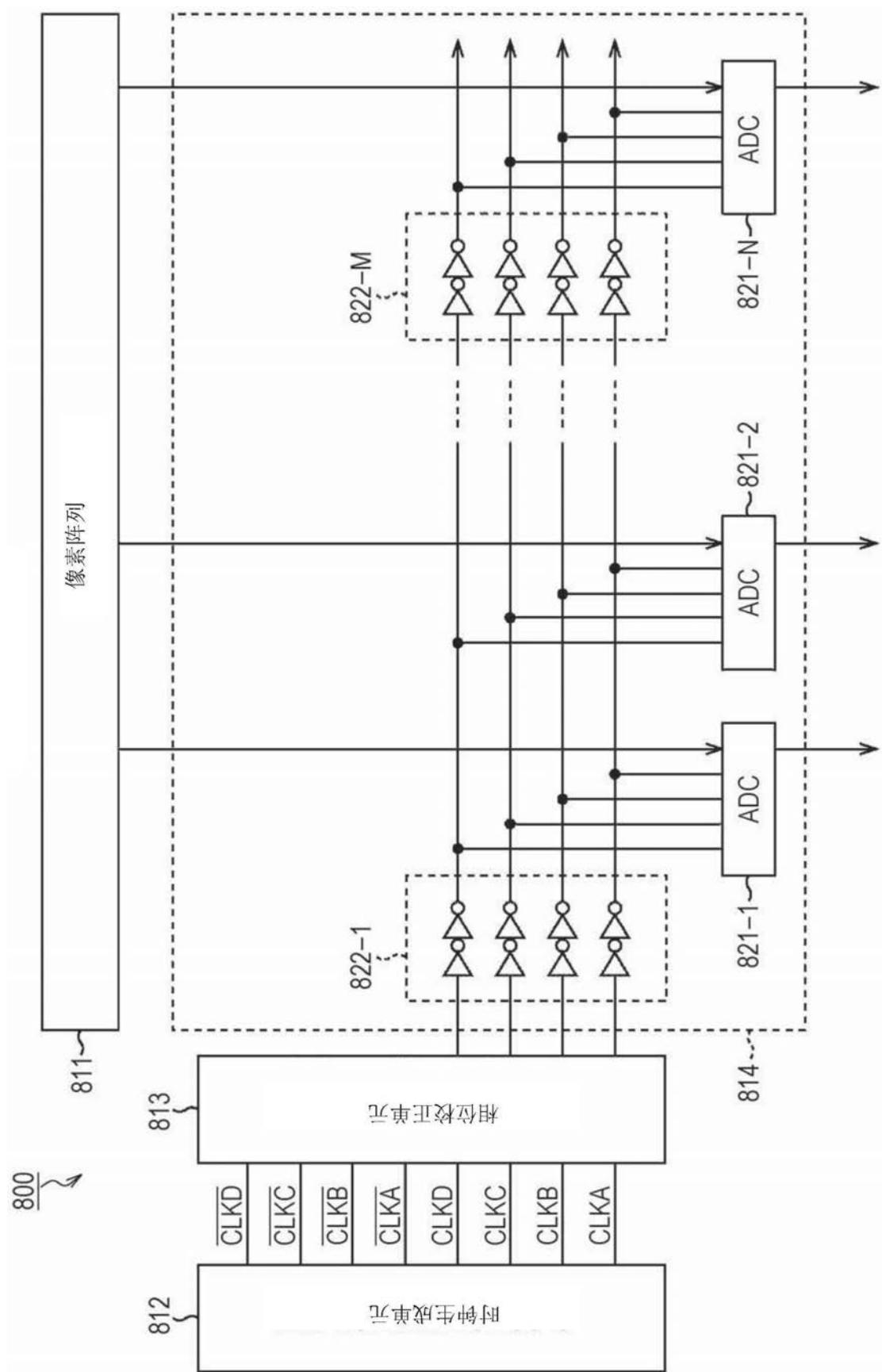


图29

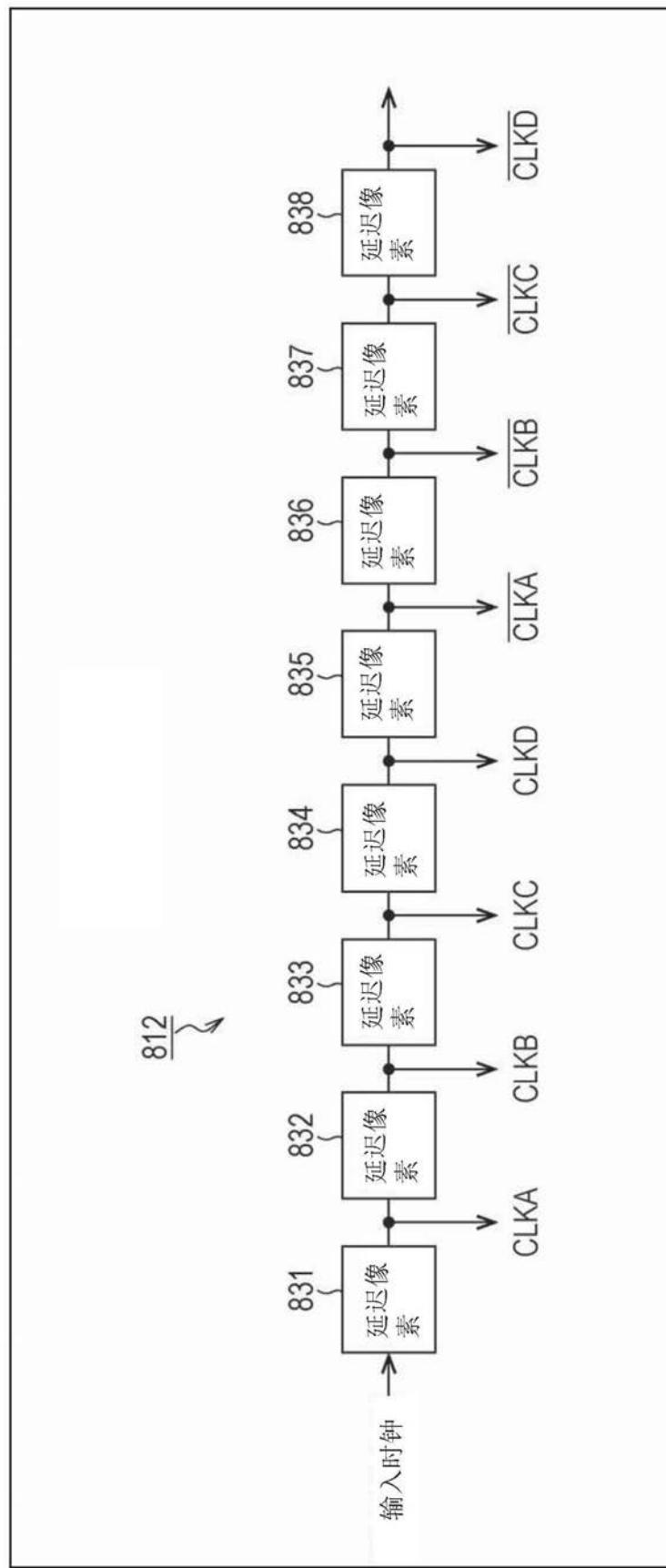


图30

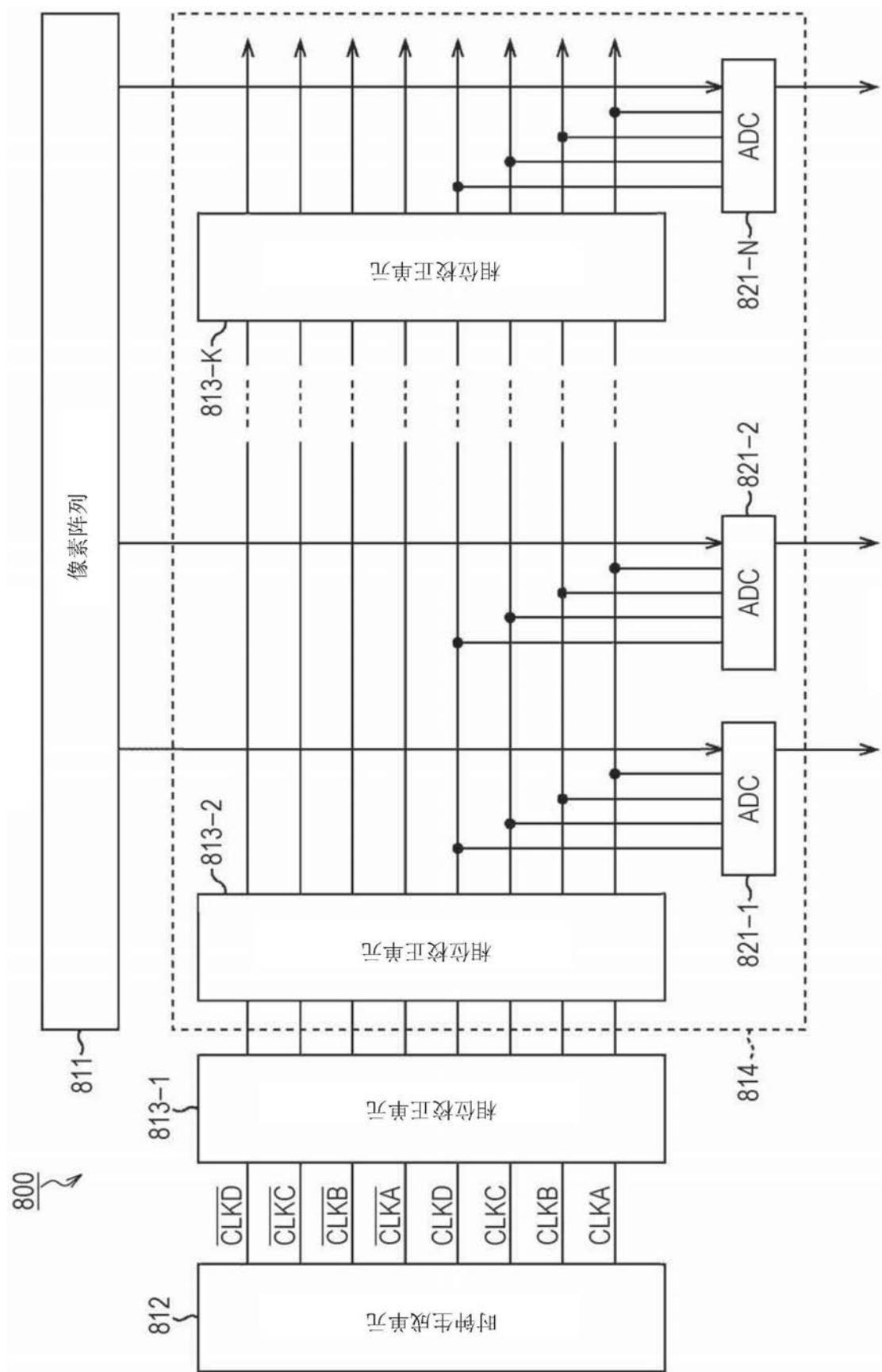


图31

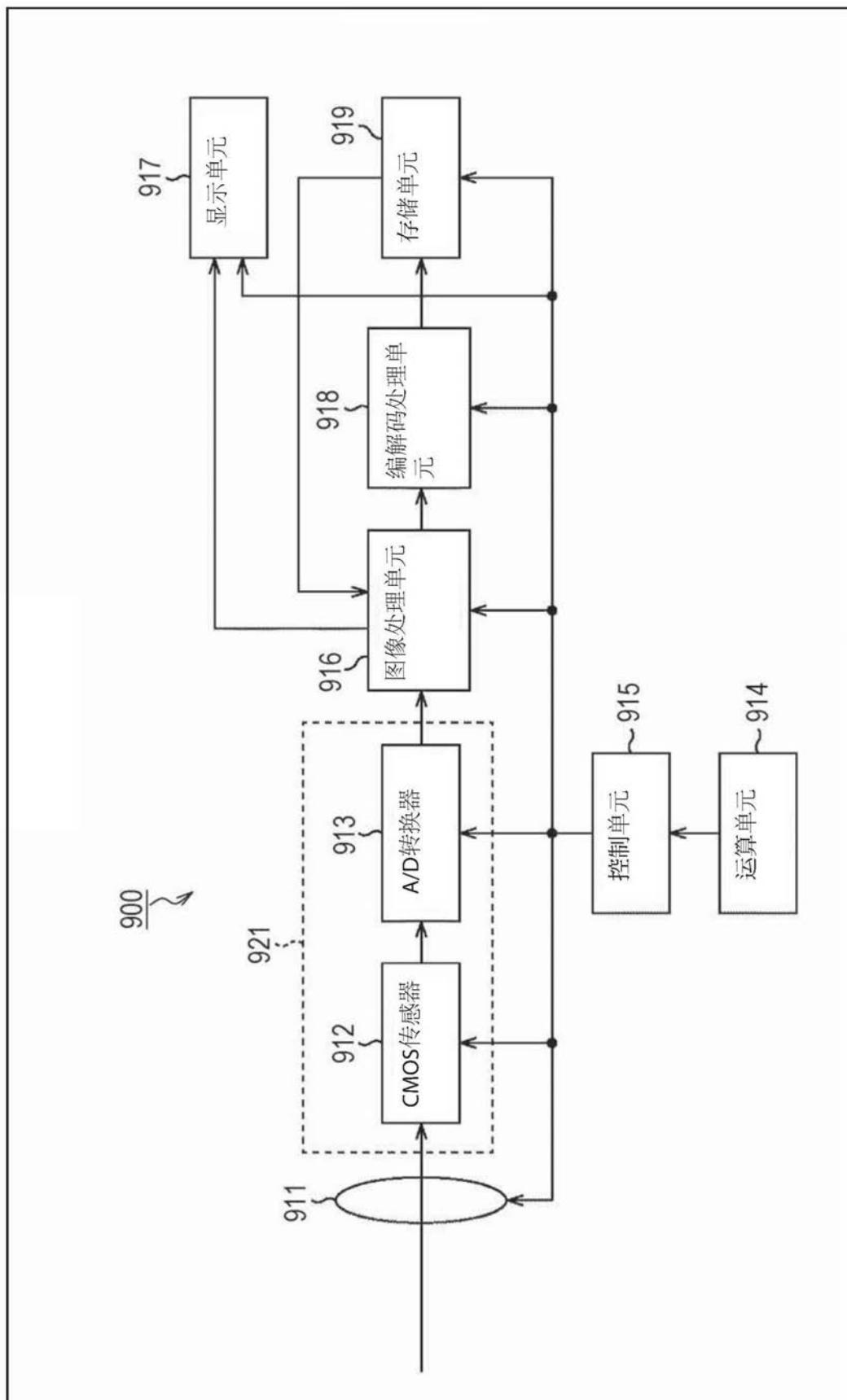


图32