

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年06月22日；11/165,269

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明概言之係關於電路，且更具體而言係關於電流源及主動電路。

【先前技術】

電流源廣泛用於為諸如放大器、緩衝器、振盪器等各種電路提供電流。電流源可用作提供偏壓電流之偏壓電路、提供輸出電流之主動負載等。電流源通常係製造於積體電路(IC)上，但亦可由離散式電路組件構建。

隨著IC之製造技術不斷改良，電晶體之大小不斷縮小。較小之電晶體大小使能夠在一IC晶粒上製造更多之電晶體及因此更複雜之電路，或另一選擇係，對於一既定電路可使用一更小之晶粒。更小之電晶體大小亦支持更快之運作速度並提供其他好處。

互補型金屬氧化物半導體(CMOS)廣泛用於數位電路及諸多類比電路中。在CMOS中不斷縮小之電晶體大小之主要問題係漏電電流，即當一電晶體關斷時流過該電晶體之電流。一較小電晶體幾何體導致較高之電場，該電場使一電晶體承受應力並使氧化物損壞。為減小電場，通常將較小之電源電壓用於幾何體較小之電晶體。然而，較低之電源電壓亦增加電晶體之傳播延遲，此對於高速電路不可取。為減小延遲及改良運作速度，需減小電晶體之臨限電壓(V_t)。臨限電壓決定導通該等電晶體之電壓。然而，較低之臨限電壓及較小之電晶體幾何體導致較高之漏電電

流。

隨著 CMOS 技術按比例縮小，漏電電流愈來愈成問題。此係由於相對於電晶體大小之減小而言，漏電電流會以高比率增加。漏電電流可影響諸如鎖相環(PLL)、振盪器、數位至類比變換器(DAC)等某些電路之效能。

某些用於消滅漏電電流之通用技術包括使用高臨限電壓(高 V_t) 電晶體及/或較大之電晶體大小(例如較長之閘極長度)。高 V_t 電晶體可能影響電路效能(例如速度較慢)並在 IC 製造製程中通常需要一額外之遮罩步驟。較大尺寸之電晶體對於消滅漏電電流係勉強有效，乃因(1)漏電電流係通道長度之相對弱函數及(2)對於通道長度可延伸之長度有實際限制。因此兩種解決方案對於某些電路皆不適當。

因此在此項技術中需要一種具有低漏電電流及優良效能之電流源。

【發明內容】

本文揭示適用於各種電路塊(例如放大器、緩衝器、振盪器、DAC等)之低漏電電流源及主動電路。主動電路係任何具有至少一電晶體之電路，且電流源係主動電路之一種類型。對於一低漏電電路，當一電晶體在 ON 狀態中啟用時提供一輸出電流，且當在 OFF 狀態中停用時引起低漏電電流。由於漏電電流係臨限電壓之強函數，因而藉由如下方法來達成低漏電電流：操縱電晶體閘極及源極處之電壓以增加該電晶體之臨限電壓，而臨限電壓又減小該漏電電流。

於一實施例中，一電路包括第一、第二及第三電晶體，其可係P-通道場效應電晶體(P-FET)或N-通道場效應電晶體(N-FET)。第一電晶體在啟用時提供輸出電流而在停用時引起低漏電電流。該第二電晶體耦接至該第一電晶體並啟用或停用該第一電晶體。該第三電晶體與該第一電晶體串聯耦接並將該第一電晶體連接至一預定電壓或將該第一電晶體與一預定電壓分離，該預定電壓可係一正電源電壓、電路接地、負電源電壓、經調整之電壓或某些其他電壓。該電路可進一步包括一傳輸電晶體，其在該第一電晶體停用時向該第一電晶體之源極提供一參考電壓。在ON狀態中，該第一電晶體提供輸出電流，而該第二及第三電晶體不影響效能。在OFF狀態中，該第二及第三電晶體用於向該第一電晶體提供正確電壓以將其置於一低漏電狀態中。

該第一、第二及第三電晶體可用於一電流鏡內之一低漏電電流源。於此情況下，該電流鏡進一步包括第四及第五電晶體。該第四電晶體係一二極體接法，且自一電流源接收一參考電流。該第五電晶體與該第四電晶體串聯耦接。該第一及第三電晶體鏡像該第四及第五電晶體，且該輸出電流與該參考電流相關。該低漏電電流源可用作主動負載(例如用於一放大器)、一用以提供一偏壓電流之偏壓電路等。該第一、第二及第三電晶體亦可用於一放大器級。於此情況下，該第一電晶體可用作一提供信號增益之增益電晶體。

下文將進一步詳細說明本發明之各種態樣及實施例。

【實施方式】

在本文中，"實例性"一詞用於意指"用作一實例、例子或例解"。在本文中，任何稱為"實例性"的實施例或設計皆未必應視為較其他實施例或設計為佳或有利。

本文所述之低漏電電流源及主動電路可以各種技術構建成具有可調節電晶體臨限電壓。某些實例性技術包括P-通道金屬氧化物半導體場效電晶體(MOSFET)、N-通道MOSFET等。為清晰起見，以下描述係針對由FET構建之電路並進一步假設：(1)一積體電路之塊/基板/本體連接至一可係電路接地之低電源(V_{ss})；(2) N-FET之本體連接至該低電源；及(3) P-FET之本體連接至一高電源(V_{DD})。且亦為簡單起見，在下述描述中該低電源係電路接地。

圖1顯示一習用N-MOS電流鏡100之示意圖。電流鏡100包括N-FET 112及122及一電流源114。N-FET 112係一二極體接法，將其源極耦接至電路接地，其閘極耦接至其汲極，且其汲極耦接至電流源114。電流源114提供一參考電流 I_{ref} 。N-FET 122將其源極耦接至電路接地，其閘極耦接至N-FET 112之閘極，且其汲極提供一輸出電流 I_{out} 。

在正常作業期間，該N-FET 112之閘極至源極電壓(V_{gs})經設定使得來自電流源114之 I_{ref} 電流經過N-FET 112。在N-FET 122處施加相同之 V_{gs} 電壓，乃因N-FET 112及122之閘極耦接在一起且該等源極亦耦接在一起。若N-FET 122與N-FET 112相同，則強迫N-FET 122提供相同之 I_{ref} 電

流，乃因對於兩N-FET而言 V_{gs} 電壓相同。因此N-FET 122係一鏡像N-FET 112之電流源。N-FET 122亦可經設計以提供一與 I_{ref} 電流相關(且未必相等)之輸出電流。來自N-FET 122之 I_{out} 電流取決於流經N-FET 112之 I_{ref} 電流及N-FET 122之大小與N-FET 112之大小之比例。

可藉由使電流源114崩潰或關閉來關閉電流鏡100。當發生此情況時，僅有漏電電流流經N-FET 112及122，其中由諸如該等N-FET之臨限電壓(V_t)、汲極至源極電壓(V_{ds})及閘極至源極電壓(V_{gs})來決定漏電電流之量。對於某些應用，N-FET 122之漏電電流可能過高，尤其當電晶體之大小縮小時。

圖2顯示一N-MOS低漏電電流鏡200之示意圖。電流鏡200包括N-通道N-FET 210、212、220、222及224及一電流源214。N-FET 210及212與電流源214係串聯耦接。N-FET 210將其源極耦接至電路接地，將其閘極耦接至 V_{DD} 電源電壓，且將其汲極耦接至N-FET 212之源極。N-FET 212係一二極體接法，其將其閘極與汲極耦接在一起並連接至電流源214，電流源214提供一參考電流 I_{ref} 。

N-FET 220與222串聯耦接並形成一低漏電電流源。N-FET 220將其源極耦接至電路接地，其閘極接收一啟用控制信號(Enb)，且其汲極耦接至N-FET 222之源極。N-FET 222將其閘極耦接至N-FET 212之閘極，且其汲極提供一輸出電流 I_{out} 。N-FET 224將其源極耦接至N-FET 222之源極，其閘極接收一互補啟用控制信號(\overline{Enb})，且將其汲極耦

接至 N-FET 212 及 222 之閘極。

N-FET 210、212、220 及 222 經耦接使得流經 N-FET 220 及 222 之電流鏡像流經 N-FET 210 及 212 之電流。N-FET 210 及 220 在大小上可相對於 N-FET 212 及 222 按比例縮放。N-FET 222 係一提供 I_{out} 電流之輸出電晶體。N-FET 220 用作將 N-FET 222 之源極連接至電路接地或使 N-FET 222 之源極與電路接地分開之開關。N-FET 224 係一啟用或停用 N-FET 222 之控制電晶體。電流鏡 200 如下文所述運作。

圖 3A 顯示低漏電電流鏡 200 處於 ON 狀態，此亦可稱作有效狀態或其他稱謂。在 ON 狀態中，Enb 信號處於邏輯高位準而 $\overline{\text{Enb}}$ 信號處於邏輯低位準。N-FET 210 始終導通，而 N-FET 212 之 V_{gs} 電壓經設定使得來自電流源 214 之 I_{ref} 電流流經 N-FET 212。N-FET 220 係藉由該 Enb 信號之邏輯高位準導通，而節點 Nz 處之電壓係由 N-FET 220 之 V_{ds} 電壓來決定，該電壓對於一開關而言通常為小，例如若干毫伏 (mV)。N-FET 224 係由該 $\overline{\text{Enb}}$ 信號之邏輯低位準關斷。N-FETs 212 與 222 處施加相同之閘極電壓 (V_g)，乃因該等 N-FET 之閘極耦接在一起。N-FET 222 導通並提供 I_{out} 電流。該 I_{out} 電流取決於 (1) 流經 N-FET 210 及 212 之 I_{ref} ，及 (2) N-FET 220 及 222 之大小相對於 N-FET 210 及 212 之大小之比例。在 ON 狀態中，電流鏡 200 之行為類似於習用電流鏡 100，儘管具有一因 N-FET 210 及 220 而引起之小電阻退化。

圖 3B 顯示低漏電電流鏡 200 處於 OFF 狀態，此亦可稱作

低漏電狀態或某些其他稱謂。在 OFF 狀態中，Enb 信號處於邏輯低位準，而 $\overline{\text{Enb}}$ 信號處於邏輯高位準。N-FET 220 藉由 Enb 信號之邏輯低位準關斷，並使 N-FET 222 之源極與電路接地分開。N-FET 224 藉由 $\overline{\text{Enb}}$ 信號之邏輯高位準導通，此導致 N-FET 224 之 V_{ds} 電壓為 0 或為低。N-FET 222 之 V_{gs} 電壓等於 N-FET 224 之 V_{ds} 電壓，乃因 N-FET 224 之汲極耦接至 N-FET 222 之閘極，且該等 N-FET 之源極耦接在一起。只要 N-FET 222 之汲極電壓足夠高，N-FET 222 即會因 V_{gs} 電壓為 0 或為低而關斷。

表 1 概括了 ON 狀態及 OFF 狀態之該等控制信號之邏輯值、N-FET 220、222 及 224 之狀態、經由 N-FET 222 之電流、節點 Nz 處之電壓。

表 1-電流鏡 200

	ON 狀態	OFF 狀態
Enb 信號	高	低
$\overline{\text{Enb}}$ 信號	低	高
N-FET 220	ON	OFF
N-FET 222	ON	OFF
N-FET 224	OFF	ON
流經 N-FET 222 之電流	I_{out}	I_{leak}
節點 Nz 處之電壓	0V	ON V_{gs}

在 OFF 狀態中，藉由若干機理達成 N-FET 222 之低漏電電流。首先，由於 N-FET 224 導通，因而 N-FET 220 之 V_{gs} 電壓為零或低值。第二，將 N-FET 222 之源電壓 (V_s) 升高至高於電路接地。此藉由關斷 N-FET 220 並隔離 N-FET 222

之源極(此導致節點 Nz 成為一高阻抗(hi-Z)節點)來達成。然後節點 Nz 處之電壓藉由二極體接法之 N-FET 212 及接通之 N-FET 224 升高，且近似等於接通之 N-FET 212 之 V_{gs} 電壓。N-FET 212 之 ON V_{gs} 電壓係由 N-FET 212 之 I_{ref} 電流及尺寸來決定。若該積體電路之塊/基板連接至電路接地，則 N-FET 224 之源汲至塊電壓 (V_{sb}) 可藉由升高節點 Nz 處之電壓而增加。較高之 V_{sb} 電壓增加 N-FET 222 之臨限電壓 V_t ，由此減小經由 N-FET 222 之漏電電流。

臨限電壓 V_t 係 V_{sb} 電壓之一函數，並可表達為：

$$V_t = V_{\omega} + \gamma \cdot (\sqrt{2\phi_f + V_{sb}} - \sqrt{2\phi_f}), \quad \text{等式(1)}$$

其中 γ 係相依於電晶體之電特徵之參數；

ϕ_f 係一費米電位；及

V_{ω} 係關於 $V_{sb}=0$ 伏之臨限電壓。

若 V_{gs} 電壓小於該電晶體之 ON 電壓，則該漏電電流隨著增加之 V_{ds} 電壓而線性增加，並進一步隨著 V_{th} 電壓增加而潛在地減小。可藉助一可關斷 N-FET 222 之 V_{gs} 電壓、一儘量小之 V_{ds} 電壓及一儘量高之臨限電壓來獲得一小漏電電流。MOS 電晶體之汲極電流 (I_d) 比 V_{gs} 電壓之轉換函數類似於二極體之習知轉換函數。MOS 電晶體之汲極電流對於一小於膝處電壓(其可係幾百 mV) 之 V_{gs} 電壓為小。因此，可藉由向 N-FET 222 施加一足夠小之 V_{gs} 電壓來達成低漏電電流。漏電電流係臨限電壓之強函數。因此，可藉由操縱 N-FET 222 之閘極電壓與源極電壓來增加該臨限電壓從而達成低漏電電流。此外，N-FET 220 之漏電電流流經 N-FET

224，此形成一較N-FET 222為低之阻抗路徑。因此低漏電電流流經處於OFF狀態中之N-FET 222。

可將N-FET 222之閘極電壓設定至一當關斷N-FET 222時確保N-FET 222之閘極至汲極電壓(V_{gd})不向前偏壓之較低電壓。此可藉由如下來達成：減小處於OFF狀態之電流源214之 I_{ref} 電流、然後該 I_{ref} 電流減小N-FET 212之 V_{gs} 電壓，該 V_{gs} 電壓又減小N-FET 222之閘極電壓。舉例而言，N-FET 212之 V_{gs} 電壓可減小至小於一二極體電極降(例如減小至介於200至300 mV之間)，由此確保N-FET 222不會向前偏壓，即使該輸出節點(V_{out})處之電壓降至0 mV。在此情況下需要一不同之偏壓方案。

就可比較之 I_{out} 電流及電晶體大小來評價圖1中習用電流鏡100與圖2中之低漏電電流鏡200之實例性設計。電流鏡100內N-FET 122之漏電電流高達100毫微安(nA)。比較而言，電流鏡200內N-FET 222之漏電電流係近似70微微安培(pA)。圖2所示之低漏電設計可因此明顯減小漏電電流之量(對於該實例性設計係大於1000倍)。該低漏電電流對於諸多低漏電應用而言極為合意，如下文所述。

圖4顯示一P-MOS低漏電電流鏡400之一實施例之示意圖。電流鏡400包括P-FET 410、412、420、422及424及一電流源414。P-FET 410及412與電流源414串聯耦接。P-FET 410將其源極耦接至該 V_{DD} 電源，其閘極耦接至電路接地，且其汲極耦接至P-FET 412之源極。P-FET 412係二極體接法，且其將其閘極與汲極耦接在一起並耦接至電流源

414，電流源414提供一參考電流 I_{ref} 。

P-FET 420與422串聯耦接並形成一低漏電電流源。P-FET 420將其源極耦接至 V_{DD} 電源，其閘極接收 \overline{Enb} 信號，且其汲極耦接至P-FET 422之源極。P-FET 422將其閘極耦接至P-FET 412之閘極且其汲極提供一輸出電流 I_{out} 。P-FET 424將其源極耦接至P-FET 422之源極，其閘極接收 Enb 信號，且其汲極耦接至P-FET 412及422之閘極。

P-FET 410、412、420及422經耦接使得流經P-FET 420及422之電流鏡像流經P-FET 410及412之電流。P-FET 422係一提供 I_{out} 電流之輸出電晶體。P-FET 420用作一將P-FET 422連接至 V_{DD} 電源及將P-FET 422自 V_{DD} 電源上分離之開關。P-FET 424係一啟用或停用P-FET 422之控制電晶體。電流鏡400如下文所述運作。

在ON狀態中， Enb 信號處於邏輯高位準而 \overline{Enb} 信號處於邏輯低位準。P-FET 410始終導通，而P-FET 412之 V_{gs} 電壓經設定使得 I_{ref} 電流自電流源414流經P-FET 412。P-FET 420係藉由該 \overline{Enb} 信號之邏輯低位準導通，而P-FET 424係藉由該 Enb 信號之邏輯高位準導通。P-FET 422導通並提供 I_{out} 電流， I_{out} 電流相依於 I_{ref} 電流及P-FET 420及422之大小相對於P-FET 410及412之大小之比例。

在OFF狀態中，P-FET 420藉由該 \overline{Enb} 信號之邏輯高位準關斷，而P-FET 424藉由該 Enb 信號之邏輯低位準導通。P-FET 424之 V_{ds} 電壓為0或為低會關斷P-FET 422。藉由如下方法達成P-FET 422之低漏電電流：(1)關斷P-FET 420以在

節點 Nz 處獲得高阻抗及 (2) 藉由 P-FET 412 及 424 使 P-FET 422 之源極電壓變低。此使得 P-FET 422 之臨限電壓 V_t 增加，而該減小之臨限電壓 V_t 又減小流經 P-FET 422 之漏電電流。此外，P-FET 420 之漏電電流隧穿過 P-FET 424，此形成一較 P-FET 422 為低之阻抗路徑。低漏電電流因此流經處於 OFF 狀態之 P-FET 422。

圖 5 顯示一 N-MOS 低漏電電流鏡 500 之另一實施例之示意圖。電流鏡 500 包括 N-FET 510、512、520、522、524 及 526 及一電流源 514。N-FET 510 及 512 與電流源 514 係串聯耦接並分別與圖 2 之 N-FET 210 及 212 及電流源 214 之形式相同。N-FET 520 與 522 亦串聯耦接並形成一低漏電電流源。N-FET 524 將其源極耦接至電路接地，其閘極接收該 $\overline{\text{Enb}}$ 信號，且將其汲極耦接至 N-FET 512 及 522 之閘極。N-FET 526 將其源極耦接至 N-FET 522 之源極，其閘極接收該 $\overline{\text{Enb}}$ 信號，且將其汲極耦接至一參考電壓 V_{ref} 。N-FET 510 始終導通。

電晶體 510、512、520 及 522 經耦接使得流經 N-FET 520 及 522 之電流鏡像流經 N-FET 510 及 512 之電流。N-FET 522 係一提供 I_{out} 電流之輸出電晶體。N-FET 520 用作一將 N-FET 522 之源極連接至電路接地或將 N-FET 522 自電路接地上分開之開關。N-FET 524 係一啟用或停用 N-FET 522 之控制電晶體。N-FET 526 係一當啟用時將 V_{ref} 電壓耦接至節點 Nz 之傳輸電晶體。電流鏡 500 如下文所述運作。

在 ON 狀態中，N-FET 520 係藉由該 Enb 信號之邏輯高位

準導通，而 N-FET 524 及 526 係由該 $\overline{\text{Enb}}$ 信號之邏輯低位準關斷 N-FET 522 係藉由 N-FET 512 之閘極電壓導通並提供 I_{out} 電流，該 I_{out} 電流相依於該 I_{ref} 電流及 N-FET 520 及 522 之大小與 N-FET 510 及 512 之大小之比例。

在該 OFF 狀態下，N-FET 520 藉由該 Enb 信號之邏輯低位準關斷，而 N-FET 524 及 526 兩者藉由該 $\overline{\text{Enb}}$ 信號之邏輯高位準導通。N-FET 524 之 V_{ds} 電壓為 0 或為低會關斷 N-FET 522。藉由如下方法達成 N-FET 522 之低漏電電流：(1) 關斷 N-FET 520 以在節點 Nz 處獲得高阻抗及 (2) 經由 N-FET 526 提供 V_{ref} 電壓至 N-FET 522 之源極。此增加 N-FET 522 之臨限電壓，而臨限電壓增加會減小經由 N-FET 522 之漏電電流。此外，N-FET 520 之漏電電流流經 N-FET 526，此形成一較 N-FET 522 為低之阻抗路徑。

對於電流鏡 500，可藉由(舉例而言)緩衝 N-FET 522 汲極處之 V_{out} 電壓並將該經緩衝之電壓用作 V_{ref} 電壓，然後經由 N-FET 526 將該 V_{ref} 電壓提供至 N-FET 522 之源極來達成處於 OFF 狀態下之 N-FET 522 之 V_{ds} 電壓為 0 伏。若未使用該回饋機理，且若 V_{out} 電壓未知，則可將該 V_{ref} 設定至 $V_{\text{DD}}/2$ 或 N-FET 522 汲極處所期望之電壓。

如上述各種實施例所說明，可藉由如下方法達成提供輸出電流之輸出電晶體(例如 N-FET 222、422 或 522)之低漏電：(1) 施加一為低、為零或相反偏壓之 V_{gs} 電壓以關斷該輸出電晶體及 (2) 使輸出電晶體之源極遠離電源電壓(例如 V_{DD} 或 V_{SS}) 並朝向該 V_{out} 電壓。該第二部分可藉由使該輸出

電晶體之源極與一開關電晶體(例如FET 220、420或520)分離及操縱該輸出電晶體(例如關於FET 224、424或526)源極處之電壓來達成。

圖6顯示一使用圖2及圖4中低漏電電流源之單級放大器之一實施例600之示意圖。放大器600包括一差分對640、N-MOS負載電路200及P-MOS低漏電電流鏡400。差分對640包括P-FET 642及644，P-FET 642及644之源極耦接在一起，且其閘極分別接收一非反相輸入信號(V_{in+})及一反相輸入信號(V_{in-})。P-MOS 400如上文關於圖4所述耦接。P-FET 422之汲極耦接至P-FET 642及644之源極並為差分對640提供一偏壓電流 I_{bias} 。

N-MOS負載電路200係如上文關於圖2所述耦接，雖然電流源214係藉由該 \overline{Enb} 信號來控制。N-FET 212之汲極耦接至P-FET 642之汲極並提供一負載電流 I_{load1} 。N-FET 222之汲極耦接至P-FET 644之汲極並提供一負載電流 I_{load2} 。負載電路200對於差分對640而言係主動負載。在穩定狀態下，若將相同之電壓施加至P-FET 642及644之閘極，則流經FET 642及212之 I_{load1} 電流等於流經FET 644及222之 I_{load2} 電流，且該偏壓電流等於兩個負載電流之和(即 $I_{bias} = I_{load1} + I_{load2}$)。放大器600運作如下。

在ON狀態中，該Enb信號之邏輯高位準導通N-FET 220並關斷P-FET 424，且該 \overline{Enb} 信號之邏輯低位準導通P-FET 420並關斷N-FET 224。電流源400接通且為差分對640提供偏壓電流。負載電路200亦接通(雖然電流源214斷開)，且

用作差分對640之主動負載。差分對640接收並放大該差分輸入信號(V_{in+} 及 V_{in-})並提供一輸出信號(V_{out})。

在OFF狀態中， Enb 信號之邏輯低位準關斷N-FET 220並導通P-FET 424，且該 \overline{Enb} 信號之邏輯高位準關斷P-FET 420並導通N-FET 224。在P-FET 424導通之情況下，P-FET 422藉由零或低 V_{gs} 電壓來關斷，且低漏電電流流經P-FET 422。同樣，在N-FET 224導通之情況下，N-FET 222藉由零或低 V_{gs} 電壓來關斷，且低漏電電流流經N-FET 222及因此流經放大器600之輸出。電流源214在負載電路200內接通，為N-FET 220之漏電電流提供一低阻抗路徑，並升高N-FET 222之閘極電壓。

圖7顯示另一使用圖5中低漏電電流源之單級放大器之另一實施例700之示意圖。放大器700包括一差分對740、N-MOS低漏電電流鏡500及一P-MOS負載電路708。差分對740包括N-FET 742及744，N-FET 742及744將其源極耦接在一起，且其閘極分別接收一 V_{in+} 及 V_{in-} 輸入信號。N-MOS低漏電電流鏡500如上文關於圖5所述耦接。N-FET 522之汲極耦接至N-FET 742及744之源極並為差分對740提供一偏壓電流 I_{bias} 。

P-MOS負載電路708包括P-FET 710、712、720、722、724及726及電流源714，其以與分別用於電流鏡500之N-FET 510、512、520、522、524及526及電流源514相同之互補方式耦接。P-FET 712提供一亦可與其他電路一起產生之偏置電壓 V_{bias} 。負載電路708進一步包括P-FET 730、

732及736，其分別以與P-FET 720、722及726相同之方式耦接。P-FET 722之汲極耦接至N-FET 742之汲極並提供一負載電流 I_{load1} 。P-FET 732之汲極耦接至N-FET 744之汲極並提供一負載電流 I_{load2} 。P-FET 722及732在一三極運作區域內偏壓，且係差分對740之負載。負載電路708係差分對740之主動負載。放大器700如下所述運作。

在ON狀態中，Enb信號之邏輯高位準導通N-FET 520並關斷P-FET 724、726及736，且 $\overline{\text{Enb}}$ 信號之邏輯低位準導通P-FET 720及730並關斷N-FET 524及526。電流源500接通且為差分對740提供偏壓電流。負載電路708亦接通，且用作差分對740之主動負載。差分對740接收並放大該差分輸入信號(V_{in+} 及 V_{in-})並提供一差分輸出信號(V_{out+} 及 V_{out-})。

在OFF狀態中，該Enb信號之邏輯低位準關斷N-FET 520並導通P-FET 724、726及736，且該 $\overline{\text{Enb}}$ 信號之邏輯高位準關斷P-FET 720及730並導通N-FET 524及526。在N-FET 524導通之情況下，N-FET 522藉由零或低閘電壓來關斷。N-FET 526將參考電壓 V_{ref2} 提供至N-FET 522之源極，此增加N-FET 522之臨限電壓並導致低漏電電流流經N-FET 522。同樣，若P-FET 724導通，則P-FET 722及732藉由一高閘極電壓關斷。P-FET 726及736分別給P-FET 722及732之源極提供一參考電壓 V_{ref1} ，此增加P-FET 722及732之臨限電壓，並導致低漏電電流流經P-FET 722及732並因此流經放大器700之輸出。

圖8顯示一使用折疊串接拓樸之單級放大器之又一實施

例800之示意圖。放大器800包括一差分對840、傳輸P-FET 846a及846b、一P-MOS負載電路808及一N-MOS負載電路848。差分對840包括P-FET 842及844，P-FET 842及844將其源極耦接在一起，且其閘極分別接收 V_{in+} 及 V_{in-} 輸入信號。P-FET 838具有一耦接至 V_{DD} 電源電壓之源極、一接收一偏置電壓 V_{bias0} 之閘極及一耦接至P-FET 842及844之源極的汲極。P-FET 838為差分對840提供偏壓電流並可使用電流鏡400取代，如於圖6中所示。P-FET 846a及846b用作開關，當導通時分別將P-FET 842及844之汲極耦接至N-FET 860及850之汲極。

負載電路808包括分別與圖7中P-FET 720、722、724、730、732及736類似之方式耦接之P-FET 820、822、824、830、832及836。負載電路808進一步包括一P-FET 834，P-FET 834將其源極耦接至該 V_{DD} 電源電壓，其閘極接收該 Enb 信號，且其汲極耦接至P-FET 820及830之閘極。負載電路808用作放大器800輸出級之一主動負載。

負載電路848包括N-FET 850、852、854、860、862、864及866，其分別以與負載電路808中P-FET 820、822、824、830、832、834及836之相同互補方式耦接。N-FET 850及860之閘極具有一偏置電壓 V_{bias1} 。N-FET 852及862之閘極具有一偏置電壓 V_{bias2} 。負載電路848為放大器800之輸出級提供一偏壓電流。放大器800運作如下。

在ON狀態中， Enb 信號之邏輯高位準關斷P-FET 824、834及836，而 \overline{Enb} 信號之邏輯低位準關斷N-FET 854、864

及 866。負載電路 808 及 848 皆導通並為放大器 800 提供輸出電流。負載電路 848 為差分對 840 形成低阻抗並為放大器輸出提供高阻抗。

在 OFF 狀態中，該 Enb 信號之邏輯低位準導通 P-FET 824、834 及 836，而該 $\overline{\text{Enb}}$ 信號之邏輯高位準導通 N-FET 854、864 及 866。P-FET 836 向 P-FET 832 之源極提供一參考電壓 V_{ref1} ，此導致低漏電電流流經 P-FET 832。同樣，N-FET 866 向 N-FET 862 之源極提供一參考電壓 V_{ref2} ，此導致低漏電電流流經 N-FET 862。

圖 9 顯示使用低漏電電流源及主動電路之雙級放大器一實施例 900 之示意圖。放大器 900 包括一第一級 902、一輸出級 904 及一負載電路 906。第一級 902 可構建有各種設計，例如構建有圖 6 所示之差分對 640 及電流鏡 200。輸出級 904 包括一共源極放大器 938 及一構建有一低漏電電流源 928 之主動負載。

在負載電路 906 內，P-FET 910 及 912 與電流源 914 串聯並分別以與圖 4 中 P-FET 410 及 412 與電流源 414 相同之方式耦接。P-FET 920 與 922 係串聯耦接並形成第一級 902 之負載電路。P-FET 910、912、920 及 922 亦經耦接使得流經 P-FET 920 及 922 之平均電流與流經 P-FET 910 及 912 之電流相關。

負載電路 928 包括以分別與圖 8 中 P-FET 824、830 及 832 相同之方式耦接之 P-FET 924、930 及 932。負載電路 928 係輸出級 904 之主動負載且亦係負載電路 906 之一部分。

共用源極放大器 938 包括分別以與圖 8 中 N-FET 854、860、862 及 866 相同之方式耦接之 N-FET 954、960、962 及 966。N-FET 962 之閘極係輸出級 904 之輸入且耦接至第一級 902 之輸出。N-FET 962 之汲極係輸出級 904 之輸出且亦耦接至負載電路 928 內 N-FET 932 之汲極，放大器 900 運作如下。

在 ON 狀態中，該 Enb 信號之邏輯高位準導通 N-FET 960 並關斷 P-FET 924，且該 $\overline{\text{Enb}}$ 信號之邏輯低位準導通 P-FET 930 並關斷 N-FET 954。負載電路 928 導通並為共用源極放大器 938 提供偏壓電流。亦啟用共用源極放大器 938，其接收並放大來自第一級 902 之輸出信號 (Vol)，並為放大器 900 提供輸出信號 (Vout)。

在 OFF 狀態中，該 Enb 信號之邏輯低位準關斷 N-FET 960 並導通 P-FET 924，且該 $\overline{\text{Enb}}$ 信號之邏輯高位準關斷 P-FET 930 並導通 N-FET 954。在 P-FET 934 導通之情況下，P-FET 932 藉由零或低之 V_{gs} 電壓關斷，負載電路 928 關斷，且低漏電電流流經 P-FET 924。同樣，在 N-FET 954 導通之情況下，則 N-FET 962 藉由 0 或低之 V_{gs} 電壓關斷，共用源極 938 停用，且低漏電電流流經 N-FET 962。P-FET 932 及 N-FET 962 將低漏電電流提供至放大器 900 之輸出。

對於圖 9 所示之實施例，在 OFF 狀態下僅有輸出級 904 停用。藉由給 P-FET 920 之閘極提供 $\overline{\text{Enb}}$ 信號亦可在 OFF 狀態下停用第一級 902。

一般而言，一放大器可包括任何數量之級。為在 OFF 狀

態下獲得低漏電電流，該放大器之輸出級可為該偏壓電路電路使用低漏電電流源(如於圖6至圖8中所示)及/或為主動負載使用低漏電電流源(如於圖6至圖9中所示)。該輸出級亦可為該級之增益部分使用一低漏電主動電路(例如，如於圖9中所示)。

本文所述之低漏電電流源及主動電路可用於各種電路塊，例如放大器(例如圖6至圖9中所示)、單位增益緩衝器、電荷幫浦、主動環路濾波器、DAC及其他低漏電合意之電路塊。低漏電電流源及主動電路亦可用於諸如PLL、自動增益控制(AGC)、時間追蹤環路等各種應用。下文描述針對一實例性PLL之低漏電電路之使用。

圖10顯示一適用於各種終端應用(例如無線通訊)之PLL 1000。電壓控制振盪器(VCO) 1050產生一振盪器信號，其具有一由來自環路濾波器1040之VCO控制信號(例如一電壓)決定之頻率。分頻器1060藉由一係數 N (其中 $N \geq 1$)分割該振盪信號之頻率，並提供一回饋信號。

相位頻率偵測器1010接收一參考信號及該回饋信號，比較該兩個信號之相位並提供一指出該所偵測之相位差或該兩個信號之間之誤差的偵測器信號。舉例而言，偵測器1010可提供早期及晚期數位信號，其指出該參考信號是否關於該回饋信號提早或遲到。低漏電電荷幫浦1020接收該偵測器信號並產生由所偵測之相位差決定(並相關)之電流信號。電荷幫浦1020可使用低漏電電流源及/或低漏電主動電路以在停用時提供低漏電電流。

調諧/校準電路 1030 可提供一用於調諧 VCO 1050、校準 VCO 1050 等之調節信號(例如一電壓)。該調節信號經一低漏電緩衝器 1032 緩衝並提供至一加法器 1022。加法器 1022 對來自電荷幫浦 1020 之電流信號與來自緩衝器 1032 之經緩衝信號求和並將一經求和之信號提供至環路濾波器 1040。環路濾波器 1040 濾波來自加法器 1022 之信號並提供 VCO 控制信號。加法器 1022 亦可置於環路濾波器 1040 之後(代替置於其之前)，且來自緩衝器 1032 之信號可與來自環路濾波器 1040 之信號相加以獲得該 VCO 控制信號。

該 VCO 控制信號控制該振盪器信號之頻率。該 VCO 控制信號中之所有雜訊皆轉化成該振盪器信號中之相位雜訊。在整個 PLL 1000 中皆可使用低漏電電路以減小該 VCO 控制信號上之雜訊及錯誤。在正常作業期間，環路濾波器 1040 可起作用，而可停用調諧/校準電路 1030 及緩衝器 1032。環路濾波器 1040 調節 VCO 控制信號，以將該回饋信號之相位鎖定至該參考信號之相位。一旦將該 PLL 鎖定至該參考信號，來自電荷幫浦 1020 之電流信號通常僅對每一時鐘週期之一小部分起作用。可在電流信號在所有其他時間可啟用及停用的時間期間啟用電荷幫浦 1020。此導致當停用電荷幫浦 1020 時，低漏電電流充電/放電環路濾波器 1040。在正常作業期間，緩衝器 1032 停用並引起至加法器 1022 之低漏電電流。低漏電導致較少雜訊，乃因漏電電流干擾來自相位頻率偵測器 1010 之信號。在調協/校準期間，電路 1030 起作用並提供調節信號，且低漏電緩衝器 1032 為調節

信號提供信號驅動。

可以諸如 C-MOS、N-MOS、P-MOS、雙極-CMOS (Bi-CMOS)、砷化鎵(GaAs)等各種IC製程技術構建本文所述之低漏電電流源及主動電路。CMOS技術可在相同晶粒上製造N-FET及P-FET裝置，而 N-MOS及P-MOS技術可分別製造N-FET及P-FET。該低漏電電流源及主動電路亦可以各種裝置大小技術(例如 0.13 μm 、90 nm、30 nm等)來製造。隨著IC製程技術按比例縮小得更小(即成為更小之"特徵結構"或裝置長度)，本文所述之低漏電電流源及主動電路更有效且有利。該低漏電電流源及主動電路亦可製造於各種類型之IC上，例如射頻IC(RFIC)、數位IC、混合信號IC等。

提供上述對所揭示實施例之說明旨在使任一熟習此項技術者皆能夠製作或使用本發明。熟習此項技術者將易於得知該等實施例的各種修改方式，且本文所定義的一般原理可適用於其他實施例，此並未背離本發明之精神或範疇。因此，本文並非意欲將本發明限定為本文所示實施例，而欲賦予其與本文所揭示原理及新穎特徵相一致的最寬廣範疇。

【圖式簡單說明】

結合該等附圖自上文所闡述之詳細描述中人們將更易知本發明之特徵及性質，於所有圖式中，其中相同之參考字符表示相應之組件。

圖1顯示一習用電流鏡。

圖2顯示一N-MOS低漏電電流鏡。

圖 3A 及 3B 分別顯示圖 2 之低漏電電流鏡處於 ON 狀態及 OFF 狀態；

圖 4 顯示一 P-MOS 低漏電電流鏡。

圖 5 顯示另一 N-MOS 低漏電電流鏡。

圖 6 顯示使用圖 2 及圖 4 中低漏電電流源之單級放大器。

圖 7 及圖 8 顯示兩個使用圖 5 之低漏電電流源之單級放大器。

圖 9 顯示一使用低漏電電路之雙級放大器。

圖 10 顯示一具有低漏電電路之 PLL。

【主要元件符號說明】

112	N-FET
114	電流源
122	N-FET
200	N-MOS 低漏電電流鏡
210	N-通道 N-FET
212	N-通道 N-FET
214	電流源
220	N-通道 N-FET
222	N-通道 N-FET
224	N-通道 N-FET
400	P-MOS 低漏電電流鏡
410	P-FET
412	P-FET
414	電流源

420	P-FET
422	P-FET
424	P-FET
500	N-MOS低漏電電流鏡
510	N-FET
512	N-FET
514	電流源
520	N-FET
522	N-FET
524	N-FET
526	N-FET
600	低漏電電流源之單級放大器
640	差分對
642	P-FET
644	P-FET
700	低漏電電流源之單級放大器
708	P-MOS負載電路
710	P-FET
712	P-FET
714	電流源
720	P-FET
722	P-FET
724	P-FET
726	P-FET

730	P-FET
732	P-FET
736	P-FET
740	差分對
742	N-FET
744	N-FET
800	單級放大器
808	P-MOS負載電路
820	P-FET
822	P-FET
824	P-FET
830	P-FET
832	P-FET
834	P-FET
836	P-FET
838	P-FET
840	差分對
842	P-FET
844	P-FET
846a	傳輸 P-FET
846b	傳輸 P-FET
848	N-MOS負載電路
850	N-FET
852	N-FET

854	N-FET
860	N-FET
862	N-FET
864	N-FET
866	N-FET
900	雙級放大器
902	第一級
904	輸出級
906	負載電路
910	P-FET
912	P-FET
914	電流源
920	P-FET
922	P-FET
924	P-FET
930	P-FET
932	P-FET
938	共源極放大器
954	N-FET
960	N-FET
962	N-FET
966	N-FET
1000	PLL
1010	偵測器

- 1020 低漏電電荷幫浦
- 1022 加法器
- 1030 調諧/校準電路
- 1032 緩衝器
- 1040 環路濾波器
- 1050 電壓控制振盪器
- 1060 分頻器

五、中文發明摘要：

本發明揭示一種低漏電電路，其包括第一、第二及第三電晶體，該等電晶體可係P-通道FET或N-通道FET。該第一電晶體在啟用時提供一輸出電流，並在停用時引起低漏電電流。該第二電晶體啟用或停用該第一電晶體。該第三電晶體將該第一電晶體連接至一預定電壓(例如 V_{DD} 或 V_{SS}) 或使該第一電晶體與一預定電壓分離。該電路可進一步包括一傳輸電晶體，當該第一電晶體停用時，該傳輸電晶體將一參考電壓提供至該第一電晶體之源極。在ON狀態中，該第一電晶體提供輸出電流，而該第二及第三電晶體不影響效能。在OFF狀態中，該第二及第三電晶體用於向該第一電晶體提供適當電壓以將其置於一低漏電狀態中。該第一、第二及第三電晶體可用於電流鏡、放大器級等中之一低漏電電流源。

六、英文發明摘要：

十一、圖式：

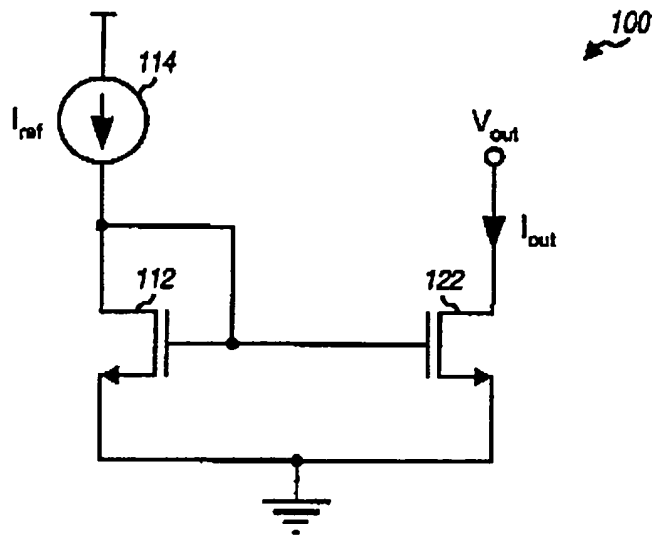


圖 1

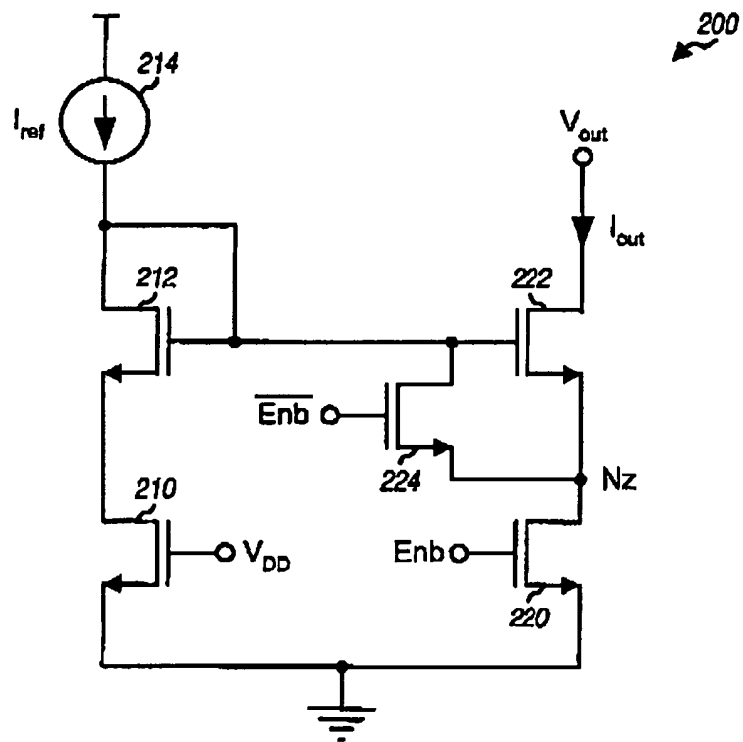


圖 2

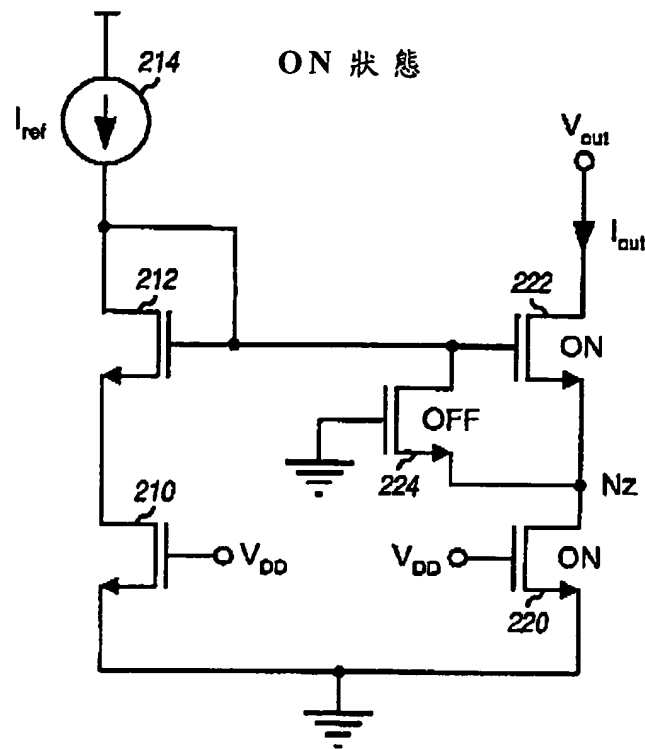


圖 3A

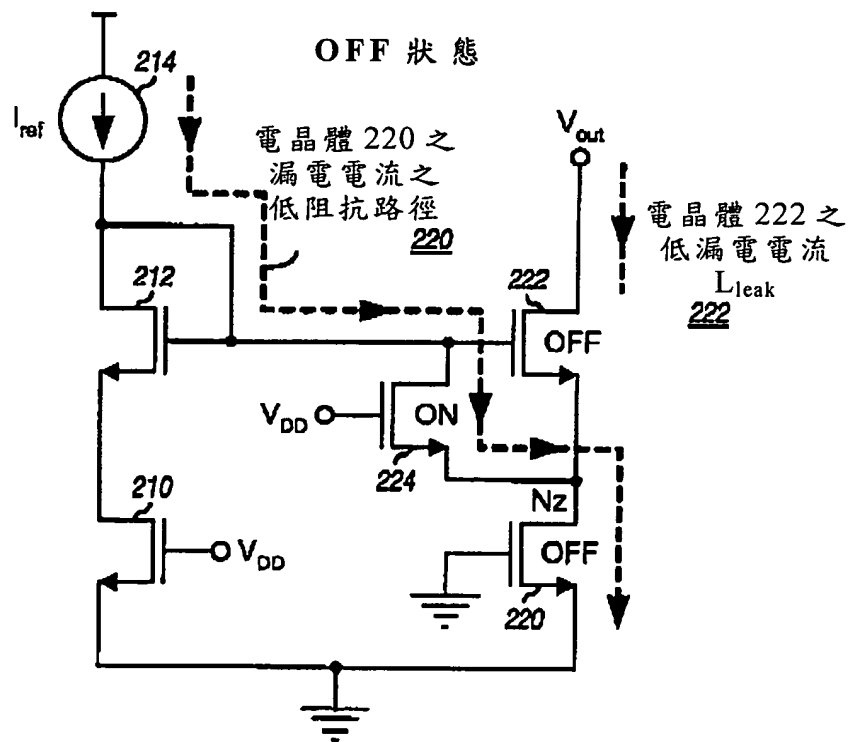


圖 3B

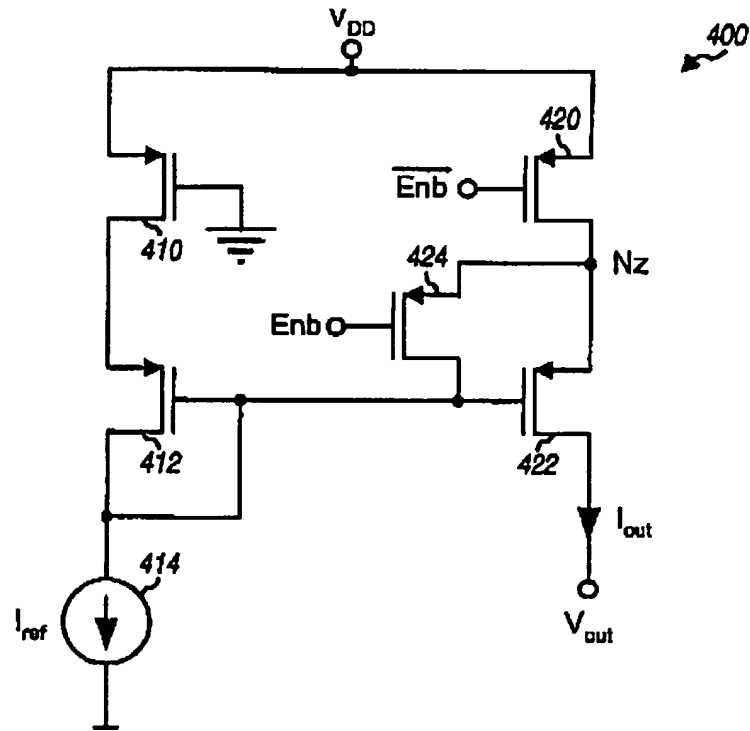


圖 4

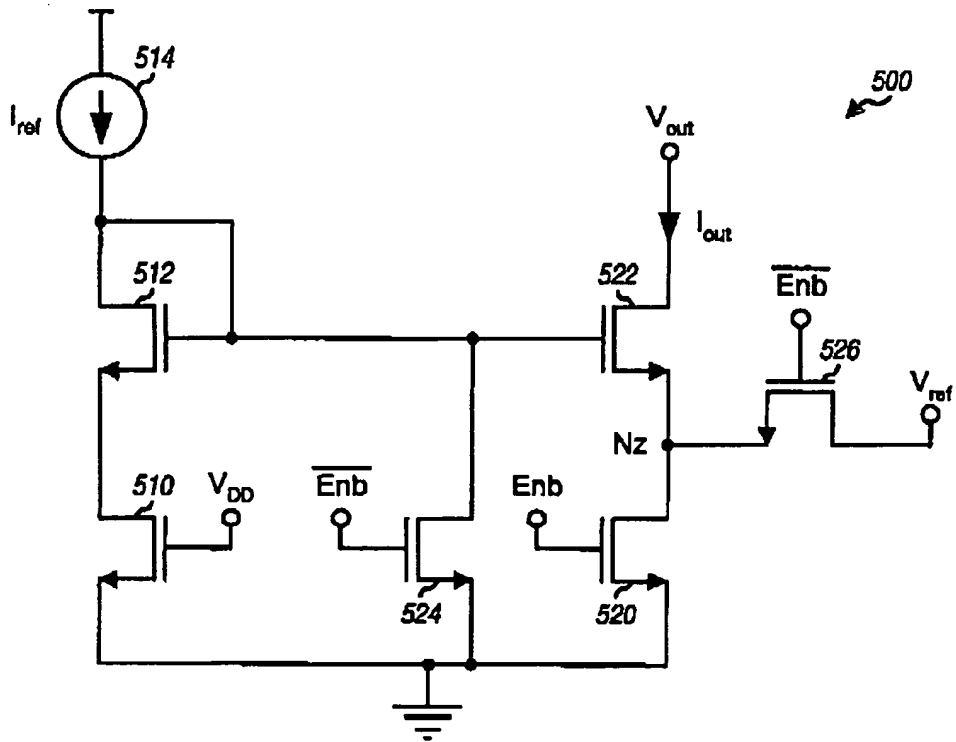


圖 5

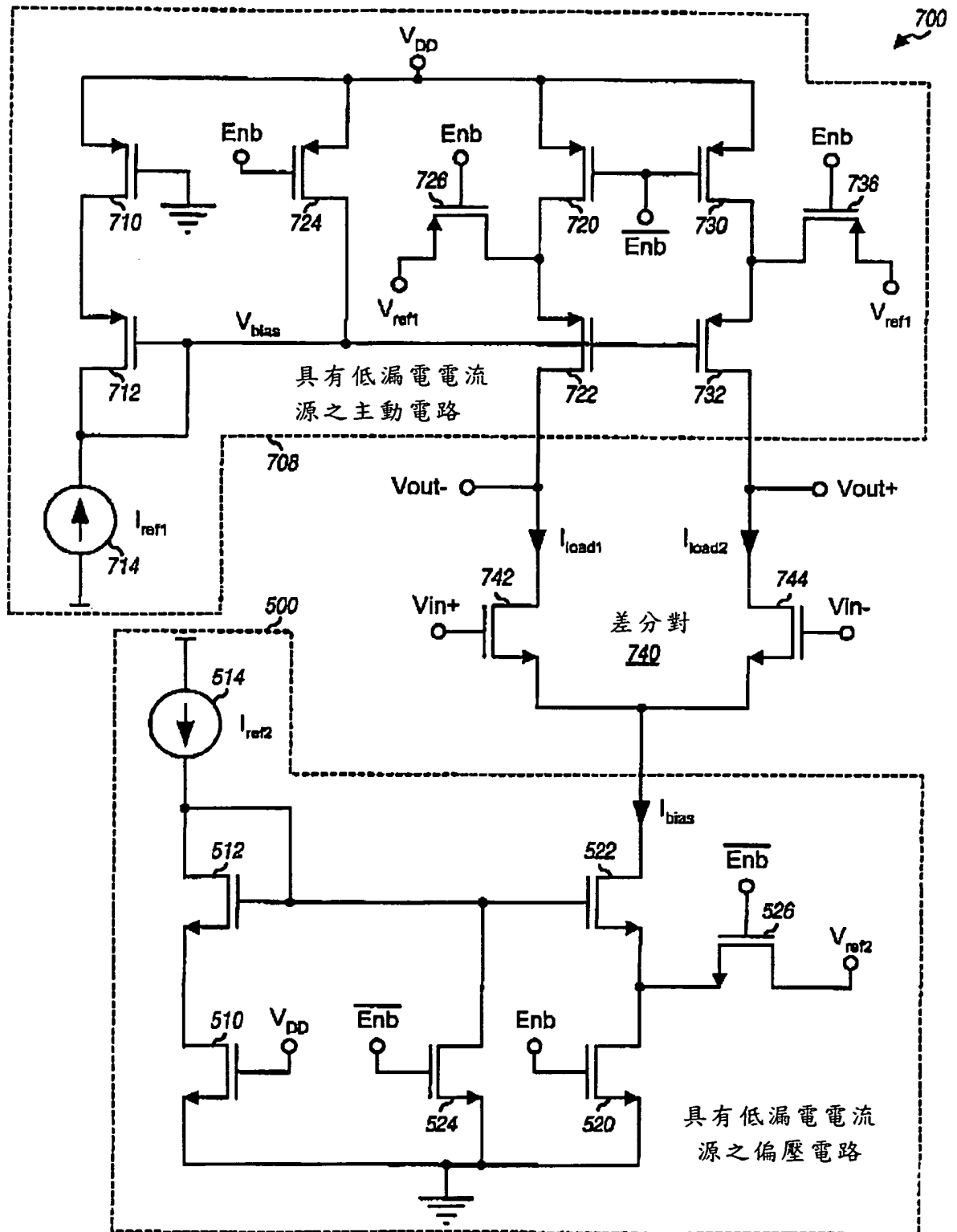


圖 7

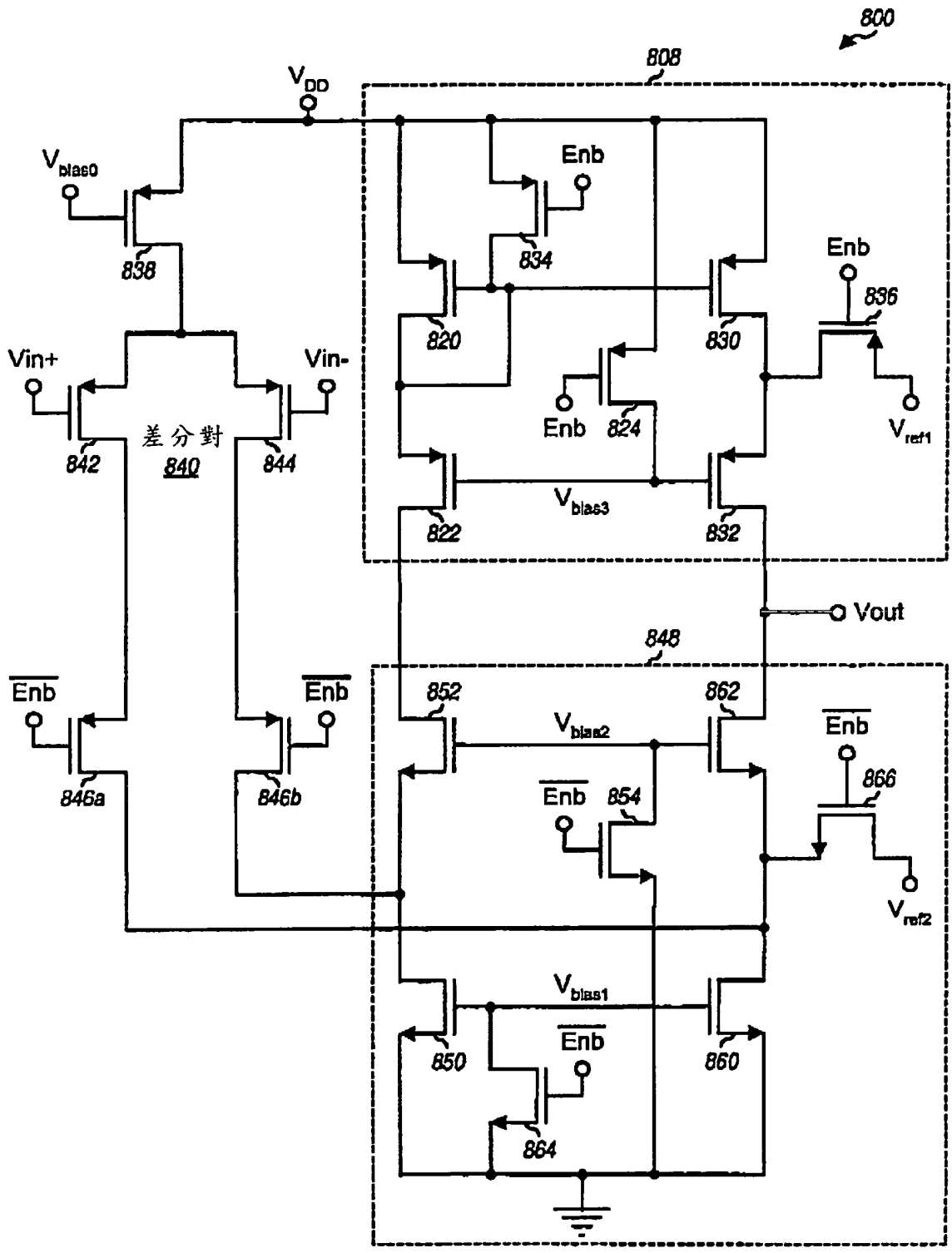


圖 8

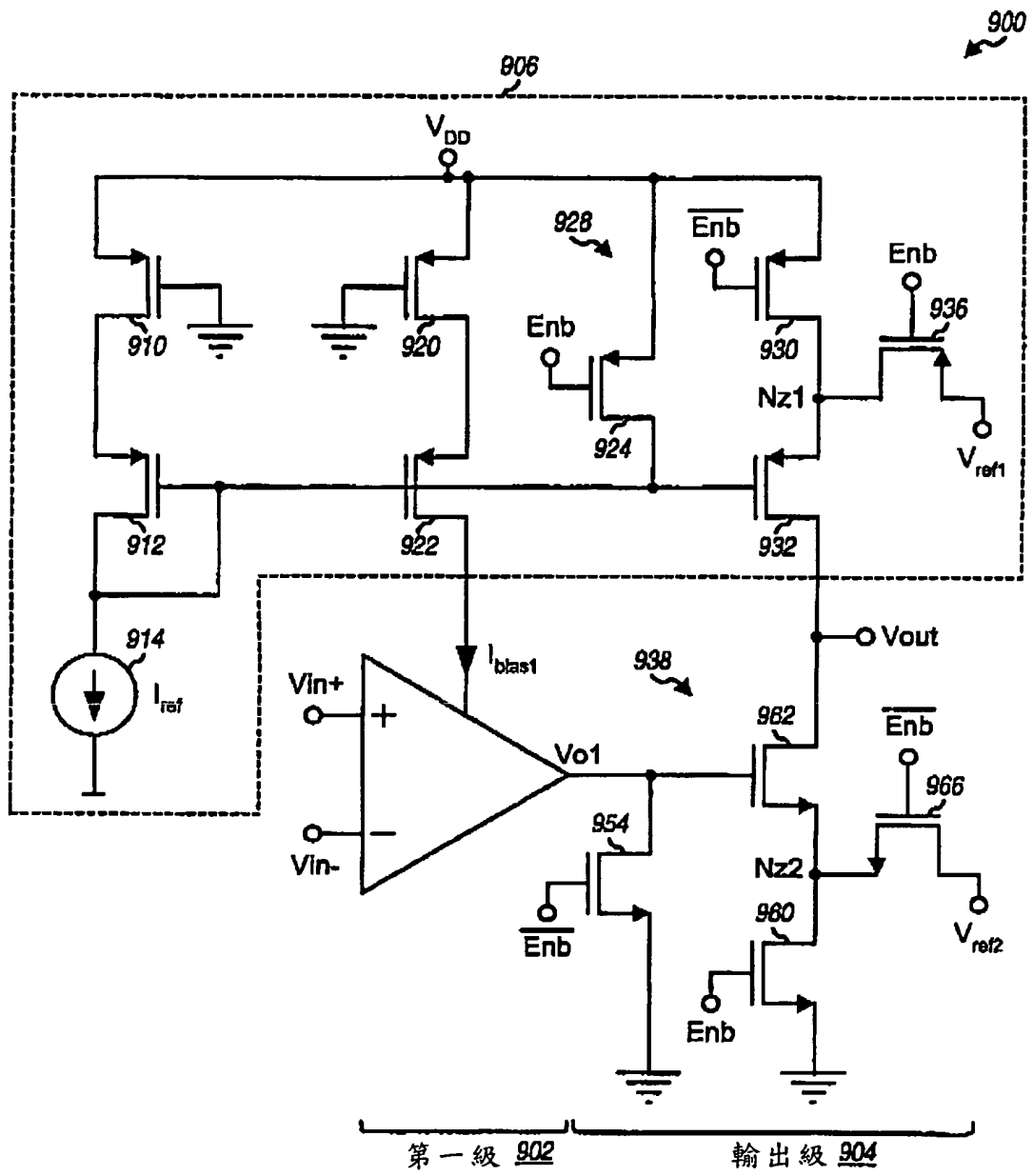


圖9

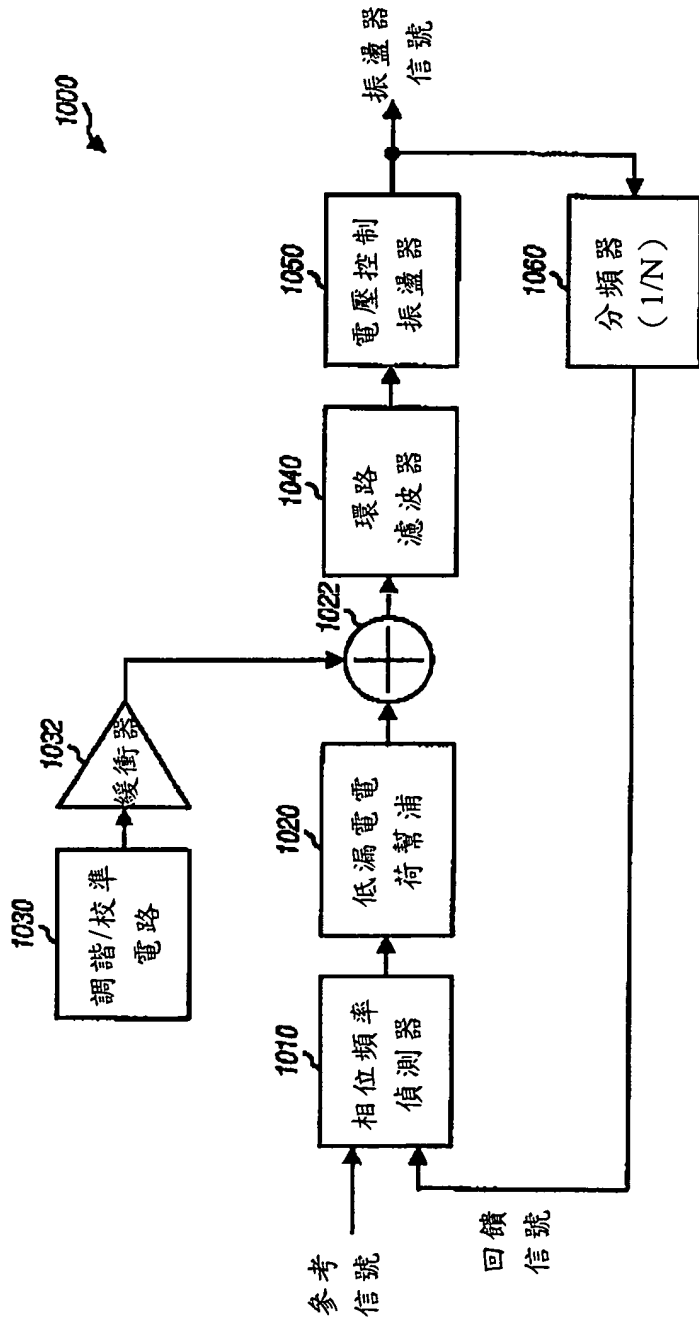


圖10

七、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

200	N-MOS低漏電電流鏡
210	N-通道N-FET
212	N-通道N-FET
214	電流源
220	N-通道N-FET
222	N-通道N-FET
224	N-通道N-FET
400	P-MOS低漏電電流鏡
410	P-FET
412	P-FET
414	電流源
420	P-FET
422	P-FET
600	低漏電電流源之單級放大器
640	差分對
642	P-FET
644	P-FET

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(99年3月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※ 申請案號：095122516

※ 申請日期：95.06.22

※IPC 分類：G05F1/10 (2006.01)

一、發明名稱：(中文/英文)

用於低漏電電流之積體電路、裝置及方法

INTEGRATED CIRCUIT, DEVICE AND METHOD FOR LOW-LEAKAGE CURRENT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

喬治 A 懷坦

WHITTEN, GEORGE A.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道5775號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓名：(中文/英文)

奧克福恩 福瑞斯克

FLORESCU, OCTAVIAN

國籍：(中文/英文)

加拿大 CANADA

十、申請專利範圍：

1. 一種用於低漏電電流之積體電路，其包括：

一第一電晶體，其可運作以在啟用時提供一輸出電流及在停用時引起一低漏電電流；

一第二電晶體，其耦接至該第一電晶體之一閘極及一源極，並可運作以啟用或停用該第一電晶體，且更可運作以提供一零閘極至源極電壓或一低閘極至源極電壓以停用該第一電晶體；及

一第三電晶體，其與該第一電晶體串聯耦接且其在該第一電晶體停用時被停用，以使該第一電晶體與一預定電壓分離，

其中該第一電晶體、該第二電晶體、該第三電晶體係為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體。

2. 如請求項1之積體電路，其進一步包括：

一第四電晶體，其耦接於一二極體組態中並可運作以接收一參考電流；及

一與該第四電晶體串聯耦接之第五電晶體，其中該第一、第三、第四及第五電晶體耦接為一電流鏡，其中該第四及第五電晶體形成該電流鏡之一第一路徑，而該第一及第三電晶體形成該電流鏡之一第二路徑，且其中該輸出電流與該參考電流相關。

3. 如請求項1之積體電路，其中該第二電晶體進一步可運作以在該第三電晶體停用時為該第三電晶體之漏電電流提供一低阻抗路徑。
4. 如請求項1之積體電路，其中該第一電晶體可運作以提供信號增益。
5. 如請求項1之積體電路，其中該第二電晶體係藉由一控制信號啟用或停用，且該第三電晶體係藉由一互補控制信號啟用或停用。
6. 一種用於低漏電電流之積體電路，其包括：
 - 一第一電晶體，其可運作以在啟用時提供一輸出電流及在停用時引起一低漏電電流；
 - 一第二電晶體，其耦接至該第一電晶體之一閘極及一源極，並可運作以啟用或停用該第一電晶體，且更可運作以提供一零閘極至源極電壓或一低閘極至源極電壓以停用該第一電晶體；及
 - 一第三電晶體，其與該第一電晶體串聯耦接且其在該第一電晶體停用時被停用，以使該第一電晶體與一預定電壓分離。

其中該第一電晶體、該第二電晶體、該第三電晶體係為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體，其中該第二電晶體進一步可運作以在該

第一電晶體停用時操縱該第一電晶體之一源極電壓。

7. 一種用於低漏電電流之積體電路，其包括：

一第一電晶體，其可運作以在啟用時提供一輸出電流及在停用時引起一低漏電電流；

一第二電晶體，其耦接至該第一電晶體之一閘極及一源極，並可運作以啟用或停用該第一電晶體，且更可運作以提供一零閘極至源極電壓或一低閘極至源極電壓以停用該第一電晶體；及

一第三電晶體，其與該第一電晶體串聯耦接，且其在該第一電晶體停用時被停用，以使該第一電晶體與一預定電壓分離，

其中該第一電晶體、該第二電晶體、該第三電晶體係為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體，其中該第一電晶體具有耦接至該第三電晶體之一源極以及提供該輸出電流之一汲極。

8. 一種用於低漏電電流之積體電路，其包括：

一第一電晶體，其可運作以在啟用時提供一輸出電流及在停用時引起一低漏電電流；

一第二電晶體，其耦接至該第一電晶體之一閘極及一源極，並可運作以啟用或停用該第一電晶體，且更可運作以提供一零閘極至源極電壓或一低閘極至源極電壓以

停用該第一電晶體；及

一第三電晶體，其與該第一電晶體串聯耦接，且其在該第一電晶體停用時被停用，以使該第一電晶體與一預定電壓分離，

其中該第一電晶體、該第二電晶體、該第三電晶體係為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體，其中該第二電晶體係耦接於該第一電晶體之一閘極及該第三電晶體之一汲極之間。

9. 一種用於低漏電電流之裝置，其包括：

一第一電晶體，其可運作以在啟用時提供一輸出電流並在停用引起一低漏電電流；

一第二電晶體，其耦接至該第一電晶體並可運作以啟用或停用該第一電晶體；及

一第三電晶體，其與該第一電晶體串聯耦接且其在該第一電晶體停用時被停用，以使該第一電晶體與一預定電壓分離，

其中該第一電晶體、該第二電晶體、該第三電晶體係為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體，其中該第二電晶體係耦接至該第一電晶體之一閘極及一源極，並可運作以提供一零閘極至源極電壓或一低閘極至源極電壓以停用該第一電晶體。

10. 一種用於低漏電電流之裝置，其包括：

一第一電晶體，其可運作以在啟用時提供一輸出電流並在停用引起一低漏電電流；

一第二電晶體，其耦接至該第一電晶體並可運作以啟用或停用該第一電晶體；及

一第三電晶體，其與該第一電晶體串聯耦接，且其在該第一電晶體停用時被停用，以使該第一電晶體與一預定電壓分離，

其中該第一電晶體、該第二電晶體、該第三電晶體係為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體，其中當該第一電晶體停用時，該第二電晶體更可運作以操縱該第一電晶體之一源極電壓。

11. 一種用於低漏電電流之裝置，其包括：

一第一電晶體，其可運作以在啟用時提供一輸出電流並在停用引起一低漏電電流；

一第二電晶體，其耦接至該第一電晶體並可運作以啟用或停用該第一電晶體；及

一第三電晶體，其與該第一電晶體串聯耦接，且其在該第一電晶體停用時被停用，以使該第一電晶體與一預定電壓分離，

其中該第一電晶體、該第二電晶體、該第三電晶體係

為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體，其中該第一電晶體具有耦接至該第三電晶體之一源極及提供該輸出電流之一汲極。

12. 一種用於低漏電電流之裝置，其包括：

一第一電晶體，其可運作以在啟用時提供一輸出電流並在停用引起一低漏電電流；

一第二電晶體，其耦接至該第一電晶體並可運作以啟用或停用該第一電晶體；及

一第三電晶體，其與該第一電晶體串聯耦接，且其在該第一電晶體停用時被停用，以使該第一電晶體與一預定電壓分離，

其中該第一電晶體、該第二電晶體、該第三電晶體係為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體，其中該第二電晶體係耦接於該第一電晶體之一閘極及該第三電晶體之一汲極之間。

13. 一種用於低漏電電流之方法，其包括：

運作一第一電晶體以在啟用時提供一輸出電流及在停用時引起一低漏電電流；

運作耦接至該第一電晶體之一閘極及一源極之一第二電晶體，以啟用或停用該第一電晶體，並提供一零閘極至源極電壓或一低閘極至源極電壓以停用該第一電晶

體；及

運作與該第一電晶體串聯耦接之一第三電晶體，以在該第一電晶體停用時，使該第一電晶體與一預定電壓分離，

其中該第一電晶體、該第二電晶體、該第三電晶體係為相同之型式，其係為N-通道場效應電晶體或為P-通道場效應電晶體。