

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-513523

(P2007-513523A)

(43) 公表日 平成19年5月24日(2007.5.24)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 3 A	
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 2 A	
	H O 1 L 29/78 6 5 2 K	
	H O 1 L 29/78 6 5 8 G	
	H O 1 L 29/78 6 5 8 F	
審査請求 未請求 予備審査請求 未請求 (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2006-542677 (P2006-542677)
 (86) (22) 出願日 平成16年11月30日 (2004.11.30)
 (85) 翻訳文提出日 平成18年7月13日 (2006.7.13)
 (86) 国際出願番号 PCT/US2004/040063
 (87) 国際公開番号 W02005/057615
 (87) 国際公開日 平成17年6月23日 (2005.6.23)
 (31) 優先権主張番号 10/726, 922
 (32) 優先日 平成15年12月2日 (2003.12.2)
 (33) 優先権主張国 米国 (US)

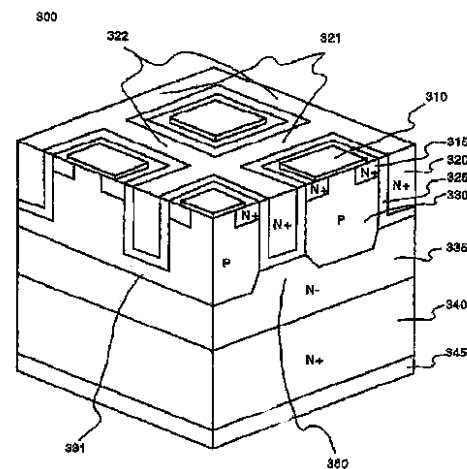
(71) 出願人 506173145
 ビシェーシリコニクス
 アメリカ合衆国 95054 カリフォル
 ニア州 サンタ クララ、 ローレルウッ
 ド ロード 2201
 (74) 代理人 100103137
 弁理士 稲葉 滋
 (72) 発明者 パタナヤク、 ディバ、 エヌ.
 アメリカ合衆国 95014 カリフォル
 ニア州 クーパーティノ、 Apt. # 1
 00、 ルシール アヴェニュー 202
 00

最終頁に続く

(54) 【発明の名称】 クローズドセルトレンチMOS電界効果トランジスタ

(57) 【要約】

本発明の実施形態は、改良されたクローズドセルのト
 レンチのMOS電界効果トランジスタ (TMOSFET)
) を提供する。クローズドセルTMOSFETは、ドレ
 インと、ドレイン領域の上に設けられたボディ領域と、
 ボディ領域内に設けられたゲート領域と、ゲート絶縁体
 領域と、ゲート絶縁体領域の周辺に隣接したボディ領域
 の表面に沿って設けられた複数のソース領域とを備える。
 ゲート領域の第一の部分とゲート酸化領域とは、平行
 に延びる構造として形成される。ゲート領域の第二の部
 分と酸化領域とは、平行に対して直交して延びる構造と
 して形成される。ゲートおよびドレインのオーバーラッ
 プ部の一部は、ボディ領域によって選択的に閉鎖され、
 その結果、ゲート・ドレイン容量は全体的に低くなる。



【特許請求の範囲】

【請求項 1】

ドレイン領域と、
前記ドレイン領域の上に設けられたボディ領域と、
前記ボディ領域内に設けられたゲート領域と、
前記ゲート領域の周辺に設けられたゲート絶縁体領域と、
前記ゲート絶縁体領域の周辺に隣接して前記ボディ領域の表面に沿って設けられた複数のソース領域と、
を備えるクロードセルトレンチMOS電界効果トランジスタ（TMOSEFT）であ
って、

前記ゲート領域の第一の部分と前記ゲート絶縁体領域の第一の部分とが、実質的に平行に延びた構造として形成され、

前記ゲート領域の第二の部分と前記ゲート絶縁体領域の第二の部分とが、平行に対して直交する構造として形成され、

前記ドレイン領域の第一の部分が前記平行な構造とオーバーラップしており、

前記ドレイン領域の第二の部分が前記平行に対して直交する構造から分離している、
クロードセルTMOSEFT。

【請求項 2】

前記クロードセルMOSFETは、低いゲート-ドレイン容量（ C_{gd} ）・オン抵抗（ R_{ds-on} ）積を提供する、請求項 1 に記載のクロードセルTMOSEFT。

【請求項 3】

前記クロードセルMOSFETは、低減されたゲート-ドレイン容量・ゲート-ソース容量比を提供する、請求項 1 に記載のクロードセルTMOSEFT。

【請求項 4】

前記ドレイン領域の前記第一の部分と前記平行に延びた構造とのオーバーラップが、前記ドレイン領域の延長部を含む、請求項 1 に記載のクロードセルTMOSEFT。

【請求項 5】

前記ドレイン領域の前記第二の部分と前記平行に対して直交して延びる構造との分離が、前記ボディ領域のウェルを含む、請求項 1 に記載のクロードセルTMOSEFT。

【請求項 6】

前記ボディ領域と前記複数のソース領域とが電氣的に相互に接続している、請求項 1 に記載のクロードセルTMOSEFT。

【請求項 7】

前記ドレイン領域はnドーパド半導体を含み、

前記ボディ領域はpドーパド半導体を含み、

前記ゲート絶縁体領域は酸化物を含み、

前記複数のソース領域は高濃度nドーパド半導体を含み、

前記ゲート領域は高濃度nドーパド半導体を含む、

請求項 1 に記載のクロードセルTMOSEFT。

【請求項 8】

前記ドレイン領域は、

高いドーピング濃度を有する第一のドレイン部と、

低いドーピング濃度を有し、前記ボディ領域と前記第一のドレイン部との間に設けられた第二のドレイン部と、を備える、請求項 1 に記載のクロードセルTMOSEFT。

【請求項 9】

前記第二のドレイン部は、前記クロードセルTMOSEFTの逆破壊電圧を増加させる、請求項 8 に記載のクロードセルTMOSEFT。

【請求項 10】

前記ドレイン領域の前記第一の部分は高濃度nドーパド半導体を含み、

前記ドレイン領域の前記第二の部分は低濃度nドーパド半導体を含む、

請求項 8 に記載のクロードセル T M O S F E T。

【請求項 1 1】

基板上に第一の種類の不純物がドーピングされる第一の半導体層を堆積するステップと、

前記第一の半導体層に複数のトレンチをエッチングするステップであって、前記複数のトレンチの第一セットが互いに実質的に平行であって、前記複数のトレンチの第二セットが前記複数のトレンチの第一セットに関連して平行に対して直交しており、

前記複数のトレンチに隣接して絶縁体を形成するステップと、

前記複数のトレンチの第一セットの底部に隣接して前記第一の半導体層にドーピングするステップと、

前記複数のトレンチ内に第二の半導体層を堆積するステップと、

前記第一の半導体層の第一の部分に第二の種類の不純物をドーピングするステップと、

前記絶縁体に隣接して前記第一の半導体層の第二の部分に前記第一の種類の不純物をドーピングするステップと、

からなるクロードセル M O S 電界効果トランジスタ (T M O S F E T) の製造方法。

【請求項 1 2】

前記第一の半導体層の堆積は、リンが低濃度にドーピングされたシリコンをエピタキシャル堆積することを含む、請求項 1 1 に記載の方法。

【請求項 1 3】

前記第一の半導体層の前記第一の部分を前記第二の種類の不純物でドーピングすることは、ボロンを注入してボディ領域を形成することを含む、請求項 1 1 に記載の方法。

【請求項 1 4】

前記複数のトレンチに隣接して絶縁体を形成することは、前記複数のトレンチに隣接した前記第一の半導体層を酸化することを含む、請求項 1 1 に記載の方法。

【請求項 1 5】

前記複数のトレンチのエッチングが、前記複数のトレンチの底部が前記第一の半導体層の第三の部分に到達するまで実行される、請求項 1 1 に記載の方法。

【請求項 1 6】

前記複数のトレンチの第一セットの底部に隣接した前記第一の半導体層のドーピングは、ボロンを注入して、前記複数のトレンチの第一セットの底部に隣接した前記絶縁体の一部を取り囲むウエルを形成することを含む、請求項 1 5 に記載の方法。

【請求項 1 7】

前記複数のトレンチの第二セットの底部に隣接した前記第一の半導体層にリンをドーピングして、前記複数のトレンチの第二セットの底部に隣接した前記絶縁体から前記第一の半導体層の前記第三の部分まで延長部を形成することをさらに含む、請求項 1 6 に記載の方法。

【請求項 1 8】

前記複数のトレンチのエッチングは、前記複数のトレンチの底部が前記第一の半導体層の第三の部分に到達する前に終了する、請求項 1 1 に記載の方法。

【請求項 1 9】

前記複数のトレンチの第一セットの底部に隣接した前記第一の半導体層のドーピングは、リンを注入して、前記複数のトレンチの第一セットの底部に隣接した前記絶縁体層から前記第一の半導体層の前記第三の部分まで延長部を形成することを含む、請求項 1 8 に記載の方法。

【請求項 2 0】

前記複数のトレンチの第二セットの底部に隣接した前記絶縁体層から、前記第一の半導体層の前記第三の部分までボロンがドーピングされた埋め込み層を形成することを含む、請求項 1 9 に記載の方法。

【請求項 2 1】

前記第二の半導体層の前記複数のトレンチ内への前記堆積は、リンを高濃度にドーピングさ

10

20

30

40

50

れたポリシリコンの化学気相堆積を含む、請求項 1 1 に記載の方法。

【請求項 2 2】

前記絶縁体に隣接した前記第一の半導体層の第二の部分を前記第一の種類の不純物で前記ドーピングすることは、リンを注入してソース領域を形成することを含む、請求項 1 1 に記載の方法。

【請求項 2 3】

前記複数のトレンチの第一セットの底部に隣接した前記第一の半導体層を前記ドーピングすることは、不純物が前記複数のトレンチの第一セット内に注入されるが、前記複数のトレンチの第二セット内には注入されないように、第一の角度で前記不純物を注入することを含む、請求項 1 1 に記載の方法。

10

【請求項 2 4】

第一の複数の平行な領域に設けられた複数の開放したゲート-ドレイン領域と、
前記開放したゲート-ドレイン領域に対して直交する第二の複数の平行な領域内に設けられた複数の閉鎖したゲート-ドレイン領域と、
を備えるクロズドセルトレンチ MOS 電界効果トランジスタ (T M O S F E T) 。

【請求項 2 5】

前記複数の開放したゲート-ドレイン領域と、前記複数の閉鎖したゲート-ドレイン領域との組み合わせが、ゲート-ドレイン容量 (Cgd) ・オン抵抗 (Rds-on) 積を減少させる、請求項 2 4 に記載のクロズドセル T M O S F E T 。

【請求項 2 6】

前記複数の開放したゲート-ドレイン領域と、前記複数の閉鎖したゲート-ドレイン領域との組み合わせが、ゲート-ドレイン容量・ゲート-ソース容量比を減少させる、請求項 2 4 に記載のクロズドセル T M O S F E T 。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、MOS 電界効果トランジスタ (MOSFET) に関し、さらに詳細にはトレンチゲート形状を有する縦型 MOSFET に関する。本開示によれば、クロズドセルトレンチ MOS 電界効果トランジスタを開示する。

【背景技術】

30

【0002】

図 1 には、従来技術によるストライプ状トレンチの MOS 電界効果トランジスタ (T M O S F E T) 100 の横断面の斜視図が示されている。このストライプ状 T M O S F E T 100 は複数のソース・コンタクト 110、複数のソース領域 115、複数のゲート領域 120、複数のゲート絶縁体領域 125、複数のボディ領域 130、ドレイン領域 135、140、およびドレイン・コンタクト 145 を備える。このドレイン領域 135、140 は随意的に第一のドレイン部 140 と第二のドレイン部 135 とを含み得る。

【0003】

ボディ領域 130 はドレイン領域 135、140 上に設けられる。ソース領域 115、ゲート領域 120、およびゲート絶縁体領域 125 はボディ領域 130 の中に設けられる。ゲート領域 120 およびゲート絶縁体領域 125 は平行に延びた構造に形成されている。ゲート絶縁体領域 125 はゲート領域 120 を取り囲んでいる。このようにゲート領域 120 は、ゲート絶縁体領域 125 によって周囲領域から電氣的に絶縁されている。ゲート領域 120 が連結されて、装置 100 の共通ゲートを形成している。ソース領域 115 はゲート絶縁体領域 125 の周辺に沿って平行に延びた構造に形成されている。ソース・コンタクト 110 によってソース領域 115 が連結されて、装置 100 の共通ソースを形成している。複数の個々のソース・コンタクト 110 として示されているものの、ソース・コンタクト 110 は全てのソース領域 115 を連結する単一の導電層として実施されてもよい。ソース・コンタクト 110 もソース領域 115 をボディ領域 130 に連結している。

40

50

【0004】

ソース領域115およびドレイン領域140は、リンあるいはヒ素がドーピングされたシリコンなどの高濃度nドーピング(N+)半導体である。ボディ領域130はボロンがドーピングされたシリコンなどのpドーピング(P)半導体である。ゲート領域120はリンがドーピングされたポリシリコンなどの高濃度nドーピング(N+)半導体である。ゲート絶縁体領域125は二酸化ケイ素などの絶縁体であってもよい。

【0005】

ソース領域115に対してゲート領域120の電位が装置100の閾値を上回るときには、導電チャネルがゲート絶縁体領域125の周辺に沿ったボディ領域130内に誘起される。ストライプ状TMOSEFT100はその後、ドレイン領域140とソース領域115との間に電流を伝導する。したがって装置はオン状態になる。 10

【0006】

ゲート領域120の電位が閾値を下回るときには、このチャネルが誘起されることはなくなる。その結果、ドレイン領域140とソース領域115との間に印加された電位によって、これらの間に電流が流れることはなくなる。よって装置100はオフ状態になり、ボディ領域130とドレイン領域140によって形成された接合部がソースとドレインとに亘って印加された電圧を支持する。

【0007】

ドレイン領域135、140が第一のドレイン領域140上に設けられた第二のドレイン領域部135を備える場合には、このドレイン領域の第二の部分135はリンあるいはヒ素がドーピングされたシリコンなどの低濃度nドーピング(-N)半導体であり、ドレイン領域140の第一の部分はリンあるいはヒ素がドーピングされたシリコンなどの高濃度nドーピング(N+)半導体である。ドレイン領域135における低濃度nドーピング(-N)第二部分は、ボディ領域130とドレイン領域135における第二の部分の両方に延びる空乏領域となり、それによってパンチスルー効果が低減されることになる。したがってドレイン領域135の低濃度nドーピング(-N)第二部分は、ストライプ状TMOSEFT100の破壊電圧を上昇させるように作用する。 20

【0008】

ストライプ状TMOSEFT100のチャネル幅は、複数のソース領域115の幅の関数である。このようにストライプ状TMOSEFTは、長さに対してチャネル幅の比率が高い。よってストライプ状TMOSEFT100は、パルス幅変調(PWM)電圧レギュレータ内の切り替え要素などのパワーMOSEFTへの適用に有利に用いられてもよい。 30

【0009】

図2には、従来技術によるクロズドセルトレンチMOS電界効果トランジスタ(TMOSFET)200の横断面の斜視図が示されている。このクロズドセルのTMOSFET200は複数のソース・コンタクト210、複数のソース領域215、ゲート領域220、ゲート絶縁体領域225、複数のボディ領域230、ドレイン領域235、240、およびドレイン・コンタクト245から構成される。このドレイン領域235、240は随意的に第一のドレイン部240と第二のドレイン部235とを含み得る。

【0010】

ボディ領域230、ソース領域215、ゲート領域220、およびゲート絶縁体領域225はドレイン領域235、240上に設けられる。ゲート領域220の第一の部分およびゲート絶縁体領域225は実質的に平行に延びる構造221として形成されている。ゲート領域220の第二の部分およびゲート絶縁体領域225は、実質的に平行に対して直交して延びる構造222として形成される。ゲート領域220の第一の部分および第二の部分は全て相互に連結され、複数のセルを形成する。ボディ領域230はゲート領域220によって形成された複数のセル内に設けられる。 40

【0011】

ゲート絶縁体領域225はゲート領域220を取り囲んでいる。このようにゲート領域220はゲート絶縁体領域225によって周囲領域から電氣的に絶縁されている。ソース 50

領域 2 1 5 はゲート絶縁体領域 2 2 5 の周辺に沿って複数のセル内に形成される。

【0 0 1 2】

ソース・コンタクト 2 1 0 によってソース領域 2 1 5 が連結されて、装置 2 0 0 の共通ソースを形成している。複数の個々のソース・コンタクト 2 1 0 として示されてはいるものの、ソース・コンタクト 2 1 0 は、その各々が複数のソース領域 2 1 5 を連結する複数の導電性のストリップや、全てのソース領域 2 1 5 を連結する単一の導電層などとして実施されてもよい。ソース・コンタクト 2 1 0 もソース領域 2 1 5 をボディ領域 2 3 0 に連結している。

【0 0 1 3】

ソース領域 2 1 5 およびドレイン領域 2 4 0 は、リンあるいはヒ素がドーピングされたシリコンなどの高濃度 n ドーピング (N+) 半導体である。ボディ領域 2 3 0 はボロンがドーピングされたシリコンなどの p ドーピング (P) 半導体である。ゲート領域 2 2 0 はリンがドーピングされたポリシリコンなどの高濃度 n ドーピング (N+) 半導体である。ゲート絶縁体領域 2 2 5 は二酸化ケイ素などの絶縁体であってもよい。

【0 0 1 4】

ソース領域 2 1 5 に対してゲート領域 2 2 0 の電位が装置 2 0 0 の閾値を上回るときには、導電チャネルがゲート絶縁体領域 2 2 5 の周辺に沿ったボディ領域 2 3 0 内に誘起される。装置 2 0 0 はその後、ドレイン領域 2 4 0 とソース領域 2 1 5 との間に電流を伝導する。したがって装置 2 0 0 はオン状態になる。

【0 0 1 5】

ゲート領域 2 2 0 の電位が閾値を下回るときには、このチャネルが誘起されることはなくなる。その結果、ドレイン領域 2 4 0 とソース領域 2 1 5 との間に印加された電位によって、これらの間に電流が流れることはなくなる。よって装置はオフ状態になり、ボディ領域 2 3 0 とドレイン領域 2 4 0 によって形成された接合がソースとドレインとに亘って印加された電圧を支持する。

【0 0 1 6】

ドレイン領域 2 3 5、2 4 0 が第二のドレイン領域 2 4 0 上に設けられた第二のドレイン領域部 2 3 5 を備える場合には、このドレイン領域 2 3 5 の第二部分はリンあるいはヒ素がドーピングされたシリコンなどの低濃度 n ドーピング (−N) 半導体であり、ドレイン領域 2 4 0 の第一部分はリンがドーピングされたシリコンなどの高濃度 n ドーピング (N+) 半導体である。ドレイン領域 2 3 5 における低濃度 n ドーピング (−N) 第二部分は、ボディ領域 2 3 0 とドレイン領域 2 3 5 における第二の部分の両方に延びる空乏領域となり、それによってパンチスルー効果が低減されることになる。したがってドレイン領域 2 3 5 の低濃度 n ドーピング (−N) 第二部分は、クローズドセルの T M O S F E T 2 0 0 の破壊電圧を上昇させるように作用する。

【0 0 1 7】

クローズドセル T M O S F E T 2 0 0 のチャネル幅は、ソース領域 2 1 5 の幅の総和の関数である。このようにクローズドセル T M O S F E T 2 0 0 の構造においては、ストライプ状 T M O S F E T 1 0 0 と比較して、有利なことにチャネル領域の幅が広い。よってクローズドセル T M O S F E T 2 0 0 は、ストライプ状 T M O S F E T 1 0 0 の構造と比較して、相対的に低いチャネル抵抗 (例えば、オン抵抗) を有している。ストライプ状 T M O S F E T 1 0 0 と比較すると、低いチャネル抵抗によってクローズドセル T M O S F E T 2 0 0 内で浪費される電力は減少する。

【0 0 1 8】

同様にクローズドセル T M O S F E T 2 0 0 のゲート・ドレイン容量は、ゲート領域 2 2 0 の底部とドレイン領域 2 4 0 間でオーバーラップする領域の関数である。したがってクローズドセル T M O S F E T 2 0 0 の構造は、ストライプ状 T M O S F E T 1 0 0 と比較して、より高いゲート・ドレイン容量となってしまう。ストライプ状 T M O S F E T 1 0 0 と比較して相対的に高いゲート・ドレイン容量は、クローズドセル T M O S F E T 2 0 0 の切り替え速度を制限する。

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0019】

したがって本発明の実施形態は、改良されたクロズドセルトレンチMOS電界効果トランジスタ(TMOSFET)を提供する。本発明の実施形態は、対応するストライプ状セルTMOSFETと比較して、低いON抵抗を有するクロズドセルTMOSFETを提供する。さらに本発明の実施形態は、低いゲートドレイン容量を有するクロズドセルTMOSFETを提供する。

【課題を解決するための手段】

【0020】

本発明の実施形態は、第一の複数の平行な領域に設けられた開放したゲートドレイン領域と、開放したゲートドレイン領域に対して直交する第二の複数の平行な領域に設けられた閉鎖したゲートドレイン領域との組み合わせを備えたクロズドセルTMOSFETを提供する。

【0021】

さらに詳細には、本発明の実施形態は、ドレイン領域と、ドレイン領域の上に設けられたボディ領域と、ボディ領域内に設けられたゲート領域と、ゲート領域の周りに設けられたゲート絶縁体領域と、ゲート絶縁体領域の周辺に隣接したボディ領域の表面に沿って設けられた複数のソース領域と、を備えるクロズドセルのトレンチのMOS電界効果トランジスタ(TMOSFET)を提供する。ゲート領域の第一の部分とゲート絶縁体領域とが、実質的に平行に延びた構造として形成される。ゲート領域の第二の部分とゲート絶縁体領域とが、平行に対して直交して延びる構造として形成される(例えば、ボディ領域の表面の平面において、第二の部分は、ゲート領域とゲート絶縁領域の第1部分に対して直角に形成される複数の平行に延びる構造を有している)。ボディ領域は選択的にオーバーラップしたゲート領域とドレイン領域の一部を閉鎖する。

【0022】

本発明の実施形態はまた、複数の開放したトレンチ底部と複数の閉鎖したトレンチ底部とを有するクロズドセルTMOSFETを製造する方法を提供する。この製造方法は、高濃度nドーブドシリコン基板上に低濃度nドーブドエピタキシャル・シリコン層を成長させることを含む。このエピタキシャル堆積シリコン層は選択的にエッチング処理がなされ、複数の平行なトレンチの第一セットと、前記トレンチの第一セットに対して平行に対して直交する複数の平行なトレンチの第二セットを形成する。第一および第二のトレンチのセットに隣接したシリコンが酸化されて、ゲート酸化領域が形成される。p型不純物が平行なトレンチの底部の第一のセット内に注入される。このp型不純物は、第一のセットに対して直角である第二のセットの平行なトレンチ内には注入されない。トレンチの第一および第二のセットにはポリシリコンが充填されて、その中にゲート領域が形成される。低濃度のnドーブドエピタキシャル・シリコン層の上面にはp型不純物が注入されて、pドーブド体が形成される。ゲート酸化領域の周辺に隣接したボディ領域の一部に注入が行われて、高濃度nドーブドソース領域が形成される。

【発明を実施するための最良の形態】

【0023】

添付の図面にそれらの実施例が示された本発明の実施形態について詳細に述べる。本発明はこれらの実施形態と併せて説明されるが、これは本発明がこれらの実施形態に限定されることを意味しているわけではないことを理解されたい。逆に、本発明は、添付の請求の範囲によって定義される発明の精神および範囲内にある代替例、変形例、および対応例を対象とする。さらに本発明を十分に理解するために、本発明の以下の詳細な説明において多数の具体的な説明がなされる。しかしながら本発明はこれらの具体的な詳細な事項を用いることなく実践されることを理解されたい。また、他の場合においては、本発明の態様を不必要に曖昧にしないよう、周知の方法、手順、構成要素、および回路は詳細に説明されてはいない。

10

20

30

40

50

【0024】

図3Aは、本発明の一実施形態における、クローズドセルトレンチMOS電界効果トランジスタ(TMOSFET)300の横断面の斜視図である。このクローズドセルTMOSFET300は、複数のソース・コンタクト310と、複数のソース領域315と、ゲート領域320と、ゲート絶縁体領域325と、ボディ領域330と、ドレイン領域335、340と、ドレイン・コンタクト345を備える。これらのドレイン領域335、340は随意的に第一のドレイン部340と第二のドレイン部335とを含んでもよい。

【0025】

ボディ領域330と、ソース領域315と、ゲート領域320と、ゲート絶縁体領域325とがドレイン領域335、340の上に設けられる。ゲート領域320の第一の部分とゲート絶縁体領域325とは、実質的に平行に延びる構造321として形成される。ゲート領域320の第二の部分とゲート絶縁体領域325とは、実質的に平行に対して直交して延びる構造322として形成される(例えば、ボディ領域の表面の平面において、第二の部分は、ゲート領域の第一の部分とゲート絶縁領域に対して直角に形成される複数の平行に延びる構造を備える)。ゲート領域320の第一の部分と第二の部分とは全て相互に連結され、複数のセルを形成する。ボディ領域330はゲート領域320によって形成された複数のセル内に設けられる。ドレイン領域335、340の第三の部分350は、ゲート絶縁体領域325の第一の部分の底部まで延びている。

【0026】

したがって、本発明の実施形態によるクローズドセルTMOSFET300は、第二の複数の平行な構造322に対して設けられた複数の開放したゲート-ドレイン領域331(例えば、ボディ領域330の一部によって選択的に閉鎖される)を備える。クローズドセルTMOSFET300はさらに、第一の複数の平行な構造321に対して、開放したゲート-ドレイン領域331に対して垂直となるように配設された複数の閉鎖したゲート-ドレイン領域350(例えば、ドレイン領域335がゲート領域320とオーバーラップする)を備える。

【0027】

ゲート絶縁体領域325はゲート領域320を取り囲んでいる。このようにゲート領域320は、ゲート絶縁体領域325によって周囲領域から電氣的に絶縁されている。ソース領域315はゲート絶縁体領域325の周辺に沿って複数のセル内に形成される。ソース・コンタクト310によってソース領域315が接続されて、装置の共通ソースを形成している。ソース・コンタクト310はまた、ソース領域315をボディ領域330に接続している。

【0028】

一つの実施において、ソース領域315とドレイン領域335、340は、リンあるいはヒ素がドーパされたシリコンなどの高濃度nドーパド(N+)半導体である。ボディ領域330はボロンがドーパされたシリコンなどのpドーパド(p)半導体である。ゲート領域320はリンがドーパされたポリシリコンなどの高濃度nドーパド(N+)半導体である。ゲート絶縁体領域325は二酸化ケイ素などの酸化物であってもよい。

【0029】

ソース領域315に対してゲート領域320の電位が装置300の閾値を上回るときには、導電チャネルがゲート絶縁体領域325の周辺に沿ったボディ領域330内に誘起される。装置300はその後、ドレイン領域340と複数のソース領域315との間に電流を伝導する。したがって装置はオン状態になる。電荷は、ゲート領域320の第一の部分の底部とオーバーラップするゲート・ドレイン領域350の延長した部分の近傍から、ゲート領域320の第一の部分の近傍の誘起されたチャネルを通してソース領域315に流れ込む。電荷はまた、ゲート領域320の第一の部分の底部とオーバーラップするゲート・ドレイン領域350の延長した部分の近傍から、ゲート絶縁体領域325の第二の部分の近傍の誘起されたチャネルを通してソース領域315に流れ込む。

【0030】

複数のゲート領域 320 の電位が閾値の電圧を下回るときには、このチャンネルが誘起することはなくなる。その結果、ドレイン領域 335、340 とソース領域 315 との間に印加された電位によって、これらの間に電流が流れることはなくなる。よって装置 300 はオフ状態になり、ボディ領域 330 とドレイン領域 335、340 によって形成された接合がソース領域 315 とドレイン領域 335、340 とに亘って印加された電圧を支持する。

【0031】

ドレイン領域 335、340 がドレイン領域の第一の部分 340 上に設けられた第二のドレイン領域部 335 を備える場合には、このドレイン領域の第二の部分 335 はリンあるいはヒ素がドーパされたシリコンなどの低濃度 n ドープド ($-N$) 半導体であり、ドレイン領域 340 の第一の部分はリンがドーパされたシリコンなどの高濃度 n ドープド (N) 半導体である。ドレイン領域における低濃度 n ドープド ($-N$) 第二部分 335 は、ボディ領域 330 とドレイン領域における第二の部分 335 の両方に延びる空乏領域となり、それによってパンチスルー効果が低減される。したがってドレイン領域の低濃度 n ドープド ($-N$) 第二部分 335 は、クロズドセル TMOSEFT 310 の破壊電圧を上昇させるように作用する。

【0032】

チャンネルの幅はソース領域 315 の長さの総和の関数のままである。よってチャンネル領域の幅はレガシーのクロズドセル TMOSEFT 200 とほぼ等しくなる。したがって、装置 300 のオン抵抗 (R_{ds-on}) はレガシーのクロズドセル TMOSEFT 200 とほぼ等しくなる。

【0033】

誘起されたチャンネルはゲート-ソース容量を含む。ゲート領域 320 と、ゲート絶縁体領域 325 と、ドレイン領域 335、340 もゲート-ドレイン容量を含む。ドレイン領域 335、340 と、ゲート領域 320 の第二の部分と、ゲート絶縁体領域 325 との間に設けられたボディ領域の部分 331 は、装置 300 のゲート-ドレイン容量 (C_{gd}) を減少させるように作用する。しかしながら、ゲート-ドレイン容量の減少によって、ゲート-ソース容量 (C_{gs}) が増大してしまう。ゲート領域 320 内の電荷はレガシーの装置においてはドレイン領域 335、340 内の電荷と結合されていたが、ここでは誘起されたチャンネルを増大させるように作用し、そのためソースとゲート間の容量も増大する。ボディ 330 とソース 315 とが接続されるため、ゲート-ソース容量を効果的に増大させる。

【0034】

本実施形態によればクロズドセル TMOSEFT 300 は、レガシーのクロズドセル TMOSEFT 200 と比較して有利に、低いゲート-ドレイン容量 (C_{gd}) 対ゲート-ソース容量 (C_{gs}) 比を提供する。さらにまた本実施形態によれば、クロズドセル TMOSEFT 300 は、レガシーのストライプ状 TMOSEFT 100 とレガシーのクロズドセル TMOSEFT 200 と比較して、有利に、改良された $R_{ds-on} * Q_{gd}$ 性能係数を提供する。

【0035】

図 3B には、本発明の一実施形態によるクロズドセルトレンチ MOS 電界効果トランジスタ (TMOSEFT) 300 の横断面の斜視図が示される。横断面の斜視図の正面の角部が切断されていることによって、ドレイン領域 320 の平行して延びる構造および平行に対して直交して延びる構造が全て相互接続されている様子が分かる。

【0036】

図 3B は、誘起されたチャンネル 360 と、TMOSEFT 300 のオン状態における電荷 380、318 の流れとを示している。ソース領域 315 に対してゲート領域 320 の電位が装置 300 の閾値を上回るときには、導電チャンネル 360 がゲート絶縁体領域 325 の周辺に沿ったボディ領域 330 内に誘起される。装置 300 はその後、ドレイン領域 340 と複数のソース領域 315 との間に電流を伝導する。電荷 380 は、ゲート領域の

10

20

30

40

50

第一の部分の底部とオーバーラップするドレイン領域の延長した部分 350 の近傍から、ゲート領域 320 の第一の部分の近傍の誘起されたチャンネル 360 を通してソース領域 315 に流れ込む。電荷 381 もまた、ゲート領域 320 の第一の部分の底部とオーバーラップするゲート-ドレイン領域の延長した部分 350 の近傍から、ゲート領域 320 の第二の部分の近傍の誘起されたチャンネルを通してソース領域 315 に流れ込む。したがって電流の成分は、ドレイン領域 335、340 と、ゲート領域 320 の第二の部分と、ゲート絶縁体領域 325 との間に設けられたボディ領域の部分 331 にある誘起されたチャンネル 360 から、ドレイン領域の延長した部分 350 に流れ込む。電流のこの成分は、従来のストライプ状の T M O S F E T と比較して、T M O S F E T 300 の R_{ds-on} を減少させる。

10

【0037】

さらにまた図 3B は、全てのソース領域 315 などを連結する単一の導電層として実施されるソース・コンタクト 310 を示している。このような実施形態において、ゲート絶縁体領域 325 もまた、ゲート領域 320 とソース・コンタクト 310 との間に設けられる。

【0038】

T M O S F E T 300 はソース・コンタクト領域 370 を含む。このソース・コンタクト領域 370 はボロンがドーパされたシリコンなどの高濃度 p ドープド (P+) 半導体を備える。ソース・コンタクト領域 370 は、ソース・コンタクト 315 とボディ領域 330 との間に低いオーミックコンタクトを与える。

20

【0039】

図 4 は本発明の一実施形態によるクローズドセルトレンチ M O S 電界効果トランジスタ (T M O S F E T) 400 の横断面の斜視図である。クローズドセル T M O S F E T 400 は、複数のソース・コンタクト 410 と、複数のソース領域 415 と、ゲート領域 420 と、ゲート絶縁体領域 425 と、ボディ領域 430 と、ドレイン領域 435、440 と、ドレイン・コンタクト 445 を備える。これらのドレイン領域 435、440 は随意的に第一のドレイン部 440 と第二のドレイン部 435 とを含んでもよい。

【0040】

ボディ領域 430 はドレイン領域 435、440 の上に設けられる。ソース領域 415 と、ゲート領域 420 と、ゲート絶縁体領域 425 とはボディ領域 430 内に設けられる。ゲート領域 420 の第一の部分とゲート絶縁体領域 425 とは、実質的に平行に延びる構造 421 として形成される。ゲート領域 420 の第二の部分とゲート絶縁体領域 425 とは、実質的に平行に対して直交して延びる構造 422 として形成される。ゲート領域 420 の第一の部分と第二の部分とは全て相互に連結され、複数のセルを形成する。ボディ領域 430 はゲート領域 420 によって形成された複数のセル内に設けられる。このときボディ領域の一部 450 はゲート領域 421 の第一の部分を取り囲んでいる。

30

【0041】

したがって、本発明の実施形態によるクローズドセル T M O S F E T 400 は、第一の複数の平行な構造 421 内に設けられた複数の開放したゲート-ドレイン領域 450 (例えば、ゲート領域 420 を取り囲むボディ領域 430 の一部によって選択的に閉鎖される) を備える。クローズドセル T M O S F E T 400 はさらに、開放したゲート-ドレイン領域 450 に対して垂直である第二の複数の平行な構造 422 内に設けられた、複数の閉鎖したゲート-ドレイン領域 451 (例えば、ドレイン領域 435 がゲート領域 420 とオーバーラップする) を備える。

40

【0042】

ゲート絶縁体領域 425 はゲート領域 420 を取り囲んでいる。このようにゲート領域 420 は、ゲート絶縁体領域 425 によって周囲領域から電氣的に絶縁されている。ソース領域 415 はゲート絶縁体領域 425 の周辺に沿って複数のセル内に形成される。ソース領域 415 はソース・コンタクト 410 によって連結されて、装置の共通ソースを形成する。複数の個々のソース・コンタクト 410 が図示されているものの、ソース・コンタ

50

クト 4 1 0 が全てのソース領域 4 1 5 を連結する単一の導電層として実施されてもよい。ソース・コンタクト 4 1 0 はまた、ソース領域 4 1 5 をボディ領域 4 3 0 に接続している。

【0043】

一つの実施において、ソース領域 4 1 5 とドレイン領域 4 3 5、4 4 0 は、リンあるいはヒ素がドーピングされたシリコンなどの高濃度 n ドーピング (N^+) 半導体である。ボディ領域 4 3 0 はボロンがドーピングされたシリコンなどの p ドーピング (P) 半導体である。ゲート領域 4 2 0 はリンがドーピングされたポリシリコンなどの高濃度 n ドーピング (N^+) 半導体である。ゲート絶縁体領域 4 2 5 は二酸化ケイ素などの酸化物であってもよい。

【0044】

T M O S F E T 4 0 0 は随意にソース・コンタクト領域 (図示せず) を含んでもよい。このソース・コンタクト領域はボロンがドーピングされたシリコンなどの高濃度 p ドーピング (P^+) 半導体を備える。ソース・コンタクト領域は、ソース・コンタクト 4 1 0 とボディ領域 4 3 0 との間に低いオーミックコンタクトを与える。

【0045】

ソース領域 4 1 5 に対して複数のゲート領域 4 2 0 の電位が装置 4 0 0 の閾値を上回るときには、導電チャネルがゲート絶縁体領域 4 2 5 の周辺に沿ったボディ領域 4 3 0 内に誘起される。装置 4 0 0 はその後、ドレイン領域 4 4 0 と複数のソース領域 4 1 5 との間に電流を伝導する。したがって装置 4 0 0 はオン状態になる。電荷は、ゲート領域 4 2 0 の第二の部分の底部とオーバーラップするドレイン領域の部分 4 5 1 の近傍から、ゲート領域 4 2 0 の第二の部分の近傍の誘起されたチャネルを通してソース領域 4 1 5 に流れ込む。電荷はまた、ゲート領域 4 2 0 の第二の部分の底部とオーバーラップするドレイン領域の部分 4 5 1 の近傍から、ゲート領域 4 2 0 の第一の部分の近傍の誘起されたチャネルを通してソース領域 4 1 5 に流れ込む。

【0046】

複数のゲート領域 4 2 0 の電位が閾値の電圧を下回るときには、このチャネルが誘起されることはなくなる。その結果、ドレイン領域 4 3 5、4 4 0 と複数のソース領域 4 1 5 との間に印加された電位によって、これらの間に電流が流れることはなくなる。よって装置 4 0 0 はオフ状態になり、ボディ領域 4 3 0 とドレイン領域 4 3 5、4 4 0 によって形成された接合がソース領域 4 1 5 とドレイン領域 4 3 5、4 4 0 とに亘って印加された電圧を支持する。

【0047】

ドレイン領域 4 3 5、4 4 0 が第一のドレイン領域 4 4 0 上に設けられた第二のドレイン領域部 4 3 5 を備える場合には、このドレイン領域 4 3 5 の第二の部分はリンあるいはヒ素がドーピングされたシリコンなどの低濃度 n ドーピング (N^-) 半導体であり、ドレイン領域 4 4 0 の第一の部分はリンがドーピングされたシリコンなどの高濃度 n ドーピング (N^+) 半導体である。ドレイン領域 4 3 5 における低濃度 n ドーピング (N^-) 第二部分は、ボディ領域 4 3 0 とドレイン領域 4 3 5 における第二の部分の両方に延長する空乏領域となり、それによってパンチスルー効果が薄まることになる。したがってドレイン領域 4 3 5 の低濃度 n ドーピング (N^-) の第二の部分は、クローズドセル T M O S F E T 4 1 0 の破壊電圧を上昇させるように作用する。

【0048】

チャネルの幅はソース領域 4 1 5 の長さの総和の関数のままである。よってチャネル領域の幅はレガシーのクローズドセル T M O S F E T とほぼ等しくなる。したがって、装置 4 0 0 のオン抵抗 (R_{ds-on}) はレガシーのクローズドセル M O S F E T 2 0 0 とほぼ等しくなる。

【0049】

誘起されたチャネルはゲートソース容量を備える。ゲート領域 4 2 0 と、ゲート絶縁体領域 4 2 5 と、ドレイン領域 4 4 0 もゲートドレイン容量を備える。ドレイン領域 4 3 5、4 4 0 と、ゲート領域 4 2 0 の第一の部分と、ゲート絶縁体領域 4 2 5 との間に設

10

20

30

40

50

けられたボディ領域の部分450は、ゲート-ドレイン容量 (C_{gd}) を減少させるように作用する。しかしながら、ゲート-ドレイン容量の減少によって、ゲート-ソース容量 (C_{gs}) が増大してしまう。ゲート領域420内の電荷はレガシーの装置においてはドレイン領域435、440内の電荷と結合されていたが、ここでは誘起されたチャンネルを増大させるように作用し、そのためソースとゲート間の容量も増大する。ボディ430とソース4115とが接続されるため、ゲート・ボディ容量の増大によって、ゲート-ソース容量 (C_{gs}) が効果的に増大する。

【0050】

本実施形態によればクロズドセルTMOSEFT400は、レガシーのクロズドセルTMOSEFT200と比較して有利に、低いゲートドレイン容量 (C_{gd}) 対ゲート-ソース容量 (C_{gs}) 比を提供する。さらにまた本実施形態によれば、クロズドセルTMOSEFT400は、レガシーのストライプ状TMOSEFT100とレガシーのクロズドセルTMOSEFT200と比較して、有利に、改良されたRdsオン*Qgd性能係数を提供する。 10

【0051】

図5Aから図5Cは、本発明の一実施形態によるクロズドセルトレンチMOS電界効果トランジスタ (TMOSEFT) を製造する方法のフローチャートを示している。図5Aから図5Cに示されるように、処理は502から始まり、洗浄、堆積、ドーピング、エッチングなどの基板上的の種々の初期の処理が行われる。半導体基板は高濃度ドーブドドレイン領域の第一の部分を備える。一つの実施において、ドレイン領域の第一の部分は高濃度 20

【0052】

504において、半導体層は基板上にエピタキシャル堆積する。一つの実施において、半導体層は低濃度リンがドーブされたシリコンを備える。エピタキシャル堆積したシリコンは、リンなどの所望の不純物を導入することによって、反応室内にドーピングされる。

【0053】

506において、エピタキシャル堆積した半導体層上に犠牲酸化層が形成される。一つの実施において、犠牲酸化物がエピタキシャル堆積したシリコン層の表面を酸化することによって形成される。508において、バリア層が犠牲酸化層上に堆積される。一つの実施において、このバリア層は窒化ケイ素 (SiN_4) の化学気相堆積 (CVD) によって 30

【0054】

512において、バリア層、犠牲酸化層の露出した部分、および第一の半導体層の一部は、任意の周知の等方性エッチング法によってエッチングされる。一つの実施において、イオンエッチング液は、パターン化されたレジスト層によって露出されたバリア層、犠牲酸化層、および第一の半導体層と相互に作用する。複数のトレンチからなる第一セットは実質的に互いに平行であり、複数のトレンチからなる第二セットがトレンチの第一セットに対して、実質的に平行に対して直交するように、形成される。

【0055】

514において、トレンチの底部のドーピングがトレンチの第一セットにおいて行われる。一つの実施において、任意の周知のイオン注入処理を用いることによって、ボロンなどのp型の不純物が選択的に注入される。ドーピング処理の結果、トレンチの第一セットを取り囲むpドーブド・ウェル領域が形成されることになる。 40

【0056】

一実施形態において、注入イオン流がウェハの平面に対してある角度を持って方向付けられる。入射角は、不純物がトレンチの第一セットの底部内に注入される一方、トレンチの第二セットの底部がドーピングされないように、選択される。さらに詳細には、バリア層の表面がx-y平面にあって、トレンチの第一セットがx-z平面にあって、トレンチの第二セットがy-z平面にある場合、方向角は、イオン流がxおよびz方向に移動する 50

が y 方向には移動しないような角度になる。したがってドーパントはトレンチの第一セットの底部に到達する。しかしながら、バリア層および／または犠牲酸化層は、トレンチの第二セットに沿ってドーパントを獲得する。このためドーパントはトレンチの第二セットの底部には到達しない。入射角は、トレンチの幅とバリア層および／または犠牲酸化層の厚さの関数として選択される。イオン流が適切な角度でウエハ上に入射するようなイオン注入処理を用いることは、パターン化されたフォトレジスト、バリア層、および犠牲酸化層が、512のエッチング処理、514の注入処理の両方、および518の後続の酸化処理用のマスクとして用いられる点において有利である。イオン流が適切な角度でウエハ上に入射するようなイオン注入処理を用いることはまた、トレンチ注入がトレンチの第一セットと自動整合して、トレンチの第二セットの底部がドーピングされないという点においても有利である。 10

【0057】

他の実施形態において、パターン化されたレジスト層、バリア層、および犠牲酸化層はストライプ状に形成されている。他の犠牲酸化層、バリア層、およびレジスト層は、トレンチの第一セットのみが露出するように堆積されパターン化される。その後、イオン注入処理は、イオン流の入射角がウエハの平面に対してほぼ垂直になるように行われる。よってトレンチの第一セットの底部がドーピングされる。その後、犠牲酸化層、バリア層、およびレジスト層は除去され、付加的な犠牲酸化層、バリア層、およびレジスト層が、トレンチの第一および第二セットが両方とも露出するように、堆積され、パターン化される。

【0058】

516において、ゲート・トレンチ・マスクが、適切なレジスト・ストリップあるいはレジスト灰化処理を用いることによって除去される。518において、絶縁体がトレンチの第一および第二のセットの壁の上に形成される。一つの実施においては、シリコンの表面を酸化させて二酸化ケイ素層を形成することによって、絶縁体が形成される。トレンチ壁に沿って形成されたこの絶縁体は、ゲート領域絶縁体を形成する。 20

【0059】

520において、ポリシリコン層がトレンチの第一および第二のセット内に堆積されてゲート領域を形成する。一つの実施において、ポリシリコンは、シラン (SiH_4) の分解などの方法によってトレンチ内に堆積される。ポリシリコンにはリンあるいはヒ素などの n 型不純物がドーピングされる。このポリシリコンは堆積処理中に不純物を導入することによってドーピングされる。 30

【0060】

522において、エッチ・バック処理が行われ、ウエハの表面の余分なポリシリコンと、第一のバリア層を除去する。一つの実施においては、余分なポリシリコンやバリア層を、化学機械研磨 (CMP) 処理によって除去する。

【0061】

526において、第二のフォトレジストが堆積されパターン化されて、ボディ領域マスクを形成する。ボディ領域マスクは、ゲート領域内の区域によって画定される複数のセルを形成する。530において、エピタキシャル堆積された半導体層の露出した部分がドーピングされて、複数のセルにおいてボディ領域を形成する。一つの実施において、ドーピング処理によって、エピタキシャル堆積された半導体層の上部にボロンなどの p 型の不純物が注入される。高温の熱サイクルを用いて、ボディ領域ドーピングを促進させてもよい。したがって、エピタキシャル堆積された半導体層の下部は低濃度ドーパド第二ドレイン部を形成する。532においてボディ領域マスクが除去される。 40

【0062】

第三のフォトレジストが堆積されパターン化されて、536においてソース領域マスクを形成する。ソース領域マスクは、ゲート酸化領域に隣接した各セルにおいて、ソース領域を画定する。540において、ソース領域マスクによって露出されたままになっている第一の半導体層の部分がドーピングされて、ソース領域を形成する。一つの実施において、ドーピング処理は、リンなどの n 型の不純物を、ゲート酸化領域に隣接した複数のセル 50

に高濃度に注入することを備える。高温の熱サイクルを用いて、ソース領域ドーピングを促進してもよい。542においてソース領域マスクが除去される。

【0063】

544において、絶縁体層がウエハの上に堆積される。一つの実施において、絶縁体層は、化学気相堆積（CVD）システム内でテトラエチルオルソシリケート（TEOS）を分解することによって、堆積される。

【0064】

548において、第四のフォトリソ層が堆積されパターン化されて、各セルの上にソース・ボディ・コンタクト・マスクを画定する。550において、ソース・ボディ・コンタクト・マスクによって露出したままの絶縁体層の部分がエッチングされる。ソース・ボディ・コンタクト・マスクが552で除去される。

10

【0065】

554において、ソース・ボディ金属層がウエハ上に堆積される。一つの実施において、ソース・ボディ金属層は、スパッタリングなどの任意の周知の方法によって堆積される。ソース・ボディ金属層は、パターン化された絶縁体によって露出されたままのボディ領域およびソース領域とのコンタクトを形成する。ソース・ボディ金属層は、パターン化された絶縁体層によってゲート領域から絶縁される。ソース・ボディ金属層はその後、556において、フォトリソ・マスクおよび選択的なエッチング方法を用いることによって必要に応じてパターン化される。

【0066】

558において、製造は他の種々の処理により続けられる。種々の処理としては典型的に、エッチング、堆積、ドーピング、洗浄、アニーリング、パッシベーション、クリーニングなどが挙げられる。

20

【0067】

図6Aから6Cには、本発明の一実施形態によるクロズドセルトレンチMOS電界効果トランジスタ（TMOSET）を製造する方法のフローチャートが示されている。図6Aから6Cにおいて示されるように、602において、洗浄、堆積、ドーピング、エッチングなどの基板上の種々の初期の処理によって、処理が開始される。半導体層は、高濃度ドープドドレイン領域の第一の部分を備える。一つの実施において、ドレイン領域の第一の部分は高濃度にリン（N+）がドーピングされたシリコンを備える。

30

【0068】

604において、半導体層は基板上にエピタキシャル堆積される。一つの実施において、第一の半導体層はリンが低濃度にドーピングされたシリコンを備える。エピタキシャル堆積されたシリコンは、リンなどの所望の不純物を反応室に導入することによってドーピングされてもよい。

【0069】

606において、犠牲酸化層は、エピタキシャル堆積された半導体層上に形成される。一つの実施において、犠牲酸化層は、エピタキシャル堆積されたシリコン層の表面を酸化することによって形成される。608において、バリア層は犠牲酸化層上に堆積される。一つの実施において、バリア層は窒化ケイ素（SiN₄）の化学気相堆積（CVD）によって堆積される。

40

【0070】

610において、フォトリソは任意の周知のリソグラフィ処理によって堆積されパターン化されて、ゲート・トレンチ・マスクを形成する。612において、バリア層、犠牲酸化層の露出した部分、および第一の半導体層の一部は、任意の周知の等方性エッチング法によってエッチングされる。一つの実施において、イオンエッチング液は、パターン化されたレジスト層によって露出されたバリア層、犠牲酸化層、および第一の半導体層と相互に作用する。複数のトレンチは、トレンチの第一セットが実質的に互いに平行であり、トレンチの第二セットがトレンチの第一セットに対して、実質的に平行に対して直交するように、形成される。

50

【0071】

614において、第一のトレンチ底部のドーピングが第一のトレンチのセットにおいて行われる。一つの実施において、任意の周知のイオン注入処理を用いることによって、リンなどのn型の不純物が選択的に注入される。ドーピング処理の結果、第一のトレンチのセットの底部から下部へ延びるnドーピング領域が形成されることになる。一実施形態において、注入イオン流がウェハの平面に対して第一の角度を持って方向付けられる。第一の入射角は、不純物が第一のトレンチのセットの底部内に注入される一方、第二のトレンチのセットの底部にn型の不純物がドーピングされないように、選択される。

【0072】

616において、第二のトレンチ底部ドーピングが第二のトレンチのセットにおいて行われる。一つの実施において、ボロンなどのp型の不純物は、任意の周知のイオン流処理を用いることによって選択的に注入される。このドーピング処理によって、第二のトレンチのセットの底部から下部に延長するpドーピング領域が形成されることになる。一実施形態において、注入イオン流がウェハの平面に対して第二の角度を持って方向付けられる。第二の入射角は、不純物が第二のトレンチのセットの底部内に注入される一方、第一のトレンチのセットの底部にp型の不純物がドーピングされないように、選択される。

【0073】

イオン流が適切な第一および第二の角度でそれぞれウェハの上に入射される、第一および第二の注入処理を用いることは、パターン化されたフォトレジスト、バリア層、および犠牲酸化層が612のエッチング処理と614および616の注入処理の両方、および620の後続の酸化処理のためのマスクとして用いられる点において有利である。イオン流が適切な第一および第二の角度でウェハの上に入射される注入処理を用いることはまた、トレンチ注入が第一および第二のトレンチのセットとそれぞれ自動整合する点においても有利である。

【0074】

618において、ゲート・トレンチ・マスクは適切なレジスト・ストリッパあるいはレジスト灰化処理を用いることによって除去される。620において、絶縁体が第一および第二のトレンチのセットの壁の上に形成される。一つの実施においては、シリコンの表面を酸化させて二酸化ケイ素層を形成することによって、絶縁体が形成される。トレンチ壁に沿って形成されたこの絶縁体は、ゲート領域絶縁体を形成する。

【0075】

622において、ポリシリコン層が第一および第二のトレンチのセット内に堆積されてゲート領域を形成する。一つの実施において、ポリシリコンは、シラン(SiH_4)の分解などの方法によってトレンチ内に堆積される。ポリシリコンにはリンあるいはヒ素などのn型不純物がドーピングされる。このポリシリコンは堆積処理中に不純物を導入することによってドーピングされる。

【0076】

624において、エッチ・バック処理が行われ、ウェハの表面上の余分なポリシリコンとバリア層が除去される。一つの実施において、余分なポリシリコンやバリア層は、化学機械研磨(CMP)処理によって除去される。

【0077】

628において、第二のフォトレジストが堆積されパターン化されて、ボディ領域マスクを形成する。ボディ領域マスクは、ゲート領域内の区域によって画定される複数のセルを露出させる。632において、第一の半導体層の露出した部分がドーピングされて、複数のセルにおいてボディ領域を形成する。一つの実施において、ドーピング処理によって、ウェハの表面からゲート絶縁体領域の底部の真下までボロンなどのp型の不純物が注入される。高温の熱サイクルを用いて、ボディ領域ドーピングを促進させてもよい。634においてボディ領域マスクが除去される。

【0078】

第三のフォトレジストが堆積されパターン化されて、638においてソース領域マスク

10

20

30

40

50

を形成する。ソース領域マスクは、ゲート酸化領域に隣接した各セルにおいて、ソース領域を画定する。642において、ソースマスクによって露出されたままになっている第一の半導体層の部分がドーピングされて、ソース領域を形成する。一つの実施において、ドーピング処理は、リンなどのn型の不純物を、ゲート酸化領域に隣接した複数のセルに高濃度に注入することを備える。高温の熱サイクルを用いて、ソース領域ドーピングを促進してもよい。644においてソースマスクが除去される。

【0079】

646において、絶縁体層がウエハの上に堆積される。一つの実施において、絶縁体層は、化学気相堆積(CVD)システム内でテトラエチルオルソシリケート(TEOS)を分解することによって、堆積される。

10

【0080】

第四のフォトレジストが堆積されパターン化されて、650において各セルの上にソース・ボディ・コンタクト・マスクを画定する。652において、ソース・ボディ・コンタクト・マスクによって露出したままの絶縁体層の部分がエッチングされる。654において、ソース・ボディ・コンタクト・マスクが除去される。

【0081】

656において、ソース・ボディ金属層がウエハ上に堆積される。一つの実施において、ソース・ボディ金属層は、スパッタリングなどの任意の周知の方法によって堆積される。ソース・ボディ金属層は、パターン化された絶縁体によって露出されたままのボディ領域およびソース領域とのコンタクトを形成する。ソース・ボディ金属層は、パターン化された絶縁体層によってゲート領域から絶縁される。ソース・ボディ金属層はその後、658において、フォトレジスト・マスクおよび選択的なエッチング方法を用いることによって必要に応じてパターン化される。

20

【0082】

660では、他の種々の処理により製造が続行される。種々の処理としては典型的に、エッチング、堆積、ドーピング、洗浄、アニーリング、パッシベーション、クリービングなどが挙げられる。

【0083】

図7Aから7Cには、本発明の一実施形態によるクロズドセルトレンチMOS電界効果トランジスタ(TMOSFET)を製造する方法のフローチャートが示されている。図7Aから7Cにおいて示されるように、702において、洗浄、堆積、ドーピング、エッチングなどの基板上の種々の初期の処理によって、処理が開始される。半導体基板は、高濃度ドーブドドレイン領域の第一の部分を備える。一つの実施において、ドレイン領域の第一の部分は高濃度にリン(N+)がドーブされたシリコンを備える。

30

【0084】

704において、半導体層の第一の部分は基板上にエピタキシャル堆積される。一つの実施において、半導体層の第一の部分はリンが低濃度にドーブされたシリコンを備える。エピタキシャル堆積されたシリコンは、リンなどの所望の不純物を反応室に導入することによってドーピングされてもよい。

【0085】

706において、犠牲酸化層は、半導体層の第一の部分の上に形成される。一つの実施において、犠牲酸化物は、エピタキシャル堆積された第一の半導体層の第一の部分の表面を酸化することによって形成される。710において、フォトレジストが堆積されパターン化されて埋め込み層マスクを形成する。

40

【0086】

714では浅い注入処理が実行されて、互いにほぼ平行となる複数の浅いドーピング領域を形成する。一つの実施において、任意の周知のイオン注入処理を用いることによって、リンなどのn型不純物が選択的に注入される。

【0087】

716では、パターン化されたレジストが、適切なレジスト・ストリッパあるいはレジ

50

スト灰化処理を用いることによって除去される。718では、化学機械研磨（CMP）処理を用いることによって、犠牲酸化層が除去される。

【0088】

720では、半導体層の第二の部分が基板上にエピタキシャル堆積される。エピタキシャル処理の第二の部分の熱サイクルおよび他の後続の熱サイクルが浅いドーピング領域を拡散させ、それ以降に形成された第一のトレンチのセットの底部にまで延長したnドーパド埋め込み層を形成する。

【0089】

722においては第二の犠牲酸化層がエピタキシャル半導体層上に形成される。724ではバリア層が第二の犠牲酸化層上に堆積される。一つの実施においては、このバリア層は窒化ケイ素（SiN₄）の化学気相堆積（CVD）によって堆積される。726では第二のフォトレジストがバリア層上に堆積されパターン化されてゲート・トレンチ・マスクを形成する。

【0090】

728ではバリア層、第二の犠牲酸化層、および半導体層の露出した部分が任意の周知の等方性エッチング法によってエッチングされる。複数のトレンチが、第一のトレンチのセットが互いに実質的に平行になり、第二のトレンチのセットがこの第一のトレンチのセットに対して、実質的に平行に対して直交するように形成される。第一のトレンチのセットの各々も、複数の埋め込み層の各々に対してほぼ整列する。

【0091】

730においてトレンチ底部のドーピングは第二のトレンチのセット内で行われる。一つの実施において、任意の周知のイオン注入処理を用いることによって、ボロンなどのp型の不純物が選択的に注入される。注入イオン流がウェハの平面に対してある角度を持って方向付けられる。入射角は、不純物が第二のトレンチのセットの底部内に注入される一方、第一のトレンチのセットの底部がドーピングされないように、選択される。さらに詳細には、バリア層の表面がx-y平面にあって、第一のトレンチのセットがx-z平面にあって、第二のトレンチのセットがy-z平面にある場合、方向角は、イオン流がyおよびz方向に移動するがx方向には移動しないような角度になる。したがってドーパントは第二のトレンチのセットの底部に到達する。しかしながら、バリア層および／または犠牲酸化層は、第一のトレンチのセットに沿ってドーパントを獲得する。このためドーパントは第一のトレンチのセットの底部には到達しない。入射角は、トレンチの幅とバリア層および／または犠牲酸化層の厚さの関数として選択される。ドーピング処理の結果、第二のトレンチのセットの底部から下方に延びたpドーパド領域が形成される。

【0092】

イオン流が適切な角度でウェハ上に入射するようなイオン注入処理を用いることは、パターン化されたフォトレジスト、バリア層、および犠牲酸化層が、728のエッチング処理、730の注入処理の両方、および734の後続の酸化処理用のマスクとして用いられる点において有利である。イオン流が適切な角度でウェハ上に入射するようなイオン注入処理を用いることはまた、トレンチ注入が第二のトレンチのセットと自動整合して、第一のトレンチのセットの底部がドーピングされないという点においても有利である。

【0093】

732において第二のレジスト層が除去される。734において、絶縁体が第一および第二のトレンチのセットの壁の上に形成される。一つの実施においては、シリコンの表面を酸化させて二酸化ケイ素層を形成することによって、絶縁体が形成される。トレンチ壁に沿って形成されたこの絶縁体は、ゲート領域絶縁体を形成する。

【0094】

736において、ポリシリコン層が第一および第二のトレンチのセット内に堆積されてゲート領域を形成する。一つの実施において、ポリシリコンは、シラン（SiH₄）の分解などの方法によってトレンチ内に堆積される。ポリシリコンにはリンあるいはヒ素などのn型不純物がドーピングされる。このポリシリコンは堆積処理中に不純物を導入するこ

10

20

30

40

50

とによってドーピングされる。738において、エッチ・バック処理が行われ、ウエハの表面上の余分なポリシリコン、バリア層、および第二の犠牲酸化層が除去される。

【0095】

742において、第三のフォトレジストは堆積されパターン化されて、ボディ領域マスクを形成する。ボディ領域マスクは、ゲート領域内の区域によって画定される複数のセルを露出させる。746において、エピタキシャル堆積された半導体層の露出した部分はドーピングされて、複数のセル内にボディ領域を形成する。一つの実施において、ドーピング処理によるとボロンなどのp型の不純物が表面からゲート絶縁体領域の底部の真下まで注入される。高温の熱サイクルを用いて、ゲート領域ドーピングを促進してもよい。748においてボディ領域マスクが除去される。

10

【0096】

第四のフォトレジストが堆積されパターン化されて、752においてソース領域マスクを形成する。ソース領域マスクは、ゲート酸化領域に隣接した各セルにおいて、ソース領域を画定する。756において、ソース領域マスクによって露出されたままになっているエピタキシャル堆積された半導体層の部分がドーピングされて、ソース領域を形成する。一つの実施において、ドーピング処理は、リンなどのn型の不純物を、ゲート酸化領域に隣接した複数のセルに高濃度に注入することを備える。高温の熱サイクルを用いて、ソース領域ドーピングを促進してもよい。758においてソース領域マスクが除去される。

【0097】

760において、絶縁体層がウエハの上に堆積される。一つの実施において、絶縁体層は、化学気相堆積(CVD)システム内でテトラエチルオルソシリケート(TEOS)を分解することによって、堆積される。

20

【0098】

第五のフォトレジストが堆積されパターン化されて、764において各セルの上にソース・ボディ・コンタクト・マスクを画定する。766において、ソース・ボディ・コンタクト・マスクによって露出したままの絶縁体層の部分がエッチングされる。768において、ソース・ボディ・コンタクト・マスクが除去される。

【0099】

770において、ソース・ボディ金属層がウエハ上に堆積される。一つの実施において、ソース・ボディ金属層は、スパッタリングなどの任意の周知の方法によって堆積される。ソース・ボディ金属層は、パターン化された絶縁体によって露出されたままのボディ領域およびソース領域とのコンタクトを形成する。ソース・ボディ金属層は、パターン化された絶縁体層によってゲート領域から絶縁される。ソース・ボディ金属層はその後、772において、フォトレジスト・マスクおよび選択的なエッチング方法を用いることによって必要に応じてパターン化される。

30

【0100】

774では、他の種々の処理により製造が続行される。種々の処理としては典型的に、エッチング、堆積、ドーピング、洗浄、アニーリング、パッシベーション、クリービングなどが挙げられる。

【0101】

要約すれば本発明の実施形態は、改良されたクロズドセルトレンチMOS電界効果トランジスタ(TMOSFET)を含む。クロズドセルTMOSFETは、ドレイン領域と、ドレイン領域の上に設けられたボディ領域と、ボディ領域内に設けられたゲート領域と、ゲート絶縁体領域と、ゲート絶縁体領域の周辺に隣接したボディ領域の表面に沿って設けられた複数のソース領域とを備える。ゲート領域の第一の部分とゲート酸化領域とは、平行に延びる構造として形成される。ゲート領域の第二の部分と酸化領域とは、平行に対して直交して延びる構造として形成される。ゲートおよびドレインのオーバーラップ領域の一部は、ボディ領域によって選択的にブロックされ、その結果、ゲート・ドレイン容量は全体的に低くなる。

40

【0102】

50

先述の本発明における具体的な実施形態は、本発明を図示したり説明したりするためのものである。発明を包括したり、開示される形態通りに本発明を限定する目的のものではない。よって上述の教示を鑑みて、多くの変形例や修正例が可能であることは言うまでもない。発明の原理とその実地的な適用を最良に説明するために、それによって当業者が本発明および、考慮される特定の使用に適した種々の変形例を備える種々の実施形態を最高に用いることができるように実施形態が選択され、記載されている。本発明の範囲はここに添付された特許請求の範囲およびこれに対応する事項によって定義される。

【図面の簡単な説明】

【0103】

本発明は一例として示されるがこれらには限定されない。添付の図面において同一の要素には同一の参照番号が付されている。 10

【図1】従来技術によるストライプ状トレンチMOS電界効果トランジスタ（TMOSFET）の横断面の斜視図である。

【図2】従来技術によるクロードセルTMOSFETの横断面の斜視図である。

【図3A】本発明の一実施形態によるクロードセルTMOSFETの横断面の斜視図である。

【図3B】本発明の一実施形態によるクロードセルTMOSFETの横断面の斜視図である。

【図4】本発明の一実施形態による他のクロードセルTMOSFETの横断面の斜視図である。 20

【図5A】本発明の一実施形態によるクロードセルTMOSFETを製造する方法のフローチャートである。

【図5B】本発明の一実施形態によるクロードセルTMOSFETを製造する方法のフローチャートである。

【図5C】本発明の一実施形態によるクロードセルTMOSFETを製造する方法のフローチャートである。

【図6A】本発明の一実施形態によるクロードセルTMOSFETを製造する他の方法のフローチャートである。

【図6B】本発明の一実施形態によるクロードセルTMOSFETを製造する他の方法のフローチャートである。 30

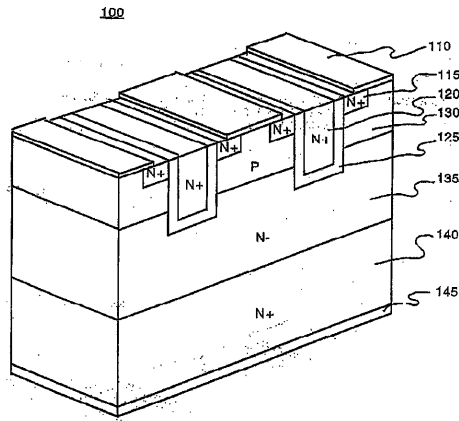
【図6C】本発明の一実施形態によるクロードセルTMOSFETを製造する他の方法のフローチャートである。

【図7A】本発明の一実施形態によるクロードセルTMOSFETを製造する他の方法のフローチャートである。

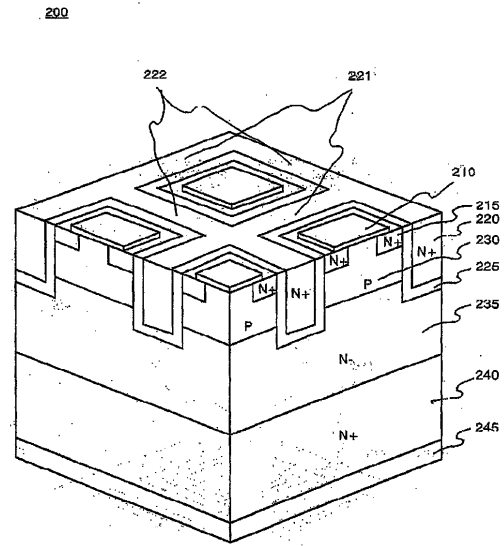
【図7B】本発明の一実施形態によるクロードセルTMOSFETを製造する他の方法のフローチャートである。

【図7C】本発明の一実施形態によるクロードセルTMOSFETを製造する他の方法のフローチャートである。

【図 1】

FIGURE 1
(CONVENTIONAL ART)

【図 2】

FIGURE 2
(CONVENTIONAL ART)

【図 3 A】

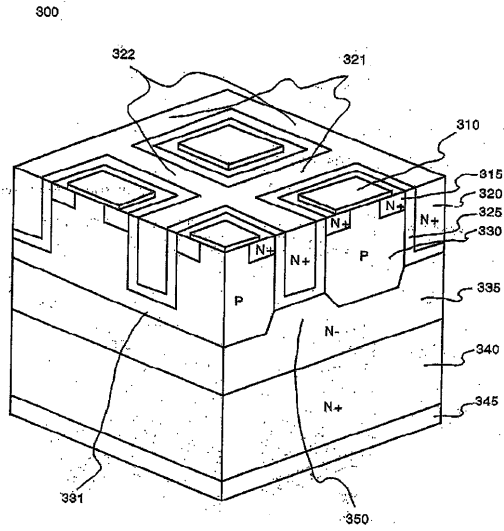


FIGURE 3A

【図 3 B】

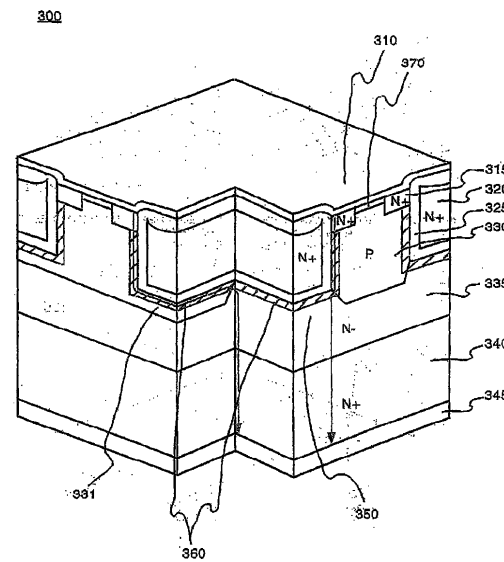


FIGURE 3B

【図 4】

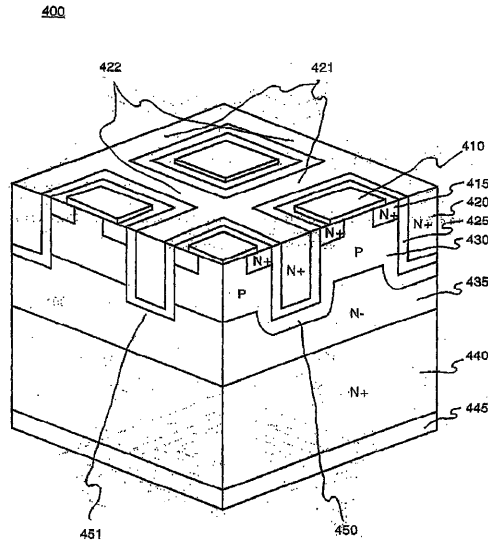


FIGURE 4

【図 5 A】

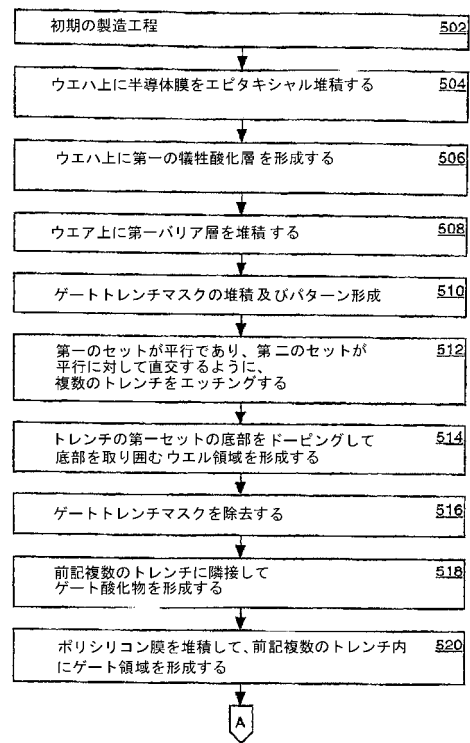


FIGURE 5A

【図 5 B】

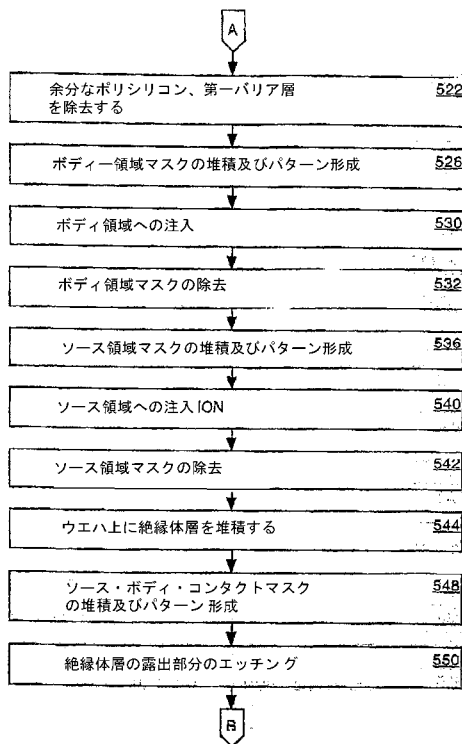


FIGURE 5B

【図 5 C】

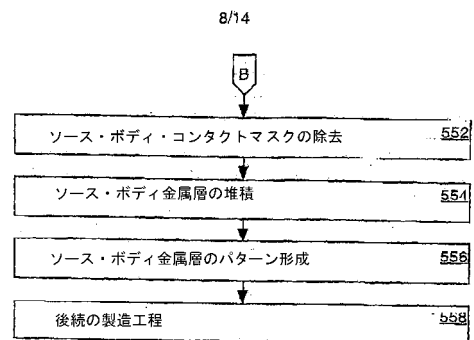


FIGURE 5C

【図 6 A】

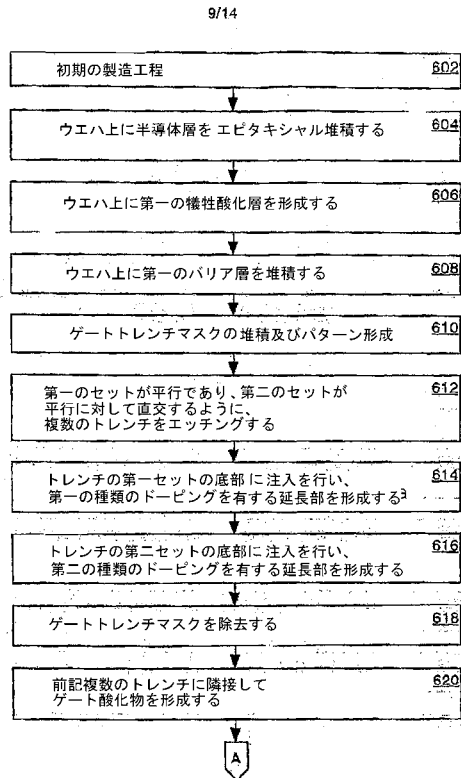


FIGURE 6A

【図 6 B】

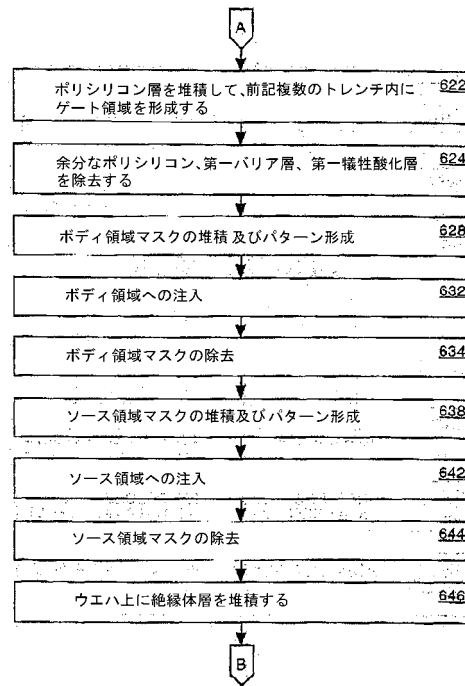


FIGURE 6B

【図 6 C】

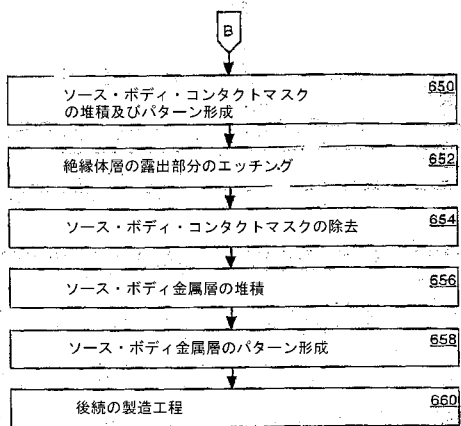


FIGURE 6C

【図 7 A】

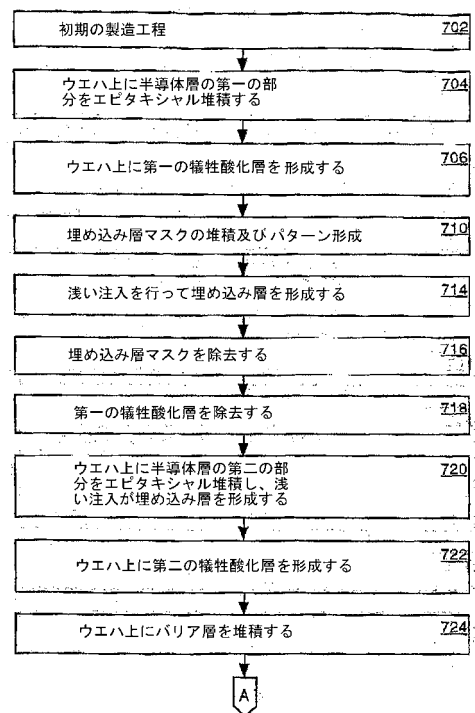


FIGURE 7A

【図 7 B】

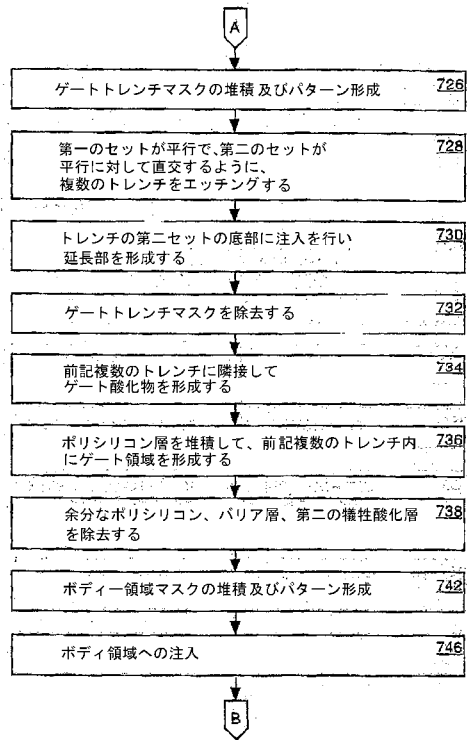


FIGURE 7B

【図 7 C】

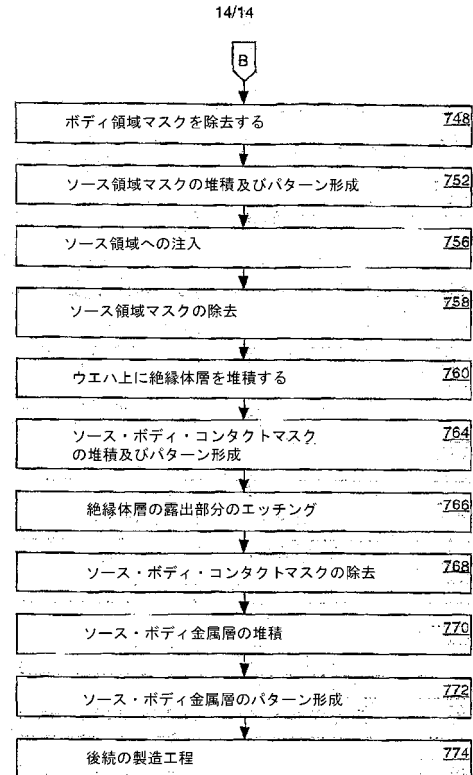


FIGURE 7C

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US04/40063

A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H01L 29/76, 29/94, 31/062, 31/113, 31/119 US CL : 257/327-334 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/327-334 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X, P	US 2004/0195618 (Saito et al.) 07 Oct 2004 (07.10.2004), section [0053]	1-10, 24-26
T	US 6,838,730 B1 (Kawaguchi et al.) 04 Jan 2005 (04.01.2005), column 8, lines 7-18	1-26
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"B"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 08 June 2005 (08.06.2005)		Date of mailing of the international search report 19 AUG 2005
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer Tom Thomas Telephone No. 703-308-0936

Form PCT/ISA/210 (second sheet) (January 2004)

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H O 1 L 29/78	6 5 8 A
	H O 1 L 29/78	6 5 8 E

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 シュー、 ロバート
アメリカ合衆国 9 4 5 3 9 カリフォルニア州 フリモント、 ルシンダ コート 4 0 1 6 4