(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5496105号
(P5496105)

(45)発行日　平成26年5月21日(2014.5.21)　(24)登録日　平成26年3月14日(2014.3.14)

(51)Int.Cl.　F I
H01L 29/786 (2006.01)　H01L 29/78 618C
H01L 21/336 (2006.01)　H01L 29/78 613Z
H01L 29/78 627C

請求項の数 2　(全 89 頁)

(21)出願番号　特願2010-537943 (P2010-537943)
(86)(22)出願日　平成20年12月9日 (2008.12.9)
(65)公表番号　特表2011-507267 (P2011-507267A)
(43)公表日　平成23年3月3日 (2011.3.3)
(86)国際出願番号　PCT/US2008/013499
(87)国際公開番号　WO2009/108173
(87)国際公開日　平成21年9月3日 (2009.9.3)
審査請求日　平成23年11月25日 (2011.11.25)
(31)優先権主張番号　61/006,028
(32)優先日　平成19年12月14日 (2007.12.14)
(33)優先権主張国　米国 (US)
(31)優先権主張番号　61/064,363
(32)優先日　平成20年2月29日 (2008.2.29)
(33)優先権主張国　米国 (US)

(73)特許権者　505082822
ナノシス・インク.
アメリカ合衆国９５０３５カリフォルニア州　ミルピタス、エス・ヒルビュー・ドライブ２３３
２３３　S. Hillview Drive Milpitas, CA　95035
U. S. A
(74)代理人　100079108
弁理士　稲葉　良幸
(74)代理人　100109346
弁理士　大貫　敏史

最終頁に続く

(54)【発明の名称】基板素子を形成するための方法

(57)【特許請求の範囲】
【請求項１】
１つまたは複数の基板素子を形成するための方法であって、
（a）　支持層の上に配置された基板層を提供する工程と、
（b）　前記基板層の少なくとも一部を覆うために、前記基板層の上に１つまたは複数のマスキング領域を配置する工程と、
（c）　覆われていない１つまたは複数の基板層セクションを除去する工程と、
（d）　前記マスキング領域を除去する工程と、
（e）　前記基板層の下方の前記支持層を除去し、それにより支持層の上方のブリッジとして懸垂された１つまたは複数の懸垂基板素子を形成する工程であって、前記懸垂基板素子が、懸垂基板素子の一方の末端または両方の末端で前記基板層に取り付けられた状態を維持する工程と、
（f）　前記懸垂基板素子の上に絶縁体層を配置する工程と、
（g）　前記絶縁体層の上にゲート層を配置する工程と、
（h）　前記ゲート層の少なくとも一部を覆うために、前記ゲート層の上に１つまたは複数のマスキング領域を配置する工程と、
（i）　覆われていないゲート層の少なくとも一部を除去し、それにより前記絶縁体層の１つまたは複数の部分を露出させ、かつ、１つまたは複数のゲート領域を形成する工程と、
（j）　（h）で蒸着された前記マスキング領域を除去する工程と、

（k） 前記絶縁体層および前記ゲート領域の上に保護層を配置する工程と、
（l） 前記絶縁体層の少なくとも一部の上に１つまたは複数のマスキング領域を配置する工程と、
（m） 覆われていない保護層の少なくとも一部を除去し、それにより前記絶縁体層の１つまたは複数の部分を露出させる工程と、
（n） （l）で配置された前記マスキング領域を除去する工程と、
（o） 前記懸垂基板素子を除去する工程と、
を含む方法。
【請求項２】
１つまたは複数の基板素子を形成するための方法であって、
（a） 支持層の上に配置された基板層を提供する工程と、
（b） 前記基板層の少なくとも一部を覆うために、前記基板層の上に１つまたは複数のマスキング領域を配置する工程と、
（c） 覆われていない１つまたは複数の基板層セクションを除去する工程と、
（d） 前記マスキング領域を除去する工程と、
（e） 前記基板層の下方の前記支持層を除去し、それにより基板層の上方のブリッジとして懸垂された１つまたは複数の懸垂基板セクションを形成する工程であって、前記懸垂基板セクションが、懸垂基板セクションの一方の末端または両方の末端で前記基板層に取り付けられた状態を維持する工程と、
（f） 前記懸垂基板セクションの上に絶縁体層を配置する工程と、
（g） 前記絶縁体層の上にゲート層を配置する工程と、
（h） 前記ゲート層の少なくとも一部を覆うために、前記ゲート層の上に１つまたは複数のマスキング領域を配置する工程と、
（i） 覆われていないゲート層の少なくとも一部を除去し、それにより前記絶縁体層の１つまたは複数の部分を露出させ、かつ、１つまたは複数のゲート領域を形成する工程と、
（j） （h）で蒸着された前記マスキング領域を除去する工程と、
（k） 前記ゲート領域によって覆われていない前記絶縁体層の少なくとも一部を除去し、それにより１つまたは複数の基板層領域を露出させる工程と、
（l） 前記ゲート領域および前記基板層領域の上に保護層を配置する工程と、
（m） 前記ゲート領域を少なくとも覆うために、前記保護層の少なくとも一部の上に１つまたは複数のマスキング領域を配置する工程と、
（n） 覆われていない保護層および前記基板層の少なくとも一部を除去する工程と、
（o） （m）で配置された前記マスキング領域を除去する工程と、
（p） 前記ゲート領域を覆って保護するために１つまたは複数のマスキング領域を配置する工程と、
（q） 前記覆われていない保護層を除去する工程と、
（r） （p）で配置された前記マスキング領域を除去する工程と、
（s） 前記基板層の下方の前記支持層の少なくとも一部を除去し、それにより１つまたは複数の懸垂基板素子を形成する工程であって、前記懸垂基板素子が前記基板層に取り付けられた状態を維持する工程と、
（t） 前記懸垂基板素子を除去する工程と、
を含む方法。
【発明の詳細な説明】
【技術分野】
【０００１】
[0002] 本発明は、ナノワイヤ、トランジスタおよび他の構造などの半導体素子を始めとする基板素子を形成する方法、ならびにこのような方法によって形成される素子に関する。
【背景技術】

【０００２】
[0001] 本発明の一部は、米国政府との米国特殊業務命令契約第Ｗ９１１ＱＹ－６６－Ｃ００９９号の契約によってなされたものである可能性がある。したがって米国政府は、本発明における特定の権利を有することができる。
【０００３】
[0003] ナノワイヤおよびトランジスタなどの電子コンポーネントを製造する方法は、歴史的に、金属触媒化蒸気－液体－固体（VLS）成長技法およびそれに引き続く、たとえば第２の基板上へのデバイスの製造を使用して実施されている。しかしながら、ＶＬＳ手法は、製造が可能なデバイスのタイプを制限している。たとえば、これらの構造は、通常、垂直方向に配向されるため、ＶＬＳ成長ウェーハの上にゲートまたは他の電極をパターニングすることは困難である。また、従来の金属酸化物半導体（MOS）トランジスタの標準フィーチャである自己整列ソースおよびドレインドープ構造を生成することは困難である。また、ドレイン領域が軽くドープされた(doped）構造を従来のＶＬＳ技法を使用して生成することも課題である。通常、ＶＬＳによって製造された構造（たとえばナノワイヤ）の垂直方向の配向は、半導体産業で広く使用されている多くの標準パターニング技法を排除している。
【０００４】
[0004] さらに、ＶＬＳ成長には金属触媒作用が利用されているが、これは、しばしば、形成される構造の汚染の原因になっており、また、寸法または表面の滑らかさを正確に制御することができない。
【発明の概要】
【発明が解決しようとする課題】
【０００５】
[0005] したがって、これらの欠点を克服する、基板素子を製造するための方法が必要である。
【課題を解決するための手段】
【０００６】
[0006] 本発明によれば、上で指摘した必要性は、ナノワイヤおよびトランジスタなどの電子コンポーネントを始めとする基板素子を形成するための方法を提供することによって満たされる。
【０００７】
[0007] 一実施形態では、本発明により、１つまたは複数の基板素子を形成するための方法が提供される。適切な一実施形態では、支持層の上に配置された基板層が提供される。次に、基板層の少なくとも一部を覆うために、１つまたは複数のマスキング領域が基板層の上に配置される。次に、覆われていない１つまたは複数の基板層セクションが除去される。次に、基板層の下方の支持層の少なくとも一部が除去され、それにより１つまたは複数の懸垂基板素子が形成され、これらの懸垂基板素子は、基板層に取り付けられた状態を維持し（適切な実施形態では、１つまたは複数の横方向の支持タブを介して）、また、除去に先立って処理することができる。次に、これらの基板素子が除去される。
【０００８】
[0008] 例示的実施形態では、基板層は半導体（たとえばケイ素）を備えており、また、支持層は半導体酸化物（たとえば酸化ケイ素）を備えている。他の実施形態では、支持層は、半導体合金（たとえばＳｉＧｅ）またはドープ半導体（たとえばドープＳｉ(doped Si)）を備えている。適切な実施形態では、本明細書において説明されているマスキング領域はフォトリソグラフィマスクであり、エッチング（等方性エッチングおよび異方性エッチングを含む）によって生じる様々な層が除去される。また、最終除去工程は、基板素子を除去するためのマスキング工程およびエッチング工程を含むことも可能である。他の実施形態では、超音波処理工程または機械切断工程を使用して基板素子を除去することができる。
【０００９】

[0009] 基板素子を処理する方法の例には、絶縁体層（たとえば酸化物層）などの様々な層を素子の上に配置し、次に、その絶縁体層の上にゲート層（たとえば金属またはポリシリコン）を配置する工程が含まれている。また、追加処理工程は、これらの素子を軽くドープする工程および重くドープする工程、ならびに窒化物層などの保護層を追加する工程を含むことも可能である。

【００１０】

[0010] また、本発明によれば、本明細書において説明されている様々なプロセスによって用意される、半導体コア、酸化物層、および金属またはポリシリコン外部シェルを備えるナノワイヤを始めとするナノワイヤが提供される。また、本発明によれば、本発明の様々なプロセスによって用意することができるトランジスタコンポーネントが提供される。

【００１１】

[0011] また、本発明によれば、１つまたは複数の基板素子を形成するための方法であって、処理の間、これらの基板素子が懸垂されない方法が提供される。好都合には、支持層の上に配置された基板層が提供され、次に、基板層の少なくとも一部を覆うために、１つまたは複数のマスキング領域が基板層の上に配置される。次に、覆われていない１つまたは複数の基板層セクションが除去され、それにより１つまたは複数の基板素子が形成される。次に、除去に先立ってこれらの基板素子が処理される（たとえば様々な層の配置、ドーピング、等々）。

【００１２】

[0012] 本発明の追加特徴および利点については、以下の説明の中に示されており、一部分は、以下の説明から明らかになり、あるいは本発明を実践することによって学ぶことができる。本発明のこれらの利点は、とりわけ文書で書かれた説明、および本明細書の特許請求の範囲、ならびに添付の図面の中で指摘されている構造によって認識し、かつ、獲得することができる。

【００１３】

[0013] 以上の一般的な説明および以下の詳細な説明は、いずれも、説明を目的とした例示的なものであり、特許請求される本発明に対するさらなる説明を提供することが意図されていることを理解されたい。

【００１４】

[0014] 本明細書に組み込まれ、かつ、本明細書の一部を形成している添付の図面は、本発明を示したものであり、以下の説明と共に、本発明の原理を説明し、かつ、当業者による本発明の構築および使用を可能にする役割をさらに果たしている。

【図面の簡単な説明】

【００１５】

【図１Ａ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。

【図１Ｂ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。

【図１Ｃ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。

【図１Ｄ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。

【図１Ｅ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。

【図１Ｆ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。

【図１Ｇ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。

【図１Ｈ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。

【図１Ｉ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｊ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｋ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｌ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｍ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｎ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｏ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｐ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｑ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｒ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｓ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｔ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｕ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｖ】[0015]本発明の一実施形態による基板素子を形成するための方法を示す略図である。
【図１Ｗ】[0016]本発明の一実施形態による、超音波処理によって除去される前の基板素子を示す図である。
【図１Ｘ】[0017]本発明の一実施形態による、機械的な切断によって除去される前の基板素子を示す図である。
【図２】[0018]本発明の一実施形態による基板素子を形成するための他の方法の流れ図である。
【図３Ａ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｂ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｃ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｄ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｅ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｆ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｇ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｈ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。

【図３Ｉ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｊ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｋ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｌ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｍ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｎ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｏ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図３Ｐ】[0019]本発明の一実施形態による基板素子およびトランジスタ素子を形成する方法を示す略図である。
【図４】[0020]本発明の一実施形態による基板素子およびトランジスタ素子を形成する他の方法の流れ図である。
【図５Ａ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｂ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｃ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｄ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｅ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｆ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｇ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｈ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｉ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｊ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｋ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｌ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｍ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｎ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｏ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｐ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。

【図５Ｑ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｒ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｓ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｔ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｕ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｖ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｗ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｘ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｙ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図５Ｚ】[0021]本発明の一実施形態による基板素子を形成する追加方法を示す略図である。
【図６】[0022]適切又は不適切に配置されたトランジスタ素子を示す略図である。
【図７】[0023]本発明の一実施形態による選択的エッチングプロセスを示す略図である。
【図８Ａ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｂ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｃ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｄ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｅ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｆ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｇ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｈ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｉ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｊ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｋ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図８Ｌ】[0024]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図９Ａ】[0025]本発明の一実施形態による基板素子を形成するさらに他の方法を示す流れ図である。
【図９Ｂ】[0025]本発明の一実施形態による基板素子を形成するさらに他の方法を示す流れ図である。

【図１０Ａ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｂ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｃ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｄ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｅ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｆ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｇ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｈ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｉ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｊ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｋ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｌ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｍ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｎ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｏ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｐ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｑ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１０Ｒ】[0026]本発明の一実施形態による基板素子を形成する他の方法を示す略図である。
【図１１Ａ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１１Ｂ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１１Ｃ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１１Ｄ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１１Ｅ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１１Ｆ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１１Ｇ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。

【図１１Ｈ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１１Ｉ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１１Ｊ】[0027]本発明の一実施形態による基板素子を形成する方法であって、図１０Ａ～１０Ｒからの続きを示す略図である。
【図１２Ａ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｂ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｃ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｄ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｅ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｆ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｇ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｈ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｉ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｊ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｋ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｌ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１２Ｍ】[0028]本発明の一実施形態による基板素子を形成する方法であって、図１１Ａ～１１Ｊからの続きを示す略図である。
【図１３Ａ】[0029]本発明の一実施形態による基板素子を形成する他の方法の流れ図である。
【図１３Ｂ】[0029]本発明の一実施形態による基板素子を形成する他の方法の流れ図である。
【図１４Ａ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｂ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｃ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｄ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｅ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｆ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｇ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。

【図１４Ｈ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｉ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｊ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｋ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｌ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｍ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｎ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｏ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｐ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｑ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１４Ｒ】[0030]本発明の一実施形態による基板素子を形成するさらに他の方法を示す図である。
【図１５】[0031]本発明の一実施形態による基板素子を形成するさらに他の方法の流れ図である。
【図１６】[0032]本発明の一実施形態による二次元ダイ回路を形成する方法を示す図である。
【図１７Ａ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｂ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｃ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｄ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｅ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｆ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｇ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｈ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｉ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｊ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｋ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｌ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。

【図１７Ｍ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１７Ｎ】[0033]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法を示す略図である。
【図１８】[0034]本発明の一実施形態による支持部材を利用して基板素子を形成するための方法の流れ図である。
【図１９Ａ】[0035]本発明の一実施形態による基板素子を除去する方法を示す略図である。
【図１９Ｂ】[0035]本発明の一実施形態による基板素子を除去する方法を示す略図である。
【図１９Ｃ】[0035]本発明の一実施形態による基板素子を除去する方法を示す略図である。
【図１９Ｄ】[0035]本発明の一実施形態による基板素子を除去する方法を示す略図である。
【図１９Ｅ】[0035]本発明の一実施形態による基板素子を除去する方法を示す略図である。
【図２０Ａ】[0036]本発明の一実施形態に従って用意された懸垂基板素子を示す図である。
【図２０Ｂ】[0036]本発明の一実施形態に従って用意された懸垂基板素子を示す図である。
【図２０Ｃ】[0036]本発明の一実施形態に従って用意された懸垂基板素子を示す図である。
【図２１】[0037]本発明の一実施形態による処理済み懸垂基板素子の断面を示す図である。
【図２２】[0038]本発明の一実施形態による処理済み懸垂基板素子の拡大断面を示す図である。
【図２３Ａ】[0039]本発明の一実施形態による基板素子を形成するための他の方法の流れ図である。
【図２３Ｂ】[0039]本発明の一実施形態による基板素子を形成するための他の方法の流れ図である。
【図２４Ａ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｂ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｃ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｄ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｅ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｆ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｇ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｈ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｉ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｊ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。

【図２４Ｋ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｌ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｍ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２４Ｎ】[0040]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２５Ａ】[0041]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２５Ｂ】[0041]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２５Ｃ】[0041]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２５Ｄ】[0041]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２５Ｅ】[0041]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２５Ｆ】[0041]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２５Ｇ】[0041]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２５Ｈ】[0041]本発明の一実施形態による基板素子を形成する方法を示す略図である。
【図２６Ａ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｂ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｃ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｄ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｅ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｆ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｇ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｈ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｉ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｊ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｋ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｌ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｍ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。

【図２６Ｎ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｏ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｐ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｑ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｒ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｓ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｔ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｕ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｖ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｗ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｘ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｙ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６Ｚ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６ＡＡ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２６ＡＢ】[0042]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法を示す略図である。
【図２７】[0043]本発明の一実施形態による、横方向の支持タブを利用して基板素子を形成する方法の流れ図である。
【図２８Ａ】[0044]本発明の一実施形態による応力除去構造を使用して基板素子を形成する方法を示す略図である。
【図２８Ｂ】[0044]本発明の一実施形態による応力除去構造を使用して基板素子を形成する方法を示す略図である。
【図２９Ａ】[0045]応力除去構造を使用していない基板素子の電子顕微鏡写真を示す図である。
【図２９Ｂ】[0045]応力除去構造を使用した基板素子の電子顕微鏡写真を示す図である。
【図２９Ｃ】[0046]横方向の支持タブおよび応力除去構造の両方を備えた基板素子の電子顕微鏡写真を示す図である。
【発明を実施するための形態】
【００１６】
[0047]　以下、本発明について、添付の図面を参照して説明する。図において、同様の参照番号は、全く同じ構成要素または機能的に類似した構成要素を表している。
【００１７】
[0048]　本明細書において図に示され、かつ、説明されている特定の実施態様は、本発明の例であり、これらの特定の実施態様には本発明の範囲を限定することは一切意図されていないことを理解されたい。実際、簡潔にするために、従来の電子工学、製造、半導体デバイス、およびナノクリスタル、ナノパーティクル、ナノワイヤ（NW）、ナノロッド、ナ

ノチューブおよびナノリボン技術、ならびにシステム（およびシステムの個々の動作コンポーネントのコンポーネント）の他の機能態様については、本明細書においては場合によっては詳細に説明されていない。さらに、この技法は、電気システム、光学システム、消費者電子工学、産業または軍事電子工学、無線システム、宇宙用途における用途または他の任意の用途に適している。

【００１８】

[0049] 本明細書において使用されているように、「ナノストラクチャ」という用語は、少なくとも１つの領域または寸法が約５００ｎｍ未満であり、約１ｎｍ未満程度を含む特性寸法を有する構造を意味している。本明細書において使用されているように、任意の数値が参照されている場合、「約」は、示されている値の±１０％の値を意味している（たとえば「約１００ｎｍ」には、９０ｎｍから１１０ｎｍまでのサイズの範囲（これらの値を含む）が包含されている）。本明細書において使用されている「ナノストラクチャ」という用語には、ナノパーティクル、量子ドット、ナノクリスタル、ナノワイヤ、ナノロッド、ナノリボン、ナノチューブ、ナノテトラポッド、および当業者に知られている他の類似ナノストラクチャが包含されている。本明細書全体を通して説明されているように、ナノストラクチャ（ナノパーティクル、ナノクリスタル、量子ドット、ナノワイヤ、等々を含む）は、好都合には、約５００ｎｍ未満の少なくとも１つの特性寸法を有している。好都合には、ナノストラクチャは、その少なくとも１つの特性寸法（たとえばナノストラクチャの幅または長さ全体の寸法）が約５００ｎｍ未満、約３００ｎｍ未満、約２００ｎｍ未満、約１００ｎｍ未満、約５０ｎｍ未満、約２０ｎｍ未満、約１５ｎｍ未満、約１０ｎｍ未満または約５ｎｍ未満である。

【００１９】

[0050] 本明細書において使用されているように、「基板素子」という用語は、基板材料または層から形成される構造を意味している。本発明の方法を使用して製造することができる基板素子の例には、それらに限定されないが、ワイヤ、ロッド、リボン、テトラポッド（ナノワイヤ、ナノロッド、ナノリボン、ナノテトラポッド、ナノチューブ、ナノドット、ナノクリスタル、等々などのナノストラクチャを含む）、ならびにトランジスタ、コンデンサ、ダイオード、抵抗器、絶縁体、等々などの回路素子、および他の用途では除去することができ、また、他の用途に利用することができる複雑なデバイスを形成する、同じ素子上のトランジスタ、コンデンサ、ダイオード、等々などの同じ基板素子上の回路素子の組合せがある。

【００２０】

[0051] 本発明の方法によって製造される基板素子は、無機導電性材料（たとえば金属）などの無機材料、半導電性材料および絶縁体材料を始めとする適切な任意の材料から製造することができる。例示的実施形態では、半導体素子は、本発明の方法を使用して製造される。本明細書において使用されているように、「半導体素子」は、少なくとも１つの半導体を備える構造を意味しており、例示的実施形態では、追加層または材料を備えることができる構造を意味している。本発明を実践するために使用される適切な半導体材料および半導体素子には、米国特許出願第１０／７９６，８３２号に開示されている半導体材料および半導体素子が含まれており、また、ＩＩ－ＶＩ属半導体、ＩＩＩ－Ｖ属半導体、ＩＶ－ＶＩ属半導体およびＩＶ属半導体を含む任意のタイプの半導体が含まれている。適切な半導体材料には、それらに限定されないが、Ｓｉ、Ｇｅ、Ｓｎ、Ｓｅ、Ｔｅ、Ｂ、Ｃ（ダイヤモンドを含む）、Ｐ、ＢＮ、ＢＰ、ＢＡｓ、ＡｌＮ、ＡｌＰ、ＡｌＡｓ、ＡｌＳｂ、ＧａＮ、ＧａＰ、ＧａＡｓ、ＧａＳｂ、ＩｎＮ、ＩｎＰ、ＩｎＡｓ、ＩｎＳｂ、ＡｌＮ、ＡｌＰ、ＡｌＡｓ、ＡｌＳｂ、ＧａＮ、ＧａＰ、ＧａＡｓ、ＧａＳｂ、ＺｎＯ、ＺｎＳ、ＺｎＳｅ、ＺｎＴｅ、ＣｄＳ、ＣｄＳｅ、ＣｄＴｅ、ＨｇＳ、ＨｇＳｅ、ＨｇＴｅ、ＢｅＳ、ＢｅＳｅ、ＢｅＴｅ、ＭｇＳ、ＭｇＳｅ、ＧｅＳ、ＧｅＳｅ、ＧｅＴｅ、ＳｎＳ、ＳｎＳｅ、ＳｎＴｅ、ＰｂＯ、ＰｂＳ、ＰｂＳｅ、ＰｂＴｅ、ＣｕＦ、ＣｕＣｌ、ＣｕＢｒ、ＣｕＩ、Ge_3N_4、（Ａｌ、Ｇａ、Ｉｎ）$_2$（Ｓ、Ｓｅ、Ｔｅ）$_3$、Al_2CO、および複数のこのような半導体の適切な組合せがある。他の実施形態では、基板素子は、

金属、ポリシリコン、重合体、絶縁体材料、等々などの材料を含むことができる。適切な金属には、それらに限定されないが、Ｐｄ、Ｐｔ、Ｎｉ、Ｗ、Ｒｕ、Ｔａ、Ｃｏ、Ｍｏ、Ｉｒ、Ｒｅ、Ｒｈ、Ｈｆ、Ｎｂ、Ａｕ、Ａｇ、Ｆｅ、Ａｌ、WN_2およびTaNがある。適切な絶縁体材料には、それらに限定されないが、SiO_2、TiO_2およびSi_3N_4がある。

【００２１】

[0052] 例示的実施形態では、本発明により、図１Ａ～１Ｖの略図を参照して図２に流れ図２００で示されている１つまたは複数の基板素子を形成するための方法が提供される。図１Ａ～１Ｖの略図では、ページの下半分の図（たとえば図１Ｂ、１Ｄ、１Ｆ、１Ｈ、１Ｊ、１Ｌ、１Ｎ、１Ｐ、１Ｒ、１Ｔおよび１Ｖ）は、本明細書全体を通して説明されている処理の間のウェーハ１０１の上面図を示している。ページの上半分の図（たとえば図１Ａ、１Ｃ、１Ｅ、１Ｇ、１Ｉ、１Ｋ、１Ｍ、１Ｏ、１Ｑ、１Ｓおよび１Ｕ）は、ウェーハ１０１の様々な層に沿った横断面図を示している。ページの下半分に示されている二重ヘッド矢印（１－１）は、ページの上半分に示されているウェーハ１０１に沿った横断面図の位置および方向を示している。

【００２２】

[0053] 流れ図２００に示されているように、工程２０２で、支持層１０４の上に基板層１０２が提供される。必ずしもその必要はないが、好都合には、基板層１０２は支持層１０４を完全に覆っている。通常、基板層１０２の厚さは、同じく必ずしもその必要はないが、支持層１０４より薄い。基板層１０２の厚さは、最終基板素子の複数の寸法のうちの１つを表している。通常、基板層１０２の厚さは、約１ｎｍから約１ｃｍまでであり、好都合には約１ｎｍから約１ｍｍまで、約１ｎｍから約１μｍまで、あるいは約１ｎｍから約５００ｎｍまでである。図１Ａに示されているように、好都合には、支持層１０４は、任意選択の支持プラットフォーム１０６の上に提供されている。

【００２３】

[0054] 例示的実施形態では、基板層１０２は半導体を備えている。例示的半導体は、本明細書において説明されており、Ｓｉ、Ｇｅ、Ｓｎ、ＳｅおよびＴｅがある。以下で詳細に説明されているように、好都合には、基板層１０２および支持層１０４は、差別的に除去することができる。つまり、基板層１０２は、支持層１０４を除去しない（あるいは実質的に除去しない）第１の物質によって除去され、同様に、支持層１０４は、基板層１０２を除去しない（あるいは実質的に除去しない）第２の物質によって除去される。実施形態では、基板層１０２は半導体を備えており、また、支持層１０４は、好都合には、半導体酸化物、半導体合金またはドープ半導体を備えている。例示的実施形態では、支持層１０４は、基板層１０２の酸化物などの半導体酸化物（たとえば基板層１０２がＳｉである場合、SiO_2）を備えているが、他の実施形態では、半導体酸化物は、基板層とは異なる半導体を備えることができる。

【００２４】

[0055] 他の実施形態では、支持層１０４は、基板層１０２の合金などの半導体合金（たとえば基板層１０２がＳｉである場合、ＳｉＧｅ）を備えているが、他の実施形態では、半導体合金は、基板層とは異なる半導体を備えることができる。本明細書において使用されているように、半導体合金という用語は、１つまたは複数の半導体材料と１つまたは複数の金属の均質な混合物を意味している。

【００２５】

[0056] 半導体合金の上に半導体を備えたウェーハ１０１を生成するための方法は、当分野においてはよく知られている。たとえば、エピタキシャル蒸着技術を使用して、もしくはＳＭＡＲＴ－ＣＵＴ（登録商標）処理を使用して、またはその２つの組合せを使用すること。米国特許第５，３７４，５６４号にＳＭＡＲＴ－ＣＵＴ（登録商標）処理が記載されており、この特許文献は、参照により、そのＳＭＡＲＴ－ＣＵＴ（登録商標）についての教示が本明細書に組み込まれている。ＳＭＡＲＴ－ＣＵＴ（登録商標）には、ボンディングに先立って注入される水素層、および薄い層を残すためにボンディング後に破砕され

るバルク(bulk)半導体（たとえばケイ素）が使用されている。ＳＭＡＲＴ－ＣＵＴ（登録商標）プロセスでは、水素注入および焼きなましを使用して、結合されたウェーハからデバイスウェーハのバルクが破砕される。化学機械研磨（CMP）を使用して、切断されたままのウェーハが平坦化され、かつ、その非一様性が最小化される。たとえば、ＳＭＡＲＴ－ＣＵＴ（登録商標）プロセスを利用して、次のようにして半導体／半導体合金ウェーハを形成することができる。１）デバイス品質表面層を有するためにデバイスウェーハ（たとえばＳｉ）が処理され、デバイス層の上に層が提供され、かつ、水素が豊富な埋込層が特定の深さに注入される。２）合金表面を備えた「ハンドルウェーハ」が提供される。３）デバイスウェーハがフリップ(flipped)され、かつ、表面が結合される。４）構造が焼きなましされ、水素化物の形成によって接続ボイド(voids)が形成される。５）構造が破砕される。６）転写されたデバイス層がＣＭＰ研磨され、かつ、浄化される。適切な実施形態では、半導体合金層は、シュードモルフィック（つまり格子と半導体基板層が整合している）であるか、あるいはひずみ半導体（たとえばＳｉ）技術および半導体合金（たとえばＳｉＧｅ）技術のために開発された技法を使用して、半導体合金層中のひずみを解放することができる。

【００２６】

[0057] 他の実施形態では、支持層１０４は、基板層１０２のドープ半導体などのドープ半導体（たとえば基板層１０２がＳｉである場合、ドープＳｉ）を備えているが、他の実施形態では、ドープ半導体は、基板層とは異なる半導体を備えることができる。支持層１０４のドープ半導体に使用するための例示的ドーパント(dopants)は、本明細書において開示されており、さもなければ当分野で知られている。半導体基板層１０２の下方のドープ半導体支持層（１０４）の生成は、当分野で知られている半導体エピタキシャル蒸着技術を利用して用意することができる。さらに他の実施形態では、支持層１０４はポリシリコンを備えることができる。

【００２７】

[0058] 流れ図２００の工程２０４で、基板層１０２の少なくとも一部を覆うために、１つまたは複数のマスキング領域１０８が基板層１０２の上に配置される。図１Ｃおよび１Ｄに示されているように、覆われていない基板層の２つのセクション１１０が側面に配置される方法で基板層１０２の帯がマスクされる。図１Ａ～１Ｖには、単一の基板素子の形成が示されているが、本発明の方法は、単一のウェーハ１０１または複数のウェーハのいずれかから、複数の基板素子（たとえば２個、５個、１０個、５０個、１００個、１０００個、１００００個、等々）を同時に用意することができるように適用することも可能であることに留意されたい。

【００２８】

[0059] 流れ図２００の工程２０６で、覆われていない基板層セクション１１０が除去される。これにより、図１Ｅに示されているように、マスキング領域の下方に基板セクション１１２が生成される。基板セクション１１２は、依然として、取付けポイント１１１の一方の末端または両方の末端のいずれかで基板層１０２に接続されていることに留意されたい。したがって、図１Ｅに示されているように、基板層１０２は、依然として、基板セクション１１２が取付けポイント１１１で接続されている断面の中に見ることができる。図１Ｅに示されているように、覆われていない基板層セクション１１０を除去することにより、基板層１０２の下方の支持層１０４のセクションが現れる。本明細書において説明されているように、基板層１０２および支持層１０４は差別的に除去することができるため、基板層１０２を除去しても、その下方に位置している支持層１０４の完全性には実質的に影響を及ぼさない。

【００２９】

[0060] 流れ図２００の工程２０８で、マスキング領域１０８が除去される。次に、工程２１０で、基板層１０２の下方の支持層１０４の少なくとも一部が除去され、それにより１つまたは複数の懸垂基板素子１１２’が形成される。他の実施形態では、工程２１０に先立ってマスキング領域１０８を除去する必要はないことに留意されたい。本明細書にお

いて指摘されているように、懸垂基板素子１１２’は、一方の末端（たとえば支持層１０４の上方でカンチレバーで支えられる）または両方の末端（たとえば支持層１０４の上方のブリッジとして懸垂される）のいずれかで基板層１０２に取り付けられた状態を維持する。本明細書において説明されているように、懸垂基板素子１１２’を生成する能力により、ウェーハ１０１からの除去に先立って、工程２１２でこのような素子をさらに処理することができる。図１Ｇに示されているように、懸垂基板素子１１２’は、工程２１０で、懸垂基板素子１１２’の下方を切り取る（たとえば１１４の部分）ために、支持層１０４が少なくとも十分に除去されるため、支持層１０４から完全に分離されている。工程２１４で、基板素子１１２’がウェーハ１０１から除去される。「基板素子」および「懸垂基板素子」という用語は、本明細書全体を通して交換可能に使用されており、懸垂基板素子は、一般に、依然として基板層１０２に取り付けられた状態の素子を意味するために使用されていることを理解されたい。さらに、基板セクション１１２は、下側が切り取られ、支持層１０４から分離される前の基板素子１１２を意味するために使用されていることを理解されたい。以下で詳細に説明されているように、基板素子１１２”は、支持部材１７０４によって支持される基板素子を意味している。

【００３０】

[0061] 適切な実施形態では、工程２０４におけるマスキング領域の配置には、フォトリソグラフィマスクなどの耐エッチ性マスキング領域を配置する工程が含まれている。次に、工程２０６で、好都合には、覆われていない基板層セクション１１０がエッチングによって除去される。通常、本明細書において使用されているように、様々な層の除去は、好都合には、エッチングによって実施される。

【００３１】

[0062] 本明細書において使用されているように、「エッチ」または「エッチング」という用語は、基板の露出した材料、つまり覆われていない材料（たとえば基板層、支持層ならびに他の物質）を除去する化学的プロセス、物理的プロセスまたはエネルギープロセスを含む任意のプロセスを意味している。適切なエッチング方法の例には、それらに限定されないが、ウェット化学エッチ（たとえば酢酸（CH_3COOH）、塩酸（ＨＣｌ）、フッ化水素酸（ＨＦ）、硝酸（HNO_3）、リン酸（H_3PO_4）、水酸化カリウム（ＫＯＨ）、水酸化ナトリウム（ＮａＯＨ）、硫酸（H_2SO_4）、ならびに当業者に知られている他の化学薬品を使用した、たとえば米国特許第７，１５３，７８２号、米国特許第７，１１５，５２６号、米国特許第５，８２０，６８９号参照）を始めとする酸エッチングまたは塩基エッチングなどの化学エッチング、光化学エッチング、たとえば米国特許第４，４１４，０６６号および米国特許第５，０９２，９５７号、ならびにＡｓｈｂｙ、「Ｐｈｏｔｏｃｈｅｍｉｃａｌ Ｄｒｙ Ｅｔｃｈｉｎｇ ｏｆ ＧａＡｓ」、Ａｐｐｌ．Ｐｈｙｓ．Ｌｅｔｔ．４５：８９２（１９８４）；Ａｓｈｂｙ ｅｔ ａｌ．、「Ｃｏｍｐｏｓｉｔｉｏｎ－ｓｅｌｅｃｔｉｖｅ Ｐｈｏｔｏｃｈｅｍｉｃａｌ Ｅｔｃｈｉｎｇ ｏｆ Ｃｏｍｐｏｕｎｄ Ｓｅｍｉｃｏｎｄｕｃｔｏｒｓ」、Ａｐｐｌ．Ｐｈｙｓ．Ｌｅｔｔ．４７：６２（１９８５）、Ｓｍｉｔｈ、Ｒ．Ａ．、Ｓｅｍｉｃｏｎｄｕｃｔｏｒｓ、２ｎｄ Ｅｄ．、Ｃａｍｂｒｉｄｇｅ Ｕｎｉｖ．Ｐｒｅｓｓ、Ｎｅｗ Ｙｏｒｋ、１９７８年、２７９頁参照、プラズマエッチング、たとえば米国特許第３，６１５，９５６号、米国特許第４，０５７，４６０号、米国特許第４，４６４，２２３号および米国特許第４，５９５，４５４号参照、反応性イオンエッチング（RIE）、たとえば米国特許第３，９９４，７９３号、米国特許第４，５２３，９７６号および米国特許第４，５９９，１３６号参照、電子ビームエッチング、たとえば米国特許第４，６３９，３０１号、米国特許第５，１４９，９７４号および米国特許第６，７５３，５３８号、およびＭａｔｓｕｉ ｅｔ ａｌ．、「Ｅｌｅｃｔｒｏｎ Ｂｅａｍ Ｉｎｄｕｃｅｄ Ｓｅｌｅｃｔｉｖｅ Ｅｔｃｈｉｎｇ ａｎｄ Ｄｅｐｏｓｉｔｉｏｎ Ｔｅｃｈｎｏｌｏｇｙ」、Ｊｏｕｒｎａｌ ｏｆ Ｖａｃｕｕｍ Ｓｃｉｅｎｃｅ ａｎｄ Ｔｅｃｈｎｏｌｏｇｙ Ｂ ７（１９８９）、Ｗｉｎｋｌｅｒ ｅｔ ａｌ．「Ｅ－Ｂｅａｍ Ｐｒｏｂｅ Ｓｔａｔｉｏｎ Ｗｉｔｈ Ｉｎｔｅｇｒａｔｅｄ Ｔｏｏｌ Ｆｏｒ Ｅｌｅｃｔｒｏｎ Ｂｅ

ａｍ Ｉｎｄｕｃｅｄ Ｅｔｃｈｉｎｇ」、Ｍｉｃｒｏｅｌｅｃｔｒｏｎｉｃ Ｅｎｇｉｎｅｅｒｉｎｇ ３１：１４１－１４７（１９９６）参照、がある。上に挙げた特許および参考文献の各々は、あらゆる目的に対して、とりわけ様々なエッチング方法および構成のそれらの開示に対して、参照によりそれら全体が本明細書に組み込まれている。ドープ半導体または半導体合金が支持層１０４として利用される実施形態では、合金材料（たとえばＧｅ）の含有量に応じて差別的エッチ速度(differential etch rates)を有する気相エッチなどのエッチを利用することができる。通常、このようなエッチ、たとえばＨＣｌは、ＨＦなどの粗悪なエッチと比較すると、利用するための問題が少ない。

【００３２】

[0063] 本明細書において使用されているように、「異方性的に」エッチングする、とは、１つの主方向のエッチングの速度が他の方向のエッチングの速度より速いことを意味している。好都合には、異方性エッチングの場合、主方向（たとえば基板表面の平面に対して直角の方向）以外の方向のエッチングの速度は、ほぼゼロである。好都合には、工程２０６における除去は、好都合には異方性エッチングによって実施される。たとえば、図１Ｅに示されているように、基板層１０２は、主として、基板層１０２の平面に直角の方向にのみ除去される。基板層が異方性的にエッチ除去されると、つまり基板の平面に対して直角の方向にのみ除去されると、生成される基板素子１１２’の断面の直径は、基板を覆っていたマスキング領域１０８のサイズと実質的に同じサイズになる。たとえば、マスキング領域１０８がたとえば図１Ｄおよび１Ｅに示されているように帯状に配置され、その幅が約１００ｎｍであり、次に、基板層１０２の覆われていない部分に対して異方性エッチングが実施されると、基板層１０２の厚さは約１００ｎｍであり、寸法が約１００×１００ｎｍ程度の基板素子１１２’が生成される。したがって、基板層１０２の厚さおよびマスキング領域１０８の幅を制御することにより、基板素子１１２’の断面寸法を制御することができる。好都合には、基板素子１１２’の断面寸法は、約１ｎｍ～約５００ｎｍ×約１ｎｍ～約５００ｎｍ程度である。断面寸法は、両方の方向で同じであってもよい（つまり正方形の形であってもよい）が、同じ断面寸法を有していない素子も、同じく、本明細書において説明されている方法を使用して形成することができることを理解されたい。さらに、マスキング領域１０８の長さを制御することにより、基板素子１１２’の最大長さを設定することができ、次に、引き続いて、除去中または処理中に、必要に応じて短くすることができる。

【００３３】

[0064] 好都合には、流れ図２００の工程２１０における除去工程にはエッチング工程が含まれており、例示的実施形態では、等方性エッチング工程が含まれている。等方性エッチングは、エッチングの速度がすべての方向に対して同じであるか、あるいは実質的に同じであるエッチングプロセスを意味している。つまり、主エッチング方向は存在していない。図１Ｇに示されているように、等方性エッチングは、すべての方向に対して実質的に同じ速度で材料を除去することにより、基板層１０２の下方の支持層１０４の除去を可能にしており、具体的には、基板素子１１２’の下方の切取り（たとえば１１４の部分）を可能にしており、それにより、基板層１０２への１つまたは２つの取付けポイント１１１間における基板素子１１２’の懸垂を可能にしている（他の実施形態では、懸垂基板素子１１２’は、基板層１０２への３つ以上の取付けポイント１１１で取り付けることができる）。

【００３４】

[0065] 例示的実施形態では、様々な実施形態を通して使用されているマスキング領域１０８は、ネガ型フォトレジスタント材料を備えることができる。他の実施形態では、「ポジ型フォトレジスタント層」を使用することができる。本明細書において使用されているように、「ネガ型フォトレジスタント層」は、放射（可視光波長および紫外光波長、ならびに電子ビームおよびx線放射を含む）に露光されると、フォトレジスト現像液に対して比較的不溶性になる材料を意味している。したがってネガ型フォトレジスタント層の露光されない部分（つまり覆われた部分）は、フォトレジスト現像液によって溶解させること

ができ、一方、覆われた領域は、現像することはできない。ネガ型フォトレジスト層ならびにフォトレジスト現像液の使用方法の例については、たとえば、参照によりその開示全体が本明細書に組み込まれている、Ｓｚｅ、Ｓ．Ｍ．、「Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｄｅｖｉｃｅｓ，Ｐｈｙｓｉｃｓ ａｎｄ Ｔｅｃｈｎｏｌｏｇｙ」、Ｊｏｈｎ Ｗｉｌｅｙ ＆ Ｓｏｎｓ、Ｎｅｗ Ｙｏｒｋ、４３６～４４２頁（１９８５）を参照されたい。通常、本発明を実践するために使用されるネガ型フォトレジストは、感光性化合物と組み合わせた重合体を備えている。この感光性化合物は、放射（たとえばUV光）に露光されると、重合体と交さ結合して、現像溶媒に対して耐性になる。しかしながら、露光されない領域は、現像溶媒によって除去することができる。いくつかの例示的ネガ型フォトレジスト材料および現像液には、Ｋｏｄａｋ（登録商標）７４７、共重合体アクリル酸エチルおよびグリシジルメタクリラート（ＣＯＰ）、ＧｅＳｅおよびポリ（グリシジルメタクリラート共アクリル酸エチル）ＤＣＯＰＡがある。ネガ型フォトレジスト材料の配置は、適切な任意の方法、たとえばスピン塗布方式、スプレー塗布方式を使用して実施することができ、さもなければ層を層状にすることによって実施することができる。一方、「ポジ型フォトレジスタント」材料は、放射に露光されると化学的な頑丈性が弱くなり、したがってネガ型フォトレジスタント材料とは逆の方法で作用する。ここでは、放射に露光される材料はマスクの生成を維持し、一方、露光されない領域は除去される。

【００３５】

[0066] したがって、例示的実施形態では、フォトレジスト層は、支持層１０２の上に配置される。次に、放射への露光後に、化学的に頑丈ではない領域（つまり化学的に除去することができる領域）を除去することができるよう、フォトレジスト層の頂部に所望のパターンが置かれ、それにより、基板層１０２（または本明細書において説明されている他の層）の、耐エッチ性の、開放された、覆われていない領域であるマスキング領域１０８が後に残される。後に残されるこのマスキング領域１０８は、次に、たとえば本明細書全体を通して説明されている様々な方法を使用してエッチ除去することができる。

【００３６】

[0067] 流れ図２００の工程２０８におけるマスキング領域１０８の除去は、溶解溶液(dissolving solution)（たとえばアルコールまたは水をベースとする溶液）を使用した基板層１０２の単純な水洗またはすすぎなどの適切な任意の方法を使用して、マスキング領域１０８を除去することによって実施することができ、あるいはプラズマ灰化（たとえばO_2ガスに基づくプラズマエッチ）によって実施することができる。

【００３７】

[0068] 他の実施形態では、マスキング領域１０８は、基板層１０２などの様々な表面に配置される窒化物層を備えることができる。次に、フォトリソグラフィマスクを使用してこの窒化物層をパターニングすることができ、パターニングされたこの窒化物層は、次に、下方に位置している覆われた領域のエッチングを防止する「ハードマスク」を形成するためにエッチングされる。フォトリソグラフィ技法と組み合わせた窒化物マスキングの使用については、当業者によく知られている。

【００３８】

[0069] 工程２１４で、様々な方法を使用してウェーハ１０１から基板素子１１２’を除去することができる。たとえば、適切な実施形態では、工程２１４における除去工程には、図１Ｏおよび１Ｐに示されているように、最初に懸垂基板素子１１２’の上に１つまたは複数のマスキング領域１０８を配置する工程が含まれている。次に、懸垂基板素子１１２’および／または基板層１０２の少なくとも一部が除去され、それにより、図１Ｑおよび１Ｒに示されているように、懸垂基板素子１１２’が基板層１０２から分離される（たとえば複数の取付けポイント１１１のうちの１つまたは複数のポイントで分離するためにエッチングされる）。図１Ｒに示されているように、基板素子１１２’／基板層１０２を除去することにより、下方の支持層１０４が現れる。図１Ｓおよび１Ｔに示されているように、基板素子１１２’はマスキング領域１０８によって取り囲まれており、また、この構造全体をウェーハ１０１から除去することができる。代替実施形態では、基板素子１１

２’およびマスキング領域１０８は、マスキング領域１０８を除去するまではウェーハ１０１の上に残しておくことができる。マスキング領域１０８が除去されると（たとえば溶解されると）、たとえば、図１Ｖおよび１Ｕに示されているように、基板素子１１２’が個別の構造として残される。本明細書全体を通して説明されているように、好都合には、マスキング領域１０８は、耐エッチ性のフォトリソグラフィマスクである。懸垂基板素子１１２’および／または基板層１０２の一部分の除去は、好都合には、本明細書において説明されている様々な技法を使用したエッチングによって実施される。適切な実施形態では、基板素子１１２’が、エッチングによって、主として基板層の平面に対して直角の方向に基板層１０２から除去され、それにより「切断」が基板素子１１２’の末端で実施されるよう、異方性エッチングが使用される。

【００３９】

[0070] 他の実施形態では、たとえば超音波を使用して懸垂基板素子１１２’を単純に揺り動かすか、あるいは振動させることによって基板素子１１２’を基板層１０２から除去することができる。図１Ｗに示されているように、懸垂基板素子１１２’は、極めて薄い、つまり壊れやすい接続１２４を介して基板層１０２に取り付けることができる。懸垂基板素子１１２’を超音波処理することにより、素子を基板層１０２から引き離すことができる。さらに他の実施形態では、機械的な切断、鋸引きによって基板素子１１２’を基板層１０２から除去することができ、あるいはこれらの素子を基板層１０２から分離することができる。たとえば、図１Ｘに示されているように、たとえば切断線１２８に沿って基板素子１１２’を基板層１０２から機械的に切り離すことができる。基板素子１１２’を基板層１０２から機械的に切り離すための方法の例には、鋸、ナイフまたは刃、レーザ、ウォータジェットおよび他の同様のデバイスの使用がある。

【００４０】

[0071] 本明細書全体を通して説明されているように、基板素子１１２’をそれらが懸垂されるように（つまり一方または両方の末端で、さらには追加取付けポイント１１１を介して基板層１０２に取り付けられるように）形成することにより、流れ図２００の工程２１２に示されているように、ウェーハ１０１の上に依然として存在している間に、これらの素子をさらに処理することができる。基板素子１１２’が懸垂される、ということは、これらの素子の１つの表面（たとえば頂部、底部または一方の側面）を処理することができ、あるいは、好都合には、基板素子１１２’の下方が切り取られると、すべての表面が露出するため、すべての表面を同時に処理することができることを意味している。

【００４１】

[0072] 他の実施形態では、処理の間、懸垂基板素子１１２’に追加支持を提供するために、懸垂基板素子１１２’と支持層１０４の間に充填材料を追加して安定化を提供することができ、それにより、処理の間、ベンディング(bending)またはバックリング(buckling)／サッギング(sagging)を抑制し、また、素子の破壊および接触を抑制することができる。本発明を実践するために使用することができる例示的充填材料には、それらに限定されないが、半導体合金（たとえばＳｉＧｅ）などの半導体をベースとする材料（たとえばＳｉをベースとする材料）、ドープ半導体（たとえばドープＳｉ）またはポリシリコンがある。好都合には、このような充填材料は、懸垂基板素子１１２’と比較すると差別的にエッチングすることができるため、後でそれらを除去することができ、その一方で、懸垂基板素子１１２’および／またはこのような素子の上に既に配置されている層に対する影響が制限される。このような充填材料は、ナノワイヤなどの基板素子をウェット処理している間、処理中にこれらのナノワイヤが互いに接触するのを防止し、および／またはこれらのナノワイヤが支持層１０４と接触するのを防止するためにとりわけ有用である。

【００４２】

[0073] 図１Ｉに示されているように、基板素子１１２’上で実施することができる初期処理は、より円形に近い、あるいはより楕円形に近い断面が生成されるよう、基板素子１１２’の角を「丸くする」ことである。この「丸くする」ことは不要であることを理解されたい。一実施形態では、この初期処理は、酸化物層を配置する工程（たとえば本明細書

において説明されている酸化物の薄い層を成長させる工程）と、次に、この「犠牲」酸化物層を除去またはエッチ除去する工程を含むことができる。犠牲酸化物層をエッチ除去することにより、基板素子１１２’のきれいな層が現れ、さらに、形成後に最初に出現する素子の角も若干丸くなっている。追加実施形態では、Ｈガスの存在下での熱処理によっても、後続する処理および除去に先立って、同じく基板素子１１２’の角を丸くすることができる。

【００４３】

[0074] 後続する処理は、懸垂基板素子１１２’の上に絶縁体層を配置する工程を含むことができる。図１Ｋおよび１Ｌに示されているように、絶縁体層１１６は、好都合には、基板素子１１２’のすべての露出表面を覆うように配置される。例示的実施形態では、絶縁体層１１６は、基板素子１１２’上で成長する酸化物層である。たとえば、基板層１０２が、Ｓｉ、Ｇｅ、Ｓｎ、Ｓｅ、ＴｅまたはＢなどの半導体である場合、成長する酸化物は、酸化Ｓｉ（SiO_2）、酸化Ｇｅ、酸化Ｓｎ、酸化Ｓｅ、酸化Ｔｅまたは酸化Ｂなどの半導体酸化物である。基板素子が懸垂されると、素子のすべての表面が一様に酸化され、したがって酸化物層は、素子からすべての方向に／素子上に本質的に一様に「成長」する。つまり、層は、すべての方向に本質的に同じ速度で成長し、したがって基板素子１１２’の表面に対して直角の方向に厚さを増す。しかしながら、成長速度は、結晶学的配向、応力ならびに他の要因によって変化することがあることに留意されたい。

【００４４】

[0075] 本明細書全体を通して使用されているように、絶縁体層１１６を含む様々な層の配置を説明するために使用される「配置される」という用語は、たとえば、様々な層（たとえば絶縁体層）が、基板素子１１２’の上に形成され、加えられ、蒸着され、あるいは生成されることを表している。絶縁体層１１６に関連して使用される「配置される」という用語は、絶縁体層（たとえば酸化物層）の実際の成長に限定してはならない。図１Ｋは、絶縁体層１１６がそのすべての表面に一様に、あるいは実質的に一様に配置されている基板素子１１２’の断面を示したものである。基板素子１１２’の上に配置される絶縁体層１１６の量は、配置の方法に応じて様々な方法で制御することができる。たとえば、酸素の量を少なくし、あるいは多くすることにより、成長する酸化物層の厚さを制御することができる。場合によっては、絶縁体層１１６を配置することによって懸垂基板素子１１２’が膨張することがあることが分かっている。したがって、処理の間、バックリングを最小化するためには、両方の末端で取り付けられる懸垂基板素子１１２’ではなく、カンチレバーで支えられる（つまり取付けポイント１１１を介して一方の末端でのみ取り付けられる）懸垂基板素子１１２’を使用することが場合によって望ましい。基板素子１１２’の膨張を制限し、あるいは克服するための他の方法は、高められた温度で絶縁体蒸着（たとえば酸化物成長）を実施するか、あるいは成長後熱焼きなましを実施することである。追加解決法には、プラズマ化学蒸着（CVD）または低圧化学蒸着（LPCVD）などによる絶縁体層の蒸着が含まれている。

【００４５】

[0076] 追加実施形態では、基板素子１１２’上でさらに他の処理を実施することができる。たとえば、図１Ｍおよび１Ｎに示されているように、絶縁体層１１６の上にゲート層１２０を配置することができる。図１Ｋ～１Ｌで指摘したように、絶縁体層１１６は、通常、基板素子１１２’および基板層１０２の露出した表面にのみ配置されるが（たとえば酸化物を成長させる場合）、ゲート層１２０の配置は、好都合には、露出したすべての表面を覆っている。好都合には、ゲート層１２０は、金属またはポリシリコン層であるか、あるいは類似した導電性材料である。ゲート層１２０として使用するための例示的金属には、それらに限定されないが、パラジウム（Ｐｄ）、イリジウム（Ｉｒ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、金（Ａｕ）、ルテニウム（Ｒｕ）、コバルト（Ｃｏ）、タングステン（W）、テルル（Ｔｅ）、レニウム（Ｒｅ）、モリブデン（Ｍｏ）、鉄白金合金（ＦｅＰｔ）、窒化タンタル（ＴａＮ）、等々がある。

【００４６】

[0077] 適切な実施形態では、この方法によって形成される基板素子はナノワイヤである。したがって、他の実施形態では、本発明により、ナノワイヤが提供される。たとえば、ナノワイヤは、最初に、支持層１０４の上に配置された基板層１０２を提供することによって製造される。本明細書において説明されているように、好都合には、基板層１０２は半導体を備えており、また、支持層１０４は半導体酸化物を備えている。次に、基板層１０２の少なくとも一部を覆うために、１つまたは複数のマスキング領域１０８（たとえばフォトリソグラフィ耐エッチ性マスキング領域）が基板層１０２の上に配置される。次に、覆われていない１つまたは複数の基板層セクション１１０が除去され（たとえばエッチングによって）、基板セクション１１２が生成される。好都合には、マスキング領域１０８の除去に引き続いて、基板層１０２の下方の支持層１０４の少なくとも一部が除去され、それにより１つまたは複数の懸垂基板素子１１２’が形成される。この懸垂基板素子１１２’は、少なくとも１つの取付けポイント１１１で基板層１０２に取り付けられた状態を維持し、除去に先立つそれらの処理（たとえば様々なシェル層の追加、等々）を可能にする。次に、基板素子１１２’がナノワイヤ１２２として除去される。

【００４７】

[0078] 本明細書全体を通して説明されているように、ナノワイヤは、図１Ｏおよび１Ｐに示されているように、懸垂基板素子１１２’の上に１つまたは複数のマスキング領域１０８（たとえば耐エッチ性フォトリソグラフィマスク）を配置することによって除去することができる。次に、懸垂基板素子１１２’および／または基板層１０２の少なくとも一部が除去され（たとえばエッチングによって）、それにより、図１Ｑおよび１Ｒに示されているように、懸垂基板素子１１２’が基板層１０２から分離される。図１Ｓおよび１Ｔに示されているように、基板素子１１２’はマスキング領域１０８によって取り囲まれており、ウェーハ１０１から除去することができる。他の実施形態では、基板素子１１２’は、懸垂基板素子１１２’を単純に揺り動かすか、あるいは振動させることによって基板層１０２から除去することができ、あるいはそれらを基板層１０２から機械的に切断することによって除去することができる。

【００４８】

[0079] 本発明の方法によって提供されるナノワイヤ１２２は、好都合にはコア層（たとえば基板層１１２、たとえば半導体）を備えており、次に、１つまたは複数のシェル層（たとえば絶縁体層１１６および／またはゲート層１２０）がこのコアを取り囲んでおり、それによりコアーシェルーシェル構造を形成している。たとえばナノワイヤ１２２の上に金属または他の材料の追加層を配置するために、本明細書において開示されている方法を使用して追加層／シェルを追加することも可能である。本明細書において説明されているように、ナノワイヤ１２２の直径（または断面）は、所望の厚さの基板層１０２を配置し、次に、マスクされていない領域が除去された後に所望の断面が生成されるよう、所望のセクションをマスキングすることによって制御することができる。ナノワイヤ１２２は、好都合には約５～５００ｎｍの直径を有するように用意され、好都合には約１０～４００ｎｍ、約５０～３００または約１００～２００ｎｍ、たとえば約２０ｎｍ、約３０ｎｍ、約４０ｎｍ、約５０ｎｍ、約６０ｎｍ、約７０ｎｍ、約８０ｎｍ、約９０ｎｍ、約１００ｎｍ、約１１０ｎｍ、約１２０ｎｍ、約１３０ｎｍ、約１４０ｎｍ、約１５０ｎｍ、約１６０ｎｍ、約１７０ｎｍ、約１８０ｎｍ、約１９０ｎｍまたは約２００ｎｍの直径を有するように用意される。ナノワイヤ１２２の長さは、基板層１０２の最初の寸法、ならびにマスキング領域１０８を配置している間に形成される、覆われていない基板領域のサイズによって制御することができる。適切な実施形態では、ナノワイヤ１２２の長さは、約０．５μｍから約５０μｍまでの程度であり、好都合には約０．５μｍから約２０μｍまで、たとえば約０．５μｍから約１０μｍまで、あるいは約１μｍから約１０μｍまでの長さである。

【００４９】

[0080] 追加実施形態では、本発明の方法は、それには限定されないが、流れ図２００の工程２１６に示されているように、懸垂基板素子１１２’に１つまたは複数のドーパント

原子をドープする工程を含む追加処理工程を含むことができる。本明細書において使用されているように、「ドープする」とは、半導体（たとえばケイ素）などの基板に、基板材料との結合に必要なより多くの数の電子（n型、n）、あるいはより少ない数の電子（p型、p）を有するドーパント原子を成長させ、あるいは注入することを意味している。たとえば、シリコン結晶中の原子の濃度は約５×１０^{23}／ｃｍ^{3}である。室温におけるケイ素の真性キャリア濃度は約１×１０^{10}／ｃｍ^{3}である。約１×１０^{13}／ｃｍ^{3}から５×１０^{15}／ｃｍ^{3}までの濃度でのドーピング、あるいは５×１０^{10}個の結晶原子当たり１個のドーパント原子から１×１０^{8}個の結晶原子当たり１個のドーパント原子までのドーピングは、軽くドープされた（n^{-}、p^{-}）、と見なされている。追加実施形態では、軽いドーピングは、１×１０^{17}／ｃｍ^{3}から１×１０^{18}／ｃｍ^{3}までのドーピングを含むことができる。軽くドープされた半導体は、金属酸化物半導体電界効果トランジスタ（MOSFET）の反転層の場合のように、少数キャリアを使用して電流を流さなければならない場合に使用される。約５×１０^{17}／ｃｍ^{3}以上の濃度でのドーピング、あるいは１×１０^{5}個の結晶原子当たり１個のドーパント原子のドーピングは、重くドープされた（n^{+}、p^{+}）、と見なされている。重くドープされた半導体中の電子は、室温ではすべて伝導帯中に存在し、ｎ$^{+}$およびｐ$^{+}$ドープ半導体は金属として挙動する。ドーピングは、ドープされる１つまたは複数の表面に対して任意の方向にドーパント原子を提供することによって実施することができる。適切な実施形態では、ドーパント原子は、ドープされる表面に対して直角（９０°）の方向に提供されるか、あるいは表面に対して約３０°～８０°の間の角度、約３０°～６０°の角度、あるいは約４５°の角度で提供される。流れ図２００の工程２２０に示されているように、工程２１６におけるドーピングに引き続いて、ドーパント原子／懸垂基板素子１１２’に熱焼きなましを適用することができる。本明細書において使用されているように、熱焼きなましは、基板層１０２ならびに活性ドーパント原子中へのドーパント原子の拡散を促進する適切な温度まで加熱することを意味している。例示的実施形態では、この熱焼きなまし工程には、数秒から数分ないし数時間にわたる期間、好都合には３～５０秒以下程度の期間の間、約５００℃～１５００℃に加熱する工程が含まれている。

【００５０】

[0081] 他の実施形態では、ドーピングを含む基板素子１１２’の処理は、図３Ｏおよび３Ｐに示されている１つまたは複数のトランジスタ素子３０６を製造するために、図４の流れ図４００を参照して図３Ａ～３Ｐの略図に示されているように実施することができる。適切な実施形態では、図４の流れ図４００に示されているように（また、図２に示され、かつ、上で説明したように）、工程４０２で、支持層１０４（たとえば半導体酸化物、半導体合金またはドープ半導体）の上に配置された基板層１０２（たとえば半導体）を備えたウェーハ１０１が提供される。工程４０４で、基板層１０２の上にマスキング領域１０８（フォトレジスタントエッチマスクなどの）が配置され、次に、工程４０６で、覆われていない基板層セクションが除去される。これにより、基板素子１１２が生成される。好都合には、マスキング領域１０８が除去されると、工程４１０で基板層１０２の下方の支持層１０４の一部が除去され、懸垂基板素子１１２’が形成される。

【００５１】

[0082] 次に、工程４１２で、たとえば酸化物層を成長させることにより、懸垂基板素子１１２’の上に絶縁体層１１６が配置される。工程４１４で、絶縁体層１１６の上にゲート層１２０（たとえば金属またはポリシリコン）が配置される。これにより、図３Ａおよび３Ｂに示されている構造が生成される。横断面図３Ａに示されているように、懸垂基板素子１１２’は、絶縁体層１１６によって覆われており、さらに外部ゲート層１２０によって覆われている（この外部ゲート層１２０は、図３Ａに示されているようにウェーハ１０１全体を覆っている）。

【００５２】

[0083] 流れ図４００の工程４１６で、図３Ｃおよび３Ｄに示されているように、ゲート層１２０の上にマスキング領域１０８（たとえばフォトリソグラフィマスクなどの耐エッ

チ性マスキング領域）が配置される。好都合には、図３Ｄに示されているように、マスキング層１０８によって覆われるのはゲート層１２０の一部のみであり、たとえば懸垂基板素子１１２’の中心に近い部分のみである。流れ図４００の工程４１８で、覆われていないゲート層１２０が除去され、それにより、図３Ｆに示されているように、下方の絶縁体層１１６が現れる。また、これにより、マスキング層１０８の下方にゲート領域３０５（ゲート層１２０の一部を備えている）が形成される。

【００５３】

[0084] 次に、流れ図４００の工程４２０で、任意選択により、図３Ｇおよび３Ｈに示されているように、基板層１０２にドーパント原子３０２がドープされ、ドープ領域３０４が形成される。本明細書において指摘されているように、適切な実施形態では、このドーピングは、軽いドーピングであっても、あるいは重いドーピングであってもよい。次に、流れ図４００の工程４２２で、図３Ｉおよび３Ｊに示されているように、マスキング領域１０８が除去され、それにより、下方に位置している、ゲート層１２０の材料を備えたゲート領域３０５が現れる。

【００５４】

[0085] 次に、工程４２４でトランジスタ素子３０６が除去される。本明細書において説明されているように、トランジスタ素子は、図３Ｋおよび３Ｌに示されているように、懸垂基板素子１１２’の上に１つまたは複数のマスキング領域１０８（たとえば耐エッチ性フォトリソグラフィマスク）を配置することによって除去することができる。次に、懸垂基板素子１１２’および／または基板層１０２の少なくとも一部が除去され（たとえばエッチングによって）、それにより、図３Ｍおよび３Ｎに示されているように、トランジスタ素子３０６が基板層１０２から分離される。図３Ｍおよび３Ｎに示されているように、トランジスタ素子３０６はマスキング領域１０８によって取り囲まれており、ウェーハ１０１から除去することができる。他の実施形態では、トランジスタ素子３０６は、トランジスタ素子３０６を単純に揺り動かすか、あるいは振動させることによって基板層１０２から除去することができ、あるいはそれらを基板層１０２から機械的に切断することによって除去することができる。図３Ｏおよび３Ｐに示されているように、トランジスタ素子３０６は、好都合には、ドープ領域３０４（たとえばソース領域およびドレイン領域はドープ半導体材料を備えている）、ならびに好都合には金属またはポリシリコンを備えたゲート領域（１０２／３０５）を備えている。

【００５５】

[0086] さらに他の実施形態では、トランジスタ素子３０６を用意するための本発明の方法は、さらに、追加ドーピング段４２６を含むことができる。たとえば、図５Ａ～５Ｐを参照して流れ図４００に示されているように、工程４２０における初期ドーピング（たとえば図５Ａおよび５Ｂに示されている軽いドーピング３０２）、および後続する、工程４２２における、図５Ｄおよび５Ｃに示されているマスキング領域１０８の除去に引き続いて、図５Ｅおよび５Ｆに示されているように、ゲート領域３０５の上、ならびにゲート領域３０５に隣接する絶縁体層１１６の少なくとも一部の上に、追加マスキング領域が５０２が配置される。図５Ｆに示されているように、マスキング領域５０２は、隣接するドープ基板層１０２の少なくとも一部を覆うために、ゲート領域３０５を越えて延在している。

【００５６】

[0087] 流れ図４００の工程４３０で、図５Ｇおよび５Ｈに示されているように、基板層１０２にもう一度ドーパント原子５０４がドープされ、重くドープされた領域５０６が生成される。工程４３２で、図５Ｉおよび５Ｊに示されているようにマスキング領域５０２が除去されると、重くドープされた領域５０６および軽くドープされた領域３０４、ならびにゲート領域３０５が生成される。ドーピング段４２６に引き続いて、工程４３４で、本明細書において説明されているように、ドーパントの拡散および活性化を促進するために熱焼きなましを実施することができる。

【００５７】

[0088] 例示的実施形態では、上で説明した本発明の方法は、好都合には、１つまたは複数のトランジスタ素子を生成するために使用される。図５Ｐに示されているように、トランジスタ素子３０６は、好都合には、軽くドープされた（p^-またはn^-）領域３０４によって分離された、重くドープされた（n^+またはp^+）２つのセクション５０６を備えており、領域３０４の一部はゲート領域３０５によって覆われている。

【００５８】

[0089] 流れ図４００の工程４２０および４３０におけるn^+またはp^+ドーピングは、好都合にはイオン注入によって実施される。高エネルギーイオンが基板層１０２にドープされる。高温真空下でドナーイオン注入工程またはアクセプタイオン注入工程を実施することにより、ドナーイオンまたはアクセプタイオンを基板層の中に拡散させることができ、それにより半導体のためのドナーバンド準位またはアクセプタバンド準位が生成される。

【００５９】

[0090] アクセプタ状態またはドナー状態は、好都合には、アクセプタイオンまたはドナーイオンをリアクタチャンバの中に注入し、リアクタチャンバの中で、基板層１０２の中に注入することができる十分な大きさのエネルギーにそれらを加速することによって注入される。この表面注入工程は、アクセプタイオンまたはドナーイオンが基板素子１１２’の表面に定着して基板素子１１２’の中に拡散することができるよう、基板素子１１２’に印加される１つまたは複数の加熱温度サイクルおよび冷却温度サイクルと平行して実施される。アクセプタイオンおよびドナーイオンが基板素子１１２’の中に概ね一様に拡散し、かつ、分布することにより、アクセプタ状態またはドナー状態に対する、明確で、矛盾のないバンド内エネルギー準位を設定することができる。

【００６０】

[0091] 本発明の他の実施形態では、図６Ａ～６Ｂに示されているように、極めて多数のトランジスタ素子３０６の蒸着と、それに引き続く電気接続部へのこれらの接続に関連する問題の１つは、コンポーネントの位置の極めて小さいずれ、つまり不整列であっても、それらが最終的に電気接続される際に、電極と電極の間が短絡する可能性があることである。たとえば、図６Ｂに示されているように、適切に配置されたトランジスタ素子が適切な位置でソース電極、ゲート電極およびドレイン電極に接続されている間の上側または下側へのずれ、つまり不整列は、不適切な電極がトランジスタ素子３０６の様々なセクションに接続されることになるため、短絡の原因になる可能性がある。この問題を解決するために、本発明によれば、適切に配置されている場合に、下方に位置している接続部が現れ、また、不適切に配置されている場合は、エッチングすることができず、したがって電極に電気接続されないよう、選択的にエッチングすることができる基板素子を生成するための様々な方法が提供される。図７Ａ～７Ｅは、本発明の様々な方法によって用意される基板素子の選択的エッチングプロセスを示したものである。

【００６１】

[0092] 他の実施形態では、図９Ａ～９Ｂの流れ図９００および図８Ａ～８Ｌの略図に示されているように、本発明により、次に図７Ａ～７Ｅに示されている選択的エッチング方法に使用することができる基板素子を生成するための方法が提供される。選択的にエッチングするための基板素子を用意するための方法には、好都合には、上で説明した、流れ図４００および図３Ａ～３Ｊに示されている懸垂基板素子１１２’を生成する工程が含まれている。

【００６２】

[0093] 流れ図９００に示されているように、工程９０２で、支持層１０４（たとえば半導体酸化物、半導体合金またはドープ半導体を備えた）の上に配置された基板層１０２（たとえば半導体を備えた）が提供される。工程９０４で、基板層１０２の上に１つまたは複数のマスキング領域１０８（たとえばフォトリソグラフィエッチマスク）が配置され、次に、工程９０６で、覆われていない基板層セクション１１０が除去される（たとえばエッチ除去される）。好都合には、工程９０８でマスキング領域が除去されると、次に、工

程９１０で基板層１０２の下方の支持層１０４の少なくとも一部が除去され（たとえばエッチ除去され）、１つまたは複数の懸垂基板素子１１２’が形成される。

【００６３】

[0094] 次に、流れ図９００の工程９１２で、懸垂基板素子１１２’の上に絶縁体層１１６（たとえば酸化物）が配置され、次に、工程９１４で、絶縁体層１１６の上にゲート層１２０（たとえば金属またはポリシリコン）が配置される。これにより、図３Ａおよび３Ｂに示されている構造が生成される。次に、流れ図９００の工程９１６で、ゲート層１２０の上にマスキング領域１０８が配置される（図３Ｃおよび３Ｄの場合と同様に）。次に、工程９１８で、覆われていないゲート層１２０が除去され、それにより、図３Ｅおよび３Ｆに示されているようにゲート領域３０５が形成される。任意選択工程９３２で、本明細書において説明されているように、絶縁層１１６および基板層１０２に１つまたは複数のドーパント原子をドープすることができ、引き続いて、工程９３４で任意選択の熱焼きなましをすることができる。図３Ｅ～３Ｆは、工程９０２～９１８の結果として得られる構造を示したものである。工程９２０でマスキング領域１０８が除去されると、下方に位置している、図３Ｉおよび３Ｊに示されているゲート領域３０５が現れる（ドーピング３０２は任意選択工程であることに留意されたい）。

【００６４】

[0095] 図８Ａ～８Ｂを参照すると、図９Ｂの流れ図９００の工程９２２で、ゲート領域３０５の上ならびに残りのウェーハ表面を覆っている絶縁体層１１６の上に保護層８０２が配置される。保護層８０２は、好都合には、ゲート、基板および／または絶縁体層の露出表面に形成される。保護層８０２の配置は、薄膜蒸着、プラズマまたは低圧（lp）化学蒸着（CVD）（lp-CVD）を始めとする任意の蒸着技法、成長技法、形成技法、層化技法または同様の技法を使用して実施することができる。通常、保護層８０２は、基板素子１１２’の他の層／部分と比較すると差別的に除去することができる層である。好都合には、保護層８０２は、基板素子１１２’の他の層／部分と比較すると差別的にエッチングすることができ、したがって保護層８０２は、適切なエッチング用試薬において、同じエッチング用試薬に露出された場合の基板素子１１２’の他の層／部分のエッチ速度より速いエッチ速度を有している。いずれか一方の層（たとえば８０２または１１６）を選択的にエッチングすることができ、もう一方の層を本質的に無傷で残すことができるよう、絶縁体層１１６と比較すると保護層８０２を差別的にエッチングすることができることは重要である。適切な実施形態では、保護層８０２は、Si_3N_4、SiO_2またはAl_2O_3などの窒化物、酸化物または同様の材料を備えている。図８Ｂに示されているように、保護層８０２は、好都合には、ウェーハ１０１全体を覆っているが、保護層８０２は、必要に応じてウェーハの一部分のみを覆うことも可能である。

【００６５】

[0096] 流れ図９００の工程９２４で、図８Ｃおよび８Ｄに示されているように、保護層８０２の上に１つまたは複数のマスキング領域１０８（たとえばフォトリソグラフィエッチマスク）が配置される。図８Ｄに示されているように、好都合には、下方に位置している保護層８０２の少なくとも一部は、マスキング領域１０８によっては覆われない。次に、工程９２６で、覆われていない保護層セクションが除去され、図８Ｆに示されているように、基板層１０２のうちの絶縁体層１１６によって覆われたセクションが現れる。図８Ｆに示されているように、適切な実施形態では、基板層１０２（および基板素子１１２’）は、ドープ領域３０４を形成するためにドープすることができる（たとえば、本明細書において説明されているように、軽くドープすることができ、あるいは重くドープすることができる）。次に、工程９２８でマスキング領域１０８が除去される。次に、工程９３０で基板素子１１２’が除去される。本明細書において説明されているように、好都合には、基板素子１１２’は、図８Ｇ～８Ｊに示されているように、基板素子の上にマスキング領域１０８を配置し、次に、基板素子を基板層１０２から分離するために基板素子および基板層１０２の一部を除去することによって除去される。他の実施形態では、基板素子１１２’は、本明細書において説明されている様々な他の方法を使用して除去することが

できる（たとえば機械的な切断）。図８Ｋおよび８Ｌに示されているように、除去に引き続いて、選択的にエッチングすることができる基板素子８０４が製造される。この基板素子８０４は、絶縁体層１１６によって取り囲まれた基板素子コア１１２（基板層１０２）を備えている。また、図８Ｌに示されているように、素子８０４は、好都合にはゲート領域１２０／３０５を備えている。本明細書において説明されているように、保護層８０２の一部を選択的に除去することにより、基板層／絶縁体層１０２／１１６のセクションが露出する（ドープ領域３０４を生成するためにこれらの領域も同じくドープすることができる）。しかしながら、素子８０４の残りの部分は保護層８０２によって覆われている。

【００６６】

[0097] 本明細書において指摘されているように、選択的にエッチングすることができる基板素子８０４は、好都合には、図７Ａ～７Ｅに示されている方法に使用される。図７Ａは、素子８０４の長さに沿った断面を示したもので、絶縁体層１１６によって取り囲まれた基板素子コア１１２が示されている。ゲート層／ゲートセクション１２０／３０５は、素子の中心の近くに存在している。また、保護層８０２は、素子８０４のほぼ全体を覆うことができるが、絶縁体層１１６のセクションは両端（７０２／７０４）で露出している。図７Ｂおよび７Ｃは、選択的にエッチングすることができる基板素子８０４の使用、および素子の不適切な配置による短絡を抑制し、あるいは除去するこれらの素子の能力を示している。ゲートエッチの使用を示している図７Ｂに示されているように、選択的にエッチングすることができる基板素子８０４が適切に配置されると、マスキング領域１０８は、ゲート領域３０５を除くすべての素子を覆うことになる。次に、エッチを使用して、ゲート層／領域１２０／３０５（たとえば金属）を覆っている保護層８０２（たとえば窒化物層）の一部が除去される。これにより、下方に位置しているゲート領域３０５が露出し、次に、これをゲート電極に電気接続することができる。それに対して、図７Ｃでは、不適切に配置されたワイヤは、図７Ｂに示されているパターンと同じパターンを使用してマスクされ、次に、保護層８０２を選択的に除去するためにエッチが実行されると、ゲート領域３０５が露出して現れる代わりに、下方に位置している絶縁体層１１６のみが現れる。したがってゲート電極への接続は確立されず、したがってこの選択的にエッチングすることができる基板素子８０４は、電気的に接続されることはないが、その代わりに回路が短絡する原因になることもない。素子８０４が１つのコンポーネントである電気回路は、誤った配置すなわち不整列によって素子８０４が電気接続されない状況が軽減される方法で設計することができる。たとえば、素子８０４を必要とする個々のノードでの素子８０４の複数の複製を許容するように回路を設計することができる。他の実施形態では、基板素子を紛失した場合、回路のサブセクションがスイッチオフされる、より高いレベルの冗長スキームを使用することができる。メモリ回路または論理回路の欠陥を処理するために広く使用されている冗長スキームなどの他の冗長スキームを使用することも可能である。

【００６７】

[0098] 図７Ｄに示されているように、エッチングの代わりにゲート領域３０５を露出させる場合、ゲート領域３０５をマスクし、かつ、絶縁体層１１６へのアクセスを可能にするために、選択的にエッチングすることができる基板素子８０４の上にマスキング領域１０８が配置される。素子が適切に配置されている場合、絶縁体層１１６を選択的にエッチすることによって（たとえば酸化物エッチ）絶縁体層１１６が除去され、それにより、下方に位置している基板素子１１２の部分が現れる。この部分は、適切な実施形態では、ドープされたソース領域および／またはドレイン領域であってもよい。それに対して、図７Ｅの場合のように、選択的にエッチングすることができる基板素子８０４が適切に配置されていない場合、マスキングにより、保護層８０２の露出したセクションが残される。したがって、絶縁体層１１６を選択的にエッチしても保護層８０２はエッチされず、したがって選択的にエッチングすることができる基板素子８０４への電気接続は実施されない。

【００６８】

[0099] 他の実施形態では、本発明により、図１０Ａ～１０Ｒ、１１Ａ～１１Ｊおよび１２Ａ～１２Ｍの略図を参照して図１３Ａ～１３Ｂの流れ図１３００に示されているように

、１つまたは複数の基板素子を形成するための追加方法が提供される。流れ図１３００の初期工程は、本明細書において上で説明した初期工程と同様である。たとえば、工程１３０２で、支持層１０４（たとえば半導体酸化物、半導体合金またはドープ半導体を備えた）の上に配置された基板層１０２（たとえば半導体層を備えた）が提供される。工程１３０４で、基板層１０２の上に１つまたは複数のマスキング領域１０８（たとえばフォトリソグラフィエッチマスク）が配置され、次に、工程１３０６で、覆われていない基板層セクション１１０が除去される（たとえばエッチ除去される）。適切な実施形態では、除去される、覆われていない基板セクション１１０の寸法は、基板素子１１２’の最終的な所望の長さより長さが短いことに留意されたい。図１０Ａ～１０Ｆを参照されたい。より短い初期基板セクションを使用することにより、ＨＦガスを使用した、あるいは水を含んだ、または水を発生する他の化学薬品を使用した酸化物エッチング、ウェット洗浄、酸化物成長、酸化物蒸着または他の薄膜蒸着を始めとする処理の間、基板セクションのベンディングおよび／またはスティクションの抑制が促進される。ベンディングおよびスティクションは、使用される様々なエッチング用試薬の水含有量を修正することによっても抑制することができる。たとえば、エッチ（たとえばＨＦエッチ）中に存在する水蒸気の量を制御することにより、素子ベンディングおよび／またはスティクションを抑制することができる。

【００６９】

[0100] 工程１３０８でマスキング領域が除去されると、次に、工程１３１０で、基板層１０２の下方の支持層１０４の少なくとも一部が除去され（たとえばエッチ除去され）、それにより１つまたは複数の懸垂基板セクション１１２が形成される。図１０Ｇ～１０Ｈは、懸垂基板セクション１１２が形成された後のウェーハ１０１の上面図、ならびに平面１－１に沿った横断面図を示したものである。さらに、図１０Ｈには、同じく、平面２－２に沿った、個々のウェーハセクションの右側に対する横断面図が示されている。断面２－２は、基板セクション／素子の長さに沿って取られている。図１０Ｉおよび１０Ｊに示されているように、本明細書において説明されているように、追加処理を実施して、たとえば薄い酸化物コーティングを蒸着させ、次に、それをエッチングすることによって基板セクション１１２の角を丸くすることができる。

【００７０】

[0101] 次に、流れ図１３００の工程１３１２で、懸垂基板セクション１１２の上に絶縁体層１１６（たとえば酸化物）が配置され（図１０Ｋおよび１０Ｌ参照）、次に、工程１３１４で、絶縁体層１１６の上にゲート層１２０（たとえば金属またはポリシリコン）が配置される（図１０Ｍおよび１０Ｎ参照）。次に、流れ図１３００の工程１３１６で、ゲート層１２０の上にマスキング領域１０８が配置される（図１００Ｏおよび１０Ｐのように）。次に、工程１３１８で、覆われていないゲート層１２０が除去され、それにより、図１０Ｑおよび１０Ｒに示されているように、ゲート領域１２０／３０５が形成される。図１０Ｒから分かるように、覆われていないゲート層１２０を除去することにより（たとえばエッチングによって除去することにより）、マスキング領域１０８の下方のゲート材料の一部を除去することができ、事実上、マスキング領域１０８よりもゲート領域３０５の方が小さくなる。

【００７１】

[0102] 任意選択工程１３４２で、本明細書において説明されているように、また、図１１Ａ～１１Ｂに示されているように、絶縁層１１６および基板層１０２に１つまたは複数のドーパント原子３０４をドープすることができる。好都合には、ドーパント原子は、図１１Ａ～１１Ｂに示されているように、基板の表面に対して約３０°～８０°の間、たとえば約３０°～６０°の間の角度、あるいは表面に対して約４５°で提供される。一定の角度でドーピングすることにより、懸垂基板セクション１１２’のすべての表面へのドーパント原子の蒸着が促進される。本明細書において説明されているように、次に、ドーピングに引き続いて熱焼きなまし工程１３４４を実施することができる。工程１３２０でマスキング領域１０８が除去されると、図１１Ｃおよび１１Ｄに示されているように、下方

に位置しているゲート領域３０５が現れる。図１１Ｄに示されている長さ方向の断面（２－２）は、基板セクション１１２（基板層１０２）のうちのマスキング領域１０８によって覆われた部分は、ドーパントが加えられてもドープされないことを示している。

【００７２】

[0103] 次に、図１３Ｂの流れ図１３００の工程１３２２で絶縁体層１１６が除去され（たとえばエッチ除去され）、それにより基板層１０２が現れる。図１１Ｅおよび１１Ｆに示されているように、ゲート領域３０５の下方に位置していた絶縁体層１１６は除去されていない。次に、工程１３２４で、ウェーハの上に保護層８０２、たとえば窒化物層が配置される。図１１Ｇ～１１Ｈに示されているように、保護層８０２は、ゲート領域３０５および基板層１０２を含む、ウェーハ１０１の露出したすべての表面を覆っている。次に、工程１３２６で、少なくともゲート領域３０５を覆うために、保護層８０２の上にマスキング領域１０８が配置される。図１１Ｊに示されているように、好都合には保護層１１０２のセクションは覆われていない。次に、工程１３２８で、覆われていないこれらの保護層セクション１１０２、ならびに下方に位置している基板層１０２が除去される（たとえばエッチ除去される）。図１２Ａに示されているように、これにより、支持層１０４が露出し、最終基板素子１１２’の総合長が画定される。

【００７３】

[0104] 工程１３３０でマスキング領域１０８が除去され、次に、工程１３３２で、ゲート領域３０５の上に後続するマスキング領域１０８が配置される。図１２Ｄに示されているように、このマスキング領域１０８も、ゲート領域３０５の頂部に存在している保護層８０２を覆っている。次に、工程１３３４で、覆われていない、マスキング領域１０８の外側の保護層８０２が次いで除去される（たとえばエッチ除去される）。図１２Ｆに示されているように、これにより、基板素子１１２の下方の基板層１０２が、基板素子１１２の長さ全体にわたって露出する。工程１３３６におけるマスキング領域１０８の除去に引き続いて、工程１３３８で、基板層１０２の下方の支持層１０４の少なくとも一部が除去され、それにより、本明細書において説明されているように、懸垂基板素子１１２’が形成される。図１２Ｈに示されているように、懸垂基板素子１１２’は、絶縁体層１１６を覆っているゲート領域３０５を備えており、これらはいずれも保護層８０２によって覆われている。次に、工程１３４０で基板素子１１２’が除去される。図１２Ｉ～１２Ｍに示されているように、この除去プロセスには、好都合には、マスキング領域を配置し、次に、基板素子１１２’を除去するためにエッチングする工程が含まれている。ウェーハ１０１から素子が除去されると、次にマスキング領域１０８が除去され、図１２Ｍに示されているように、これで本明細書において説明されている様々な用途に利用することができる基板素子１１２’が残される。適切な実施形態では、使用に先立って、ゲート領域３０５を露出させ、電極への電気接続を可能にするために、保護層８０２が基板素子１１２’から除去される。本明細書において指摘されているように、例示的実施形態では、ソースまたはドレイン領域３０４を形成するために基板層１０２をドープすることができる。

【００７４】

[0105] 他の実施形態では、本発明により、非導電層、たとえば誘電体を使用して基板素子をカプセル封じするための方法が提供される。本明細書において説明されているように、適切な実施形態では、基板素子は、ゲート領域ならびにドープセクション（ソース領域およびドレイン領域などの重くドープされた領域および軽くドープされた領域の両方を含む）を備えることができる。好都合には、ゲート領域が形成され（たとえばリソグラフィおよびエッチングを使用して）、また、ドープ領域が生成され、かつ、焼きなましされると、依然としてウェーハ１０１上に存在している間に、基板素子（たとえばトランジスタ）の外側に非導電層が加えられる。

【００７５】

[0106] 例示的実施形態では、非導電層は、それらに限定されないが、SiO_2層、Si_3N_4層またはAl_2O_3層などの誘電材料の低温成膜（層間誘電体蒸着工程に類似している）によって配置することができる。他の実施形態では、非導電層は、半導体（たとえ

ばＳｉ）を酸化させることによって、あるいは当分野で知られている技法を使用して有機絶縁体を蒸着させることによって形成することができる。

【００７６】

[0107] この非導電層は、基板素子のすべての表面全体にわたって一様に蒸着させることができ、あるいはゲート電極からの電気伝導（たとえばゲート短絡）から保護する必要がある領域全体に優先的に蒸着させることができる。例示的実施形態では、図５Ｑ～５Ｚに示されているように、最初に、基板素子の上全体に非導電層５２０を配置することができる。図５Ｑおよび５Ｒは、重くドープされた領域５０６および軽くドープされた領域３０４を備えた基板素子１２０ならびにゲート領域３０５の図５Ｉおよび５Ｊに示されている構造と同じ構造を示したものである。次に、図５Ｓおよび５Ｔに示されているように、素子およびウェーハの上全体に非導電層５２０が配置される。例示的実施形態では、SiO_2非導電層、Si_3N_4非導電層またはAl_2O_3非導電層が配置される。次に、図５Ｕおよび５Ｖに示されているように、基板素子１２０の末端部分がマスクされ、それにより、露出した、構造の中央部分（つまりゲート領域３０５）を覆っており、かつ、ソース領域およびドレイン領域を覆っている非導電層が残される。次に、図５Ｗおよび５Ｘでは、非導電層がエッチングされ、それにより、下方に位置しているゲート領域１２０／３０５が現れるが、ドープされたドレイン領域およびソース領域（３０４および５０６）を含む基板素子１２０の末端は、非導電層５２０によって保護された状態を維持している。図５Ｙおよび５Ｚに示されているように、後続するウェーハ１０１からの基板素子１２０の除去（たとえば、本明細書において説明されているエッチングまたは機械的な切断による除去）により、ゲート領域１２０／３０５は覆われていないが、素子の両端（たとえばドープされたソースおよびドレイン）が非導電層５２０によって保護された保護トランジスタ素子５２２が得られる。

【００７７】

[0108] 基板素子（たとえばナノワイヤまたはトランジスタ）の最終的な長さは、最終用途における接触基板のリソグラフィのための線および空間の最小寸法によって決まることがしばしばであるため、基板素子（たとえばトランジスタ）の少なくとも一部の上に非導電層を使用することにより、より短い素子／ナノワイヤ／トランジスタを生成することができる。たとえば、整合接触長(matching contact length)および最小寸法を有するためには、必要な素子（たとえばナノワイヤまたはトランジスタ）は、通常、最小幾何構造の約５倍である。したがって、たとえば２μｍの最小フィーチャの場合、基板素子の総合長を約１０μｍにしなければならず、１．５μｍのフィーチャの場合、素子は、約７．５μｍの長さにしなければならず、１μｍのフィーチャの場合、素子は、約５μｍの長さにしなければならず、等々である。この構成におけるゲート短絡を予め排除するためには、ゲート領域の長さを最小フィーチャサイズより短くするか、あるいは他の差別的接触スキーム(differential contacting schemes)を使用しなければならない。非導電層５２０を使用することにより、ソース領域およびドレイン領域を保護することができ、それにより、より短い基板素子（ナノワイヤ、トランジスタ、等々）を生成することができる。

【００７８】

[0109] 他の実施形態では、図１４Ａ～１４Ｒの略図および図１５の流れ図１５００に示されているように、本発明により、１つまたは複数の基板素子を形成するための方法であって、懸垂基板素子の製造を利用していない方法が提供される。流れ図１５００に示されているように、この方法は、上で説明した方法と同様の方法で開始される。工程１５０２で、支持層１０４（たとえば半導体酸化物、半導体合金またはドープ半導体を備えた）の上に配置された基板層１０２（たとえば半導体層を備えた）が提供される。工程１５０４で、基板層１０２の上に１つまたは複数のマスキング領域１０８（たとえばフォトリソグラフィエッチマスク）が配置され、次に、工程１５０６で、基板素子１１２を生成するために、覆われていない基板層セクション１１０が除去される（たとえばエッチ除去される）（図１４Ａ～１４Ｆ参照）。

【００７９】

[0110] 次に、工程１５０８でマスキング領域１０８が除去される。この時点では、下方に位置している支持層１０４の一部を除去するのではなく、ここでは、工程１５１０で基板素子１１２がさらに処理される。本明細書において説明されているように、他の処理には、たとえば図１４Ｉおよび１４Ｊに示されているように、たとえば基板素子１１２の角を丸くする工程を含むことができる。また、処理には、さらに、図１４Ｋおよび１４Ｌに示されているように、基板素子１１２の上に絶縁体層１１６を蒸着させる工程を含むことも可能である。基板素子１１２（および基板層１０２）の上に成長した酸化物層を絶縁体層１１６が備えている実施形態の場合、酸化物は、図１４Ｋおよび１４Ｌに示されているように、基板層の表面にのみ蒸着される。図１４Ｌから分かるように、基板層１０２の露出表面のみ、具体的には基板素子１１２の露出表面のみが絶縁体層１１６を備えている。したがって、図１４Ｌに示されているように、基板素子１１２の表面は、依然として支持層１０４の上に配置されており、したがって絶縁体層を備えていない。

【００８０】

[0111] 本明細書において説明されているように、また、図１４Ｍおよび１４Ｎに示されているように、絶縁体層の上にゲート層１２０を配置することも可能である。他の実施形態では、本明細書において開示されているように、追加処理を実施することができる。たとえば、様々なドーピング原子を使用して基板素子１１２をドープすることができ、また、窒化物層などの追加保護層を加えることも可能であり、また、本明細書において説明されているように、ゲート領域を生成することも可能である。

【００８１】

[0112] 次に、工程１５１２で基板素子１１２が除去される。本明細書において説明されているように、また、図１４Ｏおよび１４Ｐに示されているように、基板素子１１２の下方の支持層１０４の少なくとも一部を除去することができ、それにより、ウェーハ１０１から除去することができる懸垂基板素子が生成される。たとえば、素子は、懸垂基板素子の上に１つまたは複数のマスキング領域１０８を配置し、次に、懸垂基板素子および／または基板層の少なくとも一部を除去することによって除去することができ、それにより懸垂基板素子を基板層から分離することができる。他の実施形態では、基板素子を基板層から分離するために、基板素子を機械的に切断することによって、あるいは他の適切な任意の方法によって基板素子１１２を支持層１０４から除去することができる。図１４Ｑに示されているように、基板素子１１２’は、素子のほぼ全体を覆っている絶縁体層１１６およびゲート層１２０を備えることができる。

【００８２】

[0113] さらに他の実施形態では、図１６Ａ～１６Ｄに示されているように、本発明により、接続に先立ってダイが最終的にどのように配向されるかには無関係に電気接続することができ、たとえば前向き、後向き、上向き、等々に無関係に電気接続することができる二次元回路を生成するための方法（および回路自体）が提供される。図１６Ａに示されているように、二次元ダイ１６０２は、好都合には１つまたは複数の回路素子１６０４を備えており、回路素子１６０４の各々は、２つの冗長端子を有している（図に示されているようにa、a;b、b;c、c;およびd、d）。たとえば、図１６Ａに示されているように、二次元ダイ１６０２は、１個または複数個（たとえば２個、４個、１０個、２０個、５０個、１００個、等々）の回路素子１６０４を備えることができる。図１６Ｂに示されているように、二次元ダイ１６０２を蒸着させている間、図１６Ａと比較するとダイの頂部および底部が反転するよう、ダイを回転させることができる。図１６Ｃでは、ダイ（元のダイＡ）がフリップされており、したがってダイの背面が今度はページの平面に面している。図１６Ｄでは、ダイ（元のダイＡ）がフリップされ、かつ、回転されており、したがってダイは上下および左右が逆になっている。しかしながら、端子１６０６の他の冗長性および配置のため、回路は、以下で説明されているように、依然として電気接続することができる。

【００８３】

[0114] 適切な実施形態では、端子１６０６の各々は、他の端子（または同じ電気接続線

に沿った端子と比較して少なくとも差別的に除去することができる端子）と比較して差別的除去特性を有する材料（たとえば差別的にエッチングすることができる、つまり選択的に除去することができる材料）によって覆われている。たとえば、端子「ａ」は、絶縁体材料（たとえば酸化物）によって覆うことができ、一方、端子「ｂ」は、何らかの他の保護層（窒化物などの）によって覆われる。図１６Ａ～１６Ｄでは、電極１６０８は、「ａ」端子のための接続を表しており、電極１６１０は、「ｃ」端子のための接続を表しており、電極１６１２は、「ｄ」端子のための接続を表しており、また、電極１６１４は、「ｂ」端子のための接続を表している。

【００８４】

[0115] 短絡または他の機能不全を回避するためには、適切な端子を適切な電極に接続しなければならないため、本発明によれば、適切な電極のみが適切な端子に取り付けられることを保証するための方法が提供される。例示的実施形態では、電極１６１０、１６１２および１６１４の位置が覆われ、電極１６０８の位置はマスクされないよう、二次元ダイの上方にマスキング領域（たとえばフォトリソグラフィマスク）が配置される。次に、端子「a」が選択的にエッチされ、それにより端子を覆っている材料が除去されて電気接続が可能になり、一方、端子bを覆っている材料は除去されない。二次元ダイ１６０２の配向（Ａ、Ｂ、ＣまたはＤにおける配向）には無関係に、少なくとも端子「ａ」は、常に、ダイの上側の部分に位置しており、したがって電極１６０８が接続される位置に存在している（図１６Ｃおよび１６Ｄでは、接続はダイの背面を介して実施されることになる）。端子ａを覆っている、選択的に除去することができる材料が除去されると、次に、マスキング領域が除去され、端子が電気接続される。次に、後続するマスクが加えられ、今度は、開放された電極１６１０の位置が残される。次に、端子ｃの上方の、選択的に除去することができる材料が除去されて端子ｃが露出し、次に電極１６１０を接続することができる。次に、同様の方法を使用して、端子ｄおよびｂをマスクし、露出させて、次に、それぞれ端子１６１２および１６１４が接続される。追加実施形態では、端子を覆っている材料が既に選択的に除去されているプロセスの終了時に、すべての端子を電気接続することも可能である。端子ａの場合、冗長端子を使用することにより、ダイの配向に無関係にダイを電気接続することができる（図１６Ａ～１６Ｄ）。これは、事実上、フリップおよび／または１８０度回転されても、基板素子（ダイ）が間違いなく適切に接続される設計を形成している。ダイは、前面または背面から接続することができるため、ダイの前側と後側の間の、接続点ａ、ｂ、ｃおよびｄの位置にビアまたは他の導電経路を生成しなければならないことに留意されたい。

【００８５】

[0116] 他の実施形態では、図１８の流れ図１８００を参照して図１７Ａ～１７Ｎに示されているように、本発明により、支持部材を利用して１つまたは複数の基板素子を形成するための追加方法が提供される。図１７Ａ～１７Ｋの略図では、ページの下半分の図（たとえば図１７Ｂ、１７Ｄ、１７Ｆ、１７Ｈ、１７Ｊおよび１７Ｌ）は、本明細書全体を通して説明されている処理の間のウェーハ１０１の上面図を示している。ページの上半分の図（たとえば図１７Ａ、１７Ｃ、１７Ｅ、１７Ｇ、１７Ｉおよび１７Ｋ）は、ウェーハ１０１の様々な層に沿った横断面図を示している。ページの下半分に示されている二重ヘッド矢印（１－１）は、ページの上半分に示されているウェーハ１０１に沿った横断面図の位置および方向を示している。

【００８６】

[0117] 流れ図１８００および図１７Ａ～１７Ｂに示されているように、工程１８０２で、支持層１０４の上に配置された基板層１０２を備えたウェーハ１０１が提供される。本明細書において説明されているように、必ずしもその必要はないが、好都合には、基板層１０２は支持層１０４を完全に覆っている。支持層および基板層の厚さおよび寸法は、本明細書において説明されている。本明細書全体を通して詳細に説明されているように、好都合には、基板層１０２および支持層１０４は、差別的に除去することができる。基板層１０２および支持層１０４として使用するための例示的物質は、本明細書全体を通して説

明されている。例示的実施形態では、基板層１０２は半導体（たとえばＳｉ）を備えており、また、支持層１０４は、半導体酸化物（たとえばSiO_2）、半導体合金（たとえばＳｉＧｅ）、ドープ半導体（たとえばドープＳｉ）またはポリシリコンを備えている。

【００８７】

[0118] 流れ図１８００の工程１８０４で、図１７Ｃ～１７Ｄに示されているように、基板層１０２の少なくとも一部を覆うために、基板層１０２の上に１つまたは複数のマスキング領域１０８が配置される。マスキング領域１０８（たとえばフォトリソグラフィマスク）として使用するための例示的材料は、本明細書において説明されており、さもなければ当分野で知られている。流れ図１８００の工程１８０６で、覆われていない基板層セクション１１０が除去される。これにより、図１７Ｅ～１７Ｆに示されているように、マスキング領域の下方に基板セクション１１２が生成される。基板セクション１１２は、依然として、取付けポイント１１１でいずれか一方または両方の末端で基板層１０２に接続されている。図１７Ｅに示されているように、覆われていない基板層セクション１１０を除去することにより、支持層セクション１７０２が現れる。本明細書において説明されているように、基板層１０２および支持層１０４は差別的に除去することができるため、基板層１０２を除去しても、下方に位置している支持層１０４の完全性には実質的に影響を及ぼさない。

【００８８】

[0119] 流れ図１８００の工程１８０８で、好都合にはマスキング領域１０８が除去される。次に、流れ図１８００の工程１８１０で、基板層１０２、基板セクション１１２および支持層セクション１７０２の上に１つまたは複数のマスキング領域１０８が配置される。図１７Ｇおよび１７Ｈに示されているように、工程１８０８で配置されるマスキング領域１０８は、好都合には基板セクション１１２の少なくとも一部を覆い、かつ、側面基板セクション１１２である支持層セクション１７０２の上方のボイドを充填する。例示的実施形態では、任意の配向を使用することも可能であるが、マスキング領域１０８のセクションは、ウェーハ１０１と、基板セクション１１２に対して実質的に直角の方向に交差している。例示的実施形態では、基板セクション１１２の複数のセクションを覆うために、図１７Ｈに示されているように複数個（たとえば３個、４個、５個、６個、７個、８個、９個、１０個、２０個、等々）のマスキング領域１０８が配置される。

【００８９】

[0120] 工程１８１２で、基板層１０２の下方の支持層１０４の少なくとも一部が除去され、それにより１つまたは複数の基板素子１１２”が形成される。基板素子１１２”は、図１７Ｉおよび１７Ｊに示されているように、１つまたは複数の支持部材１７０４によって支持されている。マスキング領域１０８を使用して基板セクション１１２および支持層セクション１７０２の少なくとも一部を覆うことにより、除去している間（たとえば、本明細書において説明されているエッチングの間）、マスクされた領域が保護される。したがって、基板セクション１１２の下方の支持層１０４の除去は、セクションのほとんどの長さにわたって継続して実施することができるが、マスキング領域１０８によってマスクされる領域は、直接高速で除去することはできない。

【００９０】

[0121] たとえば、エッチング用試薬（たとえば等方性エッチング用試薬）を使用して、マスキング領域１０８によって保護されている領域の支持層１０４を除去する場合、このエッチング用試薬は、基板セクション１１２の下方の材料を除去することはできない（あるいは高速で材料を除去することはできない）。これにより、エッチング用試薬が到達することができない（あるいはエッチングの速度がマスクされていない領域におけるエッチングの速度より遅かった）マスキング領域１０８の下方に支持部材１７０４が生成される。支持部材１７０４は、支持層材料１０４を備えており、基板素子１１２”の下方に一種の柱またはポストを形成している。図１７Ｋおよび１７Ｌに示されているように、マスキング領域１０８の除去に引き続いて、図１７Ｌに示されているように、基板素子１１２”が、支持部材２００４によって、基板素子１１２”の長さに沿って支持される（点線は、

基板素子１１２”の下方の支持部材１７０４を示している）。図１７Ｎは、図１７Ｍの基板素子１１２”および支持部材１７０４の拡大図を示したものである。基板素子１１２”の支持に役立てるために、任意の数の支持部材１７０４を形成することができることに留意されたい。

【００９１】

[0122] 本明細書において説明されているように、マスキング領域１０８の配置には、好都合には、フォトリソグラフィマスクなどの耐エッチ性マスキング領域を配置する工程が含まれている。次に、好都合には、覆われていない基板層セクションが、基板層セクションが主として基板層１０２の平面に対して直角の方向にのみ除去されるよう、異方性エッチングなどのエッチングによって除去される。本明細書において説明されているように、基板層１０２の下方の支持層の一部の除去には、好都合には、エッチングの速度がすべての方向に対して同じであるか、あるいは実質的に同じである等方性エッチングが含まれている。しかしながら、マスキング領域１０８は基板層セクション１１２のセクションを覆っているため、これらの覆われた基板層セクションの下方の支持層１０４は、実質的にエッチ除去されず、したがって支持部材１７０４が形成される。

【００９２】

[0123] 流れ図１８００の工程１８１４で、基板素子１１２”がウェーハ１０１から除去される。本明細書において説明されているように、工程１８１４では、様々な方法を使用して基板素子１１２”をウェーハ１０１から除去することができる。たとえば、適切な実施形態では、工程１８１４における除去には、最初に、基板素子１１２”の上に１つまたは複数のマスキング領域１０８を配置する工程が含まれている。次に、基板素子１１２”および／または基板層１０２の少なくとも一部が除去され、それにより、本明細書において説明されているように、基板素子１１２”が基板層１０２から分離される。基板素子１１２”／基板層１０２が除去されると、下方の支持層１０４が現れる。次に、基板素子１１２”がマスキング領域１０８によって取り囲まれ、この構造全体をウェーハ１０１から除去することができる。代替実施形態では、マスキング領域１０８が除去されるまで基板素子１１２”およびマスキング領域１０８をウェーハ１０１の上に残しておくことができる。マスキング領域１０８が除去されると（たとえば溶解されると）、個別の構造として基板素子１１２”が残される。本明細書全体を通して説明されているように、マスキング領域１０８は、好都合には耐エッチ性のフォトリソグラフィマスクである。基板１１２”および／または基板層１０２の一部の除去は、好都合には、本明細書において説明されている様々な技法を使用したエッチングによって実施される。適切な実施形態では、基板素子１１２”の末端で「切断」が実施されるよう、主として基板層の平面に対して直角の方向におけるエッチングによって基板素子１１２”が基板層１０２から除去されるよう、異方性エッチングが使用される。他の実施形態では、本明細書において説明されているように、基板素子１１２”を単純に揺り動かすか、あるいは振動させることによって基板素子１１２”を基板層１０２から除去することができ（また、それにより、それらが支持部材１７０４から分離される）、あるいは機械的な切断、鋸引き、あるいは基板層１０２から素子を分離させることによって基板素子１１２”を基板層１０２から除去することができる。

【００９３】

[0124] また、基板素子１１２"の除去は、図１９Ａ～１９Ｅに示されているように実施することも可能である。図１９Ｂは、図１９Ａからの除去に先立つ基板素子１１２"の拡大図を示したものである。図１９Ｃに示されているように、基板素子１１２"のセクションの下方に、隣接する支持部材１７０４の間に懸垂された一時支持物１９０２を配置することができる。例示的実施形態では、これらの一時支持物は、支持部材１７０４と比較すると差別的にエッチングすることができる材料を備えている。たとえば、図１９Ｄに示されているように、一時支持物１９０２は、支持部材１７０４が除去されても（たとえばエッチ除去されても）これらの支持物が残るよう、フォトリソグラフィマスク材料から用意することができる。次に、一時支持物１９０２を除去することができ、それにより、図１

９Ｅに示されているような支持素子１１２"が得られる。

【００９４】

[0125] 素子１１２"の下方に１つまたは複数の支持部材１７０４を形成することにより、流れ図１８００の工程１８１６に示されているように、依然としてウェーハ１０１の上に存在している間に、素子に対する追加安定性を維持しつつ素子をさらに処理することができる。基板素子１１２"は、隣接する支持部材１７０４（つまり基板素子１１２"の長さに沿って互いに隣り合っている部材）の間に懸垂されているため、素子の１つの表面（たとえば頂面、底面または１つの側面）に対して処理を実施することができ、あるいは、好都合には、基板素子１１２"の下方が切り取られると、すべての表面が露出するため、すべての表面に対して同時に処理を実施することができる。しかしながら、支持部材１７０４を使用することにより、処理中に生じる、基板素子のサッギングまたはベンディングなどの問題の一部が抑制され、したがって支持層１０４および／または互いの接触が抑制される。支持部材１７０４を使用することにより、処理中に遭遇する問題を抑制し、あるいは除去することができるため、より長いワイヤを処理することができ、また、より緊密に間隔を隔てたワイヤを備えたアレイを製造することができる。

【００９５】

[0126] 後続する処理には、本明細書において説明されているように、基板素子１１２"の上に絶縁体層１１６（たとえば酸化ケイ素などの酸化物層）を配置する工程を含むことができる。また、他の処理には、本明細書全体を通して説明されているように、絶縁体層１１６の上にゲート層１２０を形成する工程を含むことも可能である。好都合には、ゲート層１２０は、金属またはポリシリコン層あるいは同様の導電性材料である。ゲート層１２０として使用するための例示的金属には、それらに限定されないが、パラジウム（Ｐｄ）、イリジウム（Ｉｒ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、金（Ａｕ）、ルテニウム（Ｒｕ）、コバルト（Ｃｏ）、タングステン（Ｗ）、テルル（Ｔｅ）、レニウム（Ｒｅ）、モリブデン（Ｍｏ）、鉄白金合金（ＦｅＰｔ）、窒化タンタル（ＴａＮ）、等々がある。また、他の処理には、本明細書において説明されているように、基板素子１１２"をドーピングする工程、ならびに本明細書において説明されているように、窒化物層および他の非導電層などの様々な保護層８０２を配置する工程を含むことができる。

【００９６】

[0127] 他の実施形態では、本発明により、基板の上方に懸垂されたナノワイヤ（ならびにトランジスタ）であって、ナノワイヤおよび基板と接触している１つまたは複数の支持部材１７０４を備えたナノワイヤ（ならびにトランジスタ）が提供される。好都合には、ナノワイヤおよびトランジスタは、Ｓｉなどの半導体を備えており、また、支持部材はSiO_2を備えており、基板はＳｉを備えている。例示的実施形態では、ナノワイヤは、ナノワイヤまたはトランジスタを基板の上方に支持し、尚かつナノワイヤのセクションの懸垂を許容し、したがってナノワイヤのセクションの処理を可能にする２個またはそれ以上（たとえば３個、４個、５個、６個、７個、８個、９個、１０個、等々）の支持部材１７０４を備えている。

【００９７】

[0128] さらに他の実施形態では、図２４Ａ～２４Ｎおよび図２５Ａ～２５Ｈを参照して図２３Ａ～２３Ｂの流れ図２３００に示されているように、本発明により、１つまたは複数の基板素子を形成するための追加方法が提供される。図２４Ａ～２４Ｎおよび図２５Ａ～２５Ｈの略図では、ページの下半分の図は、説明されている処理の間のウェーハ１０１の上面図を示している。ページの上半分の図は、平面１－１におけるウェーハ１０１の様々な層に沿った横断面図を示している。

【００９８】

[0129] 流れ図２３００の工程２３０２で、図２４Ａおよび２４Ｂに示されているように、基板層１０２の上に配置されたマスキング層２４０２が提供される。次に、工程２３０４で、図２４Ｃおよび２４Ｄに示されているように、マスキング層２４０２の少なくとも一部を覆うために、マスキング層２４０２の上に１つまたは複数のマスキング領域１０８

が配置される。次に、工程２３０６で、覆われていない１つまたは複数のマスキング層セクション２４０６が除去され、次に、工程２３０８で、覆われていない１つまたは複数の基板層セクションが除去される（マスキング層セクションの除去によってそれらが露出したため）。図２４Ｅおよび２４Ｆに示されているように、これにより基板素子１１２が生成される。

【００９９】

[0130] 次に、工程２３１０で、マスキング層２４０２および基板層１０２の上に保護層２４０８が配置される。この保護層２４０８は、図２４Ｇおよび２４Ｈに示されているように、同じく基板素子１１２の側面を覆っている。流れ図２３００の工程２３１２で、保護層２４０８の少なくとも一部が除去される。図２４Ｉおよび２４Ｊに示されているように、好都合には、これには、保護層２４０８をウェーハ１０１の水平方向の表面から除去し（たとえば垂直方向のエッチを使用して）、一方、基板素子１１２の側面を覆っている保護層２４０８を残す工程が含まれている。

【０１００】

[0131] 流れ図２３００の工程２３１４で、好都合には基板層１０２の少なくとも一部を除去することによって懸垂基板素子が生成され、それにより１つまたは複数の懸垂基板素子１１２’が形成される。懸垂基板素子１１２’は、図２４Ｋおよび２４Ｌに示されているように、基板層１０２に取り付けられた状態を維持する。

【０１０１】

[0132] 好都合には、次に、工程２３１６で保護層２４０８が除去され、図２４Ｍおよび２４Ｎに示されているような懸垂基板素子１１２’が得られる。次に、工程２３１８で懸垂基板素子１１２’を処理することができ、最後に、工程２３２０で基板素子をウェーハ１０１から除去することができる。

【０１０２】

[0133] 好都合には、基板層１０２は半導体（たとえばＳｉ）を備えており、また、マスキング層２４０２は半導体酸化物（たとえばSiO_2）を備えている。本明細書において説明されているように、フォトリソグラフィマスクは、好都合にはマスキング領域１０８として使用されている。マスキング層２４０２および基板層１０２の一部の除去には、好都合にはエッチングが含まれている。図２４Ｅおよび２４Ｆに示されているように、好都合には初期エッチングは異方性エッチングであり、したがって基板（たとえばＳｉ）は、垂直方向に除去される。

【０１０３】

[0134] 適切な実施形態では、保護層２４０８はSiO_2などの酸化物層である。図２４Ｉおよび２４Ｊに示されているように、最初に、たとえば異方性エッチ（たとえば垂直方向の酸化物エッチ）を使用して保護層２４０８の一部が除去される。次に、図２４Ｋおよび２４Ｌに示されているように、別の異方性エッチを実施して、基板層１０２の一部を垂直方向に除去することができ、引き続いて基板１０２が等方性エッチされ、それにより基板セクション１１２の下方が切り取られ、それにより懸垂基板素子１１２’が生成される。

【０１０４】

[0135] 後続する処理には、本明細書において説明されているように、懸垂基板素子１１２’の上に絶縁体層（たとえば酸化ケイ素などの酸化物層）を配置する工程を含むことができる。また、他の処理には、本明細書全体を通して説明されているように、絶縁体層の上にゲート層を形成する工程を含むことも可能である。好都合には、ゲート層は、金属またはポリシリコン層あるいは同様の導電性材料である。ゲート層として使用するための例示的金属には、それらに限定されないが、パラジウム（Ｐｄ）、イリジウム（Ｉｒ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、金（Ａｕ）、ルテニウム（Ｒｕ）、コバルト（Ｃｏ）、タングステン（W）、テルル（Ｔｅ）、レニウム（Ｒｅ）、モリブデン（Ｍｏ）、鉄白金合金（ＦｅＰｔ）、窒化タンタル（ＴａＮ）、等々がある。また、他の処理には、本明細書において説明されているように、懸垂基板素子１１２’をドーピングする工程、ならび

に本明細書において説明されているように、窒化物層および他の非導電層などの様々な保護層を配置する工程を含むことができる。

【０１０５】

[0136] 懸垂基板素子１１２’を除去するための方法は、本明細書において説明されており、マスキング方法およびエッチング方法、ならびに機械的な切断および超音波処理の使用が含まれている。

【０１０６】

[0137] 他の実施形態では、図２４Ａおよび２４Ｂに示されているように、基板１０２は、第２のセクション２４０４を備えることができる。適切な実施形態では、基板１０２は、ｐ－ドープ半導体層（たとえばp-ドープＳｉ）および第２の基板セクション２４０４は、ｎ－ドープ半導体層（たとえばn-ドープＳｉ）である（追加実施形態では、基板１０２がn-ドープ半導体層であり、また、第２のセクション２４０４がp-ドープ半導体層であってもよい）。基板１０２および第２の基板セクション２４０４は、２つの全く異なるセクションとして示されているが、適切な実施形態では、それらは、互いに別様にドープされた１つのセクションを単純に備えた同じ基板であってもよいことに留意されたい。

【０１０７】

[0138] 図２５Ａ～２５Ｈに示されているように、上で説明した方法を使用して、基板層１０２、および第２の基板セクション２４０４の一部をマスクし、かつ、エッチすることができ、引き続いて保護層２４０８（たとえば酸化物）を蒸着させることができる（つまり流れ図２３００の工程２３０２～２３１０）。保護層２４０８の一部が除去され、引き続いて第２の基板セクション２４０４の一部が除去されると、図２５Ｃおよび２５Ｄに示されている構造が生成され、基板セクション１１２の下方の第２の基板セクション２４０４が露出する。次に、基板セクション１１２の下方の第２の基板セクション２４０４を除去することができ（たとえばエッチングによって）、それにより、図２５Ｅおよび２５Ｆに示されているような懸垂基板セクション１１２’が生成される。次に、保護層２４０８を除去することができ、それにより、図２５Ｇおよび２５Ｈに示されているような懸垂基板素子１１２’が得られる。好都合には、次に、懸垂基板素子１１２’を処理することができ、最後に、本明細書において説明されているようにウェーハ１０１から除去される。適切な実施形態では、基板層１０２は、厚さが約５０ｎｍから約５００ｎｍまで（たとえば約１００ｎｍ、約２００ｎｍ、約２００ｎｍ、約４００ｎｍ、等々）のｐ－ドープＳｉ層であり、一方、第２の基板セクション２４０４は、厚さが約５０μｍから約１０００μｍまでのｎ－ドープＳｉ層である。

【０１０８】

[0139] さらに他の実施形態では、本発明により、図２６Ａ～２６ＡＢの略図を参照して図２７の流れ図２７００に示されているように、１つまたは複数の横方向の支持タブを利用して１つまたは複数の基板素子を形成するための方法が提供される。図２６Ａ～２６ＡＢの略図では、ページの下半分の図は、本明細書全体を通して説明されている処理の間のウェーハ１０１の上面図を示している。上半分の図は、１－１平面に沿ったウェーハ１０１の様々な層の略横断面図を示している。

【０１０９】

[0140] 流れ図２７００に示されているように、工程２７０２で、図２７Ａおよび２７Ｂに示されているように、支持層１０４の上の基板層１０２（また、任意選択により、支持プラットフォーム１０６を備えている）が提供される。本明細書において説明されているように、好都合には、基板層１０２および支持層１０４は差別的に除去することができる。基板層１０２を使用するための例示的材料には、Ｓｉ、等々などの半導体がある。例示的支持層１０４には、半導体酸化物、半導体合金、ドープ半導体および本明細書において説明されている他の材料がある。

【０１１０】

[0141] 流れ図２７００の工程２７０４で、基板層１０２の少なくとも一部を覆うために、基板層１０２の上にフォトリソグラフィマスクなどの１つまたは複数のマスキング領域

１０８が配置される。図２６Ｃおよび２６Ｄに示されているように、マスキング領域１０８は、好都合には、最終的に基板素子１１２になる領域をマスクするためだけではなく、最終的に横方向の支持タブ２６０４を形成することになる基板１０２の領域を保護するような方法でマスキングセクション２６０２が配置されるように配置される。次に、工程２７０６で、図２６Ｅおよび２６Ｆに示されているように、覆われていない基板層セクションが除去され、それにより基板素子１１２および横方向の支持タブ２６０４が生成される。図２６Ｅおよび２６Ｆに示されているように、任意の数の横方向の支持タブ２６０４を形成することができる。このようなタブにより、懸垂基板素子１１２’を形成している間、ならびに懸垂基板素子１１２’をさらに処理している間、横方向のベンディング／バックリングまたは他の運動を制限することによって、また、ウェーハ１０１の平面内のベンディング／バックリング／運動を制限することによって追加支持が提供される。図２６Ｄに示されているように、最終的にゲート領域（１２０／３０５）になる基板素子１１２のセクションは、この領域には横方向の支持物を全く有していないため、このセクションにおける他の処理を可能にしている。

【０１１１】

[0142] 工程２７０８で、好都合にはマスキング領域１０８が除去される。次に、流れ図２７００の工程２７１０で、基板層１０２の下方の支持層１０４の一部が除去され、それにより懸垂基板素子１１２’が形成され、横方向の支持タブ２６０４を介して基板層１０２に取り付けられる。上で指摘したように、図２６Ｈに示されている横方向の支持タブ２６０４は、これらの領域を除去から保護している（たとえばそれらをエッチングから保護している）マスキングセクション２６０２が存在していることによって形成されたものである。本明細書において指摘されているように、好都合には、工程２７０６における除去は、基板表面の平面に対して直角の平面内のみがエッチされるよう、異方性エッチングを使用して実施され、したがって基板素子１１２および横方向の支持タブ２６０４を形成することができる。工程２７１０における除去には、好都合には等方性エッチングが含まれており、それにより基板素子１１２および横方向の支持タブ２６０４の真下の支持層１０４が除去され、それにより、支持層１０４から分離され、かつ、横方向の支持タブ２６０４によって依然として所定の位置に保持されている懸垂基板素子１１２’が生成される。エッチングの例示的エッチング用試薬および方法は、本明細書において説明されており、また、当分野でよく知られている。

【０１１２】

[0143] マスキングセクション２６０２を適切に配置することにより、流れ図２７００の工程２７１２に示されている処理を、依然として懸垂基板素子１１２’上で実施することができる方法で横方向の支持タブ２６０４を生成することができる。本明細書において指摘されているように、例示的実施形態では、工程２７１２の間に実施することができる最初の処理工程には、図２６Ｉおよび２６Ｊに示されているように、より円形に近い、あるいはより楕円形に近い断面が生成されるよう、懸垂基板素子１１２’の角を「丸く」する工程を含むことができる。この「丸くする」工程は不要であることを理解されたい。一実施形態では、この初期処理は、酸化物層を配置する工程（たとえば本明細書において説明されている酸化物の薄い層を成長させる工程）と、次に、この「犠牲」酸化物層を除去またはエッチ除去する工程を含むことができる。

【０１１３】

[0144] 懸垂基板素子１１２’の後続する処理は、懸垂基板素子１１２’の上に絶縁体層を配置する工程を含むことができる。図２６Ｋおよび２６Ｌに示されているように、絶縁体層１１６は、好都合には、基板素子１１２’のすべての露出表面を覆うように配置される。例示的実施形態では、絶縁体層１１６は、基板素子１１２’上で成長する酸化物層である。たとえば、基板層１０２が、Ｓｉ、Ｇｅ、Ｓｎ、Ｓｅ、ＴｅまたはＢなどの半導体である場合、成長する酸化物は、酸化Ｓｉ（SiO_2）、酸化Ｇｅ、酸化Ｓｎ、酸化Ｓｅ、酸化Ｔｅまたは酸化Ｂなどの半導体酸化物である。追加実施形態では、さらに他の処理を基板素子１１２’上で実施することができる。たとえば、図２６Ｍおよび２４Ｎに示さ

れているように、絶縁体層１１６の上にゲート層１２０を配置することができる。絶縁体層１１６は、通常、基板素子１１２’および基板層１０２の露出表面にのみ配置されるが（たとえば酸化物が成長する場合）、ゲート層１２０を配置することにより、好都合には、露出したすべての表面が覆われる。好都合には、ゲート層１２０は、金属またはポリシリコン層あるいは同様の導電性材料である。ゲート層１２０として使用するための例示的金属には、それらに限定されないが、パラジウム（Ｐｄ）、イリジウム（Ｉｒ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、金（Ａｕ）、ルテニウム（Ｒｕ）、コバルト（Ｃｏ）、タングステン（Ｗ）、テルル（Ｔｅ）、レニウム（Ｒｅ）、モリブデン（Ｍｏ）、鉄白金合金（ＦｅＰｔ）、窒化タンタル（ＴａＮ）、等々がある。

【０１１４】

[0145] 例示的実施形態では、この初期処理に引き続いて、工程２７１４で懸垂基板素子１１２’をウェーハ１０１から除去することができる（あるいはあらゆる処理に先立って除去することができる）。本明細書において説明されているように、本発明の方法を使用して、コア層（たとえば半導体）および１つまたは複数のシェル層（たとえば酸化物層およびゲート層）を備えたナノワイヤを用意することができる。したがって、上で説明したこの初期処理に引き続いて、基板素子をナノワイヤおよび他の構造として除去することができる。

【０１１５】

[0146] さらに他の実施形態では、懸垂基板素子１１２’上で追加処理を実施し、機能トランジスタおよび他の半導体構造を生成することができる。たとえば、適切な実施形態では、図２６Ｏおよび２６Ｐに示されているように、ゲート層１２０の上にマスキング領域１０８（たとえばフォトリソグラフィマスクなどの耐エッチ性マスキング領域）が配置される。図２６Ｐに示されているように、好都合にはゲート層１２０の一部分のみがマスキング層１０８によって覆われ、たとえば、その領域に横方向の支持タブ２６０４を有していない懸垂基板素子１１２’の中心の近傍の一部が覆われる。次に、覆われていないゲート層１２０が除去され、それにより、図２６Ｒに示されているように、下方の絶縁体層１１６が現れる。また、これにより、マスキング層１０８の下方にゲート領域３０５（ゲート層１２０の一部を備えている）が形成される。

【０１１６】

[0147] 次に、流れ図２７００の工程２７１６で、任意選択により、ドープ領域３０４を形成するために、図２６Ｓおよび２６Ｔに示されているように基板層１０２にドーパント原子３０２がドープされる。本明細書において指摘されているように、適切な実施形態では、このドーピングは、軽いドーピングであっても、あるいは重いドーピングであってもよい。次に、図２６Ｕおよび２６Ｖに示されているように、マスキング領域１０８が除去され、それにより下方に位置している、ゲート層１２０の材料を備えたゲート領域３０５が現れる。横方向の支持タブ２６０４は、この処理全体を通して懸垂基板素子を支持し続けていることに留意されたい。例示的実施形態では、次に、工程２７１８で、ドープされた基板素子を熱焼きなましすることができる。

【０１１７】

[0148] 次に、工程２７１４でトランジスタ素子３０６が除去される。本明細書において説明されているように、トランジスタ素子は、図２６Ｗおよび２６Ｘに示されているように、懸垂基板素子１１２’の上に１つまたは複数のマスキング領域１０８（たとえば耐エッチ性フォトリソグラフィマスク）を配置することによって除去することができる。次に、懸垂基板素子１１２’および／または基板層１０２の少なくとも一部が除去され（たとえばエッチングによって）、それにより、図２６Ｙおよび２６Ｚに示されているように、トランジスタ素子３０６が基板層１０２から分離される。また、このエッチングにより、トランジスタ素子３０６が横方向の支持タブ２６０４から分離される。図２６Ｙおよび２６Ｚに示されているように、トランジスタ素子３０６はマスキング領域１０８によって取り囲まれており、ウェーハ１０１から除去することができる。他の実施形態では、トランジスタ素子３０６は、トランジスタ素子３０６を単純に揺り動かすか、あるいは振動させ

ることによって基板層１０２から除去することができ、あるいはそれらを基板層１０２から機械的に切断することによって基板層１０２から除去することができる。図２６ＡＡおよび２６ＡＢに示されているように、トランジスタ素子３０６は、好都合には、ドープ領域３０４（たとえばドープ半導体材料を備えたソース領域およびドレイン領域）、ならびに好都合には金属またはポリシリコンを備えたゲート領域（１０２／３０５）を備えている。さらに他の実施形態では、トランジスタ素子３０６を用意するための本発明の方法は、さらに、本明細書全体を通して説明されているように、軽いドーピングおよび重いドーピング、ならびに追加保護層または非導電層の蒸着を含む追加ドーピング段を含むことができる。

【０１１８】

[0149] 追加実施形態では、図２８Ａおよび２８Ｂに示されているように、基板素子を形成するための、本明細書において説明されている方法は、ナノワイヤ、トランジスタおよび本明細書において説明されている他の半導体素子を始めとする様々な基板素子の形成および処理を促進するための応力除去構造２８００を利用することができる。図２８Ａに示されているように、応力除去素子２８０２は、適切な方法でマスキングし、かつ、エッチングすることによって形成することができる。このような応力除去素子２８０２は、素子に沿った任意の位置に配置することも可能であるが、好都合には懸垂基板素子１１２’の末端に配置される。応力除去素子２８０２は、形成および処理の間、素子１１２’の膨張（たとえば矢印２８０４で示されている方向の膨張）を許容し、それにより除去に先立つ素子のバックリング、ベンディングおよび他の運動が抑制され、かつ、故障が制限される。図２８Ｂに示されているように、本明細書において説明されているマスキング領域１０８手法を使用した素子１１２’の除去は、素子１１２’を応力除去素子２８０２から単純にエッチング除去することによって依然として実践することができる。

【０１１９】

[0150] 図２９Ａは、応力除去素子を使用することなく用意された懸垂基板素子１１２’の走査電子顕微鏡写真を示したものである。素子の上向きの「そり」は、形成および／または処理中に膨張したワイヤとして指摘することができる。応力除去素子２８０２を使用することによってこの応力が除去され、それにより、図２９ＢのＳＥＭに示されているように素子１１２’のそりが制限される。

【０１２０】

[0151] 図２９Ｃは、横方向の支持タブ２６０４を備え、さらに応力除去素子２８０２を備えた懸垂基板素子１１２’の走査電子顕微鏡写真を示したものである。

【０１２１】

[0152] 多くの電子デバイスおよびシステムは、本発明に従って用意された基板素子を組み込むことができる。本明細書において説明されているように、適切な実施形態では、基板素子は、ナノワイヤ、ナノリボン、ナノチューブ、等々を始めとする半導体素子であり、また、トランジスタ素子であってもよい。実例で説明するために、本発明のためのいくつかの用途の例が以下で説明されており、あるいは本明細のどこかに示されているが、非制限である。

【０１２２】

[0153] 本明細書において説明されている様々な基板素子を備えた半導体デバイス（または他のタイプのデバイス）は、他の電子回路に信号を発信するために結合することができ、および／または他の電子回路と統合することができる。半導体デバイスは、次により小さい基板に分割つまりダイスすることができる大型基板の上に形成することができる。さらに、大型基板（つまり、従来の半導体ウェーハより実質的に大きい基板）の上に形成された半導体デバイスを、その大型基板上で相互接続することができる。

【０１２３】

[0154] 本明細書において説明されているように、適切な実施形態では、本発明の方法を使用して、同じウェーハ１０１または個別のウェーハ１０１から複数の基板素子（たとえばナノワイヤ、トランジスタ、等々）を生成することができる。本明細書において説明さ

れている方法によれば、最初にこれらの素子を個別の基板へ搬送する必要なく、それらをウェーハ上で処理することができる（搬送後に処理することも可能であるが）。本発明の方法によって用意された素子は、次に、単一の基板素子（たとえば単一の半導体）または複数の素子を必要とする用途に組み込むことができる。たとえば、本発明のプロセスおよび方法によって用意された基板素子は、なかんずく、複数の素子（たとえば半導体デバイス）がその上に形成される大型マクロ電子基板に適用することができる。このような電子デバイスは、アクティブマトリックス液晶ディスプレイ（LCD）、有機ＬＥＤディスプレイ、電界放出ディスプレイ、等々のためのディスプレイ駆動回路を含むことができる。他のアクティブディスプレイは、ナノワイヤー重合体、量子ドット－重合体複合物から形成することができる（この複合物は、エミッタおよびアクティブ駆動マトリックスの両方として機能させることができる）。また、本発明のプロセスおよび方法によって用意された基板素子は、スマートライブラリ、クレジットカード、大型アレイセンサ、およびスマートカード、スマートインベントリタグ、等々を始めとする無線周波識別（RFID）タグに適用することも可能である。

【０１２４】

[0155] また、本発明のプロセスおよび方法によって用意された基板素子は、ディジタルおよびアナログ回路用途に適用することも可能である。本発明のプロセスおよび方法によって用意された基板素子は、とりわけ、大型基板上への超大規模集積を必要とする用途に有用である。たとえば、基板素子（たとえばナノワイヤ）の薄膜を、論理回路、メモリ回路、プロセッサ、増幅器および他のディジタルおよびアナログ回路の中で実施することができる。

【０１２５】

[0156] したがって、広範囲にわたる軍事商品および消費者商品は、本発明のプロセスおよび方法によって用意された基板素子を組み込むことができる。たとえば、このような商品は、パーソナルコンピュータ、ワークステーション、サーバ、ネットワーク化デバイス、ＰＤＡおよびパームパイロットなどのハンドヘルド電子デバイス、電話（たとえばセルラおよび標準）、ラジオ、テレビジョン、電子ゲームおよびゲームシステム、家庭用安全保護システム、自動車、航空機、船、他の家庭用機器および商用機器、等々を含むことができる。

【０１２６】

[0157] 本発明の範囲あるいは本発明の任意の実施形態から逸脱することなく、他の適切な修正および適合を本明細書において説明されている方法および用途に加えることができることは、当業者には容易に明らかであろう。以上、本発明について詳細に説明したが、本発明については、以下の例を参照することによってより明確に理解されよう。以下の例は、本発明を実例で説明するために本明細書に含まれているにすぎず、本発明を限定することは意図されていない。

【実施例】

【０１２７】

（実施例１）

基板素子の用意

[0158] 最初に、酸化ケイ素支持層１０４の上に配置されたケイ素基板層１０２に窒化物の層がコーティングされた。次に、当分野でよく知られているフォトリソグラフィ技法を使用して、窒化物の上にパターンマスクが生成された。窒化物のエッチングによって、Ｓｉ基板層１０２の一部を覆い、かつ、覆われていない領域を残す硬い窒化物マスクが生成された。次に、標準の浅いトレンチ隔離（STI）エッチを使用して、露出したＳｉ層を介してエッチされ、基板（Ｓｉ）素子１１２が形成された。

【０１２８】

[0159] 次に、ＨＦエッチを使用して、基板素子１１２の下方の酸化ケイ素支持層１０４の一部が除去された。これにより、図２０Ａに示されているように、両方の末端で基板層１０２に取り付けられた懸垂基板素子１１２’が形成された。結果として得られる懸垂基

板素子１１２’は、断面が約１００ｎｍ程度であり、長さは１μｍ程度であるが、同様の技法を使用してもっと分厚い、あるいはもっと長いワイヤを製造することも可能である。図２０Ｂは、長さが約２０μｍの懸垂基板素子１１２’の走査電子顕微鏡写真を示したものである。図２０Ｃは、カンチレバー構造として懸垂された、つまり素子上の１つのポイントのみで取り付けられた懸垂基板素子１１２’を示したものである（この実施形態では中央部分に存在しているが、他の取付けポイントを利用することも可能である）。

【０１２９】

（実施例２）

基板素子の処理

[0160] 実施例１の場合と同様、最初に、酸化ケイ素支持層１０４の上に配置されたケイ素基板層１０２に窒化物の層がコーティングされた。次に、当分野でよく知られているフォトリソグラフィ技法を使用して、窒化物の上にパターンマスクが生成された。窒化物のエッチングによって、Ｓｉ基板層１０２の一部を覆い、かつ、覆われていない部分を残す硬い窒化物マスクが生成された。次に、標準のＳＴＩエッチを使用して、Ｓｉ基板層を介してエッチされ、基板（Ｓｉ）素子１１２が形成された。

【０１３０】

[0161] 次に、ＨＦエッチを使用して、基板素子１１２の下方の酸化ケイ素支持層１０４の一部が除去された。これにより、両方の末端で基板層１０２に取り付けられた懸垂基板素子１１２’が形成された。

【０１３１】

[0162] 次に、後続する処理が懸垂基板素子１１２’上で実施された。最初に、約９００℃でのＳｉの熱酸化によって酸化物絶縁体層１１６が加えられた。次に、当分野でよく知られている標準の蒸着技法を使用して、酸化物層の上にポリシリコンゲート層１２０が配置された。

【０１３２】

[0163] 図２１は、多数の懸垂基板素子１１２’を備えたウェーハ１０１に沿って取った断面の透過型電子顕微鏡写真（TEM）を示したものである。懸垂基板素子１１２’（Ｓｉ）は、絶縁体層１１６（SiO_2）によって取り囲まれており、また、この絶縁体層１１６（SiO_2）は、ゲート層１２０（ポリシリコン）によって取り囲まれている。懸垂基板素子１１２’の断面の寸法は、約５０ｎｍ×約１００ｎｍ程度である。それぞれ、約５０～１００ｎｍ程度の厚さのポリシリコン層によって取り囲まれた約１０～２０ｎｍの厚さのSiO_2層によって取り囲まれている。

【０１３３】

[0164] 図２１から明確に分かるように、懸垂基板素子１１２’の各々は、支持層１０４の上方に懸垂されており、その一部がＨＦエッチングによって除去されている。ポリシリコンの薄い層（１２０）は、ゲート層が蒸着された結果としてSiO_2層１０４の頂部に位置している。また、懸垂基板素子１１２’の下方が切り取られたセクション（１１４）を見ることができる。ＴＥＭ写真の用意が必要であった処理層２１０２も、支持プラットフォーム１０６の場合と同様、同じく見ることができる。

【０１３４】

[0165] 図２３は、懸垂基板素子１１２’の１つの拡大ＴＥＭ断面を示したもので、この場合も、酸化物絶縁体層１１６およびポリシリコンゲート層１２０の存在が示されている。

【０１３５】

[0166] 以上、本発明の例示的実施形態について示した。本発明は、これらの例に限定されない。これらの例は、本明細書においては、本発明を限定するためではなく、実例で説明することを目的として示されたものである。当業者には、本明細書に含まれている教示に基づいて、代替（本明細書において説明されている内容の等価物、拡張、変形形態、逸脱、等々を含む）が明らかであろう。このような代替は、本発明の範囲および精神の範疇である。

【０１３６】

[0167] 本明細書において言及されているすべての刊行物、特許および特許出願は、参照により、あたかもこれらの個々の刊行物、特許または特許出願が具体的に、かつ、個々に示されているものとして、その同じ範囲が本明細書に組み込まれているものとする。

【図１Ａ】

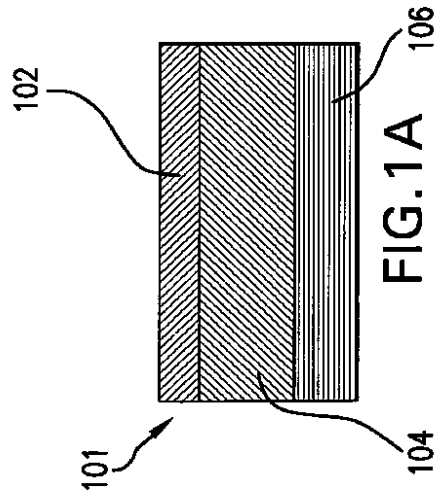


FIG.1A

【図１Ｂ】

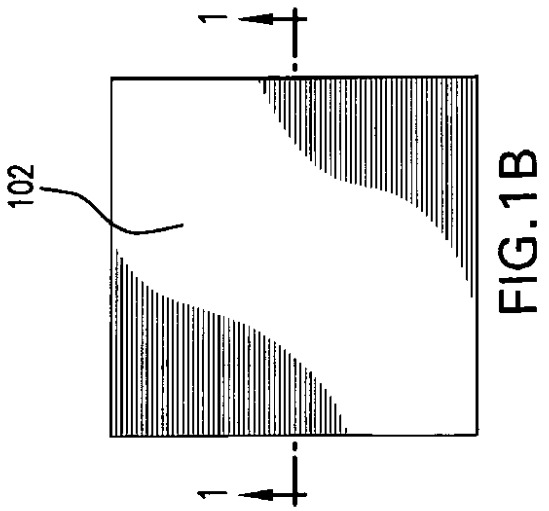


FIG.1B

【図１Ｃ】

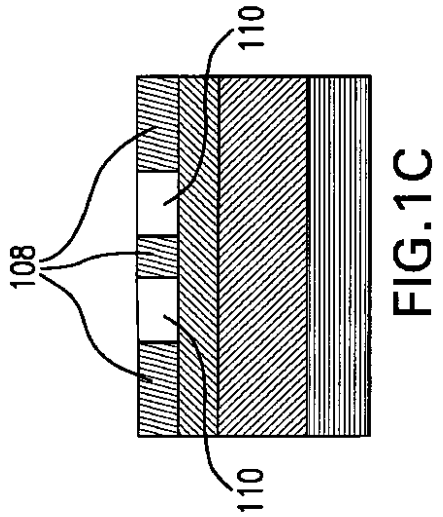


FIG.1C

【図１Ｄ】

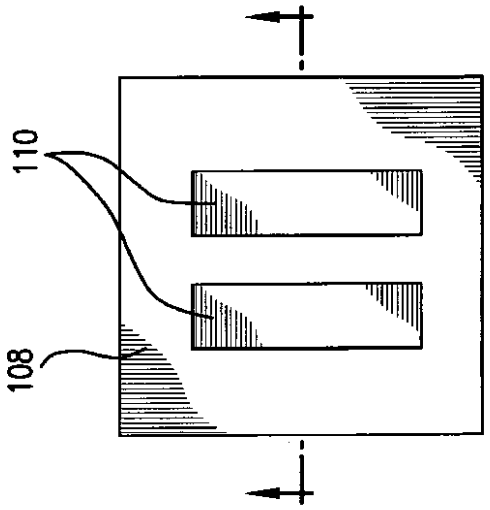


FIG.1D

【図１Ｅ】

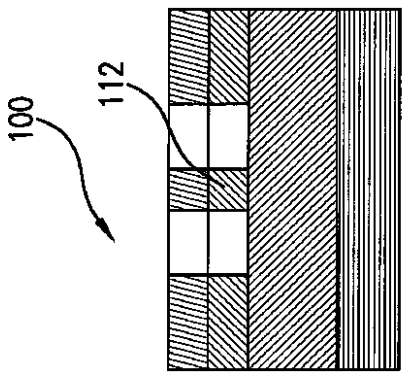


FIG.1E

【図１Ｆ】

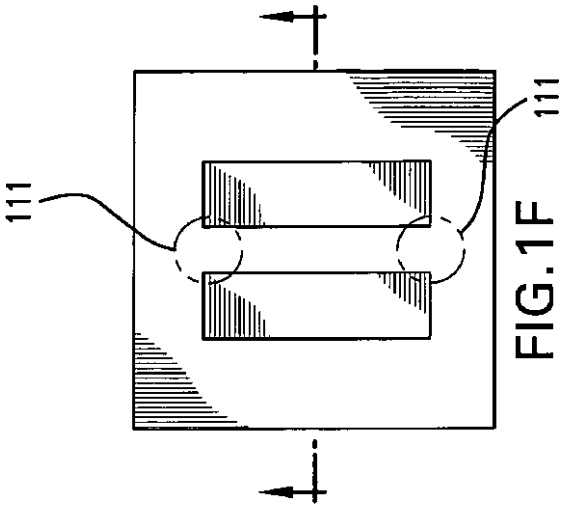


FIG.1F

【図１Ｇ】

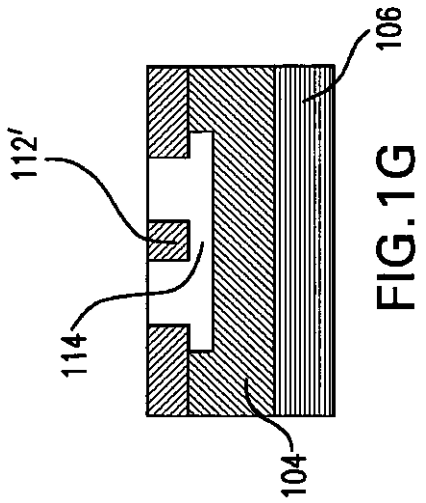


FIG.1G

【図１Ｈ】

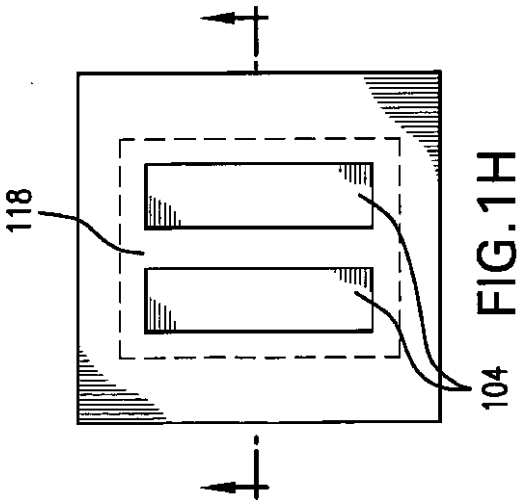


FIG.1H

【図１Ｉ】

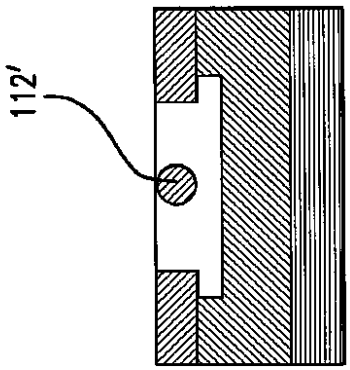


FIG.1I

【図１Ｊ】

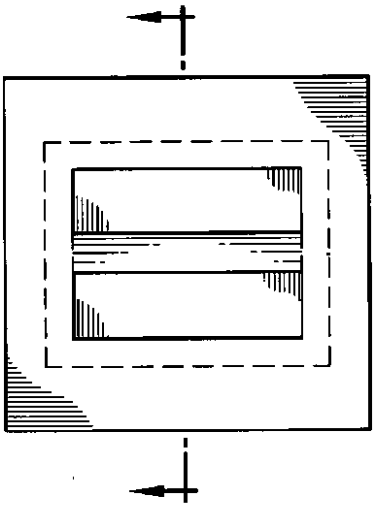


FIG.1J

【図１Ｋ】

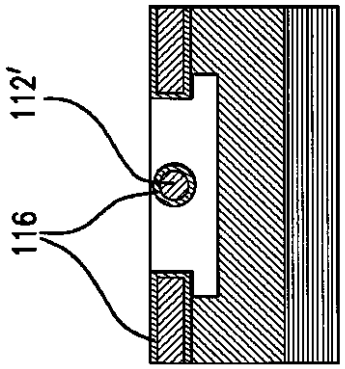


FIG.1K

【図１Ｌ】

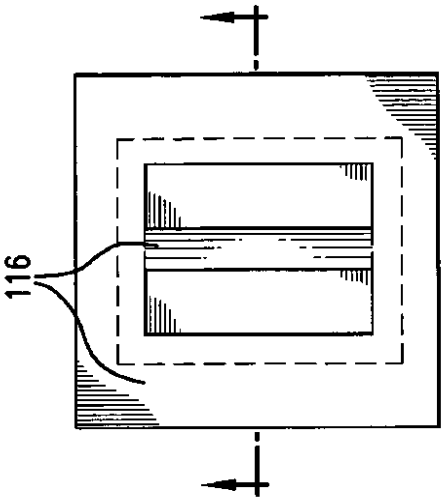


FIG.1L

【図１Ｍ】

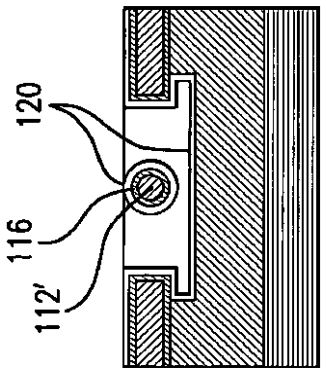


FIG.1M

【図１Ｎ】

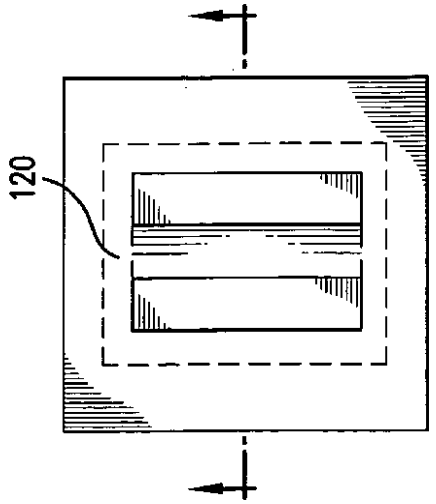


FIG.1N

【図１Ｏ】

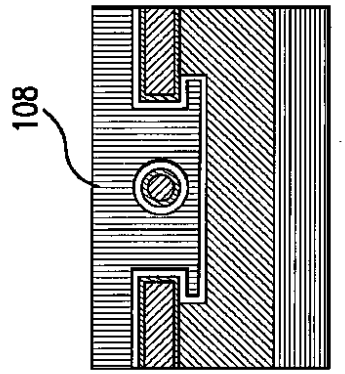


FIG.1O

【図１Ｐ】

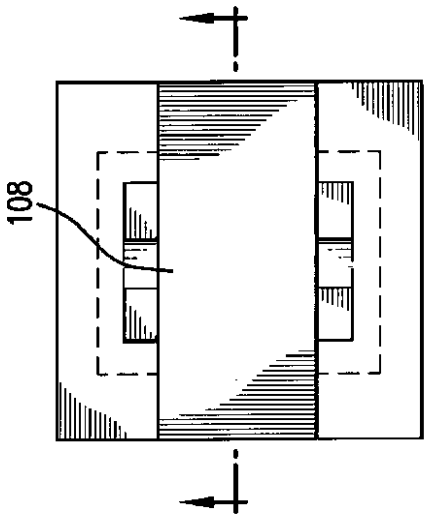


FIG.1P

【図１Ｑ】

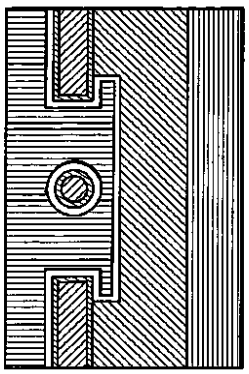


FIG.1Q

【図１Ｒ】

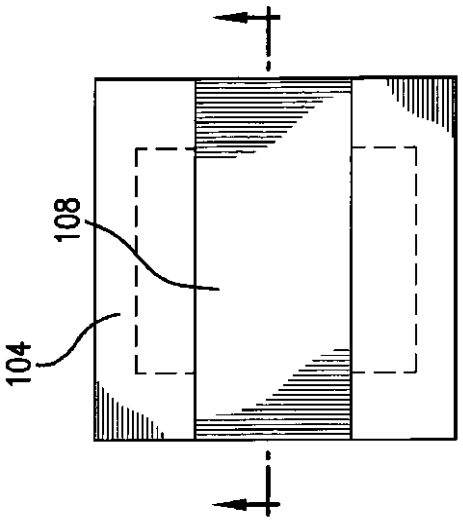


FIG.1R

【図１Ｓ】

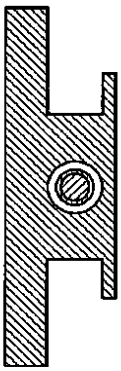


FIG.1S

【図１Ｔ】

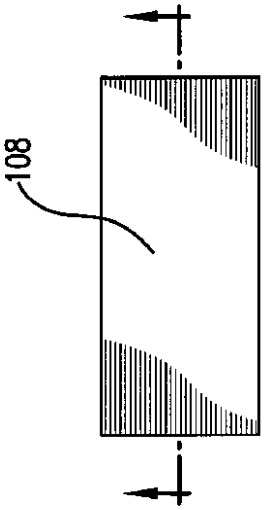


FIG.1T

【図１Ｕ】

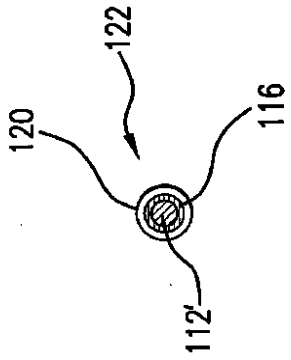


FIG.1U

【図１Ｗ】

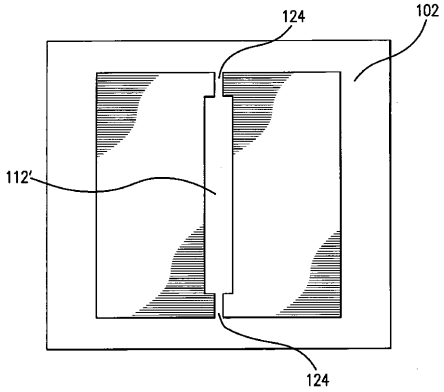


FIG.1W

【図１Ｖ】

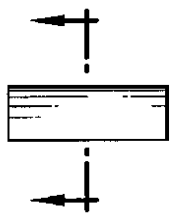


FIG.1V

【図１Ｘ】

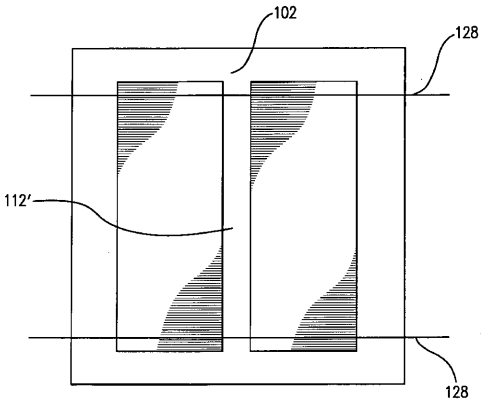


FIG.1X

【図２】

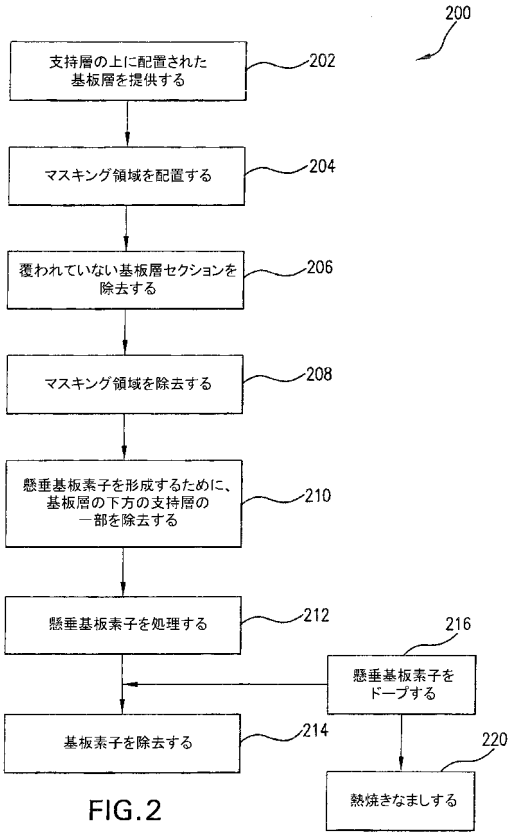


FIG.2

【図３Ａ】

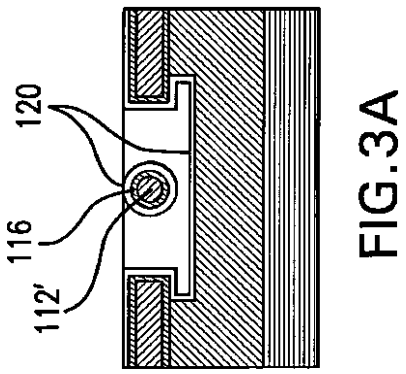


FIG.3A

【図３Ｂ】

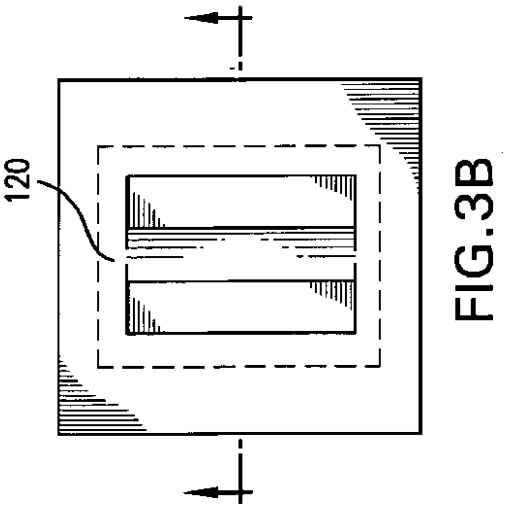


FIG.3B

【図３Ｃ】

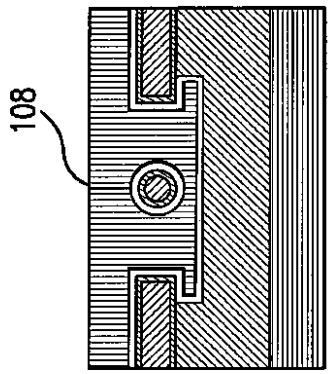


FIG.3C

【図３Ｄ】

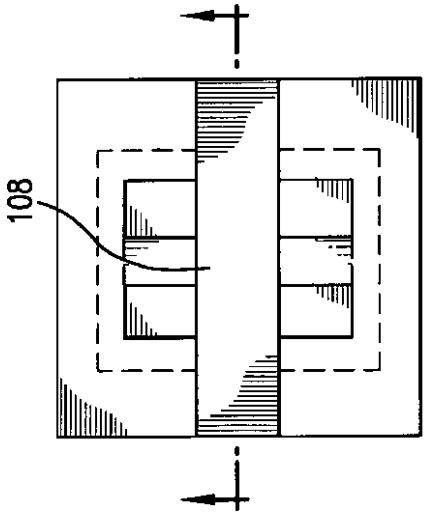


FIG.3D

【図３Ｅ】

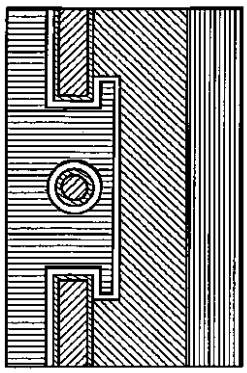


FIG.3E

【図３Ｆ】

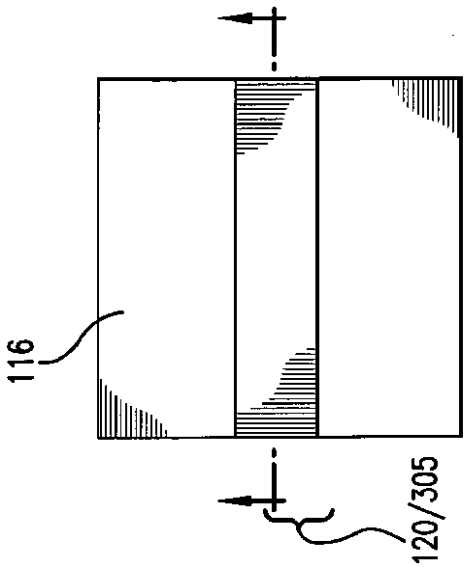


FIG.3F

【図３Ｇ】

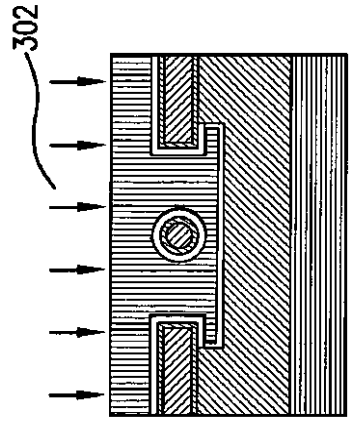


FIG.3G

【図３Ｈ】

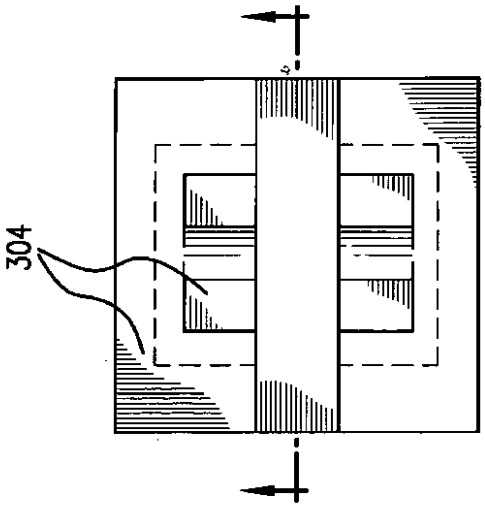


FIG.3H

【図３Ｉ】

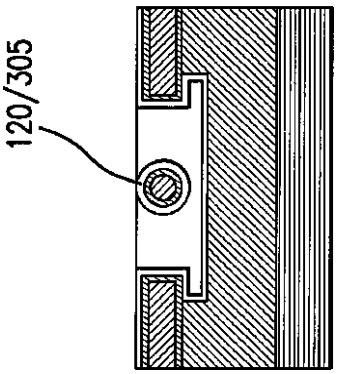


FIG.3I

【図３Ｊ】

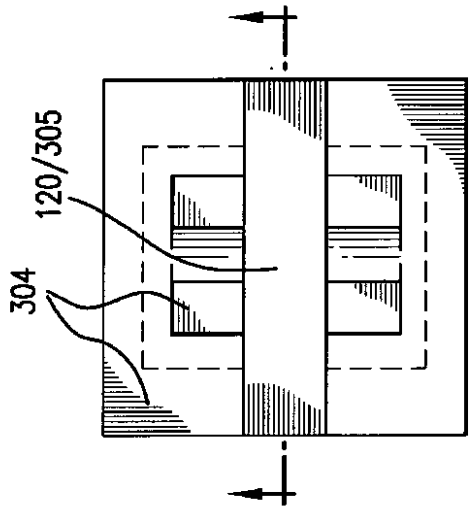


FIG.3J

【図３Ｋ】

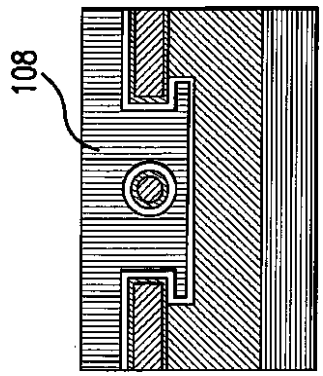


FIG.3K

【図３Ｌ】

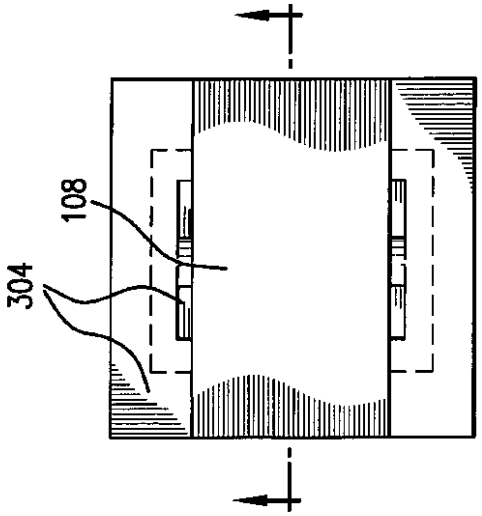


FIG.3L

【図３Ｍ】

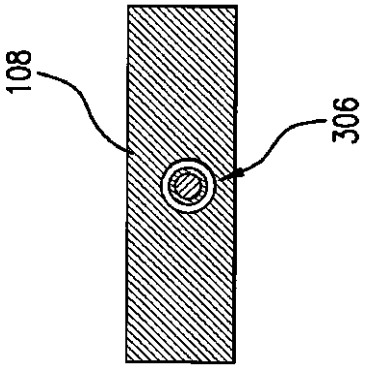


FIG.3M

【図３Ｎ】

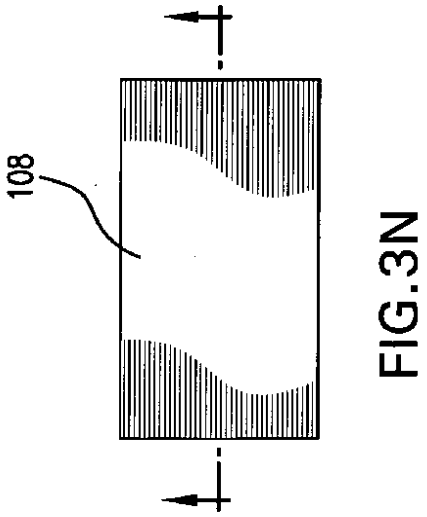


FIG.3N

【図３Ｏ】

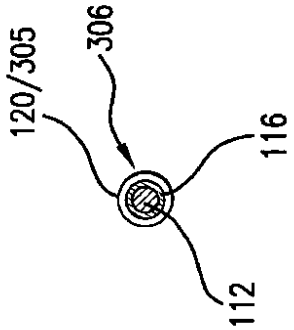


FIG.3O

【図３Ｐ】

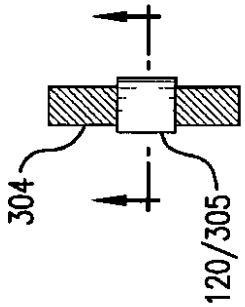


FIG.3P

【図４】

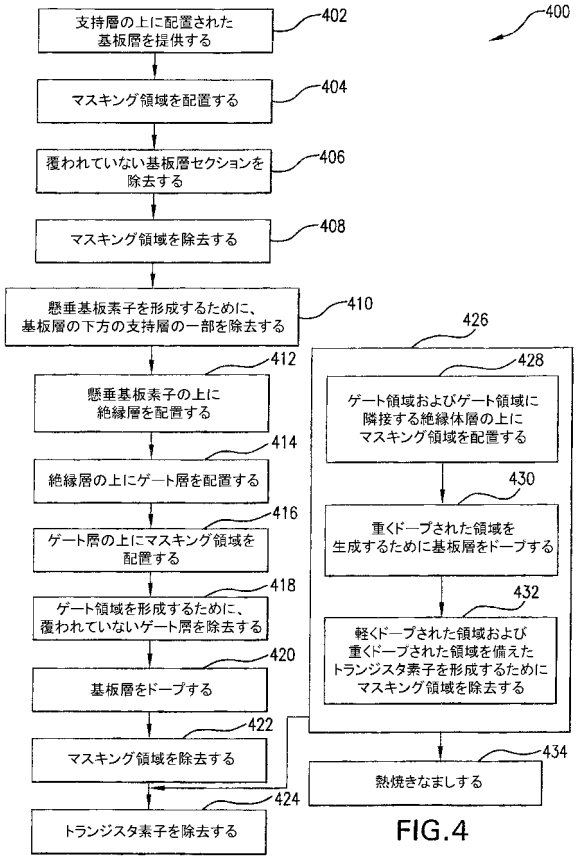


FIG.4

【図５Ａ】

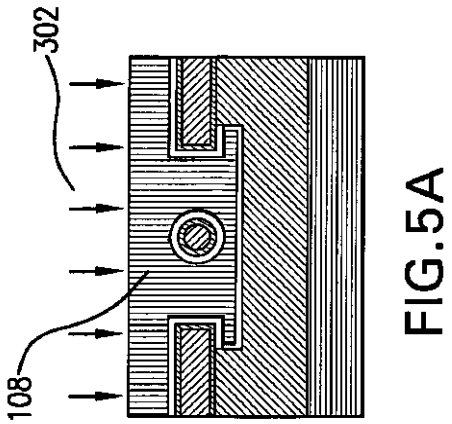


FIG.5A

【図５Ｂ】

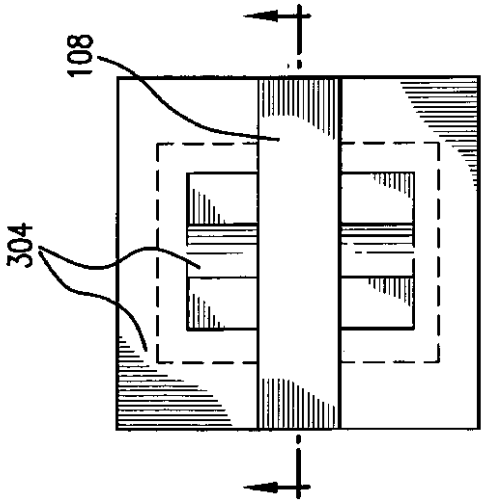


FIG.5B

【図５Ｃ】

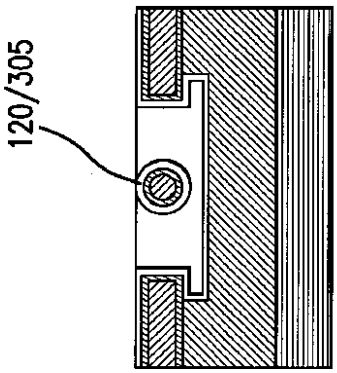


FIG.5C

【図５Ｄ】

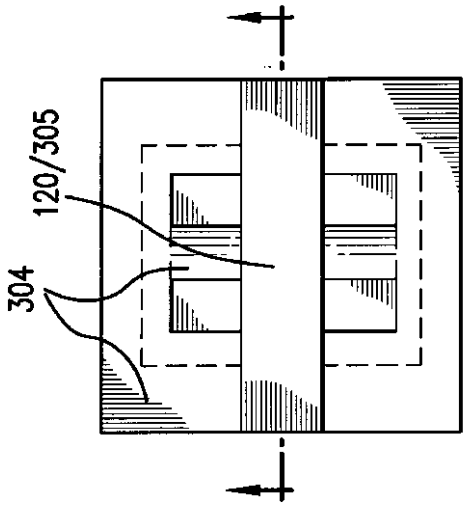


FIG.5D

【図５Ｅ】

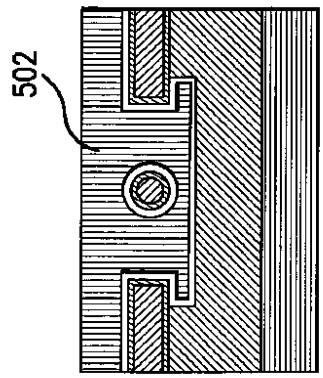


FIG.5E

【図５Ｆ】

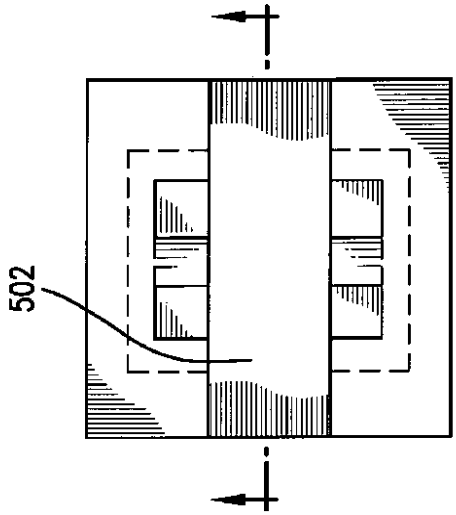


FIG.5F

【図５Ｇ】

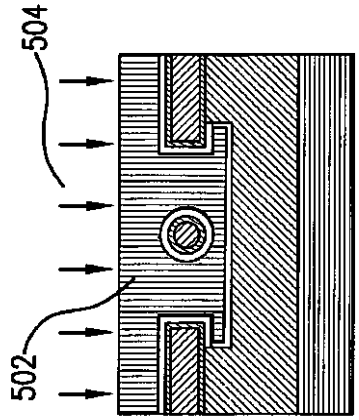


FIG.5G

【図５Ｈ】

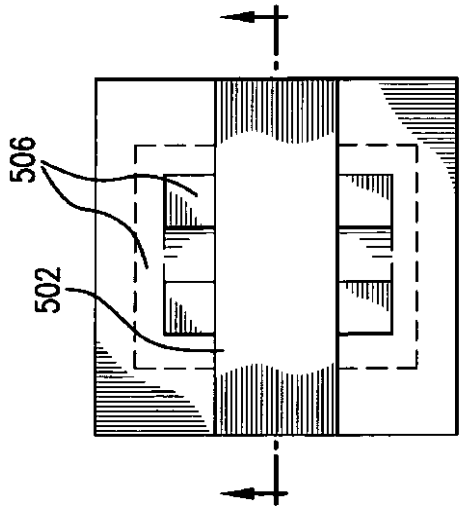


FIG.5H

【図５Ｉ】

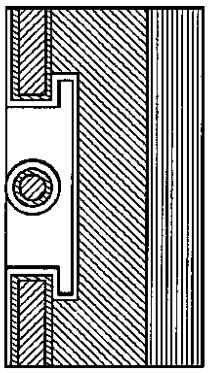


FIG.5I

【図５Ｊ】

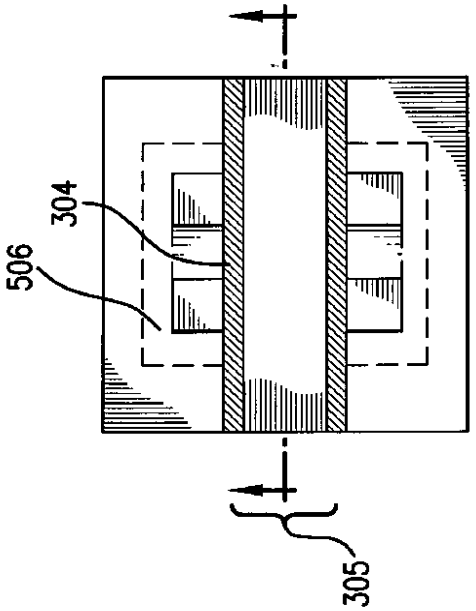


FIG.5J

【図５Ｋ】

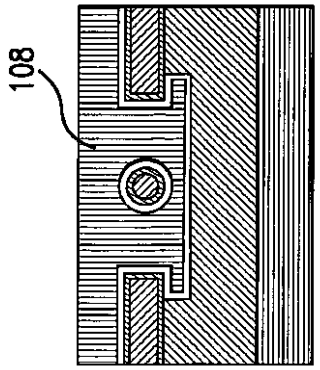


FIG.5K

【図５Ｌ】

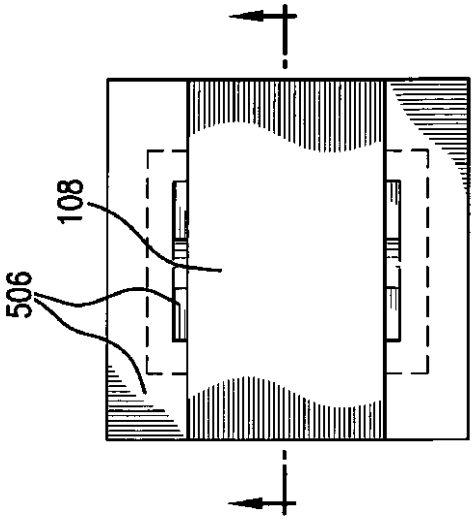


FIG.5L

【図５Ｍ】

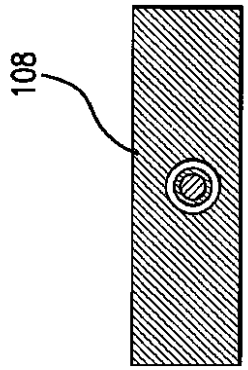


FIG.5M

【図５Ｎ】

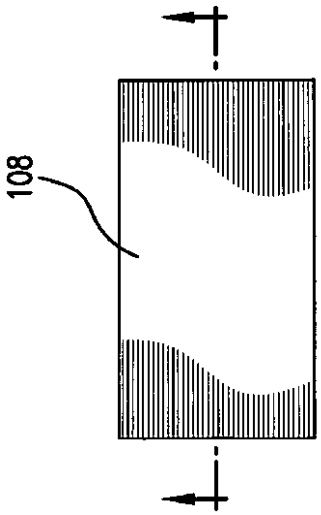


FIG.5N

【図５Ｏ】

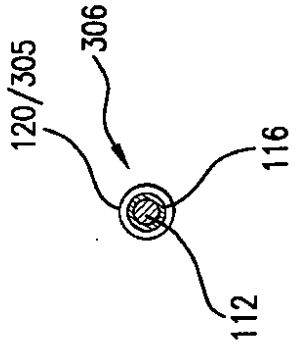


FIG.5O

【図５Ｐ】

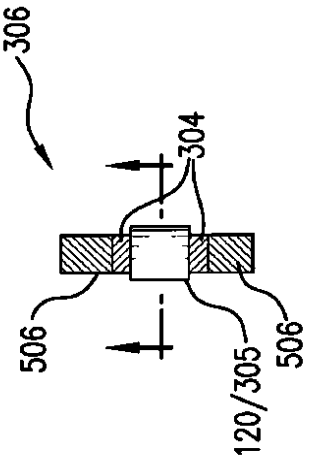


FIG.5P

【図５Ｑ】

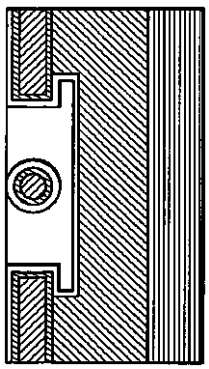


FIG.5Q

【図５Ｒ】

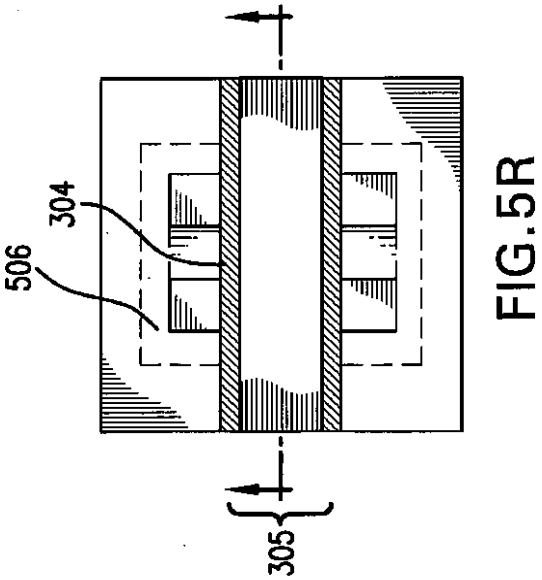


FIG.5R

【図５Ｓ】

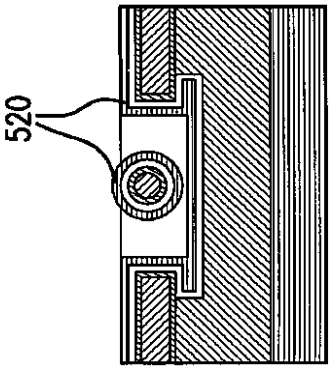


FIG.5S

【図５Ｔ】

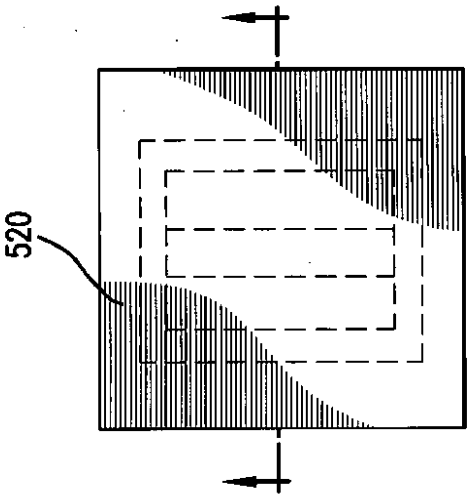


FIG.5T

【図５Ｕ】

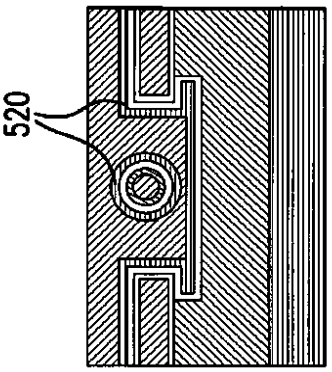


FIG.5U

【図５Ｖ】

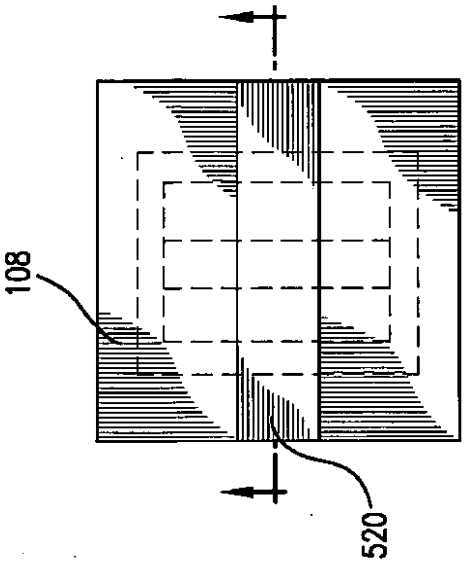


FIG.5V

【図５Ｗ】

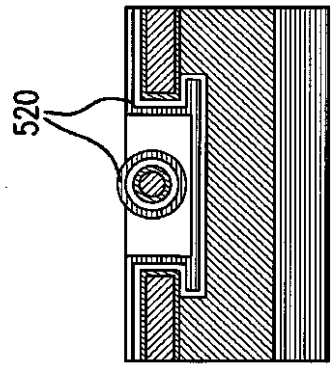


FIG.5W

【図５Ｘ】

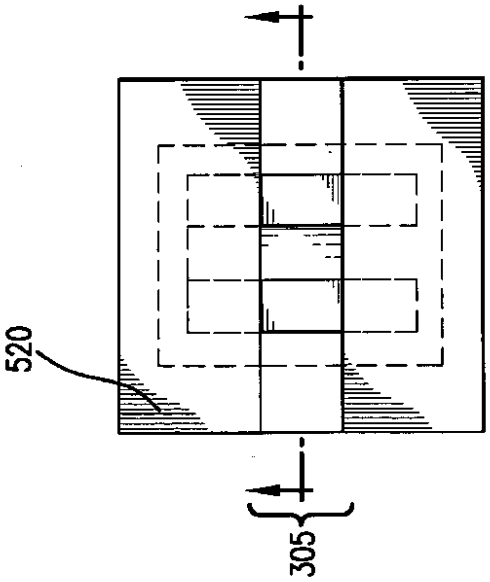


FIG.5X

【図５Ｙ】

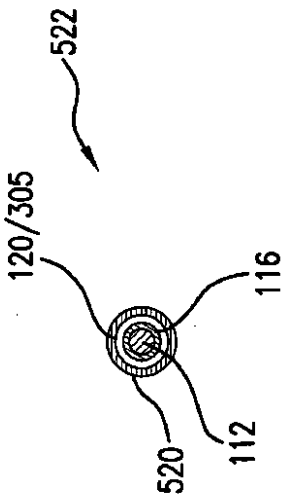


FIG.5Y

【図５Ｚ】

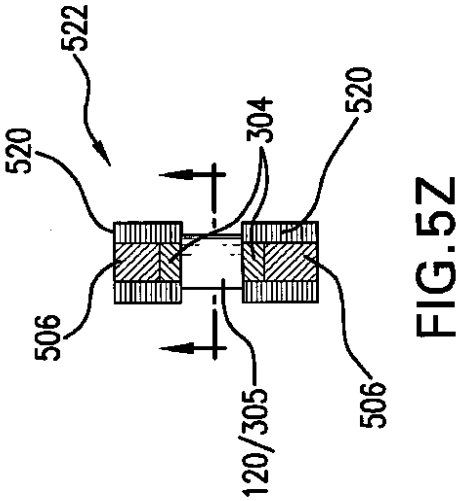


FIG.5Z

【図６】

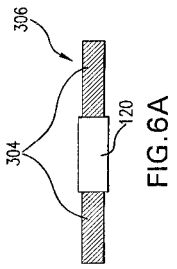


FIG.6A

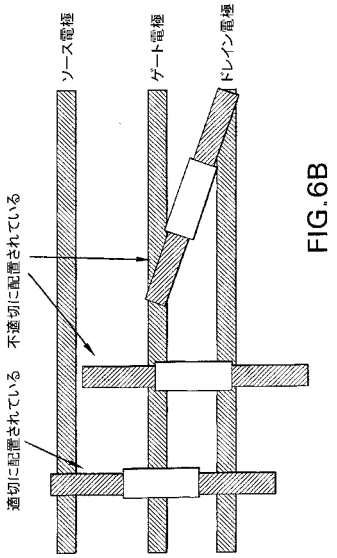


FIG.6B

【図７】

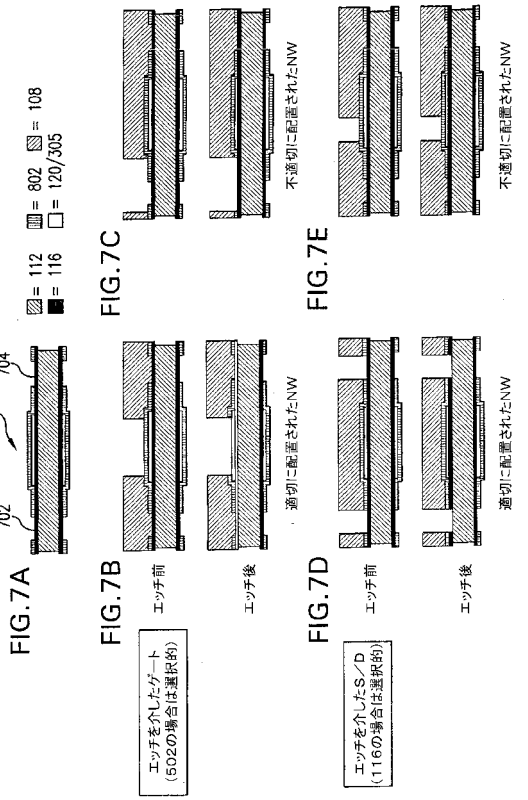


FIG.7A

FIG.7B

FIG.7C

FIG.7D

FIG.7E

【図８Ａ】

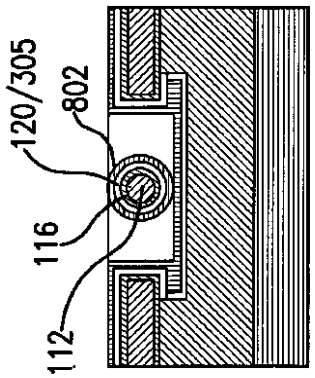


FIG.8A

【図８Ｂ】

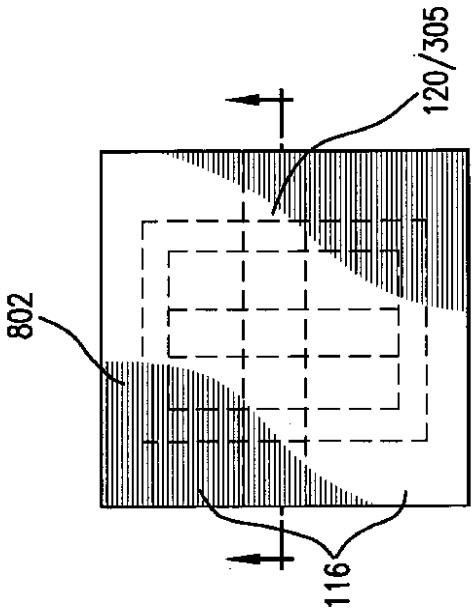


FIG.8B

【図８Ｃ】

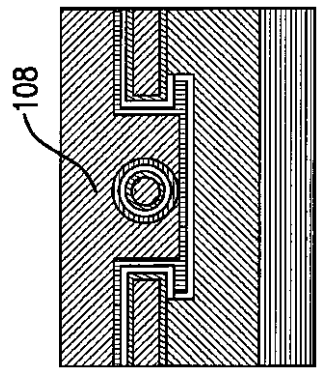


FIG.8C

【図８Ｄ】

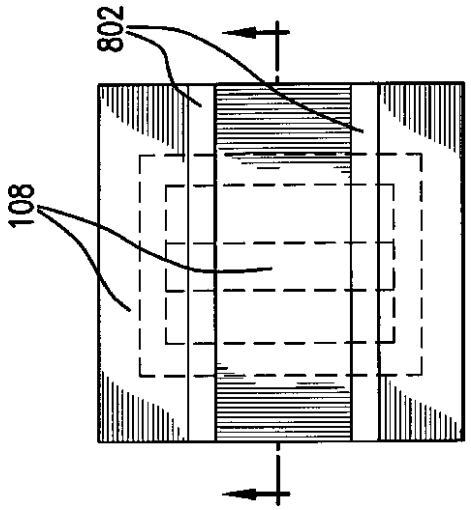


FIG.8D

【図８Ｅ】

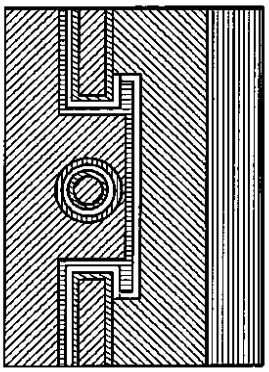


FIG.8E

【図８Ｆ】

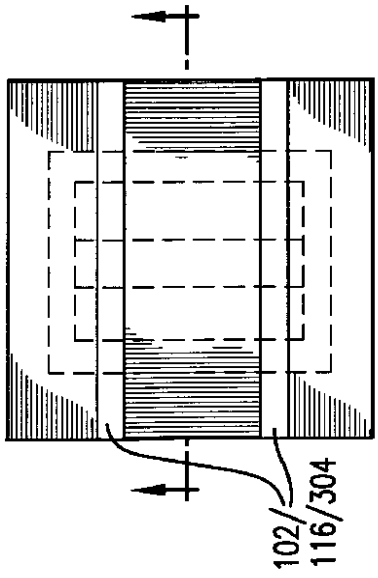


FIG.8F

【図８Ｇ】

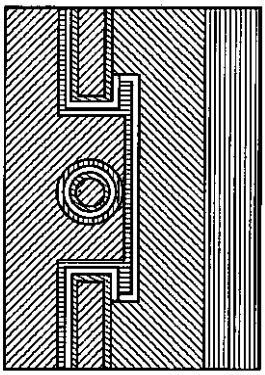


FIG.8G

【図８Ｈ】

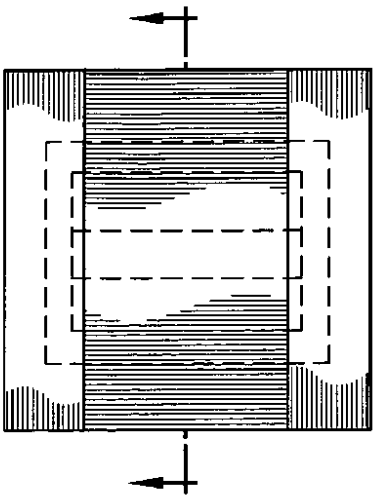


FIG.8H

【図８Ｉ】

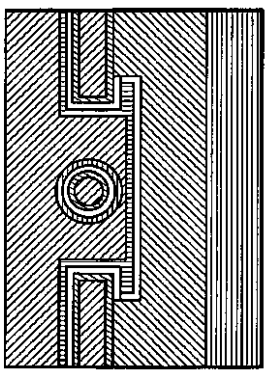


FIG.8I

【図８Ｊ】

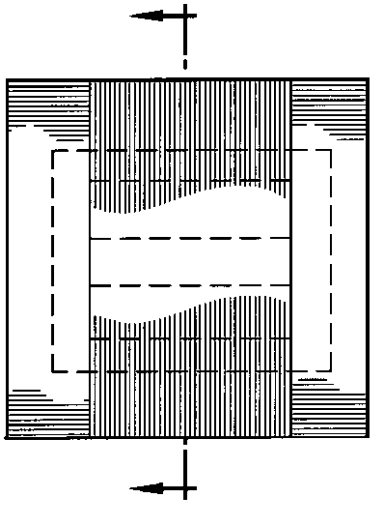


FIG.8J

【図８Ｋ】

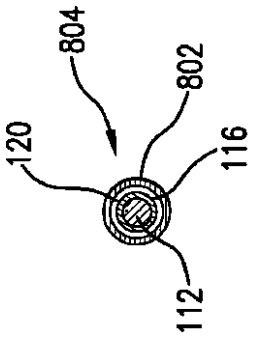


FIG.8K

【図８Ｌ】

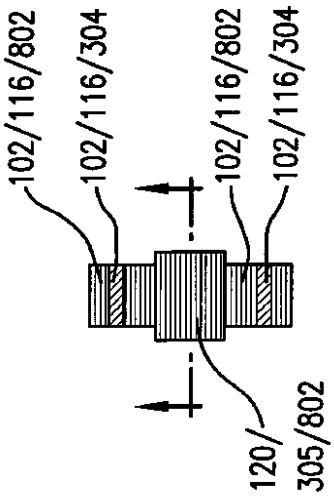


FIG.8L

【図９Ａ】

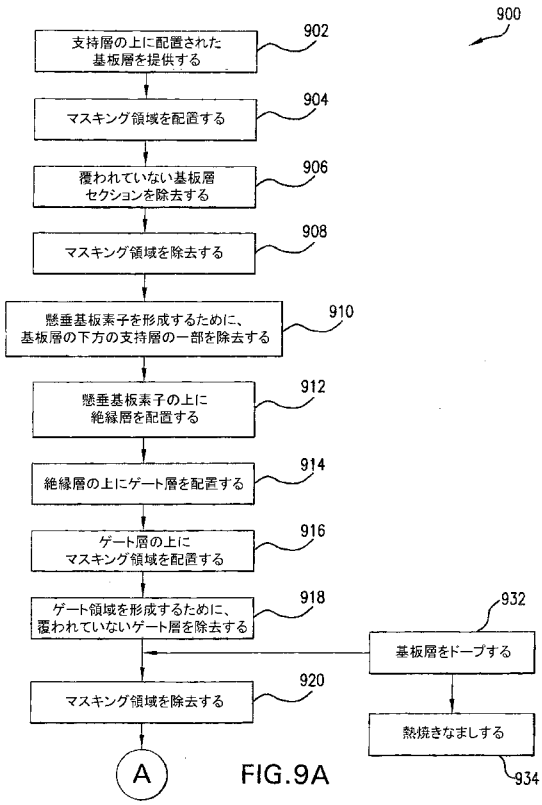


FIG.9A

【図９Ｂ】

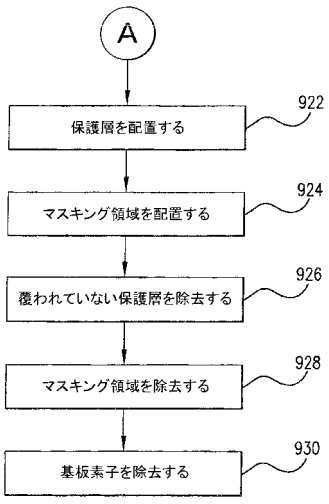


FIG.9B

【図１０Ａ】

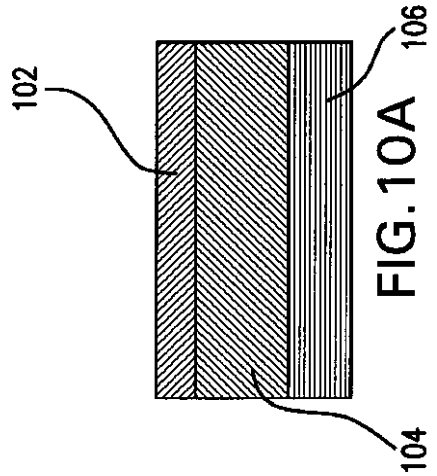


FIG.10A

【図１０Ｂ】

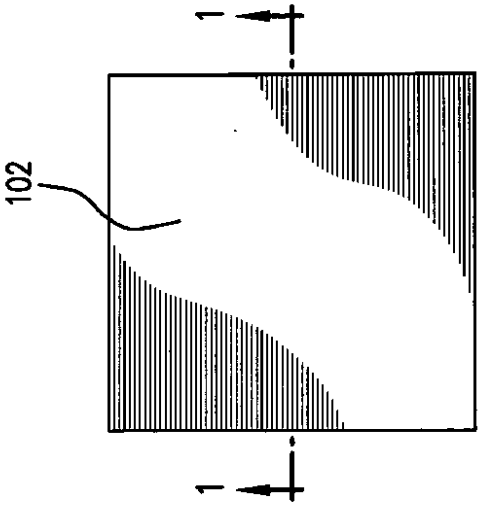


FIG.10B

【図１０Ｃ】

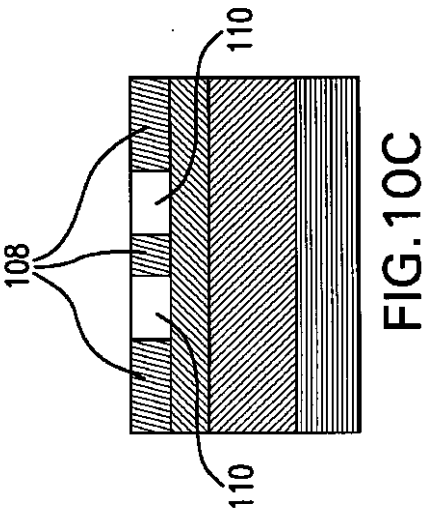


FIG.10C

【図１０Ｄ】

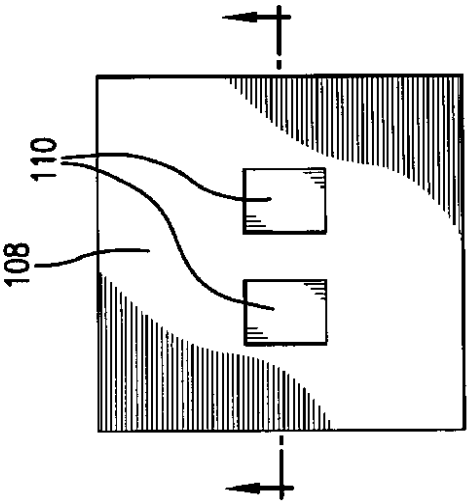


FIG.10D

【図１０Ｅ】

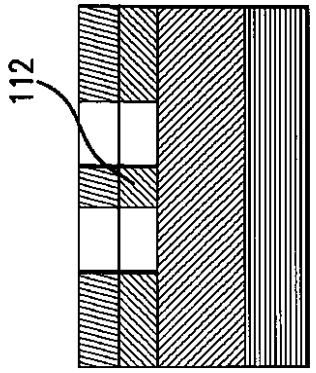


FIG.10E

【図１０Ｆ】

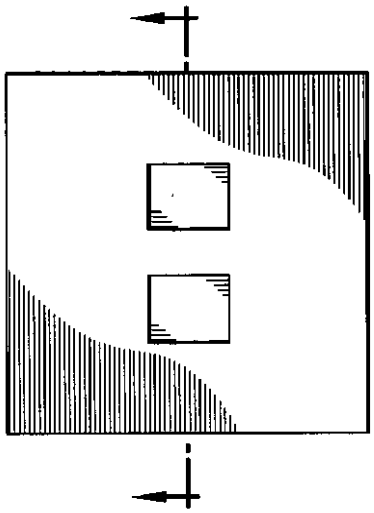


FIG.10F

【図１０Ｇ－１０Ｌ】

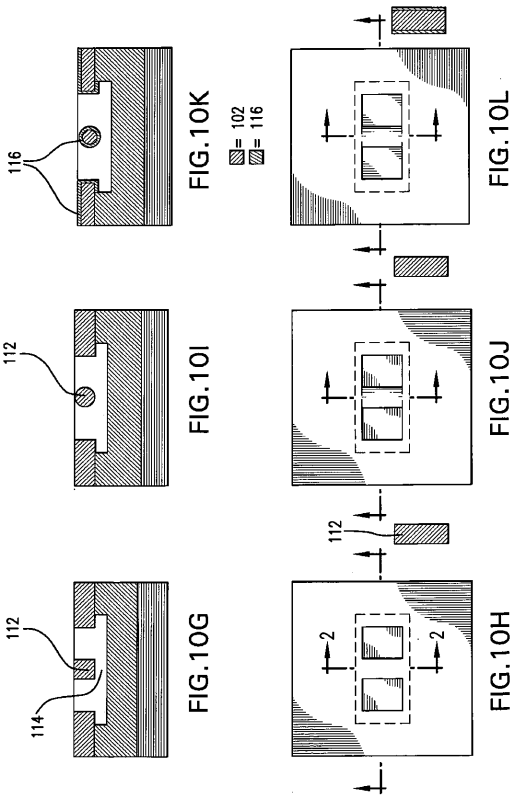


FIG.10G FIG.10H FIG.10I FIG.10J FIG.10K FIG.10L

【図１０Ｍ－１０Ｒ】

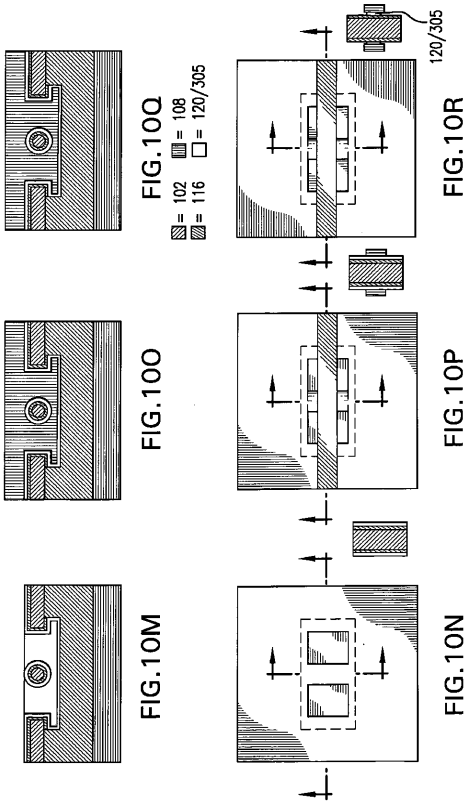
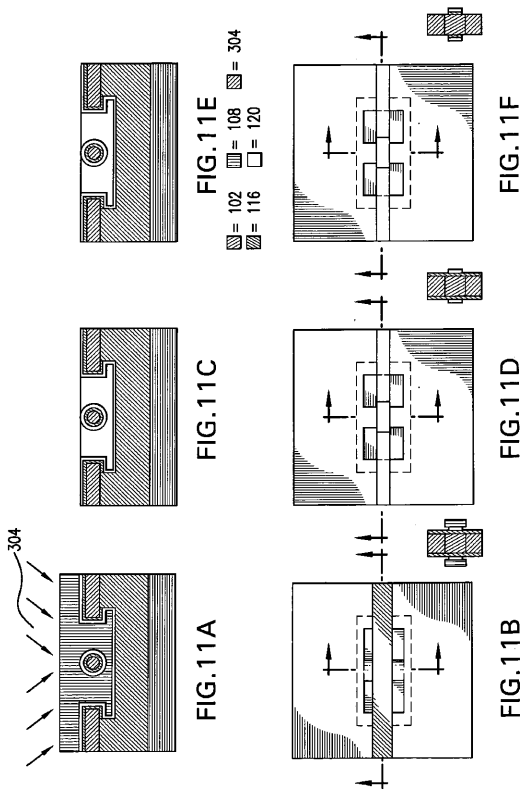
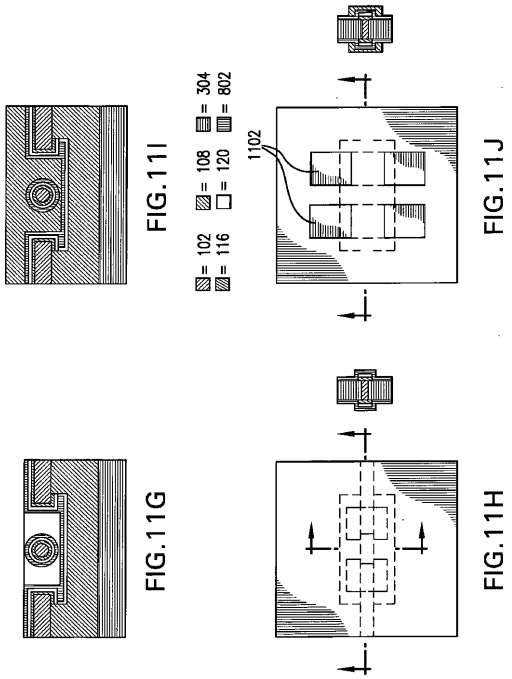


FIG.10M FIG.10N FIG.10O FIG.10P FIG.10Q FIG.10R

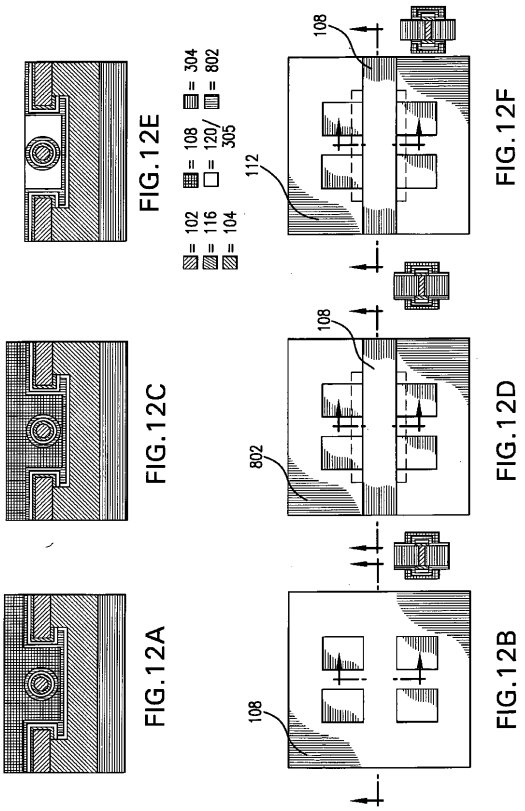
【図１１Ａ－１１Ｆ】



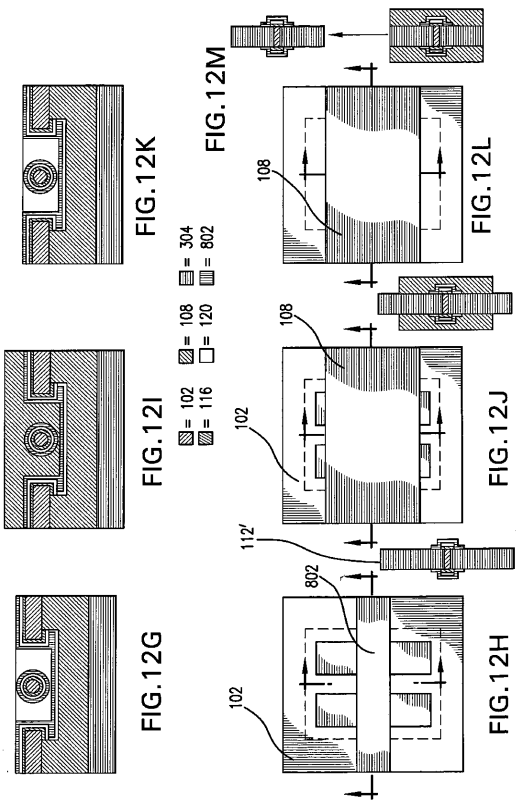
【図１１Ｇ－１１Ｊ】



【図１２Ａ－１２Ｆ】



【図１２Ｇ－１２Ｌ】



【図１３Ａ】

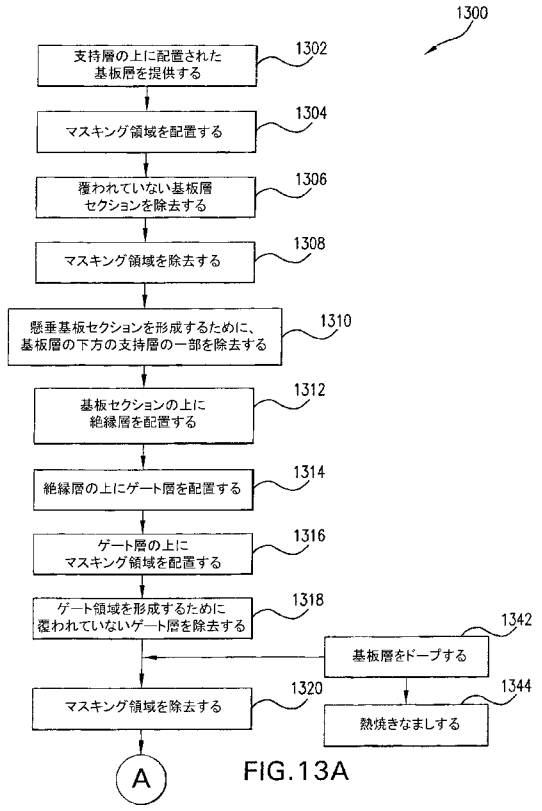


FIG.13A

【図１３Ｂ】

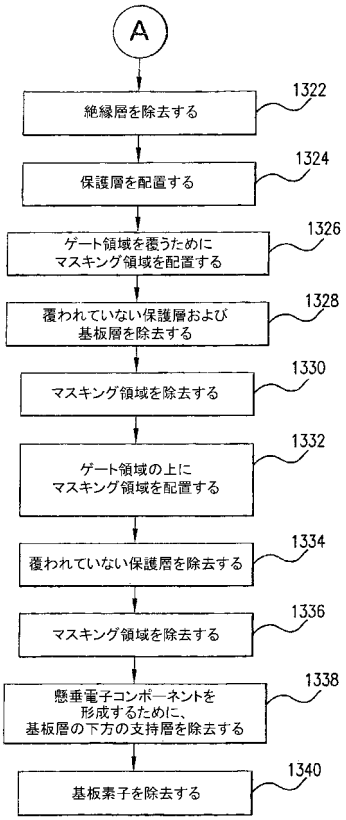


FIG.13B

【図１４Ａ】

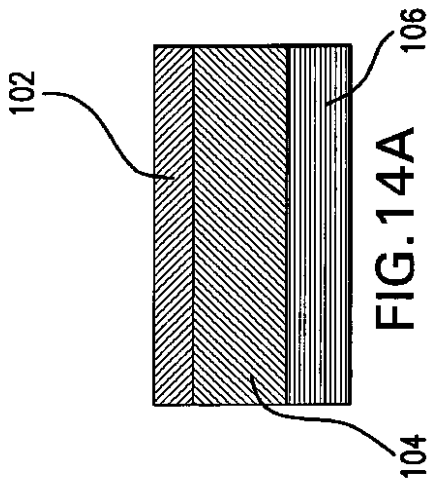


FIG.14A

【図１４Ｂ】

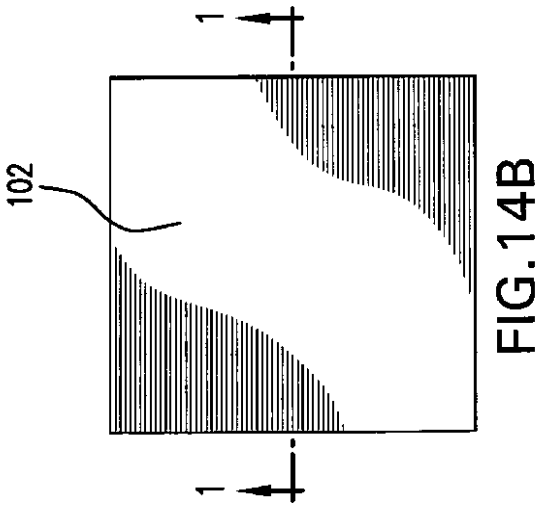


FIG.14B

【図１４Ｃ】

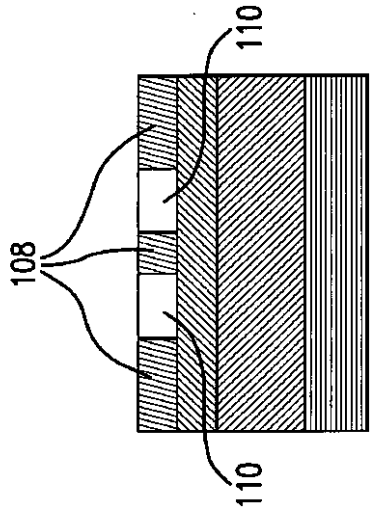


FIG.14C

【図１４Ｄ】

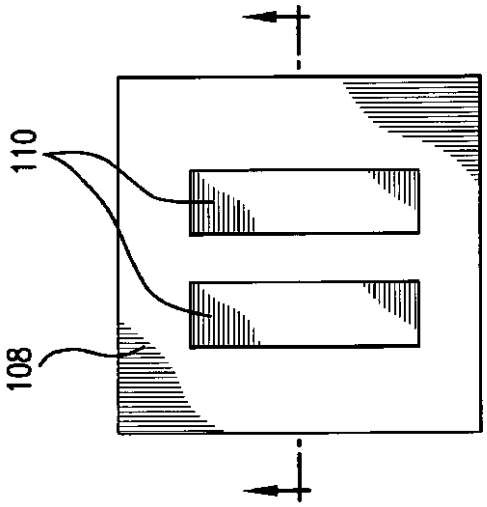


FIG.14D

【図１４Ｅ】

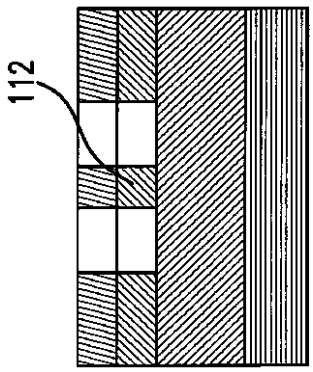


FIG.14E

【図１４Ｆ】

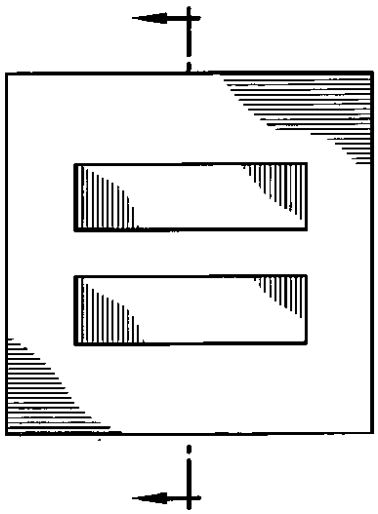


FIG.14F

【図１４Ｇ】

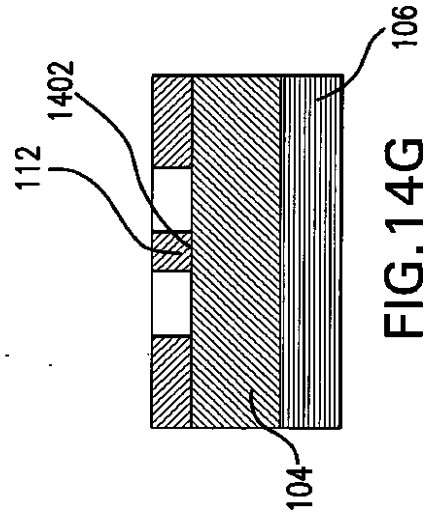


FIG.14G

【図１４Ｈ】

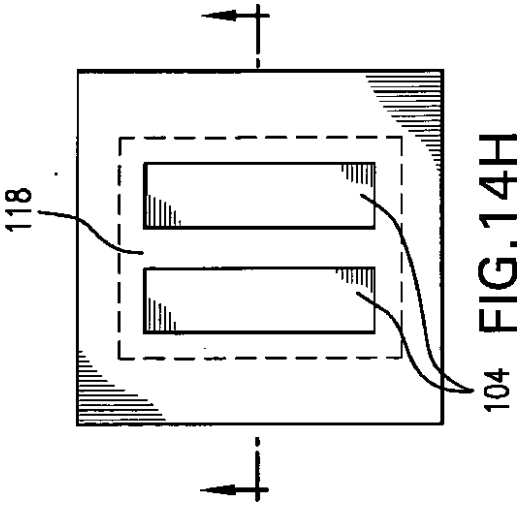


FIG.14H

【図１４Ｉ】

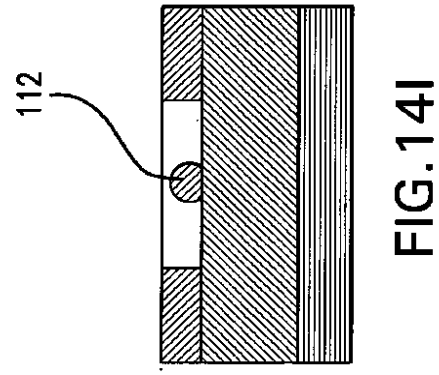


FIG.14I

【図１４Ｊ】

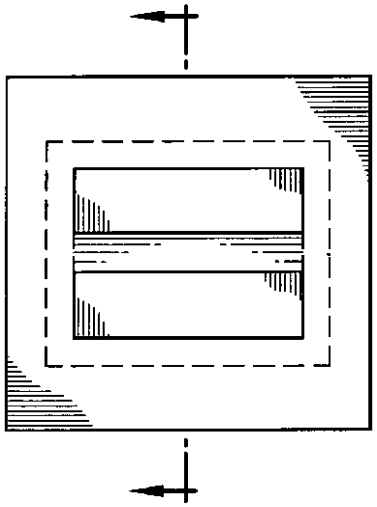


FIG.14J

【図１４Ｋ】

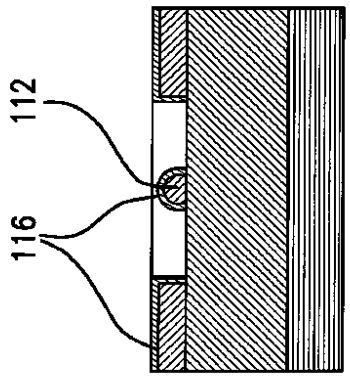


FIG.14K

【図１４Ｌ】

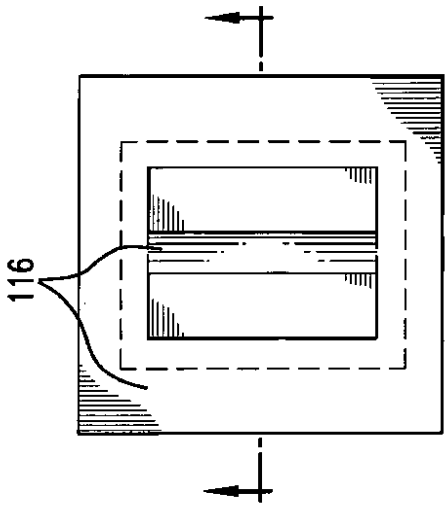


FIG.14L

【図１４Ｍ】

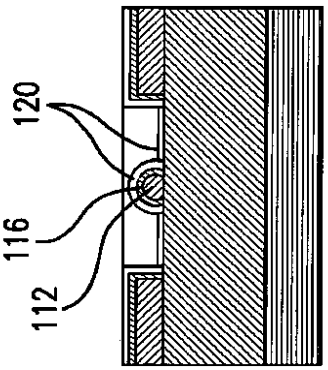


FIG.14M

【図１４Ｎ】

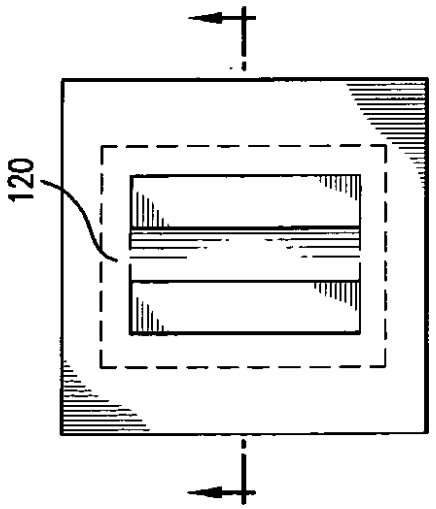


FIG.14N

【図１４Ｏ】

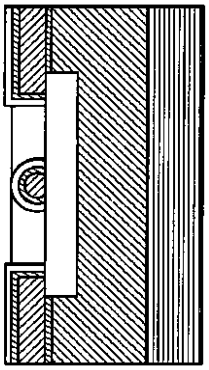


FIG.14O

【図１４Ｐ】

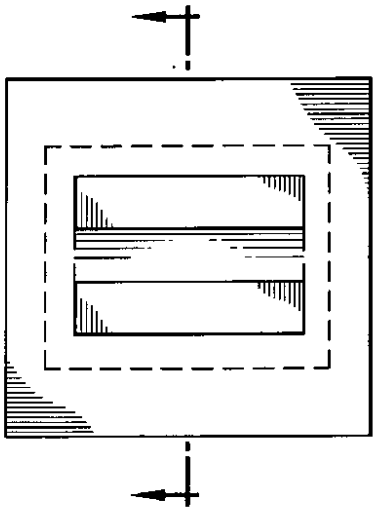


FIG.14P

【図１４Ｑ】

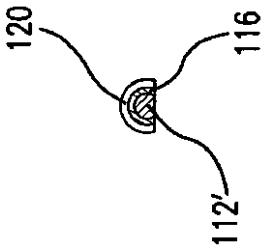


FIG.14Q

【図１４Ｒ】

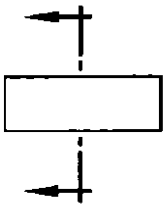


FIG.14R

【図１５】

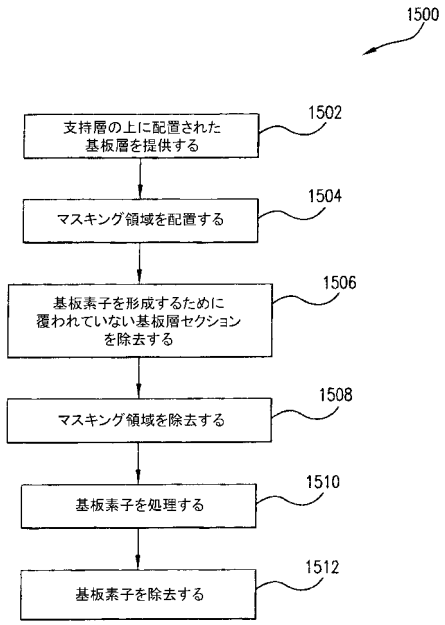


FIG.15

【図１６】

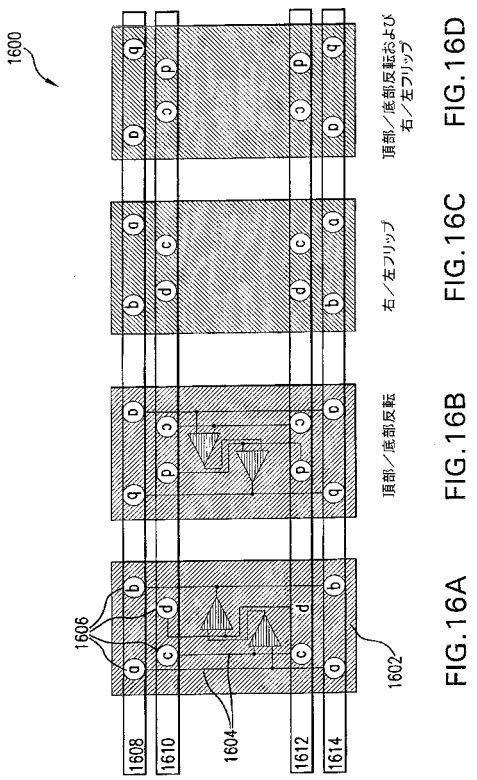


FIG.16A FIG.16B FIG.16C FIG.16D

【図１７Ａ】

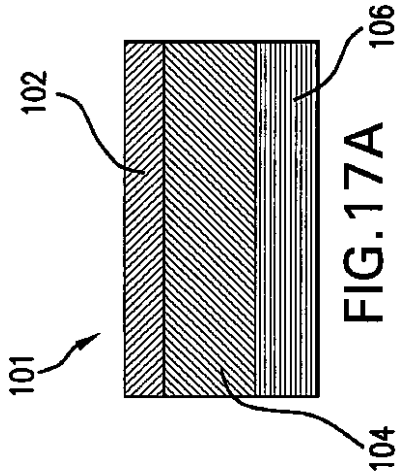


FIG.17A

【図１７Ｂ】

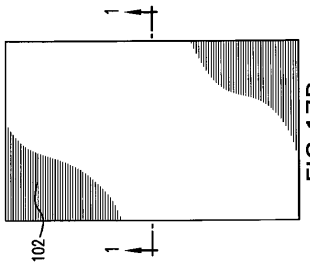


FIG.17B

【図１７Ｃ】

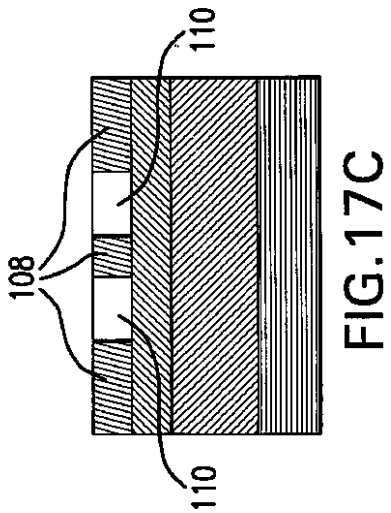


FIG.17C

【図１７Ｄ】

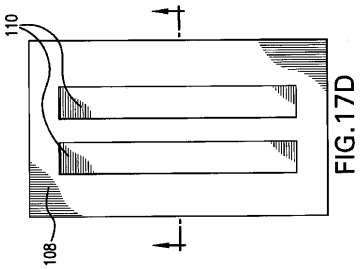


FIG.17D

【図１７Ｅ】

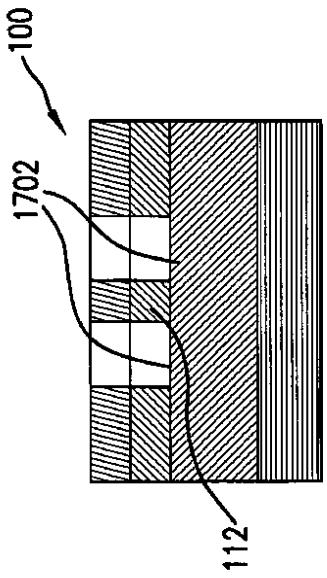


FIG.17E

【図１７Ｆ】

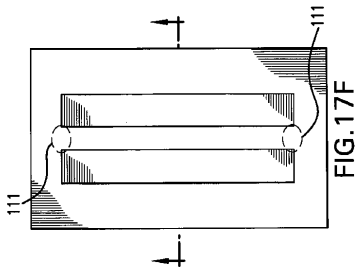


FIG.17F

【図１７Ｈ】

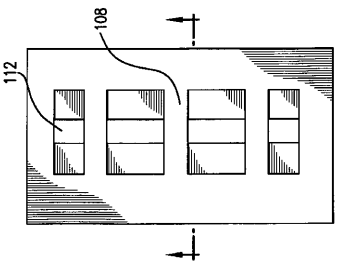


FIG.17H

【図１７Ｇ】

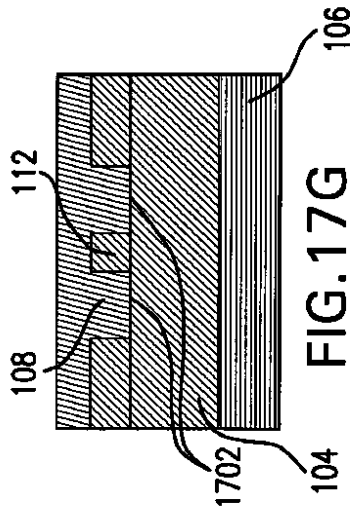


FIG.17G

【図１７Ｉ】

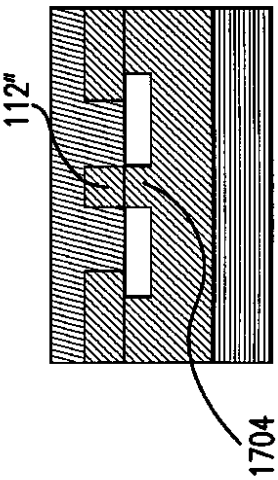


FIG.17I

【図１７Ｊ】

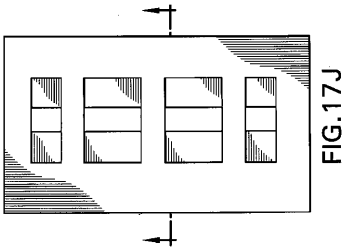


FIG.17J

【図１７Ｌ】

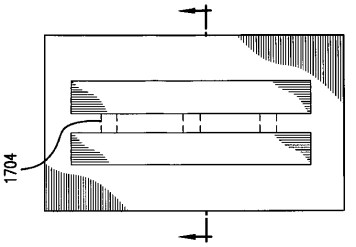


FIG.17L

【図１７Ｋ】

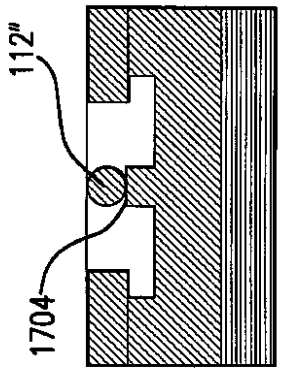


FIG.17K

【図１７Ｍ－１７Ｎ】

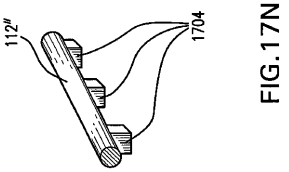


FIG.17N

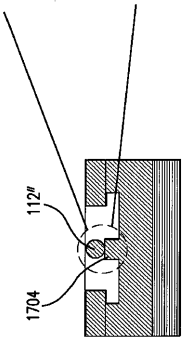


FIG.17M

【図１８】

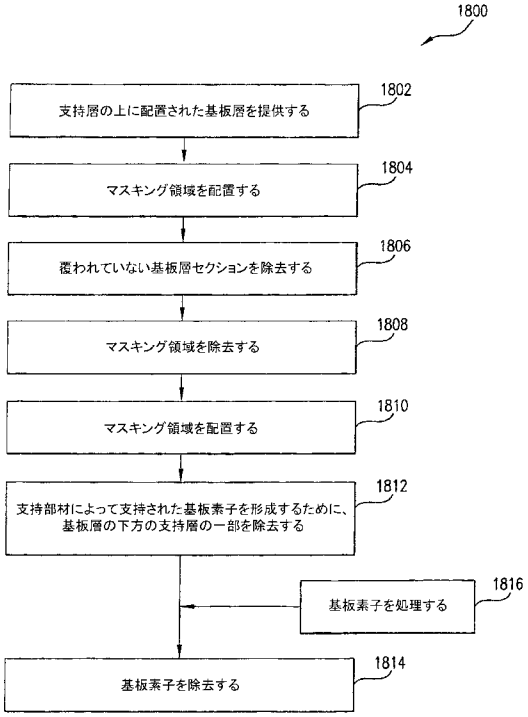
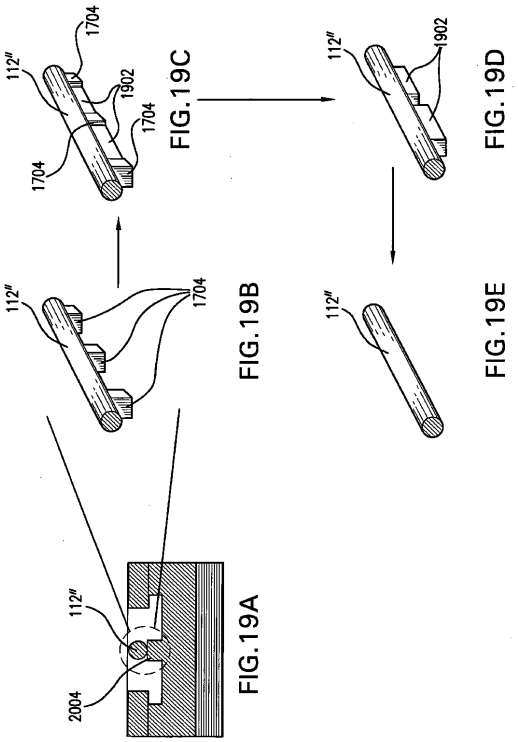


FIG.18

【図１９Ａ－１９Ｅ】



【図２０Ａ】

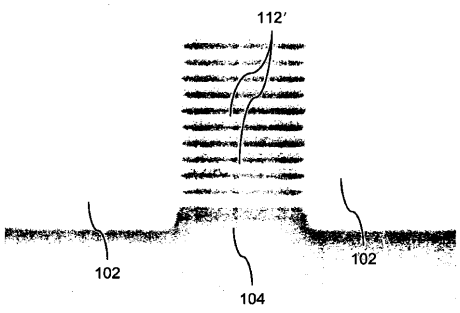


FIG.20A

【図２０Ｂ】

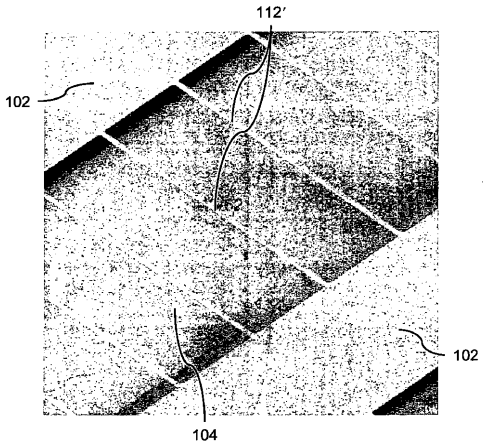


FIG.20B

【図２０Ｃ】

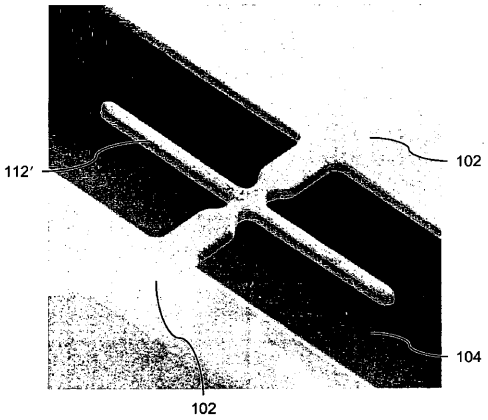


FIG.20C

【図２１】

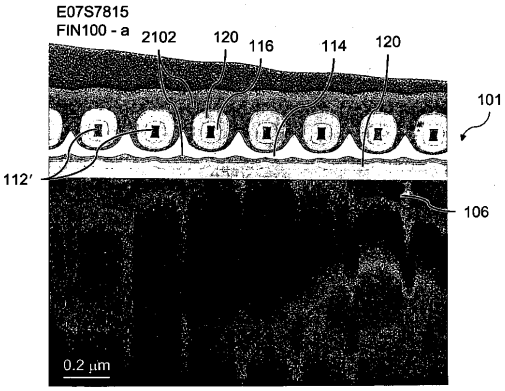


FIG.21

【図２２】

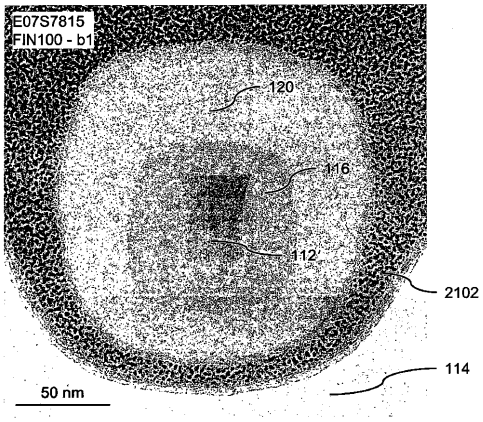


FIG.22

【図２３Ａ】

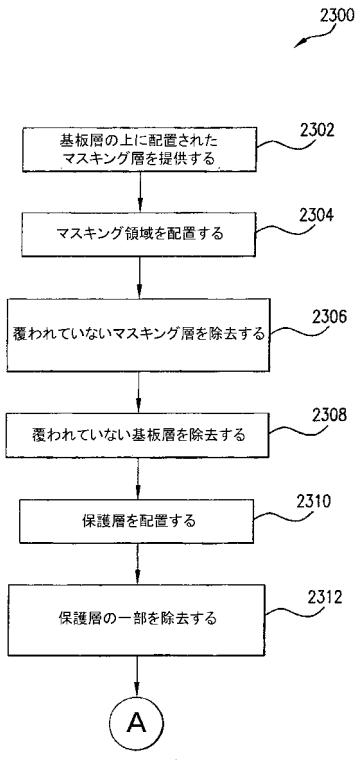


FIG.23A

【図２３Ｂ】

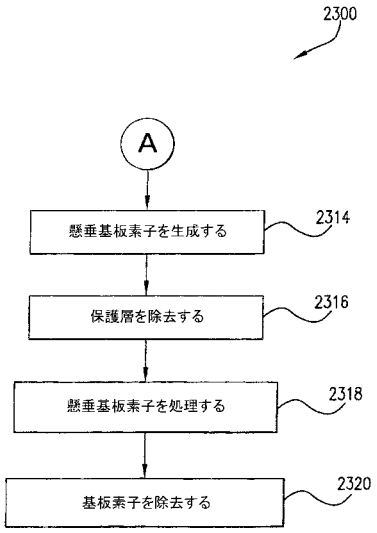


FIG.23B

【図２４Ａ】

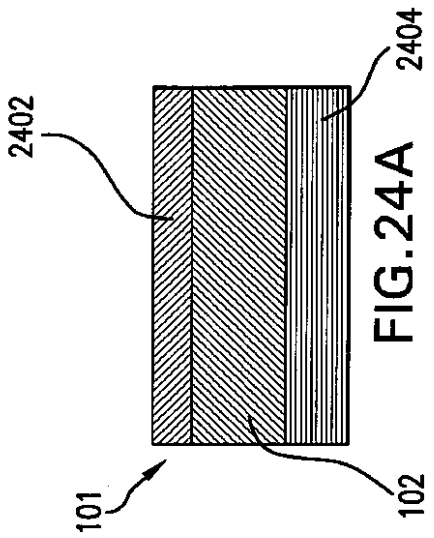


FIG.24A

【図２４Ｂ】

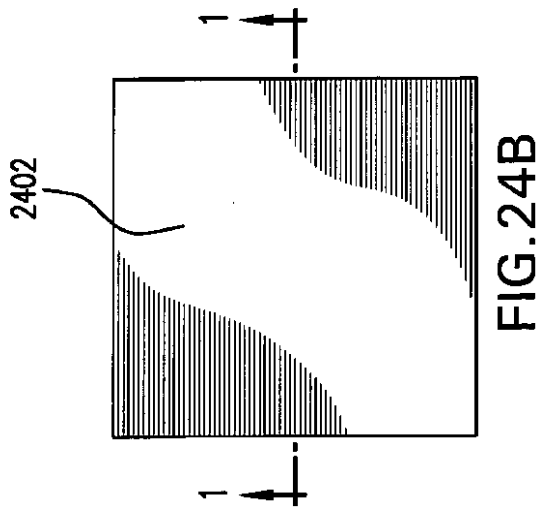


FIG.24B

【図２４Ｃ】

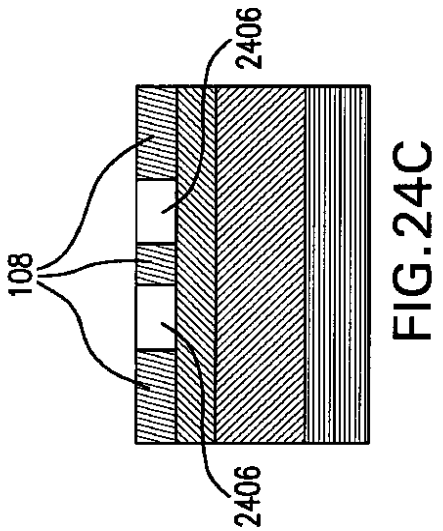


FIG.24C

【図２４Ｄ】

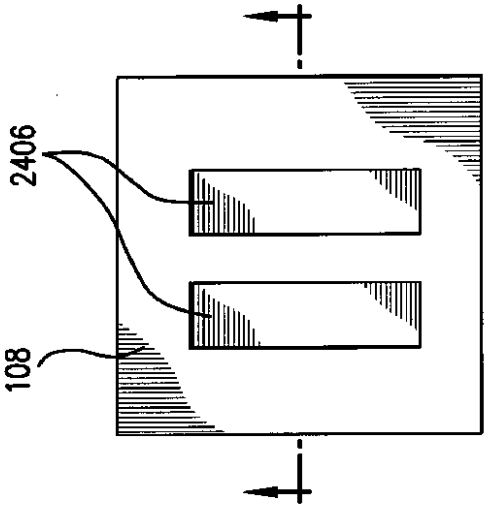


FIG.24D

【図２４Ｅ】

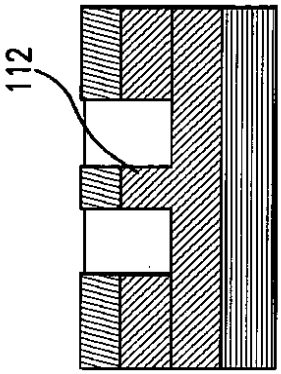


FIG.24E

【図２４Ｆ】

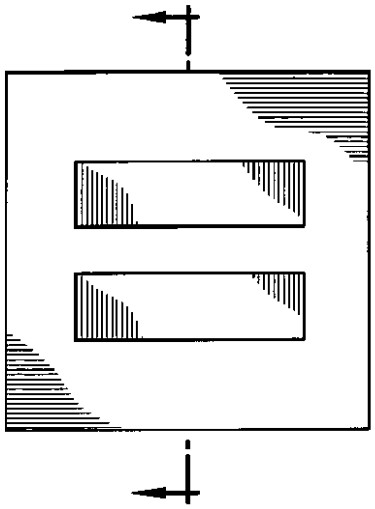


FIG.24F

【図２４Ｇ】

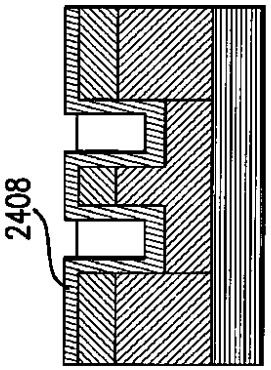


FIG.24G

【図２４Ｈ】

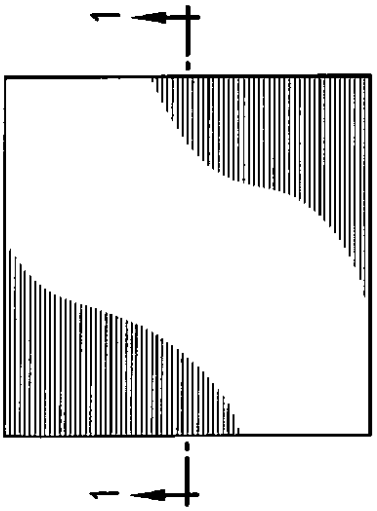


FIG.24H

【図２４Ｉ】

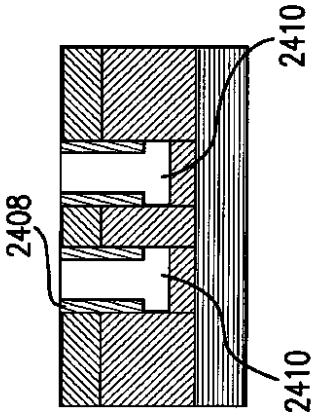


FIG.24I

【図２４Ｊ】

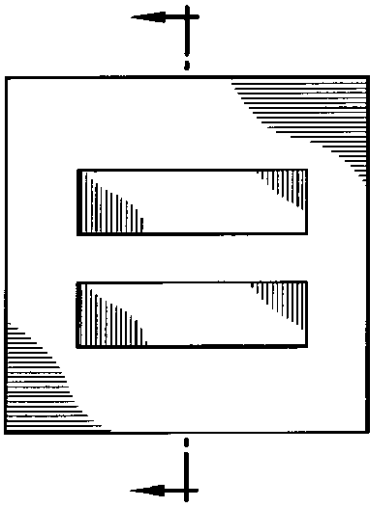


FIG.24J

【図２４Ｋ】

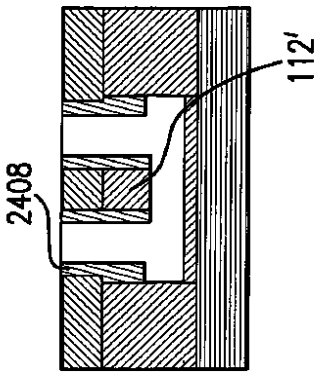


FIG.24K

【図２４Ｌ】

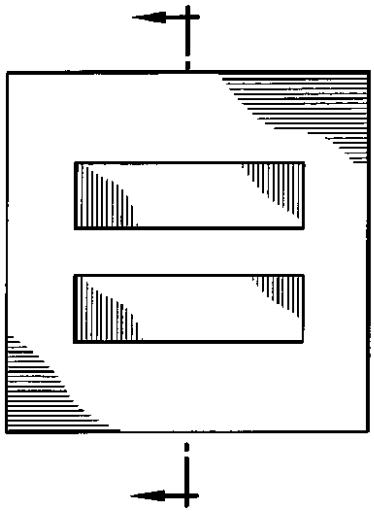


FIG.24L

【図２４Ｍ】

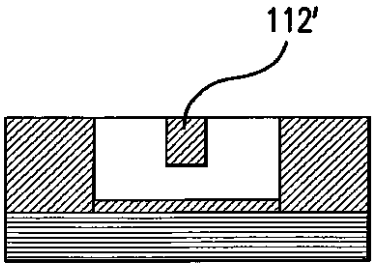


FIG.24M

【図２４Ｎ】

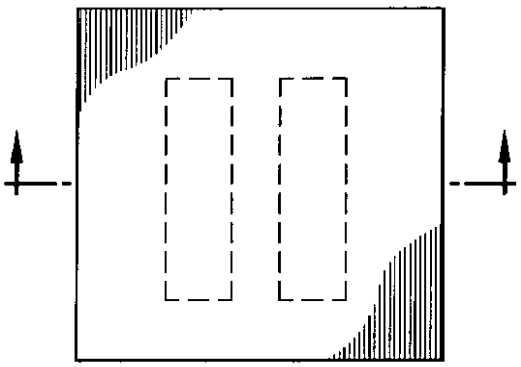


FIG.24N

【図２５Ａ】

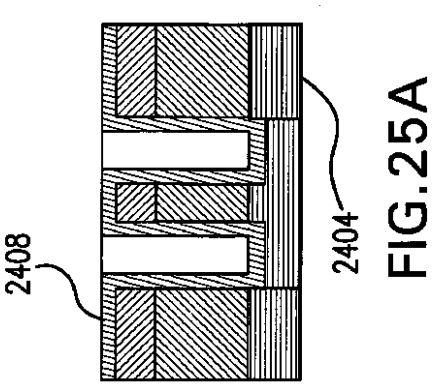


FIG.25A

【図２５Ｂ】

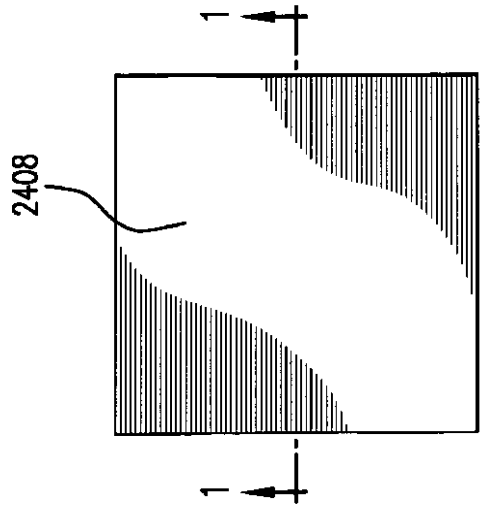


FIG.25B

【図２５Ｃ】

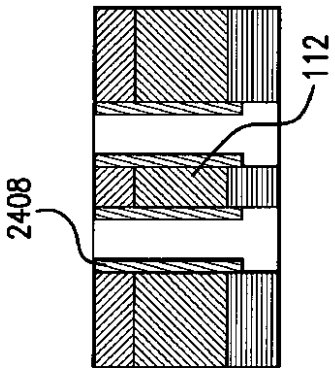


FIG.25C

【図２５Ｄ】

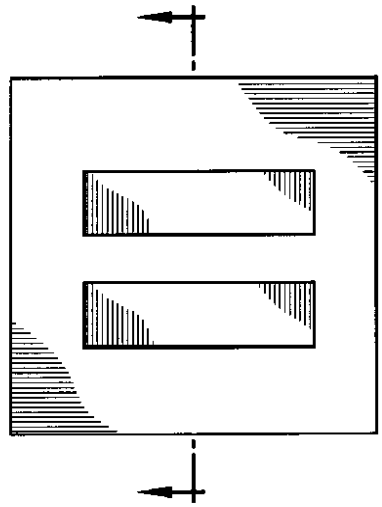


FIG.25D

【図２５Ｅ】

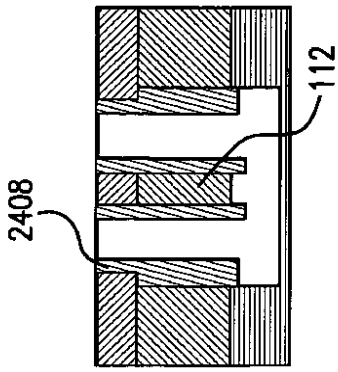


FIG.25E

【図２５Ｆ】

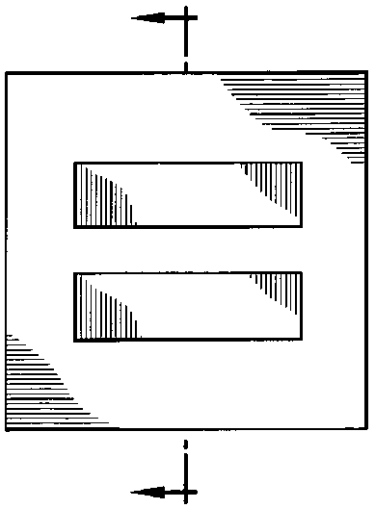


FIG.25F

【図２５Ｇ】

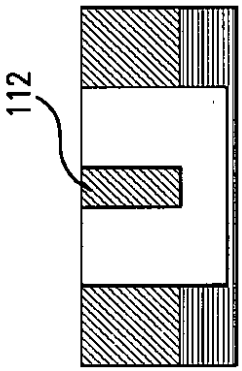


FIG.25G

【図２５Ｈ】

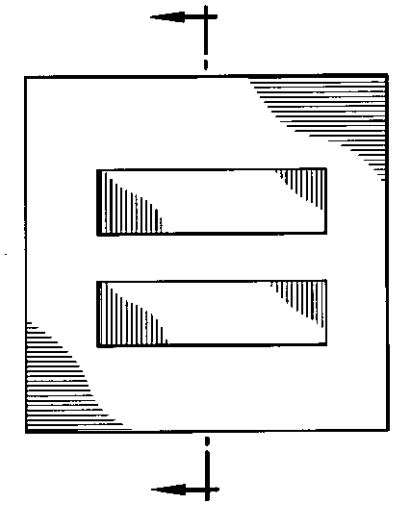


FIG.25H

【図２６Ａ】

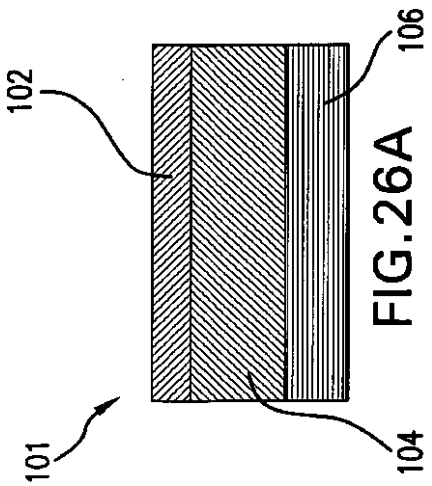


FIG.26A

【図２６ＡＡ】

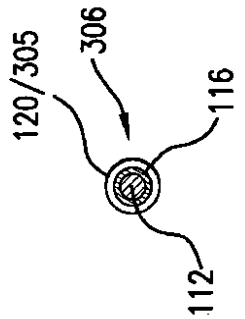


FIG.26AA

【図２６ＡＢ】

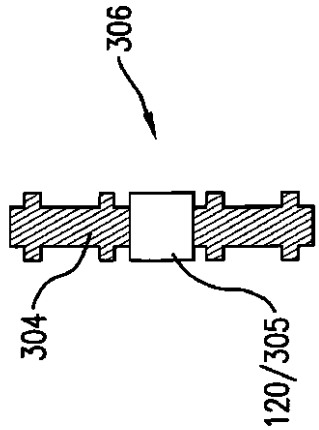


FIG.26AB

【図２６Ｂ】

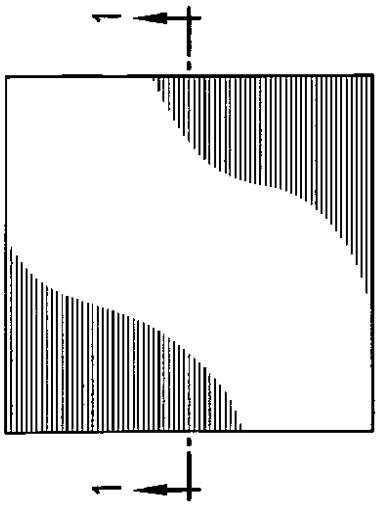


FIG.26B

【図２６Ｃ】

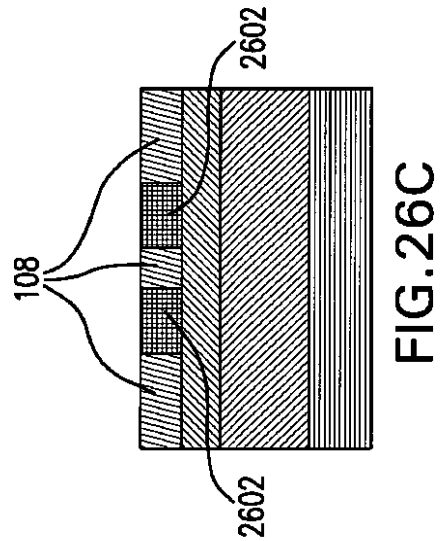


FIG.26C

【図２６Ｄ】

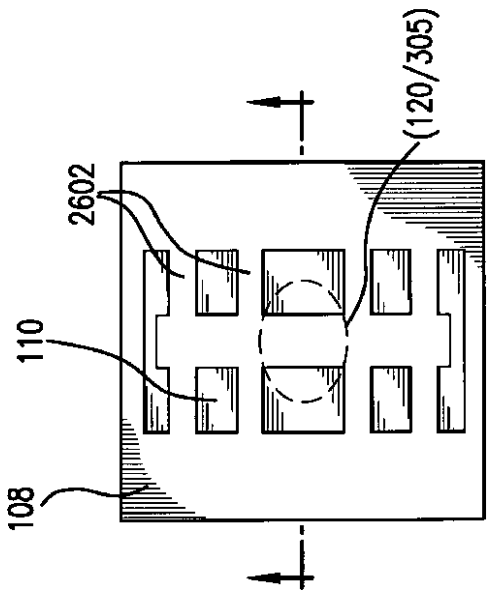


FIG.26D

【図２６Ｅ】

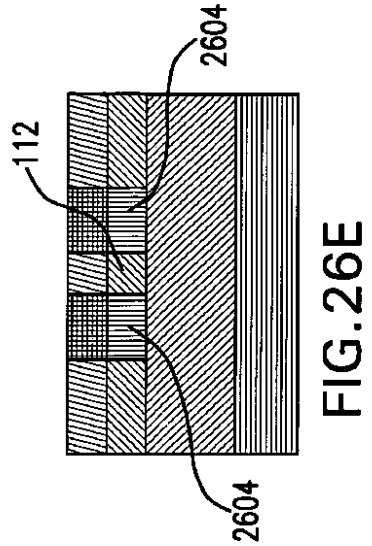


FIG.26E

【図２６Ｆ】

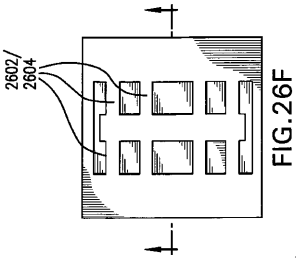


FIG.26F

【図２６Ｇ】

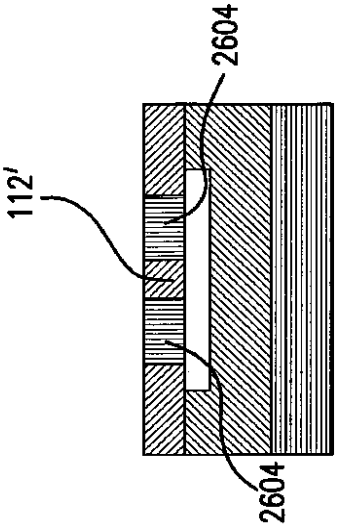


FIG.26G

【図２６Ｈ】

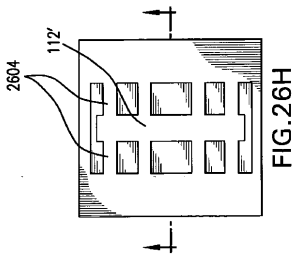


FIG.26H

【図２６Ｉ】

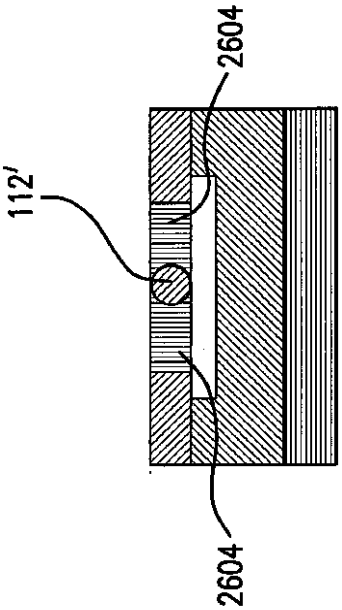


FIG.26I

【図２６Ｊ】

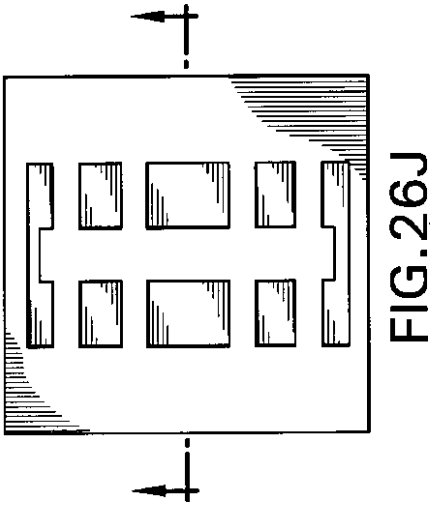


FIG.26J

【図２６Ｋ】

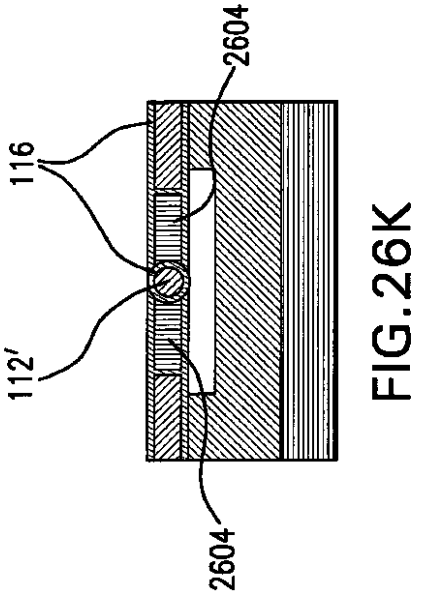


FIG.26K

【図２６Ｌ】

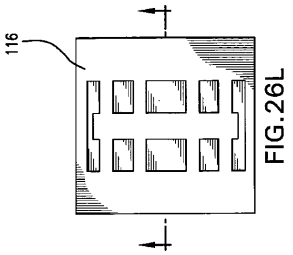


FIG.26L

【図２６Ｍ】

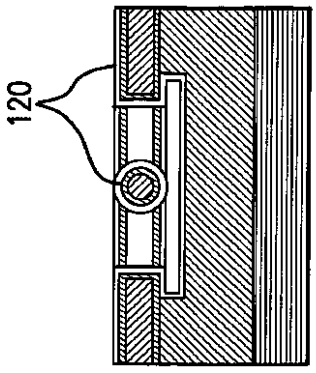


FIG.26M

【図２６Ｎ】

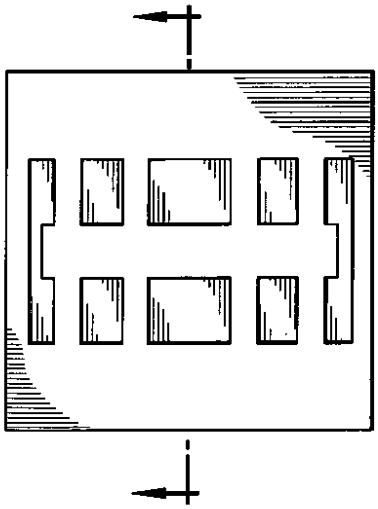


FIG.26N

【図２６Ｏ】

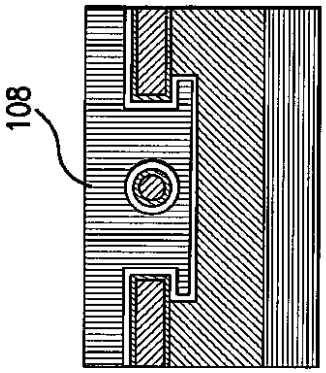


FIG.26O

【図２６Ｐ】

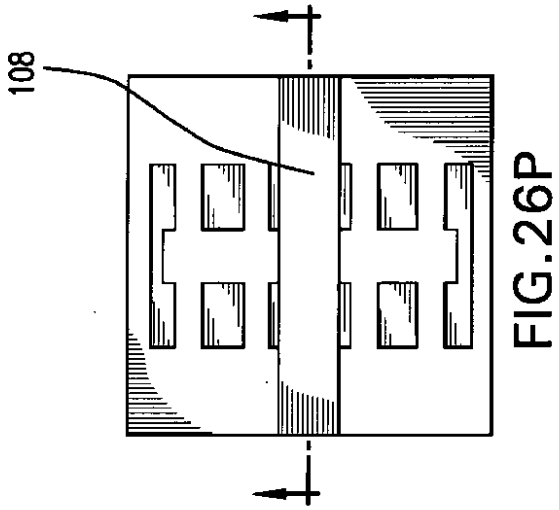


FIG.26P

【図２６Ｑ】

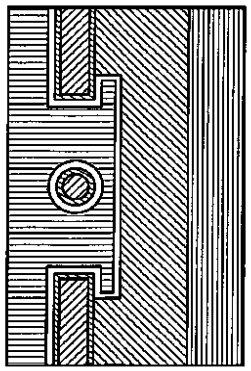


FIG.26Q

【図２６Ｓ】

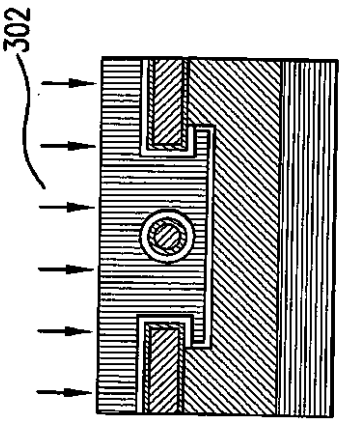


FIG.26S

【図２６Ｒ】

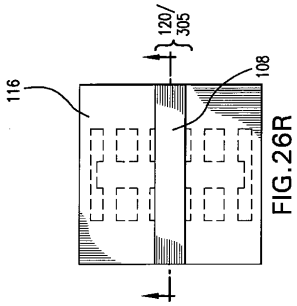


FIG.26R

【図２６Ｔ】

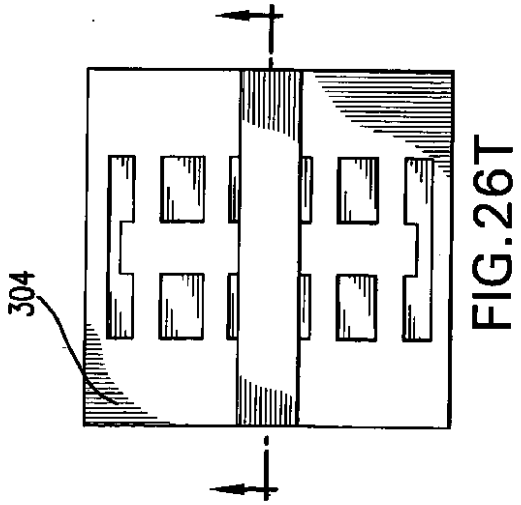


FIG.26T

【図２６Ｕ】

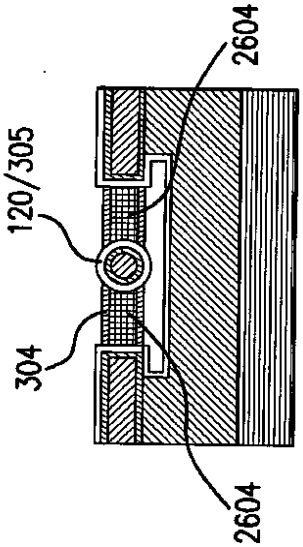


FIG.26U

【図２６Ｖ】

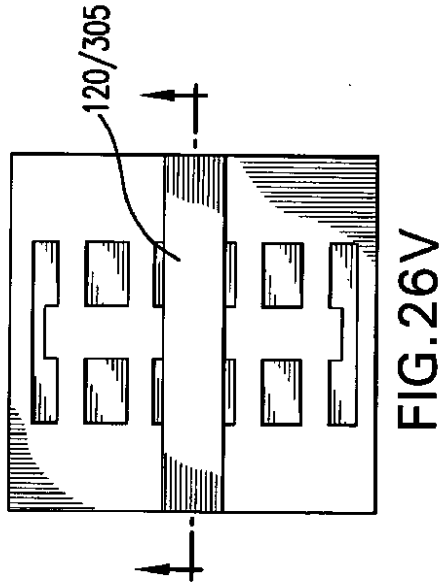


FIG.26V

【図２６Ｗ】

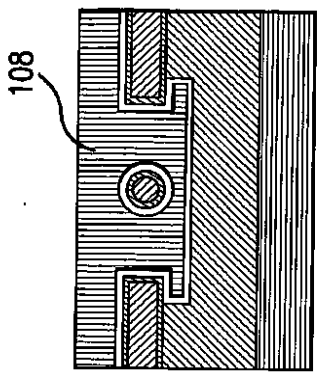


FIG.26W

【図２６Ｘ】

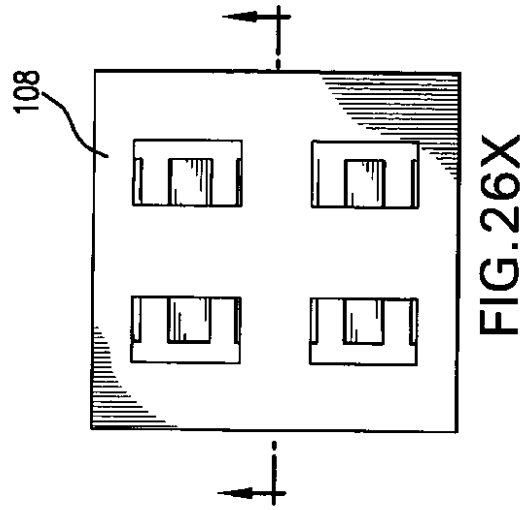


FIG.26X

【図２６Ｙ】

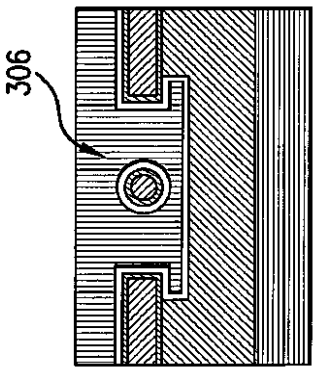


FIG.26Y

【図２６Ｚ】

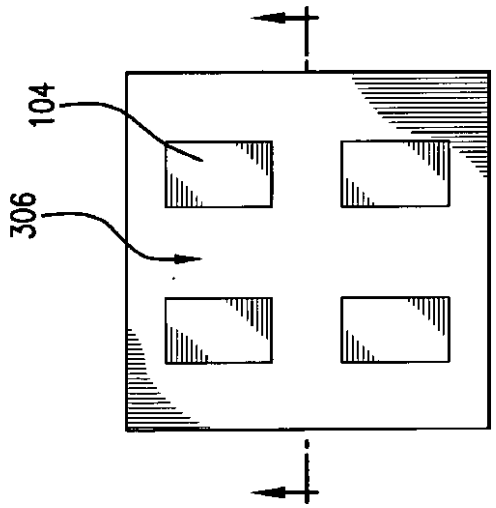


FIG.26Z

【図２７】

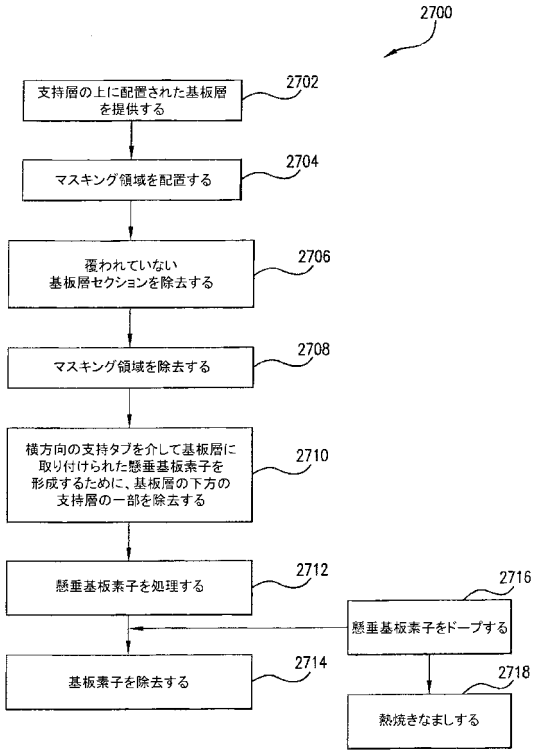


FIG.27

【図２８Ａ】

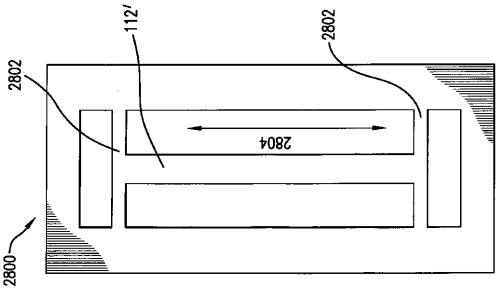


FIG.28A

【図２８Ｂ】

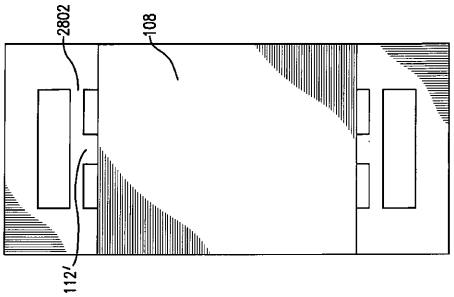


FIG.28B

【図２９Ａ】

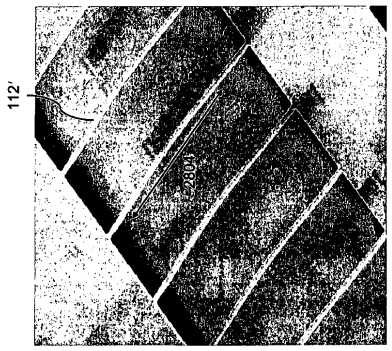


FIG.29A

【図２９Ｂ】

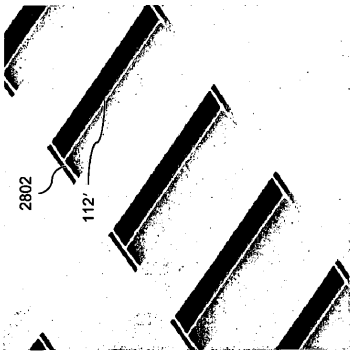


FIG.29B

【図２９Ｃ】

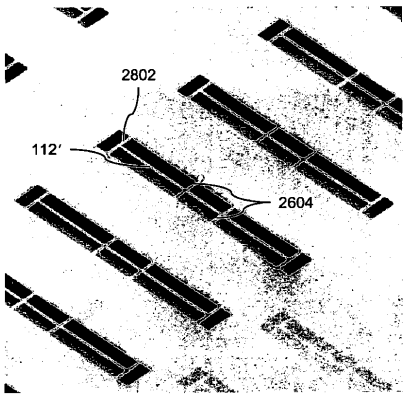


FIG.29C

フロントページの続き

(31)優先権主張番号 61/064,954
(32)優先日 平成20年4月4日(2008.4.4)
(33)優先権主張国 米国(US)

(72)発明者 レオン, フランシスコ
アメリカ合衆国, カリフォルニア州 ９４３０１, パロ アルト, アディソン アベニュー ７７７
(72)発明者 レミ, フランセスコ
アメリカ合衆国, カリフォルニア州 ９４０８６, サニーベール, ウエスト レッド オーク ドライブ ナンバーエー ２３５
(72)発明者 ミラー, ジェフリー
アメリカ合衆国, カリフォルニア州 ９４０２２, ロス アルトス ヒルズ, スネル レーン ２６６９９
(72)発明者 ダットン, デイビッド
アメリカ合衆国, カリフォルニア州 ９５１１７, サン ノゼ, ウッドクリーク ロード ３９４９
(72)発明者 スタンボ, デイビッド, ピー.
アメリカ合衆国, カリフォルニア州 ９４００２, ベルモント, ６番 アベニュー １５６１

審査官 棚田 一也

(56)参考文献 国際公開第２００６／１３０７２１（WO, Ａ1）
特開２００６－０９３３９０（ＪＰ, Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
Ｈ０１Ｌ ２９／７８６
Ｈ０１Ｌ ２１／３３６