



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년11월07일
(11) 등록번호 10-2728056
(24) 등록일자 2024년11월05일

(51) 국제특허분류(Int. Cl.)
H04N 25/75 (2023.01) H03F 3/34 (2024.01)
H04N 25/77 (2023.01)
(52) CPC특허분류
H04N 25/75 (2023.01)
H03F 3/34 (2024.01)
(21) 출원번호 10-2021-7002610
(22) 출원일자(국제) 2019년04월26일
심사청구일자 2022년03월30일
(85) 번역문제출일자 2021년01월26일
(65) 공개번호 10-2021-0042087
(43) 공개일자 2021년04월16일
(86) 국제출원번호 PCT/JP2019/017845
(87) 국제공개번호 WO 2020/031439
국제공개일자 2020년02월13일
(30) 우선권주장
JP-P-2018-148292 2018년08월07일 일본(JP)
(56) 선행기술조사문헌
KR1020050056630 A*
KR1020150113404 A*
KR1020170079091 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 세미컨덕터 솔루션즈 가부시카가이사
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1
(72) 발명자
세가미 마사히로
일본 2430014 가나가와, 아즈기-시, 아사히-쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시카가이사 내
야마시타 토모노리
일본 2430014 가나가와, 아즈기-시, 아사히-쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시카가이사 내
오오사코 유헤이
일본 2430014 가나가와, 아즈기-시, 아사히-쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시카가이사 내
(74) 대리인
이광직, 윤승환

전체 청구항 수 : 총 14 항

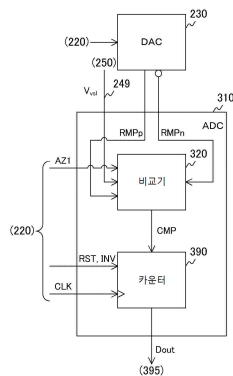
심사관 : 양정미

(54) 발명의 명칭 고체 촬상 소자, 촬상 장치 및 고체 촬상 소자의 제어 방법

(57) 요약

참조 신호를 사용하여 AD 변환을 행하는 고체 촬상 소자에 있어서, 참조 신호를 생성하는 회로의 소비 전력을 저감한다. 화소부는, 입사광의 광량에 기초한 화소 신호를 출력한다. 참조 신호 공급부는, 제1 참조 신호 및 제2 참조 신호를 생성한다. 비교부는, 화소 신호와 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함한다. 카운터부는, 비교부의 신호에 기초하여 카운트한다.

대표도 - 도4



(52) CPC특허분류

H03M 1/56 (2013.01)

H04N 25/772 (2023.01)

H04N 25/778 (2023.01)

명세서

청구범위

청구항 1

입사광의 광량에 기초한 화소 신호를 출력하는 화소부와,

제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와,

화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와,

상기 비교부의 신호에 기초하여 카운트하는 카운터부를 구비하고,

상기 비교부는,

상기 제1 참조 신호와 상기 화소 신호의 차분을 분압한 신호를 비교 대상 신호로서 상기 제1 차동쌍 트랜지스터에 공급하는 입력측 분압 회로를 더 구비하고,

상기 비교부는, 상기 비교 대상 신호와 상기 제2 참조 신호를 비교한 비교 결과를 상기 카운터부에 출력하는 고체 촬상 소자.

청구항 2

제1항에 있어서,

상기 비교부는,

상기 제1 및 제2 차동쌍 트랜지스터를 포함하는 차동 앰프를 포함하고, 상기 차동 앰프는 상기 비교 대상 신호와 상기 제2 참조 신호와의 차분을 증폭하여 그 증폭 신호를 상기 비교 결과로서 상기 카운터부에 출력하는 고체 촬상 소자.

청구항 3

제2항에 있어서,

상기 비교부는, 상기 제2 참조 신호와 미리 정해진 고정 전위와의 차분을 분압한 신호를 상기 제2 차동쌍 트랜지스터로 공급하는 참조측 분압 회로를 더 구비하고,

상기 차동 앰프는, 상기 비교 대상 신호와 상기 참조측 분압 회로에 의해 분압된 신호와의 차분을 증폭하는 고체 촬상 소자.

청구항 4

제2항에 있어서,

상기 비교부는, 상기 비교 결과를 증폭하여 상기 카운터부에 출력하는 출력 앰프를 더 구비하는 고체 촬상 소자.

청구항 5

제4항에 있어서,

상기 비교부는, 상기 비교 결과의 진폭을 제한하여 상기 출력 앰프에 공급하는 진폭 제한부를 더 구비하는 고체 촬상 소자.

청구항 6

제5항에 있어서,

상기 진폭 제한부는,

서로 다른 바이어스 전압을 공급하는 한 쌍의 바이어스 전압 공급부와,
 상기 한 쌍의 바이어스 전압 공급부의 사이에 직렬로 삽입된 한 쌍의 다이오드를 구비하고,
 상기 차동 앰프의 출력 단자와 상기 출력 앰프의 입력 단자는, 상기 한 쌍의 다이오드의 접속점에 공통으로 접속되는 고체 촬상 소자.

청구항 7

제5항에 있어서,
 상기 진폭 제한부는,
 직렬로 접속된 P형 트랜지스터 및 N형 트랜지스터와,
 서로 다른 바이어스 전압을 상기 P형 트랜지스터 및 N형 트랜지스터의 각각의 게이트에 공급하는 한 쌍의 바이어스 전압 공급부를 구비하고,
 상기 차동 앰프의 출력 단자와 상기 출력 앰프의 입력 단자는, 상기 P형 트랜지스터 및 상기 N형 트랜지스터의 접속점에 공통으로 접속되는 고체 촬상 소자.

청구항 8

제5항에 있어서,
 상기 진폭 제한부는,
 전원 단자에 접속된 전원측 전류원과,
 상기 전원측 전류원에 소스 및 드레인의 일단이 접속된 게이트 접지 트랜지스터와,
 상기 게이트 접지 트랜지스터의 게이트에 미리 정해진 바이어스 전압을 공급하는 바이어스 전압 공급부와,
 상기 게이트 접지 트랜지스터의 소스 및 드레인의 타단과 접지 단자와의 사이에 삽입된 접지측 전류원을 구비하고,
 상기 전원측 전류원 및 상기 접지측 전류원의 일방과 상기 게이트 접지 트랜지스터의 소스와 접속점이 상기 차동 앰프의 출력 단자에 접속되고, 상기 전원측 전류원 및 상기 접지측 전류원의 타방과 상기 게이트 접지 트랜지스터의 드레인과의 접속점이 상기 출력 앰프의 입력 단자에 접속되는 고체 촬상 소자.

청구항 9

제8항에 있어서,
 상기 진폭 제한부는,
 상기 전원측 전류원 및 상기 접지측 전류원의 일방과 상기 게이트 접지 트랜지스터의 소스와 접속점과, 상기 차동 앰프의 출력 단자와의 사이의 경로를 개폐하는 입력측 스위치와,
 상기 전원측 전류원 및 상기 접지측 전류원의 타방과 상기 게이트 접지 트랜지스터의 드레인과의 접속점과, 상기 접지 단자와의 사이의 경로를 개폐하는 출력측 스위치를 더 구비하고,
 상기 입력측 스위치 및 상기 출력측 스위치의 일방이 열림 상태의 경우에는 타방이 닫힘 상태로 이행하는 고체 촬상 소자.

청구항 10

제1항에 있어서,
 상기 참조 신호 공급부는,
 미리 정해진 선택 신호에 따라 제1 및 제2 출력 단자의 일방으로부터 미리 정해진 전류를 출력하는 복수의 선택 회로와,
 상기 복수의 선택 회로의 각각의 상기 제1 출력 단자에 일단이 공통으로 접속된 제1 저항과,

상기 복수의 선택 회로의 각각의 상기 제2 출력 단자에 일단이 공통으로 접속된 제2 저항을 구비하고,
 상기 제1 저항의 상기 일단으로부터 상기 제1 참조 신호가 출력되고, 상기 제2 저항의 상기 일단으로부터 상기 제2 참조 신호가 출력되는 고체 촬상 소자.

청구항 11

제10항에 있어서,
 상기 선택 회로는,
 상기 미리 정해진 전류를 공급하는 전류원과,
 상기 전류원에 공통으로 접속된 제1 및 제2 선택 트랜지스터와,
 상기 선택 신호를 반전시켜 상기 제1 및 제2 선택 트랜지스터의 일방의 게이트에 공급하는 인버터와,
 상기 제1 선택 트랜지스터와 상기 제1 출력 단자와의 사이에 직렬로 삽입된 제1 캐스코드 트랜지스터와,
 상기 제2 선택 트랜지스터와 상기 제2 출력 단자와의 사이에 직렬로 삽입된 제2 캐스코드 트랜지스터를 구비하고,
 상기 제1 및 제2 선택 트랜지스터의 타방의 게이트에는 상기 선택 신호가 입력되고, 상기 제1 및 제2 캐스코드 트랜지스터의 각각의 게이트에는 미리 정해진 바이어스 전압이 인가되는 고체 촬상 소자.

청구항 12

제1항에 있어서,
 상기 화소부는, 미리 정해진 수광 기관에 배치되고,
 상기 참조 신호 공급부, 상기 비교부 및 상기 카운터부는, 상기 수광 기관에 적층된 미리 정해진 회로 기관에 배치되는 고체 촬상 소자.

청구항 13

입사광의 광량에 기초한 화소 신호를 출력하는 화소부와,
 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와,
 화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와,
 상기 비교부의 신호에 기초하여 카운트하는 카운터부와,
 상기 카운터부의 계수값을 나타내는 디지털 신호를 처리하는 신호 처리부를 구비하고,
 상기 비교부는,
 상기 제1 참조 신호와 상기 화소 신호의 차분을 분압한 신호를 비교 대상 신호로서 상기 제1 차동쌍 트랜지스터에 공급하는 입력측 분압 회로를 더 구비하고,
 상기 비교부는, 상기 비교 대상 신호와 상기 제2 참조 신호를 비교한 비교 결과를 상기 카운터부에 출력하는 촬상 장치.

청구항 14

입사광의 광량에 기초한 화소 신호를 출력하는 화소부와, 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와, 화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와, 상기 비교부의 비교결과신호에 기초하여 카운트하는 카운터부를 구비하는 고체 촬상 소자의 제어 방법으로서,
 상기 화소부에 의해 상기 화소 신호를 출력하는 단계와,
 상기 참조 신호 공급부에 의해 상기 제1 참조 신호 및 제2 참조 신호를 생성하는 단계와,

상기 비교부에 의해 상기 비교결과신호를 생성하는 비교 단계와,

상기 비교 단계에 의해 생성된 상기 비교결과신호에 기초하여 상기 카운터부에 의해 카운트하는 카운트 단계를 구비하고,

상기 비교부는, 입력측 분압 회로를 더 구비하고,

상기 비교 단계에서는, 상기 입력측 분압 회로에 의해 상기 제1 참조 신호와 상기 화소 신호의 차분을 분압한 신호를 비교 대상 신호로서 상기 제1 차동쌍 트랜지스터에 공급하고, 상기 비교 대상 신호와 상기 제2 차동쌍 트랜지스터에 입력되는 상기 제2 참조 신호를 비교함으로써, 상기 비교결과신호를 생성하여 상기 카운터부에 출력하는 고체 촬상 소자의 제어 방법.

발명의 설명

기술 분야

[0001] 본 기술은, 고체 촬상 소자, 촬상 장치 및 고체 촬상 소자의 제어 방법에 관한 것이다. 구체적으로는, 비교기 및 카운터를 사용하여 아날로그 신호를 디지털 신호로 변환하는 고체 촬상 소자, 촬상 장치 및 고체 촬상 소자의 제어 방법에 관한 것이다.

배경 기술

[0002] 종래부터, 고체 촬상 소자에 있어서는, 그 구조가 간이하기 때문에, 싱글 슬로프 방식의 아날로그 디지털 변환기(ADC: Analog to Digital Converter)가 널리 사용되고 있다. 이 싱글 슬로프 방식의 ADC(single-slope ADC)는, 비교기 및 카운터로 이루어지며, 비교기는, 변환 대상의 입력 신호와 소정의 참조 신호를 비교한다. 또한, 그 ADC 내의 카운터는, 비교기의 비교 결과가 반전할 때까지의 기간에 걸쳐 계수값을 계수하고, 그 계수값을 나타내는 디지털 신호를 출력한다. 참조 신호로서는, 램프 신호 등이 사용된다. 이 램프 신호의 진폭이 클수록, ADC의 분해능 사양에 의해 결정되는 디지털 신호의 범위에 대응하는 입력 신호의 풀 스케일(full scale)이 커지게 된다. 예를 들면, 얼마다 ADC를 배치하고, DAC(Digital to Analog Converter)가 싱글 엔드 신호(single end signal)를 참조 신호로서 생성하여, 이들을 ADC에 공급하는 고체 촬상 소자가 제안되고 있다(예를 들면, 특허문헌 1 참조).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 특허문헌 1: 일본특허공개 2009-296423호 공보

발명의 내용

해결하려는 과제

[0004] 상술한 종래 기술에서는, 얼마다의 ADC에 의해, 1행 분의 아날로그 신호를 동시에 AD 변환할 수 있다. 그러나, 참조 신호를 생성하기 위한 DAC의 소비 전력을 저감하는 것이 곤란하다. 예를 들면, 참조 신호의 진폭을 작게 함으로써, DAC의 출력 전압의 최대값도 작게 하고, 이에 의해 전원 전압도 낮춤으로써 DAC의 소비 전력을 저감하려고 해도, DAC가 출력하는 참조 신호의 풀 스케일과 노이즈 실효값의 비(PSNR: Peak Signal-to-Noise Ratio)를 유지하기 위한 소비 전류 증가분이 전원 전압을 줄인 효과를 상쇄하기 때문이다.

[0005] 본 기술은 이러한 상황을 감안하여 이루어진 것이며, 참조 신호를 사용하여 AD 변환을 행하는 고체 촬상 소자에 있어서, 참조 신호를 생성하는 회로의 소비 전력을 저감하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 기술은, 상술한 문제점을 해소하기 위해 이루어진 것이며, 그 제1 측면은, 입사광의 광량에 기초한 화소 신호를 출력하는 화소부와, 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와, 화소 신호와 상기

제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와, 상기 비교부의 신호에 기초하여 카운트하는 카운터부를 구비하는 고체 촬상 소자, 및 그 제어 방법이다. 이에 의해, 제1 및 제2 참조 신호와 입력 신호로부터 비교 결과가 생성되는 작용을 나타낸다.

- [0007] 또한, 이 제1 측면에 있어서, 상기 비교부는, 상기 제1 참조 신호와 상기 화소 신호의 차분을 분압한 신호를 비교 대상 신호로서 상기 제1 차동쌍 트랜지스터로 공급하는 입력측 분압 회로를 더 구비하고, 상기 제1 및 제2 차동쌍 트랜지스터를 포함하는 차동 앰프는, 상기 비교 대상 신호와 상기 제2 참조 신호와의 차분을 증폭하여 상기 비교 결과로서 상기 카운터부에 출력해도 된다. 이에 의해, 제1 참조 신호와 화소 신호의 차분을 분압한 신호가 제2 참조 신호와 비교되는 작용을 가져온다.
- [0008] 또한, 이 제1 측면에 있어서, 상기 비교부는, 상기 제2 참조 신호와 소정의 고정 전위와의 차분을 분압한 신호를 상기 제2 차동쌍 트랜지스터로 공급하는 참조측 분압 회로를 더 구비하고, 상기 차동 앰프는, 상기 비교 대상 신호와 상기 참조측 분압 회로에 의해 분압된 신호와의 차분을 증폭해도 된다. 이에 의해, 차동 대칭성이 높은 제1 및 제2 참조 신호가 공급된다고 하는 작용을 나타낸다.
- [0009] 또한, 이 제1 측면에 있어서, 상기 비교부는, 상기 비교 결과를 증폭하여 상기 카운터에 출력하는 출력 앰프를 더 구비하여도 된다. 이에 의해, 증폭된 신호에 의해 카운터 이후의 회로가 구동된다고 하는 작용을 나타낸다.
- [0010] 또한, 이 제1 측면에 있어서, 상기 비교부는 상기 비교 결과의 진폭을 제한하여 상기 출력 앰프에 공급하는 진폭 제한부를 더 구비하여도 된다. 이에 의해, 비교 결과의 진폭이 제한된다고 하는 작용을 나타낸다.
- [0011] 또한, 이 제1 측면에 있어서, 상기 진폭 제한부는, 서로 다른 바이어스 전압을 공급하는 한 쌍의 바이어스 전압 공급부와, 상기 한 쌍의 바이어스 전압 공급부의 사이에 직렬로 삽입된 한 쌍의 다이오드를 구비하고, 상기 차동 앰프의 출력 단자와 상기 출력 앰프의 입력 단자는, 상기 한 쌍의 다이오드의 접속점에 공통으로 접속되어도 된다. 이에 의해, 상한값으로부터 하한값까지의 범위 내로 진폭이 제한된다고 하는 작용을 나타낸다.
- [0012] 또한, 이 제1 측면에 있어서, 상기 진폭 제한부는, 직렬로 접속된 P형 트랜지스터 및 N형 트랜지스터와, 서로 다른 바이어스 전압을 상기 P형 트랜지스터 및 N형 트랜지스터의 각각의 게이트에 공급하는 한 쌍의 바이어스 전압 공급부를 구비하고, 상기 차동 앰프의 출력 단자와 상기 출력 앰프의 입력 단자는, 상기 P형 트랜지스터 및 상기 N형 트랜지스터의 접속점에 공통으로 접속되어도 된다. 이에 의해, 상한값으로부터 하한값까지의 범위 내로 진폭이 제한된다고 하는 작용을 나타낸다.
- [0013] 또한, 이 제1 측면에 있어서, 상기 진폭 제한부는, 전원 단자에 접속된 전원측 전류원과, 상기 전원측 전류원 소스 및 드레인의 일단이 접속된 게이트 접지 트랜지스터와, 상기 게이트 접지 트랜지스터의 게이트에 소정의 바이어스 전압을 공급하는 바이어스 전압 공급부와, 상기 게이트 접지 트랜지스터의 소스 및 드레인의 타단과 접지 단자와의 사이에 삽입된 접지측 전류원을 구비하고, 상기 전원측 전류원 및 상기 접지측 전류원의 일방과 상기 게이트 접지 트랜지스터의 소스와의 접속점이 상기 차동 앰프의 출력 단자에 접속되고, 상기 전원측 전류원 및 상기 접지측 전류원의 타방과 상기 게이트 접지 트랜지스터의 드레인과의 접속점이 상기 출력 앰프의 입력 단자에 접속되어도 된다. 이에 의해, 하한값을 초과하는 범위 내로 진폭이 제한된다고 하는 작용을 나타낸다.
- [0014] 또한, 이 제1 측면에 있어서, 상기 진폭 제한부는, 상기 전원측 전류원 및 상기 접지측 전류원의 일방과 상기 게이트 접지 트랜지스터의 소스와의 접속점과, 상기 차동 앰프의 출력 단자와의 사이의 경로를 개폐하는 입력측 스위치와, 상기 전원측 전류원 및 상기 접지측 전류원의 타방과 상기 게이트 접지 트랜지스터의 드레인과의 접속점과, 상기 접지 단자와의 사이의 경로를 개폐하는 출력측 스위치를 더 구비하고, 상기 입력측 스위치 및 상기 출력측 스위치의 일방이 열림 상태의 경우에는 타방이 단핍 상태로 이행해도 된다. 이에 의해, 오토 제로 동작중에 차동 앰프의 출력이 차단된다고 하는 작용을 나타낸다.
- [0015] 또한, 이 제1 측면에 있어서, 상기 참조 신호 공급부는, 소정의 선택 신호에 따라 제1 및 제2 출력 단자의 일방으로부터 소정 전류를 출력하는 복수의 선택 회로와, 상기 복수의 선택 회로의 각각의 상기 제1 출력 단자에 일단이 공통으로 접속된 제1 저항과, 상기 복수의 선택 회로의 각각의 상기 제2 출력 단자에 일단이 공통으로 접속된 제2 저항을 구비하고, 상기 제1 저항의 상기 일단으로부터 상기 제1 참조 신호가 출력되고, 상기 제2 저항의 상기 일단으로부터 상기 제2 참조 신호가 출력되어도 된다. 이에 의해 선택 신호에 따라 제1 및 제2 참조 신호가 생성된다고 하는 작용을 나타낸다.
- [0016] 또한, 이 제1 측면에 있어서, 상기 선택 회로는, 상기 소정 전류를 공급하는 전류원과, 상기 전류원에 공통으로

접속된 제1 및 제2 선택 트랜지스터와, 상기 선택 신호를 반전시켜 상기 제1 및 제2 선택 트랜지스터의 일방의 게이트에 공급하는 인버터와, 상기 제1 선택 트랜지스터와 상기 제1 출력 단자의 사이에 직렬로 삽입된 제1 캐스코드 트랜지스터(cascode transistor)와, 상기 제2 선택 트랜지스터와 상기 제2 출력 단자의 사이에 직렬로 삽입된 제2 캐스코드 트랜지스터를 구비하고, 상기 제1 및 제2 선택 트랜지스터의 타방의 게이트에는 상기 선택 신호가 입력되고, 상기 제1 및 제2 캐스코드 트랜지스터의 각각의 게이트에는, 소정의 바이어스 전압이 인가되어도 된다. 이에 의해, DAC 출력의 정밀도가 향상된다고 하는 작용을 나타낸다.

[0017] 또한, 이 제1 측면에 있어서 광전 변환에 의해 상기 입력 신호를 생성하는 화소를 더 구비하고, 상기 화소는 소정의 수광 기관에 배치되고, 상기 참조 신호 공급부, 상기 비교부 및 상기 카운터부는, 상기 수광 기관에 적층된 소정의 회로 기관에 배치되어도 된다. 이에 의해, 기관 당 회로 규모가 삭감된다고 하는 작용을 나타낸다.

[0018] 또한, 본 기술의 제2 측면은, 입사광의 광량에 기초한 화소 신호를 출력하는 화소부와, 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와, 화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와, 상기 비교부의 신호에 기초하여 카운트하는 카운터부와, 상기 카운터부의 계수값을 나타내는 디지털 신호를 처리하는 신호 처리부를 구비하는 촬상 장치이다. 이에 의해, 제1 및 제2 참조 신호와 입력 신호로부터 비교 결과가 생성되고, 그 비교 결과로 생성된 디지털 신호가 처리된다고 하는 작용을 나타낸다.

발명의 효과

[0019] 본 기술에 의하면, 참조 신호를 사용하여 AD 변환을 행하는 고체 촬상 소자에 있어서, 참조 신호를 생성하는 회로의 소비 전력을 저감할 수 있다고 하는 우수한 효과를 얻을 수 있다. 한편, 여기에 기재된 효과는 반드시 한정되는 것이 아니며, 본 개시 중에 기재된 어떠한 효과이어도 된다.

도면의 간단한 설명

- [0020] 도 1은 본 기술의 제1 실시형태에 있어서의 촬상 장치의 일 구성예를 나타내는 블록도이다.
- 도 2는 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자의 일 구성예를 나타내는 블록도이다.
- 도 3은 본 기술의 제1 실시형태에 있어서의 컬럼 신호 처리부의 일 구성예를 나타내는 블록도이다.
- 도 4는 본 기술의 제1 실시형태에 있어서의 DAC 및 ADC의 일 구성예를 나타내는 블록도이다.
- 도 5는 본 기술의 제1 실시형태에 있어서의 비교기의 일 구성예를 나타내는 회로도이다.
- 도 6은 본 기술의 제1 실시형태에 있어서의 차동 앰프의 일 구성예를 나타내는 회로도이다.
- 도 7은 본 기술의 제1 실시형태에 있어서의 접속을 변경한 차동 앰프의 일 구성예를 나타내는 회로도이다.
- 도 8는 본 기술의 제1 실시형태에 있어서의 트랜지스터의 극성을 변경한 차동 앰프의 일 구성예를 나타내는 회로도이다.
- 도 9는 본 기술의 제1 실시형태에 있어서의 DAC의 일 구성예를 나타내는 회로도이다.
- 도 10은 본 기술의 제1 실시형태에 있어서의 선택 회로의 일 구성예를 나타내는 회로도이다.
- 도 11은 본 기술의 제1 실시형태에 있어서의 참조 신호의 변동의 일례를 나타내는 타이밍 차트이다.
- 도 12는 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자의 동작의 일례를 나타내는 순서도이다.
- 도 13은 본 기술의 제2 실시형태에 있어서의 고체 촬상 소자의 적층 구조의 일례를 나타내는 도면이다.
- 도 14는 본 기술의 제3 실시형태에 있어서의 비교기의 일 구성예를 나타내는 회로도이다.
- 도 15는 본 기술의 제3 실시형태에 있어서의 차동 앰프 및 출력 앰프의 일 구성예를 나타내는 회로도이다.
- 도 16은 본 기술의 제4 실시형태에 있어서의 비교기의 일 구성예를 나타내는 회로도이다.
- 도 17은 본 기술의 제4 실시형태에 있어서의 진폭 제한부의 일 구성예를 나타내는 회로도이다.
- 도 18은 본 기술의 제4 실시형태의 제1 변형예에 있어서의 진폭 제한부의 일 구성예를 나타내는 회로도이다.
- 도 19는 본 기술의 제4 실시형태의 제2 변형예에 있어서의 진폭 제한부의 일 구성예를 나타내는 회로도이다.

- 도 20은 본 기술의 제4 실시형태의 제3 변형예에 있어서의 진폭 제한부의 일 구성예를 나타내는 회로도이다.
- 도 21은 본 기술의 제5 실시형태에 있어서의 선택 회로의 일 구성예를 나타내는 회로도이다.
- 도 22는 본 기술의 제6 실시형태에 있어서의 비교기의 일 구성예를 나타내는 회로도이다.
- 도 23은 본 기술의 제6 실시형태에 있어서의 DAC의 일 구성예를 나타내는 회로도이다.
- 도 24는 본 기술의 제6 실시형태에 있어서의 참조 신호의 변동의 일례를 나타내는 타이밍 차트이다.
- 도 25는 차량 제어 시스템의 개략적인 구성예를 나타내는 블록도이다.
- 도 26은 촬상부의 설치 위치의 일례를 나타내는 설명도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 기술을 실시하기 위한 형태 (이하, 실시형태라고 칭함)에 대해 설명한다. 설명은 이하의 순서에 의해 행한다.
- [0022] 1. 제1 실시형태(한 쌍의 참조 신호를 비교기에 공급하는 예)
- [0023] 2. 제2 실시형태(적층 구조에 있어서 한 쌍의 참조 신호를 비교기에 공급하는 예)
- [0024] 3. 제3 실시형태(한 쌍의 참조 신호를 비교기에 공급하고, 비교기 내에 2단 앰프를 배치하는 예)
- [0025] 4. 제4 실시형태(한 쌍의 참조 신호를 비교기에 공급하고, 비교 결과의 진폭을 제한하는 예)
- [0026] 5. 제5 실시형태(한 쌍의 참조 신호를 비교기에 공급하고, DAC 내에 캐스코드 트랜지스터를 추가하는 예)
- [0027] 6. 제6 실시형태(차동 대칭성이 높은 한 쌍의 참조 신호를 비교기에 공급하는 예)
- [0028] 7. 이동체에의 응용예
- [0029] <1. 제1 실시형태>
- [0030] [촬상 장치의 구성예]
- [0031] 도 1은, 본 기술의 제1 실시형태에 있어서의 촬상 장치(100)의 일 구성예를 나타내는 블록도이다. 이 촬상 장치(100)는, 화상 데이터를 촬상하기 위한 장치이며, 광학부(110), 고체 촬상 소자(200) 및 DSP(Digital Signal Processing) 회로(120)를 구비한다. 또한, 촬상 장치(100)는, 표시부(130), 조작부(140), 버스(150), 프레임 메모리(160), 기억부(170) 및 전원부(180)를 구비한다. 촬상 장치(100)로서는, 산업용 로봇에 탑재되는 카메라나, 차량용 카메라 등이 상정된다.
- [0032] 광학부(110)는, 피사체로부터의 광을 집광하여 고체 촬상 소자(200)로 가이드하는 것이다. 고체 촬상 소자(200)는, 광전 변환에 의해 화상 데이터를 생성하는 것이다. 이 고체 촬상 소자(200)는, 화상 데이터를 생성하고, DSP 회로(120)에 신호선(209)을 통해 공급한다.
- [0033] DSP 회로(120)는, 화상 데이터에 대해 소정의 신호 처리를 실행하는 것이다. 이 DSP 회로(120)는, 처리 후의 화상 데이터를 버스(150)를 통해 프레임 메모리(160) 등으로 출력한다. 한편, DSP 회로(120)는, 특허청구의 범위에 기재된 신호 처리부의 일례이다.
- [0034] 표시부(130)는, 화상 데이터를 표시하는 것이다. 표시부(130)로서는, 예를 들면, 액정 패널이나 유기 EL(Electro Luminescence) 패널이 상정된다. 조작부(140)는, 사용자의 조작에 따라 조작 신호를 생성하는 것이다.
- [0035] 버스(150)는, 광학부(110), 고체 촬상 소자(200), DSP 회로(120), 표시부(130), 조작부(140), 프레임 메모리(160), 기억부(170) 및 전원부(180)가 서로 데이터를 교환하기 위한 공통 경로이다.
- [0036] 프레임 메모리(160)는, 화상 데이터를 보유하는 것이다. 기억부(170)는, 화상 데이터 등의 다양한 데이터를 기억하는 것이다. 전원부(180)는, 고체 촬상 소자(200), DSP 회로(120), 표시부(130) 등에 전원을 공급하는 것이다.
- [0037] [고체 촬상 소자의 구성예]
- [0038] 도 2는, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자(200)의 일 구성예를 나타내는 블록도이다. 이 고

체 활상 소자(200)는, 행 선택부(210), 타이밍 제어부(220), DAC(230), 화소 어레이부(250), 컬럼 신호 처리부(260) 및 수평 전송 주사부(270)를 구비한다. 이들 회로는, 단일의 반도체 기판에 배치된다. 화소 어레이부(250)에는, 복수의 화소(251)가 2차원 격자 형상으로 배열된다. 이하, 수평 방향으로 배열된 화소(251)의 집합을 「행」이라고 칭하고, 수직 방향으로 배열된 화소(251)의 집합을 「열」이라고 칭한다. 또한, 화소 어레이부(250) 내에는, 열마다 수직 방향으로 수직 신호선(259)이 배선된다. 한편, 화소 어레이부(250)는, 특허청구의 범위에 기재된 화소부의 일례이다.

- [0039] 타이밍 제어부(220)는, 수직 동기 신호(VSYNC)에 동기하여 행 선택부(210), DAC(230), 컬럼 신호 처리부(260) 및 수평 전송 주사부(270)의 각각의 동작 타이밍을 제어하는 것이다.
- [0040] 행 선택부(210)는, 화소 어레이부(250) 내의 행을 순차로 선택하여 구동하고, 화소 신호를 출력시키는 것이다. 선택된 행 내의 화소(251)의 각각은, 대응하는 수직 신호선(259)을 통해 컬럼 신호 처리부(260)에 아날로그의 화소 신호를 출력한다.
- [0041] DAC(230)는, 시간의 경과에 따라 변동하는 한 쌍의 차동 신호를 한 쌍의 참조 신호로서 생성하는 것이다. 예를 들면, 참조 신호로서 램프 신호가 생성된다. DAC(230)는, 생성한 한 쌍의 참조 신호를 컬럼 신호 처리부(260)로 공급한다. 한편, DAC(230)는, 특허청구의 범위에 기재된 참조 신호 공급부의 일례이다.
- [0042] 컬럼 신호 처리부(260)는, 열마다 화소 신호에 대해, AD 변환, CDS(Correlated Double Sampling) 처리 등의 처리를 행하는 것이다. 이 컬럼 신호 처리부(260)는, 처리 후의 디지털 신호로 이루어지는 화상 데이터를 DSP 회로(120)로 공급한다.
- [0043] 수평 전송 주사부(270)는, 열을 순서대로 선택하고, 그 열의 디지털 신호를 컬럼 신호 처리부(260)로부터 출력시키는 것이다.
- [0044] [컬럼 신호 처리부의 구성예]
- [0045] 도 3은, 본 기술의 제1 실시형태에 있어서의 컬럼 신호 처리부(260)의 일 구성예를 나타내는 블록도이다. 이 컬럼 신호 처리부(260)는, 정전류원 회로(261) 및 AD 변환부(300)를 구비한다.
- [0046] 정전류원 회로(261)에는, 열마다 정전류원(262)이 배치된다. 각각의 정전류원(262)은, 대응하는 열의 수직 신호선(259)에 접속된다.
- [0047] AD 변환부(300)에는, ADC(310) 및 래치 회로(395)로 이루어지는 조가 열마다 배치된다.
- [0048] ADC(310)는, 대응하는 열의 수직 신호선(259)을 통해 입력된 화소 신호를 디지털 신호로 변환하는 것이다. 이 ADC(310)는, 변환 후의 디지털 신호를 래치 회로(395)에 출력한다.
- [0049] 래치 회로(395)는, 대응하는 열의 디지털 신호를 보유하는 것이다. 이 래치 회로(395)는, 보유한 디지털 신호를 수평 전송 주사부(270)의 제어에 따라 DSP 회로(120)에 출력한다.
- [0050] [ADC의 구성예]
- [0051] 도 4는, 본 기술의 제1 실시형태에 있어서의 DAC(230) 및 ADC(310)의 일 구성예를 나타내는 블록도이다. ADC(310)는, 비교기(320) 및 카운터(390)를 구비한다.
- [0052] DAC(230)는, 한 쌍의 차동 신호 중 정측의 신호를 참조 신호(RMPp)으로서 출력하고, 부측의 신호를 참조 신호(RMPn)으로서 출력한다. 이들 참조 신호로서, 예를 들면, 램프 신호를 사용할 수 있다.
- [0053] 비교기(320)에는, 참조 신호(RMPp)를 기준으로 한 화소 신호(V_{vs1})의 값에 따른 비교 대상 신호를, 참조 신호(RMPn)와 비교하는 것이다. 예를 들면, 비교기(320)는, 참조 신호(RMPp)와 화소 신호(V_{vs1})의 차분을 분압한 신호를 비교 대상 신호로서 생성하고, 참조 신호(RMPn)와 비교한다. 그리고, 비교기(320)는, 비교 결과(CMP)를 카운터(390)로 공급한다. 한편, 비교기(320)를 구성하는 회로는, 특허청구의 범위에 기재된 비교부의 일례이다.
- [0054] 카운터(390)는, 비교 결과(CMP)가 반전할 때까지의 기간에 걸쳐, 타이밍 제어부(220)로부터의 클럭 신호(CLK)에 동기하여 계수값을 계수하는 것이다. 여기서, 행 선택부(210)는, 노광 종료 전에, 선택한 행 내의 화소(251)가 출력하는 화소 신호(V_{vs1})의 전위를 리셋 레벨로 초기화한다. 또한, 행 선택부(210)는, 노광 종료 후에, 노광량에 따른 화소 신호(V_{vs1})를 화소(251)에 출력시킨다. 이 때의 화소 신호(V_{vs1})의 전위는, 신호 레벨이라고 불린다.

다. 한편, 카운터(390)를 구성하는 회로는, 특허청구의 범위에 기재된 카운터부의 일례이다.

- [0055] 타이밍 제어부(220)는, 리셋 레벨의 출력 전에, 리셋 신호(RST)에 의해 카운터(390)에 계수값을 초기화시킨다. 카운터(390)는, 비교 결과(CMP)가 반전할 때까지의 기간에 걸쳐, 클럭 신호(CLK)에 동기하여 계수값을 다운 카운트한다. 이에 의해, 리셋 레벨이 AD 변환된다.
- [0056] 그리고, 타이밍 제어부(220)는, 신호 레벨의 출력 직전에, 반전 신호(INV)에 의해 증분값의 극성을 반전시킨다. 카운터(390)는, 비교 결과(CMP)가 반전할 때까지의 기간에 걸쳐, 클럭 신호(CLK)에 동기하여 계수값을 업 카운트한다. 이에 의해, 신호 레벨이 AD 변환된다. 또한, 계수 종료시의 계수값은, 리셋 레벨과 신호 레벨의 차분을 나타낸다. 이들 절차에 따라, AD 변환 및 CDS 처리가 실행된다. 카운터(390)는, 계수값을 나타내는 디지털 신호 Dout를 래치 회로(395)에 출력한다.
- [0057] 한편, 카운터(390)는, 리셋 레벨의 변환시에 다운 카운트하고, 신호 레벨의 변환시에 업 카운트하고 있으나, 이 구성에 한정되지 않는다. 예를 들면, 카운터(390)는, 리셋 레벨의 변환시에 업 카운트하고, 신호 레벨의 변환시에 다운 카운트할 수도 있다.
- [0058] 또한, 하나의 DAC(230)가, 참조 신호(RMPp 및 RMPn)의 양쪽을 생성하고 있으나, 한 쌍의 DAC를 배치하고, 이들의 일방이 참조 신호(RMPp)를 생성하고, 타방이 참조 신호(RMPn)를 생성하는 구성이어도 된다.
- [0059] [비교기의 구성예]
- [0060] 도 5는, 본 기술의 제1 실시형태에 있어서의 비교기(320)의 일 구성예를 나타내는 회로도이다. 이 비교기(320)는, 용량(321, 322 및 323)과, 차동 앰프(330)를 구비한다.
- [0061] 용량(321)의 일단에는 화소 신호(V_{vs1})가 입력되고, 타단은, 차동 앰프(330)의 비반전 입력 단자(+)에 접속된다. 용량(322)의 일단에는 참조 신호(RMPp)가 입력되고, 타단은, 용량(321)과 공통으로 차동 앰프(330)의 비반전 입력 단자(+)에 접속된다. 이 접속 구성에 의해, 차동 앰프(330)의 비반전 입력 단자(+)에는, 입력된 화소 신호(V_{vs1})와, 참조 신호(RMPp)와의 차분을 분압한 신호가 입력된다. 한편, 용량(321 및 322)으로 이루어지는 회로는, 특허청구의 범위에 기재된 입력측 분압 회로의 일례이다.
- [0062] 또한, 용량(323)의 일단에는, 참조 신호(RMPn)가 입력되고, 타단은, 차동 앰프(330)의 비반전 입력 단자(-)에 접속된다.
- [0063] 차동 앰프(330)는, 비반전 입력 단자(+)에 입력된 신호와, 반전 입력 단자(-)에 입력된 신호와의 차분을 증폭하는 것이다. 이 차동 앰프(330)는, 증폭한 신호를 비교 결과(CMP)로서 카운터(390)에 출력한다. 또한, 차동 앰프(330)에는, 타이밍 제어부(220)로부터의 오토 제로 신호(AZ1)가 입력된다.
- [0064] 여기서, DAC(230)가 싱글 엔드 신호를 참조 신호로서 용량(322)에 공급하는 비교예를 상정한다. 풀 스케일을 일정하게 하면, 이 비교예의 DAC(230)의 소비 전력은, DAC(230)가 한 쌍의 차동 신호를 공급하는 구성과 비교하여 크다. 그 이유에 대해서는 후술한다.
- [0065] 한편, 용량(322)의 일단에 참조 신호(RMPp)를 입력하고, 용량(323)의 일단에 참조 신호(RMPn)를 입력하고 있으나, 이 구성에 한정되지 않는다. 예를 들면, 용량(322)의 일단에 참조 신호(RMPn)를 입력하고, 용량(323)의 일단에 참조 신호(RMPp)를 입력할 수도 있다.
- [0066] 도 6은, 본 기술의 제1 실시형태에 있어서의 차동 앰프(330)의 일 구성예를 나타내는 회로도이다. 이 차동 앰프(330)는, P형 트랜지스터(331 및 332)와, N형 트랜지스터(333~336)와, 전류원 트랜지스터(337)를 구비한다. 이들 트랜지스터로서, 예를 들면, MOS(Metal-Oxide-Semiconductor) 트랜지스터를 사용할 수 있다. 전류원 트랜지스터(337)로서, 예를 들면, N형의 MOS 트랜지스터를 사용할 수 있다.
- [0067] P형 트랜지스터(331 및 332)의 소스는, 전원 전위(VDD_{com})의 전원 단자에 공통으로 접속된다. 또한, P형 트랜지스터(331)의 게이트는, 자신의 드레인과, P형 트랜지스터(332)의 게이트에 접속된다.
- [0068] N형 트랜지스터(335)의 드레인은, P형 트랜지스터(331)의 드레인과 접속되고, 게이트는, 용량(321 및 322)의 접속점에 접속되고, 소스는 전류원 트랜지스터(337)의 드레인에 접속된다. N형 트랜지스터(336)의 드레인은, P형 트랜지스터(332)의 드레인과 접속되고, 게이트는, 용량(323)에 접속되고, 소스는 전류원 트랜지스터(337)의 드레인에 접속된다. 또한, P형 트랜지스터(332) 및 N형 트랜지스터(336)의 접속점으로부터는, 비교 결과(CMP)가 출력된다. 한편, P형 트랜지스터(332)는, 특허청구의 범위에 기재된 제1 차동쌍 트랜지스터의 일례이고, N형

트랜지스터(336)는, 특허청구의 범위에 기재된 제2 차동쌍 트랜지스터의 일레이다.

- [0069] 전류원 트랜지스터(337)의 게이트에는, 일정한 바이어스 전압(V_{bcom})이 인가되고, 소스는 접지 단자에 접속된다. 이 전류원 트랜지스터(337)는, 테일 전류원(tail current source)으로서 기능한다.
- [0070] N형 트랜지스터(333)는, 오토 제로 신호(AZ1)에 따라 N형 트랜지스터(335)의 게이트 및 드레인을 단락(short-circuit)한다. N형 트랜지스터(334)는, 오토 제로 신호(AZ1)에 따라 N형 트랜지스터(336)의 게이트 및 드레인을 단락한다. 이들 트랜지스터에 의해, 오토 제로 동작이 실현된다.
- [0071] 상술한 구성에 의해, N형 트랜지스터(335 및 336)의 각각의 게이트에 입력된 신호의 차분을 증폭한 신호가, 비교 결과(CMP)로서 생성된다.
- [0072] 한편, 차동 앰프(330)는, P형 트랜지스터(332) 및 N형 트랜지스터(336)의 접속점의 신호를 비교 결과(CMP)로서 출력하고 있으나, 이 구성에 한정되지 않는다. 차동 앰프(330)는, 도 7에 예시된 바와 같이 P형 트랜지스터(331) 및 N형 트랜지스터(335)의 접속점을 비교 결과(CMP)로서 출력할 수도 있다. 이 경우에는, P형 트랜지스터(331)의 게이트를 드레인과 접속하지 않고, P형 트랜지스터(332)의 게이트를, 그 드레인과, P형 트랜지스터(331)의 게이트에 접속하면 된다.
- [0073] 또한, 차동 앰프(330)의 구성은, 입력 단자 간의 차분을 증폭할 수 있는 것이라면, 도 6이나 도 7에 예시한 회로에 한정되지 않는다. 예를 들면, 도 8에 예시된 바와 같이, N형 트랜지스터(335 및 336) 대신 P형 트랜지스터(335-1 및 336-2)를 배치해도 된다. 이 경우에는, P형 트랜지스터(331 및 332) 대신 N형 트랜지스터(331-1 및 332-2)가 배치되고, N형 트랜지스터(337) 대신 P형 트랜지스터(337-1)가 배치된다. 또한, 이 구성에서는, 전류원 트랜지스터(337-1)는 전원측에 배치되고, N형 트랜지스터(331-1 및 332-2)는 접지측에 배치하면 된다. 한편, 도 6 내지 도 8에 있어서 N형 트랜지스터(333 및 334)를 오토 제로 동작시에 제어하는 스위치로서 사용하고 있으나, 이들에 대해서도 N형 트랜지스터 대신 P형 트랜지스터를 사용할 수도 있다.
- [0074] [DAC의 구성예]
- [0075] 도 9는, 본 기술의 제1 실시형태에 있어서의 DAC(230)의 일 구성예를 나타내는 회로도이다. 이 DAC(230)는, M(M은, 정수)개의 선택 회로(240)와, 저항 (231~233)을 구비한다. 선택 회로(240)의 각각은, 전류원(241)과, 스위치(243 및 245)를 구비한다. M개의 전류원(241)은, 전원 전위($V_{DD_{DAC}}$)의 전원 단자에 병렬로 접속된다. 또한, DAC(230)에는, 타이밍 제어부(220)로부터의 M비트의 제어 신호(CTL)가 입력된다. 이 제어 신호(CTL)의 m(m은, 1~M-1의 정수) 비트째는, 선택 신호(CTL_m)으로서, m개째의 선택 회로(240)에 입력된다.
- [0076] 전류원(241)은, 소정 전류를 공급하는 것이다. 스위치(243 및 245)는, 대응하는 선택 신호(CTL_m)에 따라, 한 쌍의 출력 단자 중 어느 하나에 전류원(241)으로부터의 전류를 출력하는 것이다.
- [0077] 선택 회로(240)의 각각의 출력 단자의 일방은, 저항(231)에 공통으로 접속되고, 타방은, 저항(232)에 공통으로 접속된다. 또한, 저항(231 및 232)은, 저항(233)의 일단에 공통으로 접속된다. 저항(233)의 타단은, 기준 전위($V_{SS_{DAC}}$)의 단자에 접속된다.
- [0078] 저항(231)과 선택 회로(240)와의 접속점으로부터는, 참조 신호(RMP_p)가 출력되고, 저항(232)과 선택 회로(240)의 접속점으로부터는, 참조 신호(RMP_n)가 출력된다.
- [0079] 상술한 구성에 의해, 선택 회로(240)의 각각은, 제어 신호(CTL)에 따라, M개의 전류원(241)의 합계 전류(I_{FS})를 저항(231)측과 저항(232)측에 배분한다. 저항(231)과 저항(232)의 각각으로 분류한 전류는, 다시 가산되어 저항(233)으로 흐르기 때문에, 저항(233)의 단자 전위는 일정하게 된다. 분류비를 k(k는 0~1의 실수)로 하고 저항(231), 저항(232) 및 저항(233)의 저항값을 R_1 , R_2 및 R_3 으로 하면, 참조 신호(RMP_p 및 RMP_n)의 각각의 전압(V_{RMPp} 및 V_{RMPn})은, 다음 식에 의해 나타내진다.
- [0080] $V_{RMPp} = V_{SS_{DAC}} + R_3 \cdot I_{FS} + R_1 \cdot k \cdot I_{FS}$ … 식 1
- [0081] $V_{RMPn} = V_{SS_{DAC}} + R_3 \cdot I_{FS} + R_2 \cdot (1-k) \cdot I_{FS}$ … 식 2
- [0082] 여기서, 차동 앰프(330)에 용량(321~323)을 통해, 화소 신호(V_{vs1})와, 참조 신호(RMP_p 및 RMP_n)가 입력되는 것에 주목한다. 이들 용량이 적절하게 초기 전압으로 초기화된다면, DAC(230)와, 화소(251)(정전류원(262)을

포함함)와, 차동 앰프(330)의 직류 전위는 임의로 결정할 수 있다. 이 때문에, 기준 전위(VSS_{DAC})를 0볼트(V)로 하여도 문제는 없다. 또한, 차동 앰프(330)의 비반전 입력 단자(+)의 전위(V_{Clp})는, 용량(321 및 322)의 분압에 의해 결정된다. 용량(321 및 322)의 용량값을 C₁ 및 C₂로 하면, 차동 앰프(330)의 비반전 입력 단자(+)의 전위(V_{Clp})는, 다음 식에 의해 나타내진다.

[0083] $V_{Clp} = V_{vs1} \cdot C_1 / (C_1 + C_2) + V_{RMPp} \cdot C_2 / (C_1 + C_2)$... 식 3

[0084] 한편, 차동 앰프(330)의 반전 입력 단자(-)의 전위(V_{Clm})는, 다음 식에 의해 나타내진다.

[0085] $V_{Clm} = V_{RMPn}$... 식 4

[0086] 전위(V_{Clp} 및 V_{Clm})가 동일하게 될 때 비교 결과(CMP)가 반전된다. 이 때의 화소 신호(V_{vs1})를 V_{vs1eq}로 하면, 식 3 및 식 4으로부터 다음 식이 얻어진다.

[0087] $V_{RMPn} = V_{vs1eq} \cdot C_1 / (C_1 + C_2) + V_{RMPp} \cdot C_2 / (C_1 + C_2)$... 식 5

[0088] 기준 전위(VSS_{DAC})를 0볼트(V)로 하고, 식 5에 식 1 및 식 2를 대입하여 변형하면, 다음 식이 얻어진다.

[0089] $V_{vs1eq} = R_3 \cdot I_{FS} + R_2 \cdot I_{FS} \cdot (1 + C_2 / C_1) - k \{ R_1 \cdot I_{FS} \cdot C_2 / C_1 + R_2 \cdot I_{FS} \cdot (1 + C_2 / C_1) \}$... 식 6

[0090] 여기서, 비교기(320)가 동작가능한 신호 범위로서, 분류비(k)가 0으로부터 1로 변화하였을 때의 전위(V_{vs1eq})의 변화량을 구한다. 이는, DAC(230)의 진폭 최대값인 풀 스케일을, 화소 신호(V_{vs1})의 진폭의 최대값인 풀 스케일로 환산한 값이며, 이 값을 실효 풀 스케일이라고 칭한다. 식 6으로부터, 실효 풀 스케일(V_{FS})은, 다음 식에 의해 나타내진다.

[0091] $V_{FS} = R_1 \cdot I_{FS} \cdot C_2 / C_1 + R_2 \cdot I_{FS} \cdot (1 + C_2 / C_1)$... 식 7

[0092] 여기서, DAC(230)가 싱글 엔드 신호를 참조 신호로서 공급하는 경우를, 비교예로서 상정한다. 이 비교예에서는, 차동 앰프(330)의 반전 입력 단자(-) 측의 용량(323)을 접지 단자에 접속하는 구성과, 차동 앰프(330)의 비반전 입력 단자(+) 측에 화소 신호(V_{vs1})를 용량(321)과 용량(322)에 의한 분압으로 생성한 비교 대상 신호를 입력하는 구성의 2가지가 생각된다. 전자의 실효 풀 스케일(V_{FS})은, 식 7 우변의 제1항만으로 나타내진다. 후자의 실효 풀 스케일(V_{FS})은, 식 7 우변의 제2항만으로 나타내진다. 실효 풀 스케일(V_{FS})에 일정한 목표값을 설정하는 경우, 식 7 우변의 제1항 및 제2항의 일방만을 사용하는 비교예와 비교하여, 제1항 및 제2항의 양쪽을 사용하는 구성에서는, 그 목표값을 실현하기 위해 DAC(230)가 출력하는 전압의 최대값을 작게 설계할 수 있다. 이에 맞추어 전원 전압(VDD_{com})도 작게 함으로써, DAC(230)의 소비 전력을 비교예보다 저감할 수 있다.

[0093] 나아가, 실효 풀 스케일(V_{FS})로 일정한 목표값을 설정하는 경우, 식 7 우변의 제1항이나 제2항 중 일방만을 사용하는 비교예와 비교하여, 제1항 및 제2항의 양쪽을 사용하는 구성에서는, 그 목표값을 실현하기 위해 필요한 전류(I_{FS})를 작게 하는 것도 가능하고, 이에 의해, DAC(230)의 소비 전력을 비교예보다 저감할 수 있다.

[0094] 한편, DAC(230) 내의 회로는, 참조 신호(RMP_p 및 RMP_n)를 생성할 수 있는 것이라면, 도 9에 예시한 회로에 한정되지 않는다.

[0095] 도 10은, 본 기술의 제1 실시형태에 있어서의 선택 회로(240)의 일 구성예를 나타내는 회로도이다. 이 선택 회로(240)는, 전류원 트랜지스터(242)와, 선택 트랜지스터(244 및 246)와, 인버터(247)를 구비한다. 전류원 트랜지스터(242), 선택 트랜지스터(244) 및 선택 트랜지스터(246)로서, 예를 들면, P형의 MOS 트랜지스터가 사용된다.

[0096] 전류원 트랜지스터(242)의 소스는, 전원 단자에 접속되고, 게이트에는 일정한 바이어스 전압(V_{b1})이 인가된다. V_{b1}은, 예를 들면, 전원 전위(VDD_{com})와의 차이가 일정해지도록 제어된다.

[0097] 선택 트랜지스터(244 및 246)의 각각의 소스는, 전류원 트랜지스터(242)의 드레인에 공통으로 접속된다. 또한, 선택 트랜지스터(244)의 드레인은 저항(231)에 접속된다. 선택 트랜지스터(246)의 드레인은 저항(232)에 접속

되고, 게이트에는 선택 신호(CTL_m)가 입력된다.

- [0098] 인버터(247)는, 선택 신호(CTL_m)를 반전하여 선택 트랜지스터(244)의 게이트로 공급하는 것이다.
- [0099] 상술한 구성에 의해, 전류원 트랜지스터(242)는, 도 8의 전류원(241)으로서 기능하고, 인버터(247)와 선택 트랜지스터(244 및 246)로 이루어지는 회로는, 도 8의 스위치(243 및 245)로서 기능한다.
- [0100] 도 11은, 본 기술의 제1 실시형태에 있어서의 참조 신호의 변동의 일례를 나타내는 타이밍 차트이다. 도 11의 a는, 참조 신호(RMP_p)의 변동의 일례를 나타내는 타이밍 차트이고, 도 11의 b는, 참조 신호(RMP_n)의 변동의 일례를 나타내는 타이밍 차트이다. 도 11에 있어서의 종축은, 참조 신호의 전위를 나타내고, 횡축은 시간을 나타낸다. 또한, 도 11의 a의 실선은, 참조 신호(RMP_p)의 파형을 나타내고, 1점 쇄선은, 비교예의 참조 신호의 파형을 나타낸다.
- [0101] 노광 종료의 직전 타이밍(T0~T1)까지의 기간에 걸쳐, 타이밍 제어부(220)는, 오토 제로 신호(AZ1)에 의해 비교기(320)에 오토 제로 동작을 행하게 한다.
- [0102] 그리고, 리셋 레벨이 출력되면 타이밍(T2~T3)까지의 기간에 걸쳐, DAC(230)는, 시간의 경과에 따라 증대하는 참조 신호(RMP_p)와, 시간의 경과에 따라 감소하는 참조 신호(RMP_n)를 생성한다. 이 기간에 있어서, 리셋 레벨의 AD 변환이 행해진다. 용량(321, 322 및 323)의 각각의 용량값에 따라, 참조 신호(RMP_p)와 참조 신호(RMP_n)의 진폭이 설정된다.
- [0103] 또한, 노광이 종료하고 신호 레벨이 출력되면 타이밍(T4~T5)까지의 기간에 걸쳐, DAC(230)는, 다시, 참조 신호(RMP_p)와 참조 신호(RMP_n)를 생성한다. 이 기간에 있어서, 신호 레벨의 AD 변환이 행해진다.
- [0104] 상술한 제어는, 행이 판독될 때마다 반복 실행된다. 한편, 참조 신호(RMP_p)가 슬로프 형상으로 변화되는 기간과, 참조 신호(RMP_n)가 슬로프 형상으로 변화되는 기간을 일치시키고 있으나, 이 구성에 한정되지 않는다. 예를 들면, 이들 기간의 적어도 일부가 오버랩하는 구성이어도 된다.
- [0105] 도 11의 a에 도시된 바와 같이, 싱글 엔드 신호를 참조 신호로서 사용하는 비교예에서는, 실효 폴 스케일(V_{FS})의 목표값을 실현하기 위해 필요한 참조 신호의 진폭이, 차동 신호를 사용하는 경우와 비교하여 커진다. 이 때문에, DAC의 소비 전력이 증대하게 된다.
- [0106] [고체 촬상 소자의 동작 예]
- [0107] 도 12는, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자(200)의 동작 일례를 나타내는 순서도이다. 이 동작은, 예를 들면, 화상 데이터를 촬상하기 위한 소정의 어플리케이션이 실행되었을 때에 개시된다.
- [0108] 행 선택부(210)는, 미선택의 행을 선택하여 구동한다(스텝(S901)). DAC(230)는, 참조 신호(RMP_p 및 RMP_n)를 생성한다(스텝(S902)). ADC(310)는, 리셋 레벨을 AD 변환하고(스텝(S903)), 신호 레벨을 AD 변환한다(스텝(S904)).
- [0109] 행 선택부(210)는, 전체 행의 판독이 완료되었는지를 판단한다(스텝(S905)). 전체 행의 판독이 완료되지 않은 경우(스텝(S905): No), 행 선택부(210)는, 스텝(S901) 이후를 반복하여 실행한다. 한편, 전체 행의 판독이 완료된 경우(스텝(S905): Yes), 행 선택부(210)는, 화상 데이터를 촬상하기 위한 동작을 종료한다. 복수매의 화상 데이터를 연속하여 촬상하는 경우에는, 스텝(S901~S905)이, 수직 동기 신호(VSYNC)에 동기하여 반복 실행된다.
- [0110] 이와 같이, 본 기술의 제1 실시형태에 의하면, 차동 신호의 일방(RMP_p)을 기준으로 한 입력 신호의 값에 따른 신호를 타방(RMP_n)과 비교하기 때문에, 싱글 엔드 신호를 사용하는 경우와 비교하여, 참조 신호의 진폭을 작게 할 수 있다. 이에 의해, 참조 신호를 공급하는 DAC(230)의 소비 전력을 저감할 수 있다.
- [0111] <2. 제2 실시형태>
- [0112] 상술한 제1 실시형태에서는, 고체 촬상 소자(200) 내의 회로를 단일의 반도체 기판에 배치하고 있었으나, 화소 수가 많아질수록, 반도체 기판의 회로 규모가 증대한다. 이 제2 실시형태의 고체 촬상 소자는, 적층된 복수의 기판에, 고체 촬상 소자(200) 내의 회로를 분산하여 배치한 점에서 제1 실시형태와 다르다.
- [0113] 도 13은, 본 기술의 제2 실시형태에 있어서의 고체 촬상 소자(200)의 적층 구조의 일례를 나타내는 도면이다. 이 고체 촬상 소자(200)는, 수광 기관(201) 및 회로 기관(202)을 구비한다. 이들 기관은 적층되고, 전기적으로 접속되어 하나의 반도체 칩을 구성한다.

- [0114] 수광 기관(201)에는, 화소 어레이부(250)가 배치된다. 또한, 회로 기관(202)에는, 행 선택부(210), 타이밍 제어부(220), DAC(230), 컬럼 신호 처리부(260) 및 수평 전송 주사부(270)가 배치된다.
- [0115] 이와 같이, 본 기술의 제2 실시형태에 의하면, 고체 촬상 소자(200) 내의 회로를 복수의 기관에 분산되어 배치하였기 때문에, 기관마다의 회로 규모를 삭감할 수 있다.
- [0116] <3. 제3 실시형태>
- [0117] 상술한 제1 실시형태에서는, 비교기(320) 내에 증폭 회로로서 차동 앰프(330)만을 배치하고 있었으나, 차동 앰프(330)만으로는, 카운터(390) 이후의 후단 회로의 구동 능력이 부족할 우려가 있다. 이 제3 실시형태의 비교기(320)는, 차동 앰프(330)의 출력을 증폭하는 출력 앰프를 더 배치한 점에서 제1 실시형태와 다르다.
- [0118] 도 14는, 본 기술의 제3 실시형태에 있어서의 비교기(320)의 일 구성예를 나타내는 회로도이다. 이 제3 실시형태의 비교기(320)는, 출력 앰프(340)를 더 구비하는 점에서 제1 실시형태와 다르다.
- [0119] 출력 앰프(340)는, 비교 결과(CMP)를 소정의 계인에 의해 증폭하는 것이다. 이 출력 앰프(340)는, 증폭 후의 신호를 CMP'로서 카운터(390)에 출력한다. 또한, 출력 앰프(340)에는, 타이밍 제어부(220)로부터의 오토 제로 신호(AZ2)가 입력된다.
- [0120] 도 15는, 본 기술의 제3 실시형태에 있어서의 차동 앰프(330) 및 출력 앰프(340)의 일 구성예를 나타내는 회로도이다. 제3 실시형태의 차동 앰프(330)는, 용량(338)을 더 구비하는 점에서 제1 실시형태와 다르다. 또한, 출력 앰프(340)는, P형 트랜지스터(341), N형 트랜지스터(342), 스위치(343) 및 용량(344)을 구비한다. P형 트랜지스터(341) 및 N형 트랜지스터(342)로서, 예를 들면, MOS 트랜지스터를 사용할 수 있다.
- [0121] 용량(338)은, P형 트랜지스터(332) 및 N형 트랜지스터(336)의 접속점(즉, 차동 앰프(330)의 출력 단자)와, 전원 단자와의 사이에 삽입된다.
- [0122] P형 트랜지스터(341) 및 N형 트랜지스터(342)는, 전원 단자와 접지 단자의 사이에서 직렬로 접속된다. 또한, P형 트랜지스터(341)의 게이트는, 차동 앰프(330)의 출력 단자에 접속되고, P형 트랜지스터(341) 및 N형 트랜지스터(342)의 접속점으로부터, 비교 결과(CMP')가 출력된다.
- [0123] 용량(344)은, N형 트랜지스터(342)의 게이트와 접지 단자의 사이에 삽입된다. 스위치(343)는, 오토 제로 신호(AZ2)에 따라, N형 트랜지스터(342)의 드레인과 게이트의 사이의 경로를 개폐하는 것이다.
- [0124] 상술한 구성에 의해, 출력 앰프(340)는, 차동 앰프(330)의 출력을 더 증폭하여 출력한다. 또한, 출력 앰프(340)는, 오토 제로 신호(AZ2)에 따라 오토 제로 동작을 행한다.
- [0125] 이와 같이, 본 기술의 제3 실시형태에 의하면, 차동 앰프(330)의 출력을 더 증폭하는 출력 앰프(340)를 비교기(320) 내에 추가하였기 때문에, 카운터(390) 이후의 후단 회로의 구동력을 증대시킬 수 있다.
- [0126] <4. 제4 실시형태>
- [0127] 상술한 제3 실시형태에서는, 출력 앰프(340)를 더 배치하고 있었으나, 이 구성에서는, 줄무늬 형상의 노이즈인 스트리킹(streaking)이 생길 우려가 있다. 이는, 차동 앰프(330)의 출력 측의 N형 트랜지스터(336)의 게이트에 참조 신호(RMPn)를 인가하는 구성에서는, 차동 앰프(330)의 출력 진폭이 크면, 그 참조 신호(RMPn)와의 사이에서 간섭이 생기게 되기 때문이다. 이 제4 실시형태의 비교기(320)는, 차동 앰프(330)의 출력 진폭을 제한하고, 스트리킹을 억제한 점에서 제3 실시형태와 다르다.
- [0128] 도 16은, 본 기술의 제4 실시형태에 있어서의 비교기(320)의 일 구성예를 나타내는 회로도이다. 이 제4 실시형태의 비교기(320)는, 진폭 제한부(350)를 더 구비하는 점에서 제3 실시형태와 다르다.
- [0129] 진폭 제한부(350)는, 차동 앰프(330)의 출력(비교 결과(CMP))의 진폭을, 일정 범위 내로 제한하여 출력 앰프(340)로 공급하는 것이다.
- [0130] 도 17은, 본 기술의 제4 실시형태에 있어서의 진폭 제한부(350)의 일 구성예를 나타내는 회로도이다. 이 진폭 제한부(350)는, 바이어스 전압 공급부(351), 전류원 트랜지스터(352), 게이트 접지 트랜지스터(353) 및 전류원 트랜지스터(354)를 구비한다. 전류원 트랜지스터(352)로서, 예를 들면, P형의 MOS 트랜지스터를 사용할 수 있다. 전류원 트랜지스터(354)로서, 예를 들면, N형의 MOS 트랜지스터를 사용할 수 있다. 게이트 접지 트랜지스터(353)로서, 예를 들면, P형의 MOS 트랜지스터를 사용할 수 있다.

- [0131] 바이어스 전압 공급부(351)는, 일정한 바이어스 전압을 생성하여 게이트 접지 트랜지스터(353)의 게이트로 공급하는 것이다.
- [0132] 전류원 트랜지스터(352), 게이트 접지 트랜지스터(353) 및 전류원 트랜지스터(354)는, 전원 단자와 접지 단자의 사이에 직렬로 접속된다. 또한, 전류원 트랜지스터(352) 및 게이트 접지 트랜지스터(353)의 접속점은, 입력측의 차동 앰프(330)의 출력 단자에 접속된다. 게이트 접지 트랜지스터(353) 및 전류원 트랜지스터(354)의 접속점은, 출력측의 출력 앰프(340)의 입력 단자에 접속된다.
- [0133] 전류원 트랜지스터(352)의 게이트에는, 일정한 바이어스 전압(V_{BL1M1})이 인가되고, 전류원 트랜지스터(354)의 게이트에는, 일정한 바이어스 전압(V_{BL1M2})이 인가된다. 이들 트랜지스터는, 전류원으로서 기능한다. 한편, 전류원 트랜지스터(352)는, 특허청구의 범위에 기재된 전원측 전류원의 일례이고, 전류원 트랜지스터(354)는, 특허청구의 범위에 기재된 접지측 전류원의 일례이다.
- [0134] 상술한 구성에 의해, 차동 앰프(330)의 출력(비교 결과(CMP))은, 소정의 상한값 미만의 범위 내로 제한되어, 출력 앰프(340)에 출력된다.
- [0135] 이와 같이, 본 기술의 제4 실시형태에 의하면, 차동 앰프(330)의 출력 진폭을 제한하기 때문에, 그 출력과 참조 신호(RMPn) 간의 간섭을 억제할 수 있다. 이에 의해, 이 간섭에 기인하는 스트리킹을 억제할 수 있다.
- [0136] [제1 변형예]
- [0137] 상술한 제4 실시형태에서는, 차동 앰프(330)를 오토 제로 동작시킬 때에도 진폭 제한부(350)는, 차동 앰프(330)에 접속되어 있었다. 이 구성에서는, 오토 제로 동작 기간 동안, 회로 구조나 소자의 편차 또는 미스매치(mismatch)에 따른 전위를 발생하는 차동 앰프(330)의 출력어, 미리 전위가 정해져 있는 게이트 접지 트랜지스터(353)의 소스에 직접 접속되기 때문에, 이상 전류가 흐름으로써 오토 제로 특성이 악화될 우려가 있다. 이 제4 실시형태의 제1 변형예의 진폭 제한부는, 오토 제로 동작 중에 차동 앰프(330)의 입력을 차단하는 점에서 제1 실시형태와 다르다.
- [0138] 도 18은, 본 기술의 제4 실시형태의 제1 변형예에 있어서의 진폭 제한부(360)의 일 구성예를 나타내는 회로도이다. 이 제4 실시형태의 제1 변형예에서는, 진폭 제한부(350) 대신 진폭 제한부(360)가 배치된다.
- [0139] 진폭 제한부(360)는, 스위치 트랜지스터(361 및 365)를 더 구비하는 점에서 제4 실시형태와 다르다. 스위치 트랜지스터(361)로서, 예를 들면, P형의 MOS 트랜지스터를 사용할 수 있고, 스위치 트랜지스터(365)로서 예를 들면, N형의 MOS 트랜지스터를 사용할 수 있고, 스위치 트랜지스터(361 과 365)의 게이트는 모두 오토 제로 신호(AZ1)로 구동된다. 또한, 바이어스 전압 공급부(351)는, 예를 들면, P형 트랜지스터(362 및 363)와 전류원 트랜지스터(364)를 구비한다.
- [0140] 스위치 트랜지스터(361)는, 타이밍 제어부(220)로부터의 오토 제로 신호(AZ1)에 따라, 차동 앰프(330)의 출력 단자와 전류원 트랜지스터(352) 및 게이트 접지 트랜지스터(353)의 접속점과의 사이의 경로를 개폐하는 것이다. 한편, 스위치 트랜지스터(361)는, 특허청구의 범위에 기재된 입력측 스위치의 일례이다.
- [0141] 스위치 트랜지스터(365)는, 타이밍 제어부(220)로부터의 오토 제로 신호(AZ1)에 따라, 게이트 접지 트랜지스터(353), 전류원 트랜지스터(354) 및 출력 앰프(340)의 입력 단자의 접속점과 접지 단자의 사이의 경로를 개폐하는 것이다. 한편, 스위치 트랜지스터(365)는, 특허청구의 범위에 기재된 출력측 스위치의 일례이다.
- [0142] 또한, P형 트랜지스터(362 및 363)와 전류원 트랜지스터(364)는, 전원 단자와 접지 단자의 사이에 직렬로 접속된다. P형 트랜지스터(362)의 게이트 및 드레인은 단락된다. 또한, 게이트 접지 트랜지스터(353)의 게이트는, 자신의 드레인과 P형 트랜지스터(363)의 게이트에 접속된다. 이들 트랜지스터로서, 예를 들면, MOS 트랜지스터를 사용할 수 있다. 전류원 트랜지스터(364)의 게이트에는, 일정한 바이어스 전압(V_{BL1M3})이 인가되고, 전류원 트랜지스터(364)는, 전류원으로서 기능한다. 전류원 트랜지스터(364)로서는, 예를 들면, N형의 MOS 트랜지스터를 사용할 수 있다.
- [0143] 오토 제로(auto-zero) 신호(AZ1)가 하이 레벨인 경우에는, 차동 앰프(330)가 오토 제로 동작을 행하고, 그 출력은, 전원 전위(V_{DDCOM})로부터 N형 트랜지스터(331)의 게이트·소스 전압(V_{GS})만큼 내려간 전위가 발생한다. 바이어스 전압 공급부(351)는, 게이트 접지 트랜지스터(353)의 소스 전위가 차동 앰프(330)의 오토 제로 시의 출력, 즉 전원 전위(V_{DDCOM})로부터 N형 트랜지스터(331)의 게이트·소스 전압(V_{GS})만큼 내려간 전위와 대략 같은 전위가

되도록, 게이트 접지 트랜지스터(353)의 게이트를 구동하는 전위를 출력한다. 입력측의 스위치 트랜지스터(361)는, 열림 상태가 되고, 출력측의 스위치 트랜지스터(365)는 닫힘 상태가 된다. 진폭 제한부(360)의 출력은 접지 전위가 된다.

[0144] 한편, 오토 제로 신호(AZ1)가 로우 레벨인 경우에는, 차동 앰프(330) 내의 N형 트랜지스터(333 및 334)는 오프 상태가 되고, 차동 앰프(330)가 차동 증폭을 행한다. 또한, 진폭 제한부(360)의 입력측의 스위치 트랜지스터(361)는, 닫힘 상태가 되고, 출력측의 스위치 트랜지스터(365)는 열림 상태가 된다. 여기서, 오토 제로 신호(AZ1)가 하이 레벨일 때 바이어스 전압 공급부(351)의 출력에 기초하여 결정되는 게이트 접지 트랜지스터(353)의 소스 전위는 차동 앰프(330)의 출력과 대략 같은 전위로 설정되어 있었기 때문에, 스위치 트랜지스터(361)가 닫힘 상태로 이행하였을 때의 과도 현상 시에도, 진폭 제한부(350) 내에 이상 전류는 흐르지 않는다.

[0145] 이와 같이, 본 기술의 제4 실시형태의 제1 변형예에 의하면, 차동 앰프(330)가 오토 제로 동작 중에, 그 출력을 차단하는 스위치 트랜지스터(361)를 배치하였기 때문에, 진폭 제한부(350)의 이상 전류의 발생과 오토 제로 특성의 열화를 방지할 수 있다.

[0146] [제2 변형예]

[0147] 상술한 제4 실시형태에서는, 차동 앰프(330)의 출력을 상한값 미만의 범위 내로 제한하고 있었으나, 하한값도 설정하는 것이 바람직하다. 이 제4 실시형태의 제2 변형예의 진폭 제한부는, 차동 앰프(330)의 출력을, 하한값에서부터 상한값까지의 범위 내로 제한하는 점에서 제4 실시형태와 다르다.

[0148] 도 19는, 본 기술의 제4 실시형태의 제2 변형예에 있어서의 진폭 제한부(370)의 일 구성예를 나타내는 회로도이다. 이 제4 실시형태의 제2 변형예에서는, 진폭 제한부(350) 대신 진폭 제한부(370)가 배치된다.

[0149] 진폭 제한부(370)는, 바이어스 전압 공급부(371 및 372)와, 다이오드(373 및 374)를 구비한다. 다이오드(373 및 374)는, 바이어스 전압 공급부(371 및 372)의 사이에서 직렬로 접속된다. 다이오드(373)의 캐소드는, 바이어스 전압 공급부(372)에 접속되고, 다이오드(374)의 애노드는, 바이어스 전압 공급부(371)에 접속된다. 또한, 다이오드(373 및 374)의 접속점은, 차동 앰프(330)의 출력 단자와, 출력 앰프(340)의 입력 단자에 접속된다.

[0150] 바이어스 전압 공급부(371 및 372)는, 서로 다른 바이어스 전압(V_1 및 V_2)을 공급하는 것이다.

[0151] 상술한 구성에 의해, 차동 앰프(330)의 출력(비교 결과(CMP))의 전압(V_{CMP})은, 다음 식에 나타내는 제한 범위 내로 제한된다.

[0152]
$$V_1 - V_F < V_{CMP} < V_2 + V_F$$

[0153] 상기 식에 있어서, V_F 는, 다이오드(373 및 374)의 순방향 전압이다.

[0154] 이와 같이, 본 기술의 제4 실시형태의 제2 변형예에 의하면, 차동 앰프(330)의 출력을, 하한값에서부터 상한값까지의 범위 내로 제한하기 때문에, 그 출력과 참조 신호(RMPn) 간의 간섭을 충분히 억제할 수 있다.

[0155] [제3 변형예]

[0156] 상술한 제4 실시형태에서는, 차동 앰프(330)의 출력을 상한값 미만의 범위 내로 제한하고 있었으나, 하한값도 설정하는 것이 바람직하다. 이 제4 실시형태의 제3 변형예의 진폭 제한부는, 차동 앰프(330)의 출력을, 하한값에서부터 상한값까지의 범위 내로 제한하는 점에서 제4 실시형태와 다르다.

[0157] 도 20은, 본 기술의 제4 실시형태의 제3 변형예에 있어서의 진폭 제한부(380)의 일 구성예를 나타내는 회로도이다. 이 제4 실시형태의 제3 변형예에서는, 진폭 제한부(350) 대신 진폭 제한부(380)가 배치된다.

[0158] 진폭 제한부(380)는, N형 트랜지스터(381)와, P형 트랜지스터(382)와, 바이어스 전압 공급부(383 및 384)를 구비한다.

[0159] N형 트랜지스터(381) 및 P형 트랜지스터(382)는, 전원 단자와 접지 단자의 사이에서 직렬로 접속된다. 또한, N형 트랜지스터(381) 및 P형 트랜지스터(382)의 접속점은, 차동 앰프(330)의 출력 단자와, 출력 앰프(340)의 입력 단자에 접속된다.

[0160] 바이어스 전압 공급부(383 및 384)는, 서로 다른 바이어스 전압(V_3 및 V_4)을 공급하는 것이다. 바이어스 전압(V_3)은, N형 트랜지스터(381)의 게이트에 인가되고, 바이어스 전압(V_4)은, P형 트랜지스터(382)의 게이트에 인가

된다. 이들 전압의 조합은, N형 트랜지스터(381) 및 P형 트랜지스터(382)가 동시에 온 상태로 되지 않는 값의 조합으로 설정된다.

[0161] 상술한 구성에 의해, 차동 앰프(330)의 출력(비교 결과(CMP))의 전압(V_{CMP})은, 다음 식에 나타내는 제한 범위 내로 제한된다.

[0162] $V_3 - V_{GSN} < V_{CMP} < V_4 + V_{GSP}$

[0163] 상기 식에 있어서, V_{GSN} 은, 온 상태의 N형 트랜지스터(381)의 게이트·소스 간 전압이고, V_{GSP} 는, 온 상태의 P형 트랜지스터(382)의 게이트·소스 간 전압이다.

[0164] 이와 같이, 본 기술의 제4 실시형태의 제3 변형예에 의하면, 차동 앰프(330)의 출력을, 하한값에서부터 상한값까지의 범위 내로 제한하기 때문에, 그 출력과 참조 신호(RMPn) 간의 간섭을 충분히 억제할 수 있다.

[0165] <5. 제5 실시형태>

[0166] 상술한 제1 실시형태에서는, DAC(230) 내에 있어서 선택 회로(240) 마다 전류원 트랜지스터(242)를 배치하여 전류를 생성하고 있었다. 그러나, 전원 변동 등에 기인하여, 이 트랜지스터의 드레인·소스 간 전압이 변동하면, 트랜지스터 고유의 특성에 따라 드레인 전류값이 변화하기 때문에, DAC(230)의 출력 정밀도가 열화할 우려가 있다. 구체적으로는, 예를 들면, 풀 스케일 정밀도나 직선성이 열화할 가능성이 있다. 이 제5 실시형태의 DAC(230)는, 전류원 트랜지스터(242)에 선택 트랜지스터(244 와 246)를 통해 캐스코드 트랜지스터를 접속하여 선형성을 확보한 점에서 제1 실시형태와 다르다.

[0167] 도 21은, 본 기술의 제5 실시형태에 있어서의 선택 회로(240)의 일 구성예를 나타내는 회로도이다. 이 선택 회로(240)는, 캐스코드 트랜지스터(248 및 249)를 더 구비하는 점에서 제1 실시형태와 다르다. 이들 트랜지스터로서, 예를 들면, P형의 MOS 트랜지스터를 사용할 수 있다.

[0168] 캐스코드 트랜지스터(248)의 소스는, 선택 트랜지스터(244)에 접속되고, 드레인은, 저항(231)과, 참조 신호(RMPp)를 출력하는 출력 단자에 접속된다. 캐스코드 트랜지스터(249)의 소스는, 선택 트랜지스터(246)에 접속되고, 드레인은, 저항(232)과, 참조 신호(RMPn)를 출력하는 출력 단자에 접속된다. 또한, 캐스코드 트랜지스터(248 및 249)의 게이트에는, 전류원 트랜지스터(242)의 드레인·소스 간 전압을 안정화하기 위해, 바이어스 전압(V_{b2})이 인가된다.

[0169] 상술한 구성에 있어서, 전류원 트랜지스터(242)의 드레인·소스 간 전압과, 캐스코드 트랜지스터(248 또는 249) 중 선택 신호(CTL_m)의 값에 기초하여 ON이 되는 쪽의 트랜지스터의 드레인·소스 간 전압의 합계의 변동에 대한, 전류원 트랜지스터(242)의 게이트·소스 간 전압의 변동은, 제1 실시형태와 비교하여 작게 된다. 이에 의해, 제1 실시형태와 비교하여 DAC(230)의 출력 정밀도의 열화를 작게 할 수 있다.

[0170] 이와 같이, 본 기술의 제5 실시형태에 의하면, 캐스코드 트랜지스터(248 및 249)를 선택 트랜지스터(244 와 246)를 통해 전류원 트랜지스터(242)에 직렬로 접속하였기 때문에, 이들의 드레인·소스 간 전압의 합계의 변동에 대한, 전류원 트랜지스터(242)의 드레인·소스 간 전압의 변동이 작게 된다. 이에 의해, DAC(230)의 출력 정밀도를 향상시킬 수 있다.

[0171] <6. 제6 실시형태>

[0172] 상술한 제1 실시형태에서는, 차동 앰프(330)의 비반전 입력 단자에는 용량(321, 322)으로 이루어지는 분압 회로를 구비하는 반면, 차동 앰프(330)의 반전 입력 단자에는, 분압 회로는 구성하고 있지 않기 때문에, 예를 들면, 차동 앰프(330)의 반전 및 비반전 입력 단자의 진폭을 균형 맞추고자 하면, 참조 신호(RMPp)의 진폭을 참조 신호(RMPn)보다 크게 할 필요가 있지만, 노이즈와의 사이의 간섭을 억제하는 관점에서, 참조 신호(RMPp 및 RMPn)의 차동 대칭성이 높은 것이 바람직하다. 이 제6 실시형태의 고체 촬상 소자(200)는, 차동 대칭성이 높은 참조 신호(RMPp 및 RMPn)를 생성하는 점에서 제1 실시형태와 다르다.

[0173] 도 22는, 본 기술의 제6 실시형태에 있어서의 비교기(320)의 일 구성예를 나타내는 회로도이다. 이 비교기(320)는, 용량(324)을 더 구비하는 점에서 제1 실시형태와 다르다. 용량(324)의 일단에는, 소정의 고정 전압(V_c)이 입력되고, 타단은, 용량(323)과 공통으로 차동 앰프(330)의 반전 입력 단자(-)에 접속된다. 이들 용량(323 및 324)에 의해, 참조 신호(RMPn)와 고정 전압(V_c)의 차분이 분압된다. 한편, 용량(323 및 324)으로 이루어지는 회로는, 특허청구의 범위에 기재된 참조측 분압 회로의 일례이다.

[0174] 차동 앰프(330)의 비반전 입력 단자(+)의 전위(V_{Cmp})는, 제1 실시형태와 마찬가지로 식 3에 의해 나타내진다. 한편, 용량(323 및 324)의 용량값을 C_3 및 C_4 로 하면, 차동 앰프(330)의 반전 입력 단자(-)의 전위(V_{Cln})는, 다음 식에 의해 나타내진다.

[0175]
$$V_{Cln}=V_c \cdot C_4/(C_3+C_4)+V_{RMPn} \cdot C_3/(C_3+C_4) \quad \dots \text{식 10}$$

[0176] 전위(V_{Cmp} 및 V_{Cln})가 동일해질 때 비교 결과(CMP)가 반전된다. 이 때의 화소 신호(V_{vs1})를 V_{vs1eq} 으로 하면, 식 3 및 식 10으로부터 다음 식이 얻어진다.

[0177]
$$V_{vs1eq} \cdot C_1/(C_1+C_2)+V_{RMPp} \cdot C_2/(C_1+C_2)=V_c \cdot C_4/(C_3+C_4)+V_{RMPn} \cdot C_3/(C_3+C_4) \quad \dots \text{식 11}$$

[0178] 기준 전위(V_{SSDAC})를 0 볼트(V)로 하고, 식 11에 식 1 및 식 2를 대입하여 변형하면, 다음 식이 얻어진다.

[0179]
$$V_{vs1eq}=V_c \cdot C_4(C_1+C_2)/\{(C_3+C_4)C_1\}+R_3 \cdot I_{FS} \cdot C_3(C_1+C_2)/\{(C_3+C_4)C_1\}-R_3 \cdot I_{FS} \cdot C_2/C_1+R_2 \cdot I_{FS} \cdot C_3(C_1+C_2)/\{(C_3+C_4)C_1\}-k \cdot R_1 \cdot I_{FS} \cdot C_2/C_1-k \cdot R_2 \cdot I_{FS} \cdot C_3(C_1+C_2)/\{(C_3+C_4)C_1\} \quad \dots \text{식 12}$$

[0180] 식 12으로부터, 실효 풀 스케일(V_{FS})은, 다음 식에 의해 나타내진다.

[0181]
$$V_{FS}=R_1 \cdot I_{FS} \cdot C_2/C_1+R_2 \cdot I_{FS} \cdot C_3(C_1+C_2)/\{(C_3+C_4)C_1\} \quad \dots \text{식 13}$$

[0182] 한편, 차동 대칭성을 더 향상시키기 위해 다음 식을 만족하는 값으로 저항값이나 용량값을 설정할 수도 있다.

[0183]
$$R_1=R_2 \quad \dots \text{식 14}$$

[0184]
$$C_3/C_4=C_2/C_1 \quad \dots \text{식 15}$$

[0185] 식 14 및 식 15를 식 12 및 식 13에 적용하면, 다음 식이 얻어진다.

[0186]
$$V_{vs1eq}=V_c+R_2 \cdot I_{FS} \cdot C_2/C_1-k \cdot 2R_1 \cdot I_{FS} \cdot C_2/C_1$$

[0187]
$$V_{FS}=2R_1 \cdot I_{FS} \cdot C_2/C_1$$

[0188] 도 23은, 본 기술의 제6 실시형태에 있어서의 DAC(230)의 일 구성예를 나타내는 회로도이다. 이 제6 실시형태의 DAC(230)는, 고정 전압 생성부(234)를 더 구비하는 점에서 제1 실시형태와 다르다. 고정 전압 생성부(234)는, 고정 전압(V_c)을 생성하여 비교기(320)로 공급하는 것이다.

[0189] 한편, 고정 전압 생성부(234)를 DAC(230) 내에 배치하고 있으나, DAC(230)의 외부에 배치할 수도 있다.

[0190] 도 24는, 본 기술의 제6 실시형태에 있어서의 참조 신호의 변동의 일례를 나타내는 타이밍 차트이다. 도 24의 a는, 참조 신호(RMPp)의 변동의 일례를 나타내는 타이밍 차트이고, 도 24의 b는, 참조 신호(RMPn)의 변동의 일례를 나타내는 타이밍 차트이다. 도 24에 있어서의 종축은, 참조 신호의 전위를 나타내고, 횡축은 시간을 나타낸다. 동 도면에 예시된 바와 같이, 참조 신호(RMPp 및 RMPn)의 각각의 파형의 대칭성이 제1 실시형태와 비교하여 향상한다.

[0191] 이와 같이, 본 기술의 제6 실시형태에 의하면, 비교기(320) 내에서, 용량(321 및 322)과, 용량(323 및 324)의 각각이 분압을 행하기 때문에, DAC(230)는, 차동 대칭성이 높은 참조 신호(RMPp 및 RMPn)를 공급할 수 있다. 이에 의해, 노이즈 등과 참조 신호의 사이의 간섭을 억제할 수 있다.

[0192] <7. 이동체에의 응용예>

[0193] 본 개시와 관련되는 기술(본 기술)은 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시와 관련되는 기술은 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등 어느 종류의 이동체에 탑재되는 장치로서 실현되어도 된다.

[0194] 도 25는, 본 개시와 관련되는 기술이 적용될 수 있는 이동체 제어 시스템의 일례인 차량 제어 시스템의 개략적인 구성예를 나타내는 블록도이다.

[0195] 차량 제어 시스템(12000)은 통신 네트워크(12001)를 거쳐 접속된 복수의 전자 제어 유닛을 구비한다. 도 25에 나타낸 예에서는, 차량 제어 시스템(12000)은 구동계 제어 유닛(12010), 보디계 제어 유닛(12020), 차외 정보

검출 유닛(12030), 차내 정보 검출 유닛(12040), 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로 컴퓨터(12051), 음성 화상 출력부(12052), 및 차재 네트워크 I/F(Interface)(12053)가 도시되어 있다.

- [0196] 구동계 제어 유닛(12010)은 각종 프로그램에 따라 차량의 구동계에 관련하는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은, 내연기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구, 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.
- [0197] 보디계 제어 유닛(12020)은 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 보디계 제어 유닛(12020)은 키리스 엔트리(keyless entry) 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는 헤드 램프, 백 램프, 브레이크 램프, 깜빡이 또는 안개등 등의 각종 램프의 제어장치로서 기능한다. 이 경우, 보디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발생되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 보디계 제어 유닛(12020)은 이들 전파 또는 신호의 입력을 수신하여, 차량의 도어록 장치, 파워 윈도우 장치, 램프 등을 제어한다.
- [0198] 차외 정보 검출 유닛(12030)은 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면, 차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은 촬상부(12031)에 차 밖의 화상을 촬상시키고, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 기초하여, 사람, 차, 장애물, 표지 또는 노면 상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 된다.
- [0199] 촬상부(12031)는 광을 수광하고, 그 광의 수광량에 따른 전기 신호를 출력하는 광 센서이다. 촬상부(12031)는, 전기 신호를 화상으로서 출력할 수도 있고, 측거의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하는 광은 가시광이어도 되고, 적외선 등의 비가시광이어도 된다.
- [0200] 차내 정보 검출 유닛(12040)은, 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는, 예를 들면, 운전자를 촬상하는 카메라를 포함한다. 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 기초하여 운전자의 피로 정도 또는 집중 정도를 산출해도 되고, 운전자가 졸고 있지 않은지를 판별해도 된다.
- [0201] 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 기초하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표값을 연산하여, 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차량의 충돌 회피 또는 충격 완화, 차간거리에 기초하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 차선 이탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.
- [0202] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량 주위의 정보에 기초하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함으로써, 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.
- [0203] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 기초하여, 보디계 제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)으로 검지한 선행차 또는 대향차의 위치에 따라 헤드 램프를 제어하여, 하이 빔을 로우 빔으로 전환하는 등의 눈부심 방지를 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.
- [0204] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대해, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력장치로 음성 및 화상 중 적어도 일방의 출력 신호를 송신한다. 도 25의 예에서는, 출력장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되고 있다. 표시부(12062)는, 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이 중 적어도 하나를 포함하고 있어도 된다.
- [0205] 도 26은, 촬상부(12031)의 설치 위치의 예를 나타내는 도면이다.
- [0206] 도 26에서는, 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104 및 12105)를 갖는다.
- [0207] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들면, 차량(12100)의 프런트 노즈, 사이드 미러, 리어범

퍼, 백 도어 및 차실내의 프런트 글래스의 상부 등의 위치에 설치된다. 프런트 노즈에 구비되는 촬상부(12101) 및 차실내의 프런트 글래스의 상부에 구비되는 촬상부(12105)는, 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)는, 주로 차량(12100)의 측방의 화상을 취득한다. 리어범퍼 또는 백 도어에 구비되는 촬상부(12104)는, 주로 차량(12100)의 후방의 화상을 취득한다. 차실내의 프런트 글래스의 상부에 구비된 촬상부(12105)는, 주로 선행 차량 또는 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.

[0208] 한편, 도 26에는, 촬상부(12101 내지 12104)의 촬영 범위의 일례가 도시되어 있다. 촬상 범위(12111)는, 프런트 노즈에 설치된 촬상부(12101)의 촬상 범위를 나타낸다. 촬상 범위(12112, 12113)는, 각각 사이드 미러에 설치된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는, 리어범퍼 또는 백 도어에 설치된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들면, 촬상부(12101 내지 12104)로 촬상된 화상 데이터가 중첩됨으로써, 차량(12100)을 상방으로부터 본 부감 화상을 얻을 수 있다.

[0209] 촬상부(12101 내지 12104) 중 적어도 하나는 거리 정보를 취득하는 기능을 갖고 있어도 된다. 예를 들면, 촬상부(12101 내지 12104) 중 적어도 하나는 복수의 촬상 소자로 이루어지는 스테레오 카메라여도 되고, 위상차 검출용의 화소를 가지는 촬상 소자여도 된다.

[0210] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어지는 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에 있어서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함으로써, 특히 차량(12100)의 진행로 상에 있는 가장 가까운 입체물로, 차량(12100)과 대략 같은 방향으로 소정의 속도(예를 들면, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로 컴퓨터(12051)는, 선행차와의 사이에서 미리 확보해야 하는 차간거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함함)나 자동 가속 제어(추종 발진 제어도 포함함) 등을 행할 수 있다. 이와 같이 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0211] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 바탕으로, 입체물에 관한 입체물 데이터를, 이륜차, 보통 차량, 대형차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고, 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차량(12100) 주변의 장애물을, 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로 컴퓨터(12051)는, 각 장애물과의 충돌 위험도를 나타내는 충돌 리스크를 판단하여, 충돌 리스크가 설정값 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통해 드라이버에 경보를 출력하거나, 구동계 제어 유닛(12010)을 통해 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.

[0212] 촬상부(12101 내지 12104) 중 적어도 하나는, 적외선을 검출하는 적외선 카메라여도 된다. 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지 아닌지를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들면, 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에 있어서의 특징점을 추출하는 절차와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지 아닌지를 판별하는 절차에 의해 행해진다. 마이크로 컴퓨터(12051)가, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하여, 보행자를 인식하면, 음성 화상 출력부(12052)는, 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는, 보행자를 나타내는 아이콘 등을 원하는 위치에 표시하도록 표시부(12062)를 제어하여도 된다.

[0213] 이상, 본 개시에 따른 기술이 적용될 수 있는 시스템의 일례에 대해 설명했다. 본 개시에 관한 기술은, 이상 설명한 구성 중 예를 들면, 촬상부(12031) 등에 적용될 수 있다. 구체적으로는, 도 1의 촬상 장치(100)는, 촬상부(12031) 등에 적용할 수 있다. 촬상부(12031)에 본 개시에 따른 기술을 적용함으로써, 촬상부(12031) 등의 소비 전력을 저감할 수 있기 때문에, 시스템 전체의 소비 전력을 삭감할 수 있다.

[0214] 한편, 상술한 실시형태는 본 기술을 구체화하기 위한 일례를 제시한 것이며, 실시형태에 있어서의 사항과, 특허 청구의 범위에 있어서의 발명 특정 사항은 각각 대응 관계를 갖는다. 마찬가지로, 특허 청구의 범위에 있어서의 발명 특정 사항과, 이와 동일 명칭을 붙인 본 기술의 실시형태에 있어서의 사항과는 각각 대응 관계를 갖는다. 단, 본 기술은 실시형태에 한정되는 것이 아니며, 그 요지를 일탈하지 않는 범위에서 실시형태에 다양한 변형을 가함으로써 구체화할 수 있다.

- [0215] 한편, 본 기술은 이하와 같은 구성도 취할 수 있다.
- [0216] (1) 입사광의 광량에 기초한 화소 신호를 출력하는 화소부와,
- [0217] 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와,
- [0218] 화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와,
- [0219] 상기 비교부의 신호에 기초하여 카운트하는 카운터부를 구비하는 고체 촬상 소자.
- [0220] (2) 상기 비교부는,
- [0221] 상기 제1 참조 신호와 상기 화소 신호의 차분을 분압한 신호를 비교 대상 신호로서 상기 제1 차동쌍 트랜지스터에 공급하는 입력측 분압 회로를 더 구비하고,
- [0222] 상기 제1 및 제2 차동쌍 트랜지스터를 포함하는 차동 앰프는, 상기 비교 대상 신호와 상기 제2 참조 신호와의 차분을 증폭하여 상기 비교 결과로서 상기 카운터부에 출력하는 상기 (1) 기재의 고체 촬상 소자.
- [0223] (3) 상기 비교부는, 상기 제2 참조 신호와 소정의 고정 전위와의 차분을 분압한 신호를 상기 제2 차동쌍 트랜지스터로 공급하는 참조측 분압 회로를 더 구비하고,
- [0224] 상기 차동 앰프는, 상기 비교 대상 신호와 상기 참조측 분압 회로에 의해 분압된 신호와의 차분을 증폭하는 상기 (2) 기재의 고체 촬상 소자.
- [0225] (4) 상기 비교부는, 상기 비교 결과를 증폭하여 상기 카운터에 출력하는 출력 앰프를 더 구비하는 상기 (2) 또는 (3)에 기재된 고체 촬상 소자.
- [0226] (5) 상기 비교부는, 상기 비교 결과의 진폭을 제한하여 상기 출력 앰프에 공급하는 진폭 제한부를 더 구비하는 상기 (4) 기재의 고체 촬상 소자.
- [0227] (6) 상기 진폭 제한부는,
- [0228] 서로 다른 바이어스 전압을 공급하는 한 쌍의 바이어스 전압 공급부와,
- [0229] 상기 한 쌍의 바이어스 전압 공급부의 사이에 직렬로 삽입된 한 쌍의 다이오드를 구비하고,
- [0230] 상기 차동 앰프의 출력 단자와 상기 출력 앰프의 입력 단자는, 상기 한 쌍의 다이오드의 접속점에 공통으로 접속되는 상기 (5) 기재의 고체 촬상 소자.
- [0231] (7) 상기 진폭 제한부는,
- [0232] 직렬로 접속된 P형 트랜지스터 및 N형 트랜지스터와,
- [0233] 서로 다른 바이어스 전압을 상기 P형 트랜지스터 및 N형 트랜지스터의 각각의 게이트에 공급하는 한 쌍의 바이어스 전압 공급부를 구비하고,
- [0234] 상기 차동 앰프의 출력 단자와 상기 출력 앰프의 입력 단자는, 상기 P형 트랜지스터 및 상기 N형 트랜지스터의 접속점에 공통으로 접속되는 상기 (5)에 기재된 고체 촬상 소자.
- [0235] (8) 상기 진폭 제한부는,
- [0236] 전원 단자에 접속된 전원측 전류원과,
- [0237] 상기 전원측 전류원에 소스 및 드레인의 일단이 접속된 게이트 접지 트랜지스터와,
- [0238] 상기 게이트 접지 트랜지스터의 게이트에 소정의 바이어스 전압을 공급하는 바이어스 전압 공급부와,
- [0239] 상기 게이트 접지 트랜지스터의 소스 및 드레인의 타단과 접지 단자와의 사이에 삽입된 접지측 전류원을 구비하고,
- [0240] 상기 전원측 전류원 및 상기 접지측 전류원의 일방과 상기 게이트 접지 트랜지스터의 소스와의 접속점이 상기 차동 앰프의 출력 단자에 접속되고, 상기 전원측 전류원 및 상기 접지측 전류원의 타단과 상기 게이트 접지 트랜지스터의 드레인과의 접속점이 상기 출력 앰프의 입력 단자에 접속되는 상기 (5) 기재의 고체 촬상 소자.

- [0241] (9) 상기 진폭 제한부는,
- [0242] 상기 전원측 전류원 및 상기 접지측 전류원의 일방과 상기 게이트 접지 트랜지스터의 소스와의 접속점과, 상기 차동 앰프의 출력 단자와의 사이의 경로를 개폐하는 입력측 스위치와,
- [0243] 상기 전원측 전류원 및 상기 접지측 전류원의 타방과 상기 게이트 접지 트랜지스터의 드레인과의 접속점과, 상기 접지 단자와의 사이의 경로를 개폐하는 출력측 스위치를 더 구비하고, 상기 입력측 스위치 및 상기 출력측 스위치의 일방이 열림 상태의 경우에는 타방이 닫힘 상태로 이행하는 상기 (8) 기재의 고체 촬상 소자.
- [0244] (10) 상기 참조 신호 공급부는,
- [0245] 소정의 선택 신호에 따라 제1 및 제2 출력 단자의 일방으로부터 소정 전류를 출력하는 복수의 선택 회로와,
- [0246] 상기 복수의 선택 회로의 각각의 상기 제1 출력 단자에 일단이 공통으로 접속된 제1 저항과,
- [0247] 상기 복수의 선택 회로의 각각의 상기 제2 출력 단자에 일단이 공통으로 접속된 제2 저항을 구비하고,
- [0248] 상기 제1 저항의 상기 일단으로부터 상기 제1 참조 신호가 출력되고, 상기 제2 저항의 상기 일단으로부터 상기 제2 참조 신호가 출력되는 상기 (1) 내지 (9) 중 어느 하나에 기재된 고체 촬상 소자.
- [0249] (11) 상기 선택 회로는,
- [0250] 상기 소정 전류를 공급하는 전류원과,
- [0251] 상기 전류원에 공통으로 접속된 제1 및 제2 선택 트랜지스터와,
- [0252] 상기 선택 신호를 반전시켜 상기 제1 및 제2 선택 트랜지스터의 일방의 게이트에 공급하는 인버터와,
- [0253] 상기 제1 선택 트랜지스터와 상기 제1 출력 단자와의 사이에 직렬로 삽입된 제1 캐스코드 트랜지스터와,
- [0254] 상기 제2 선택 트랜지스터와 상기 제2 출력 단자와의 사이에 직렬로 삽입된 제2 캐스코드 트랜지스터를 구비하고,
- [0255] 상기 제1 및 제2 선택 트랜지스터의 타방의 게이트에는 상기 선택 신호가 입력되고, 상기 제1 및 제2 캐스코드 트랜지스터의 각각의 게이트에는, 소정의 바이어스 전압이 인가되는 상기 (10) 기재의 고체 촬상 소자.
- [0256] (12) 광전 변환에 의해 상기 입력 신호를 생성하는 화소를 더 구비하고,
- [0257] 상기 화소는, 소정의 수광 기관에 배치되고,
- [0258] 상기 참조 신호 공급부, 상기 비교부 및 상기 카운터부는, 상기 수광 기관에 적층된 소정의 회로 기관에 배치되는 상기 (1) 내지 (11) 중 어느 하나에 기재된 고체 촬상 소자.
- [0259] (13) 입사광의 광량에 기초한 화소 신호를 출력하는 화소부와,
- [0260] 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와,
- [0261] 화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터, 및, 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와,
- [0262] 상기 비교부의 신호에 기초하여 카운트하는 카운터부와,
- [0263] 상기 카운터부의 계수값을 나타내는 디지털 신호를 처리하는 신호 처리부를 구비하는 촬상 장치.
- [0264] (14) 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급 단계와,
- [0265] 입사광의 광량에 기초한 화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교 단계와,
- [0266] 상기 비교 단계에 의해 생성된 신호에 기초하여 카운트하는 카운트 단계를 구비하는 고체 촬상 소자의 제어 방법.

부호의 설명

- [0267] 100: 촬상 장치

- 110: 광학부
- 120: DSP 회로
- 130: 표시부
- 140: 조작부
- 150: 버스
- 160: 프레임 메모리
- 170: 기억부
- 180: 전원부
- 200: 고체 촬상 소자
- 201: 수광 기관
- 202: 회로 기관
- 210: 행 선택부
- 220: 타이밍 제어부
- 230: DAC
- 231, 232, 233: 저항
- 234: 고정 전압 생성부
- 240: 선택 회로
- 241: 전류원
- 242, 337, 337-1, 352, 354, 364: 전류원 트랜지스터
- 243, 245, 343: 스위치
- 244, 246: 선택 트랜지스터
- 247: 인버터
- 248, 249: 캐스코드 트랜지스터
- 250: 화소 어레이부
- 251: 화소
- 260: 컬럼 신호 처리부
- 261: 정전류원 회로
- 262: 정전류원
- 270: 수평 전송 주사부
- 300: AD 변환부
- 310: ADC
- 320: 비교기
- 321, 322, 323, 324, 338, 344: 용량
- 330: 차동 앰프
- 331, 332, 335-1, 336-1, 341, 362, 363, 382: P형 트랜지스터
- 333~336, 331-1, 332-2, 342, 381: N형 트랜지스터

340: 출력 앰프

350, 360, 370, 380: 진폭 제한부

351, 371, 372, 383, 384: 바이어스 전압 공급부

353: 게이트 접지 트랜지스터

361, 365: 스위치 트랜지스터

373, 374: 다이오드

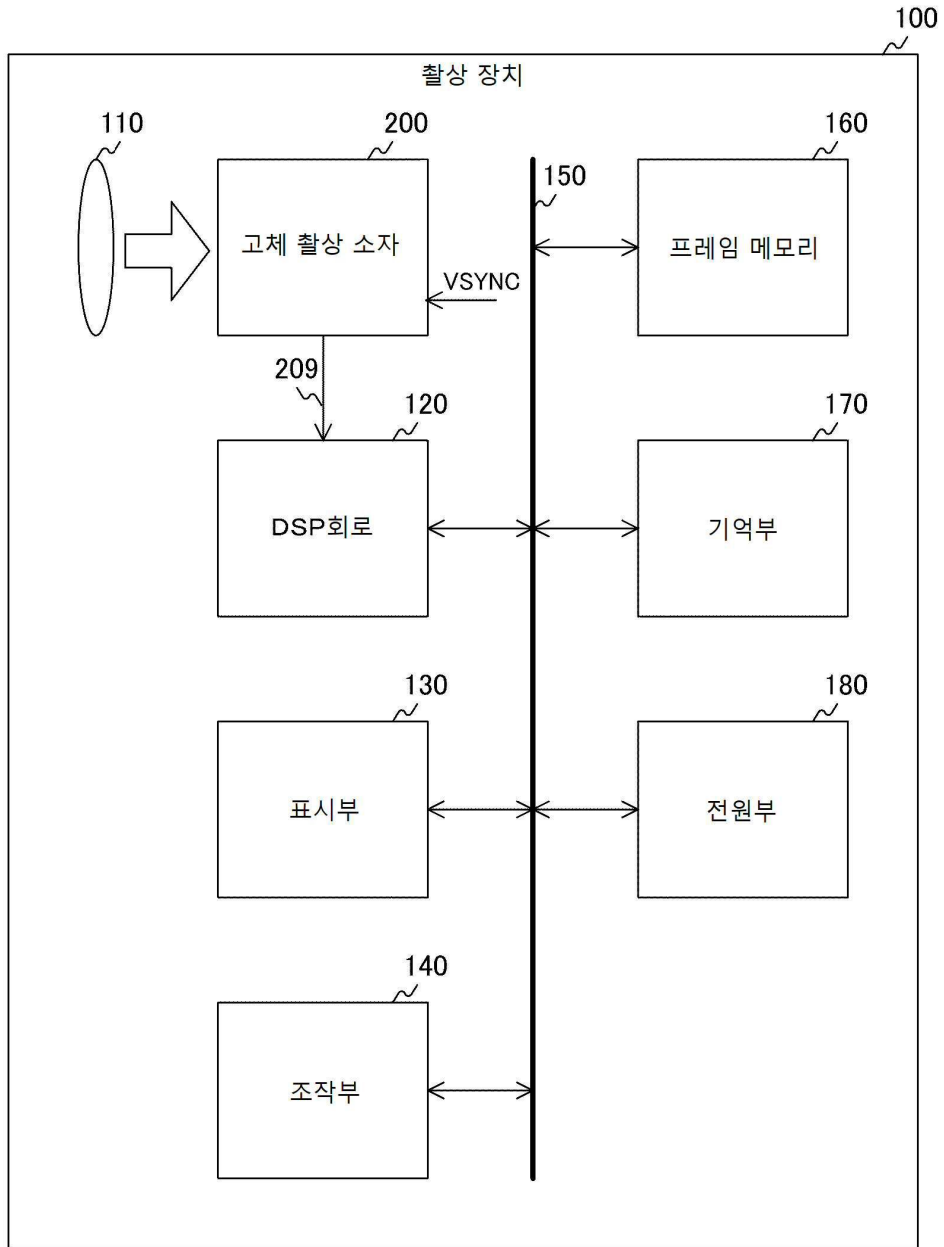
390: 카운터

395: 래치 회로

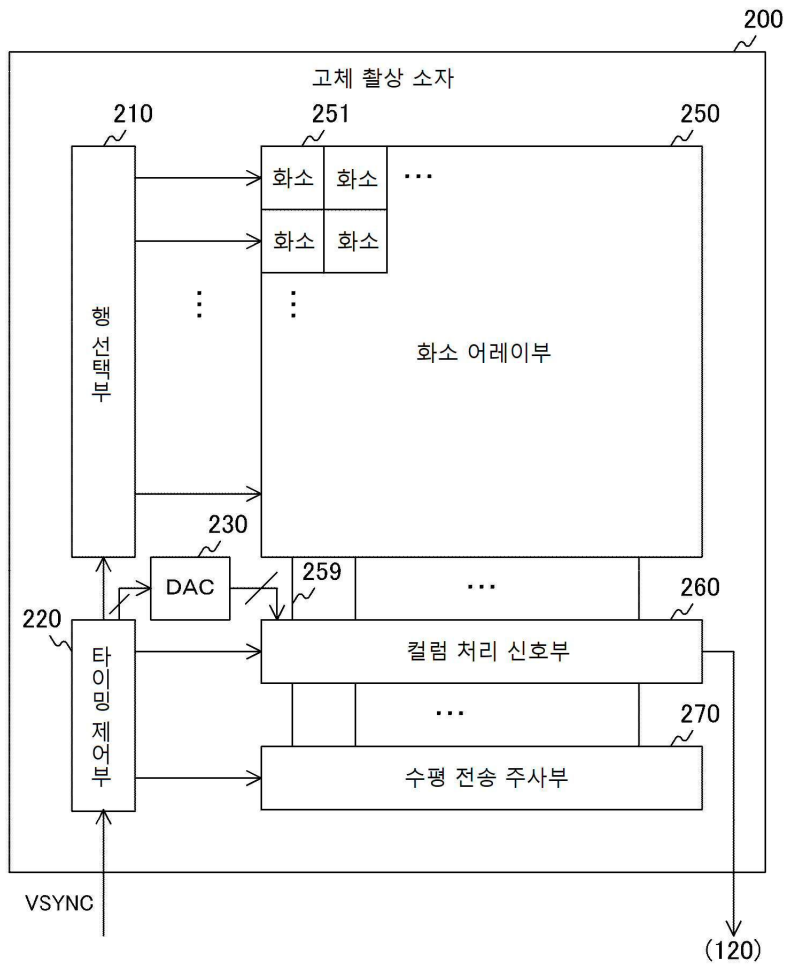
12031: 촬상부

도면

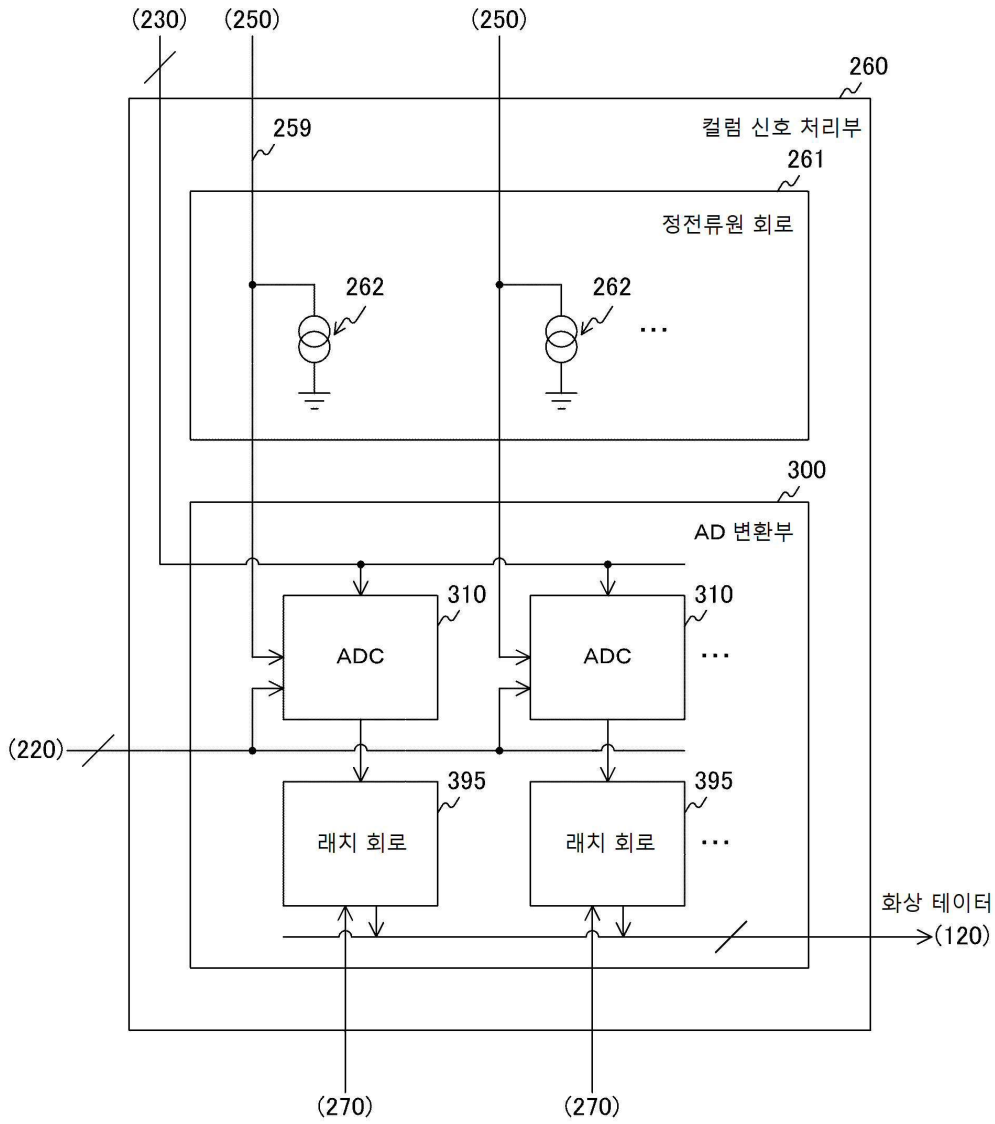
도면1



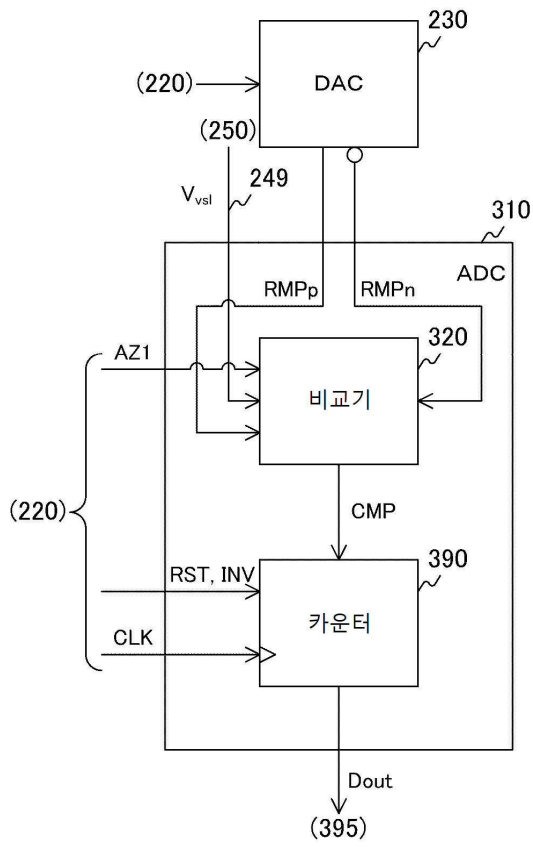
도면2



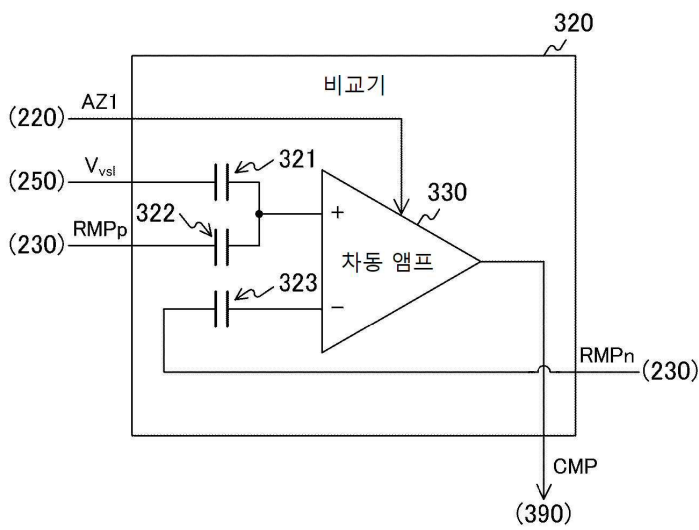
도면3



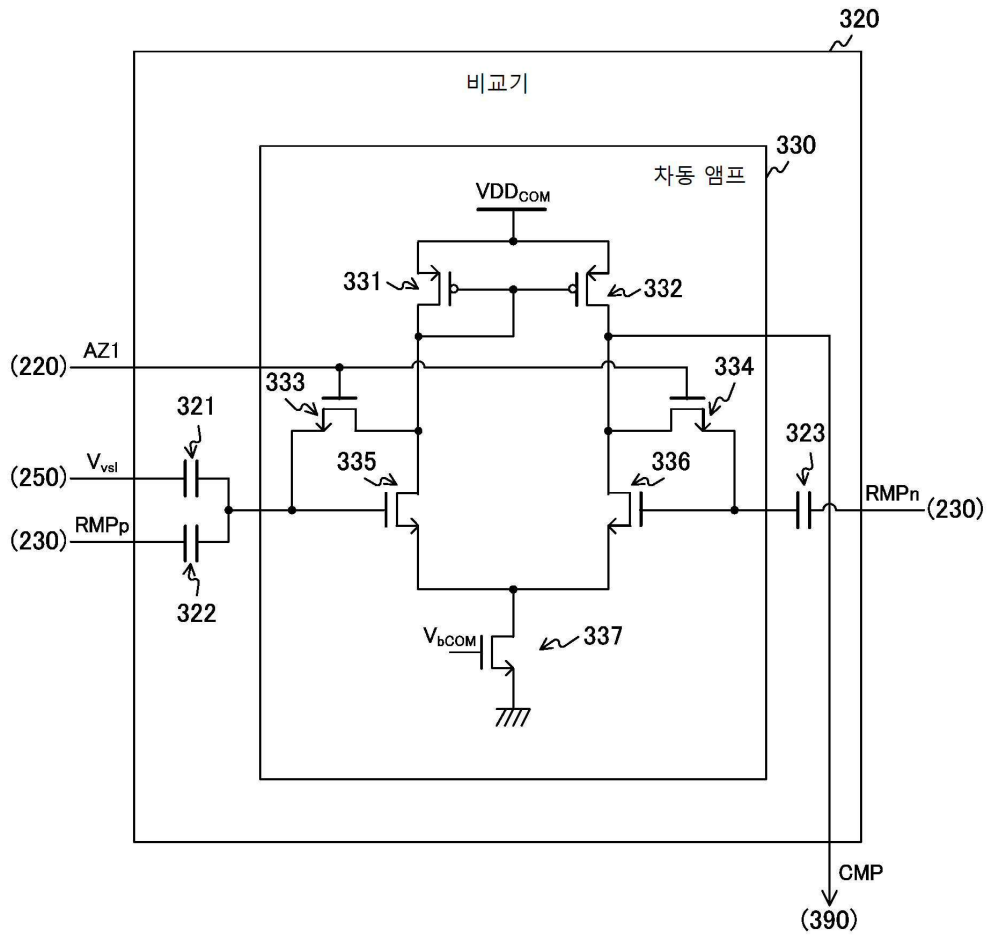
도면4



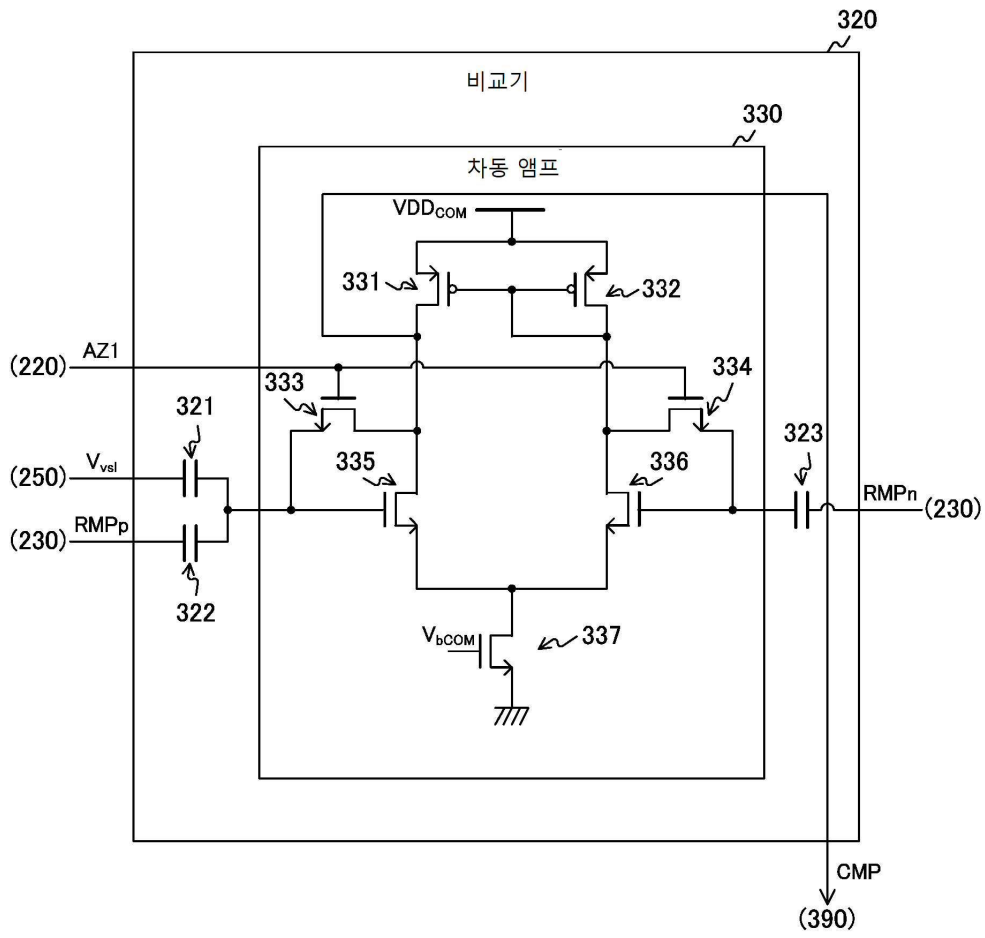
도면5



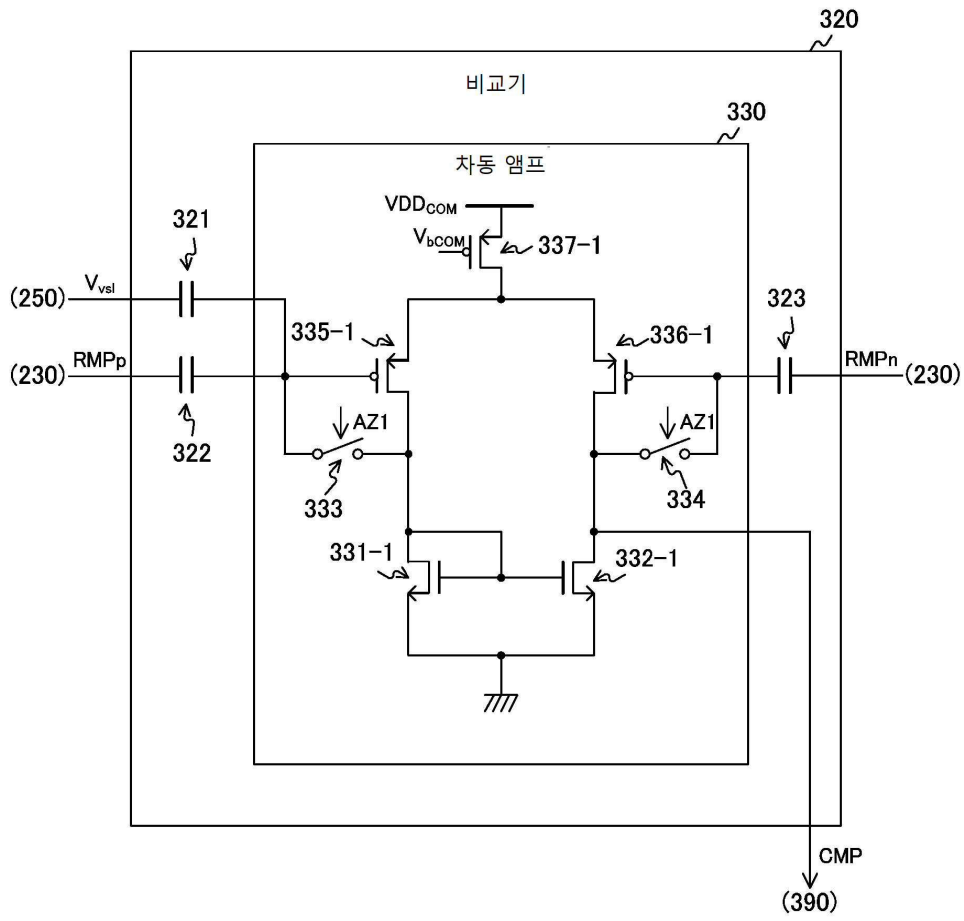
도면6



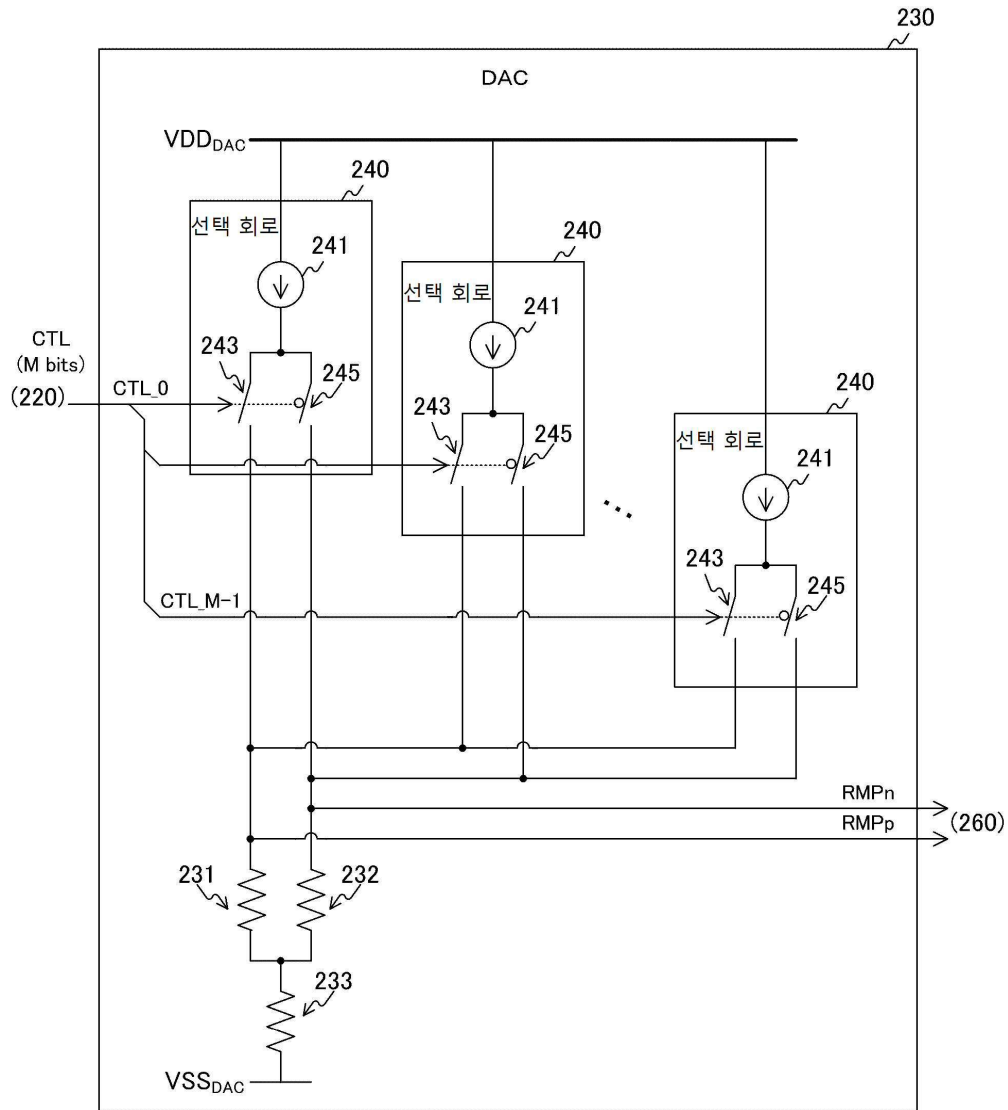
도면7



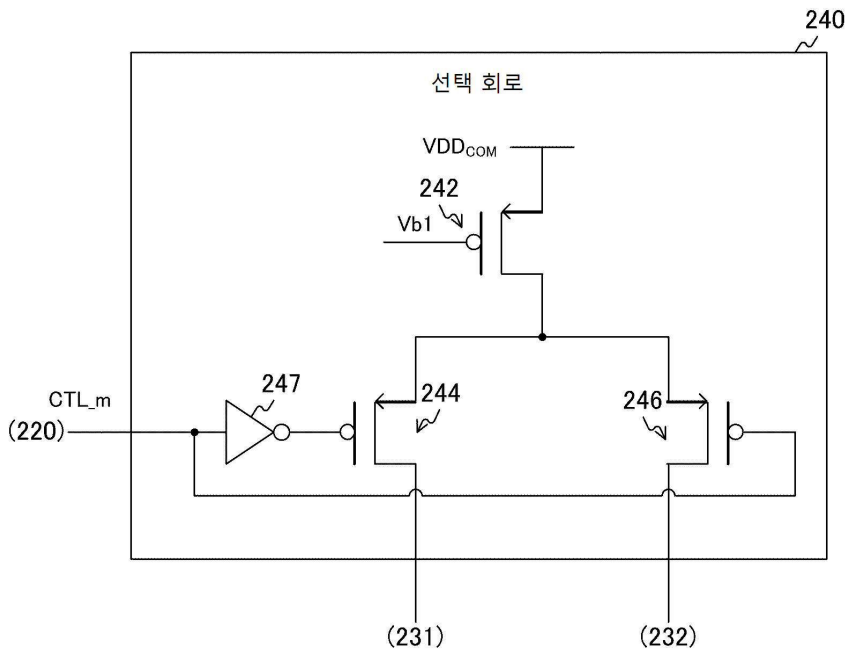
도면8



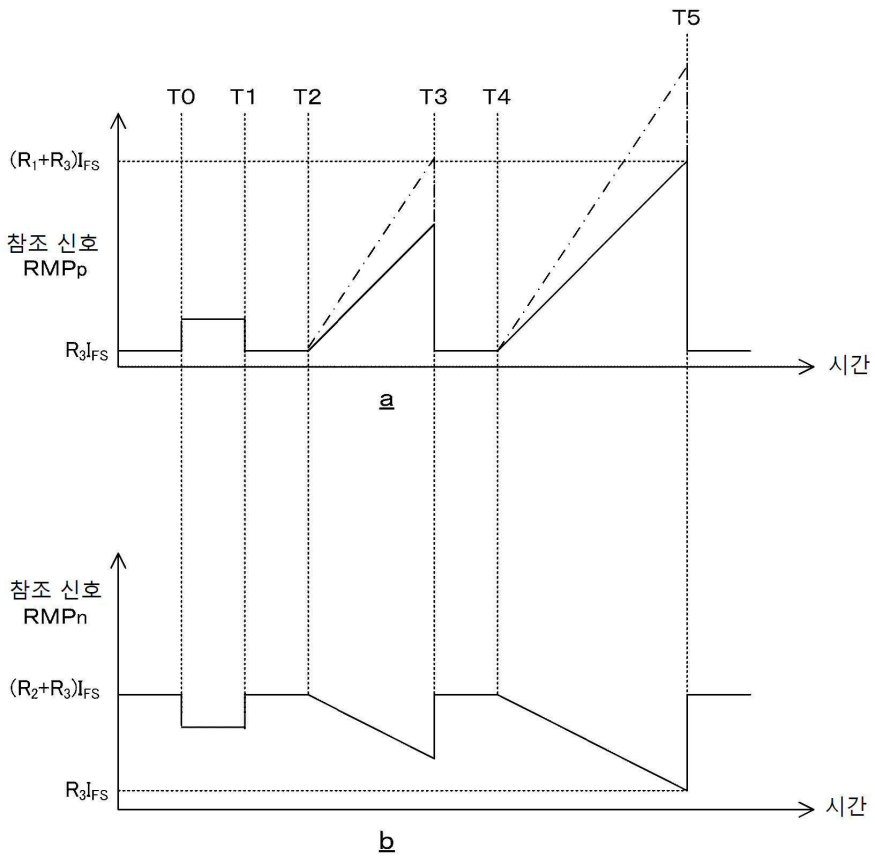
도면9



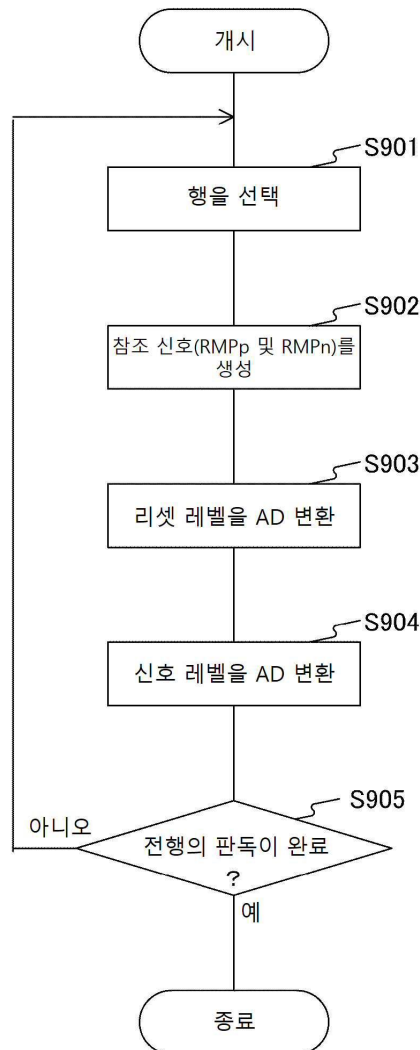
도면10



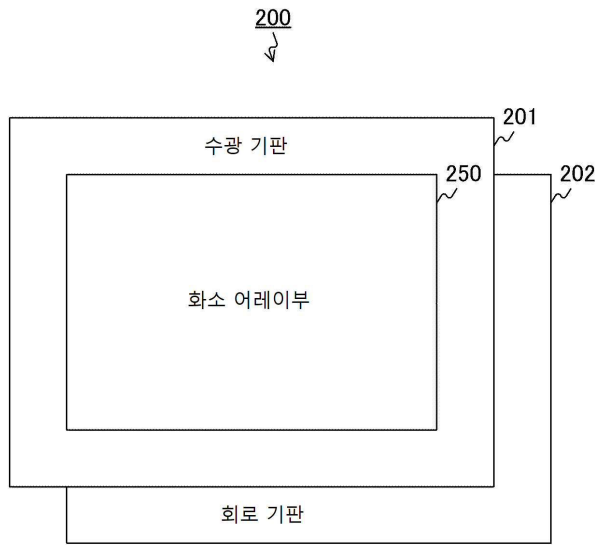
도면11



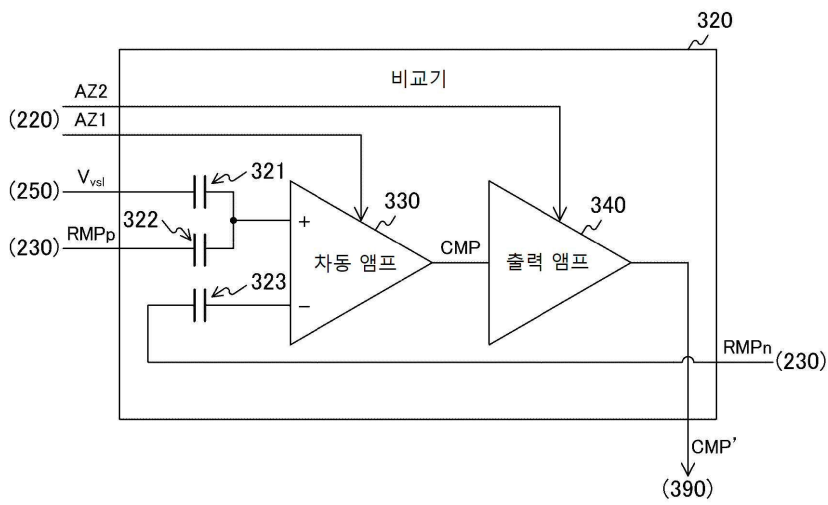
도면12



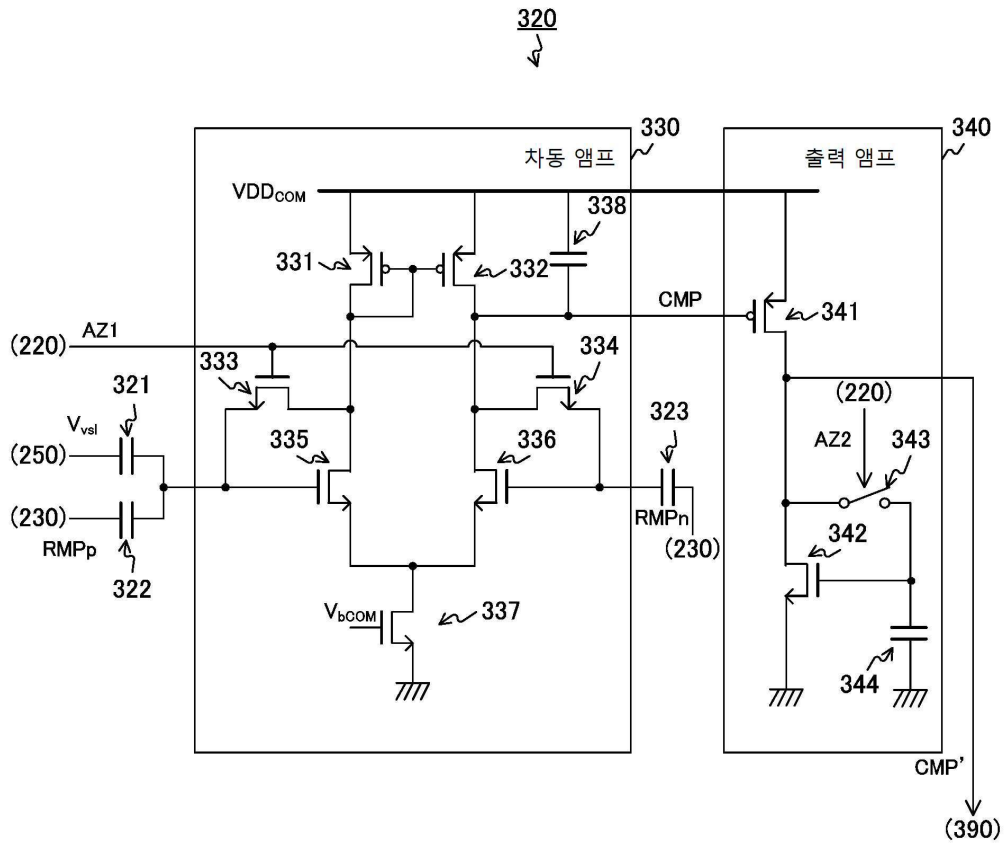
도면13



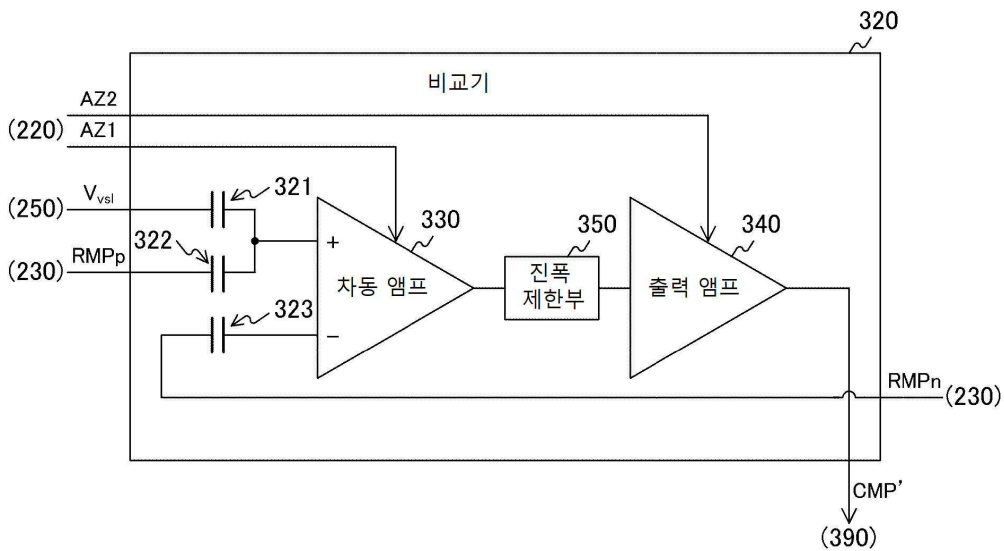
도면14



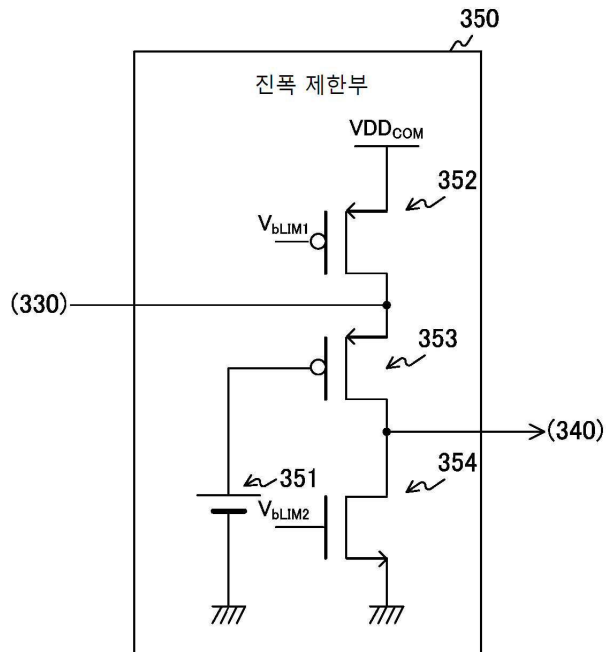
도면15



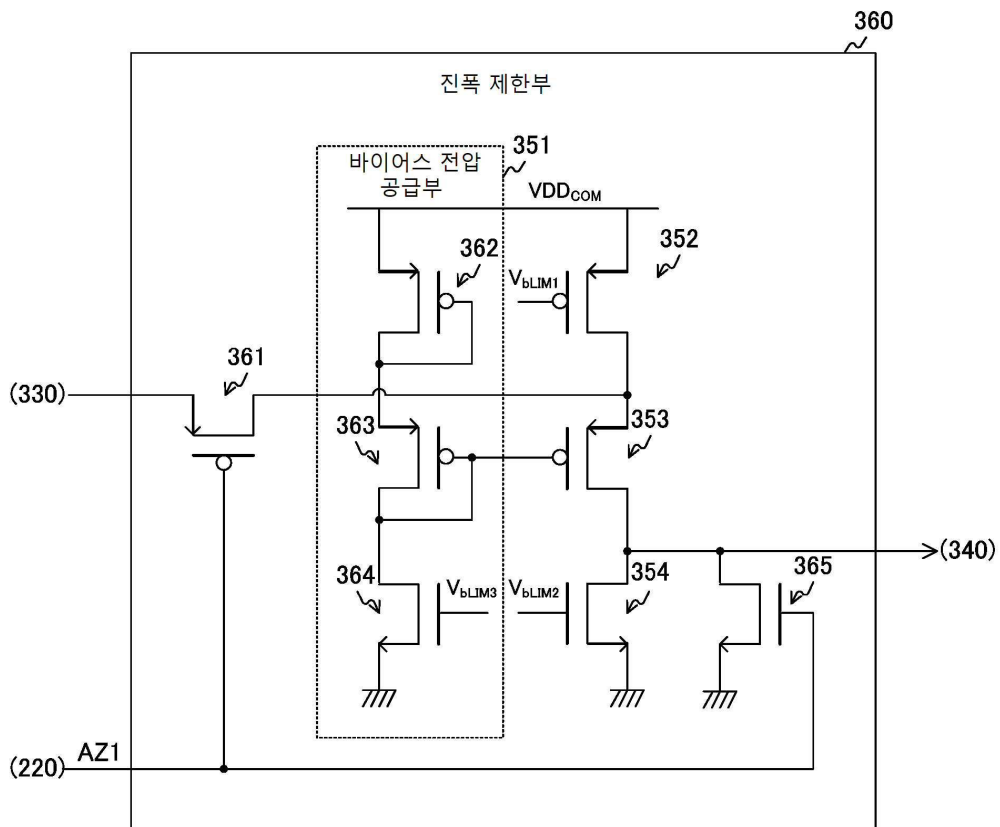
도면16



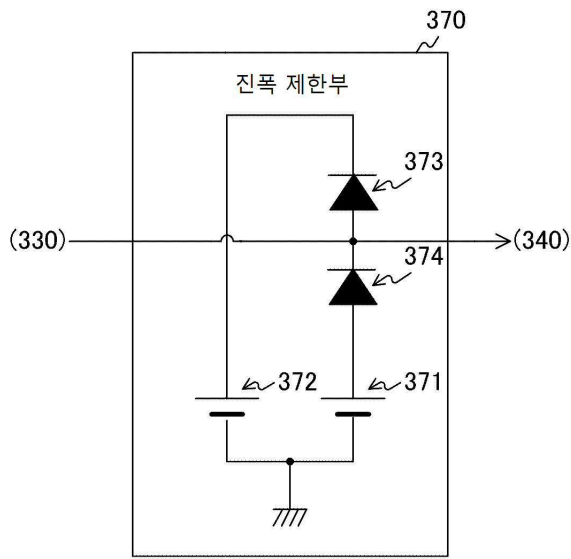
도면17



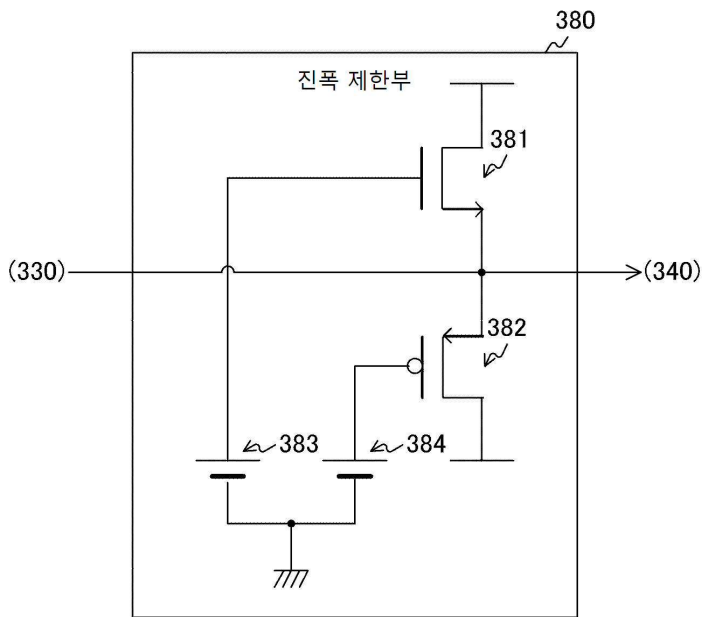
도면18



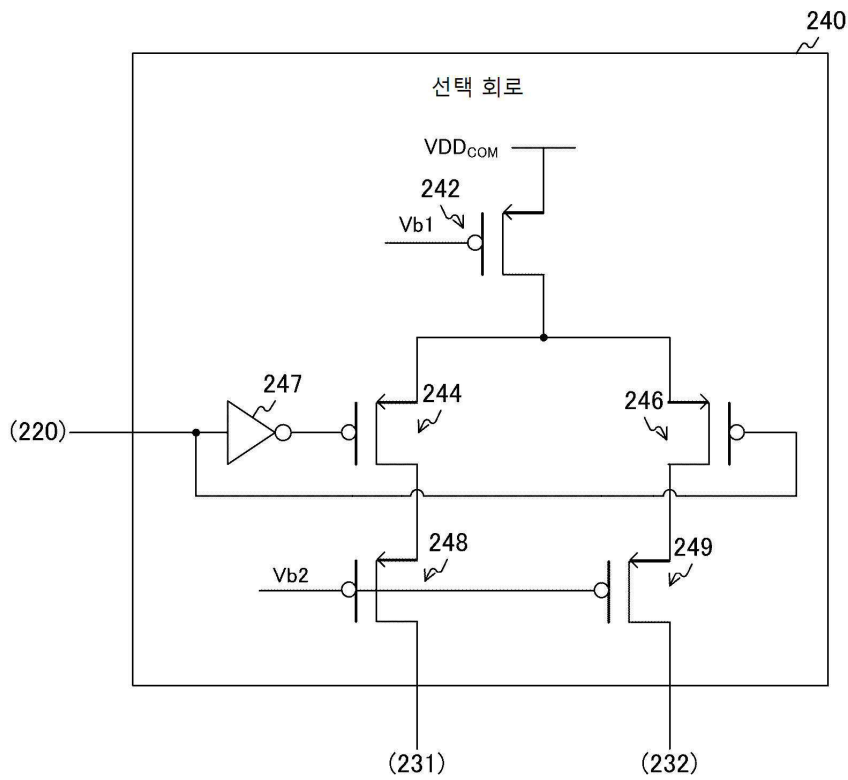
도면19



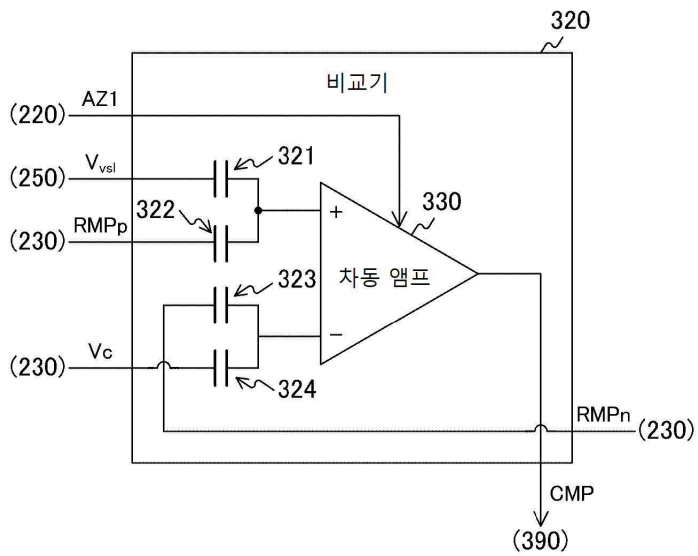
도면20



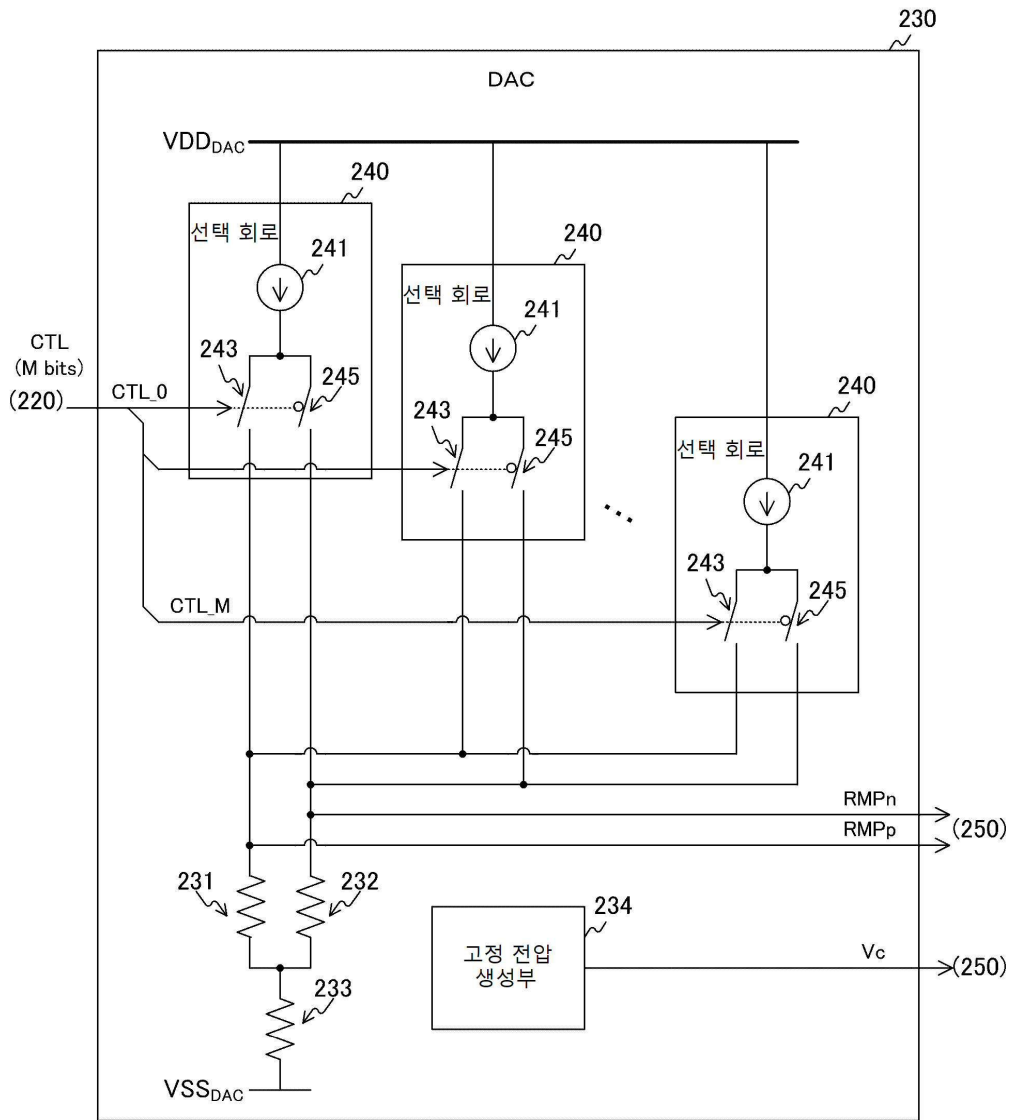
도면21



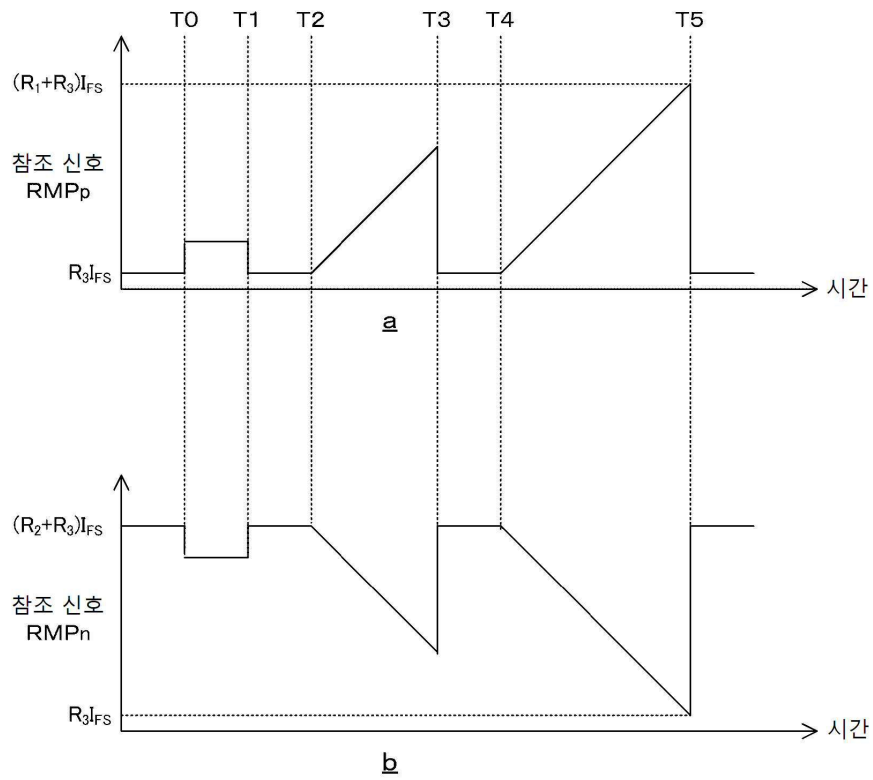
도면22



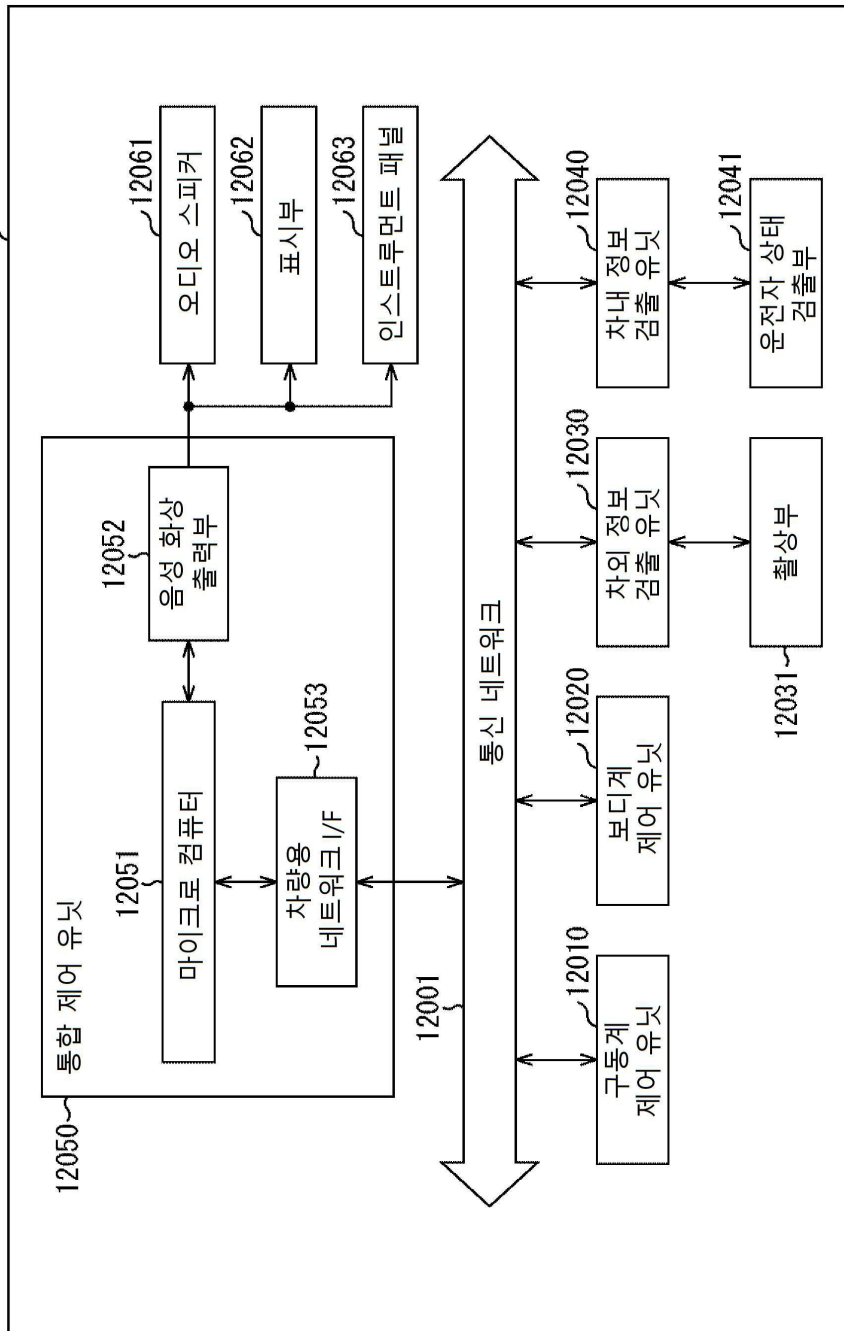
도면23



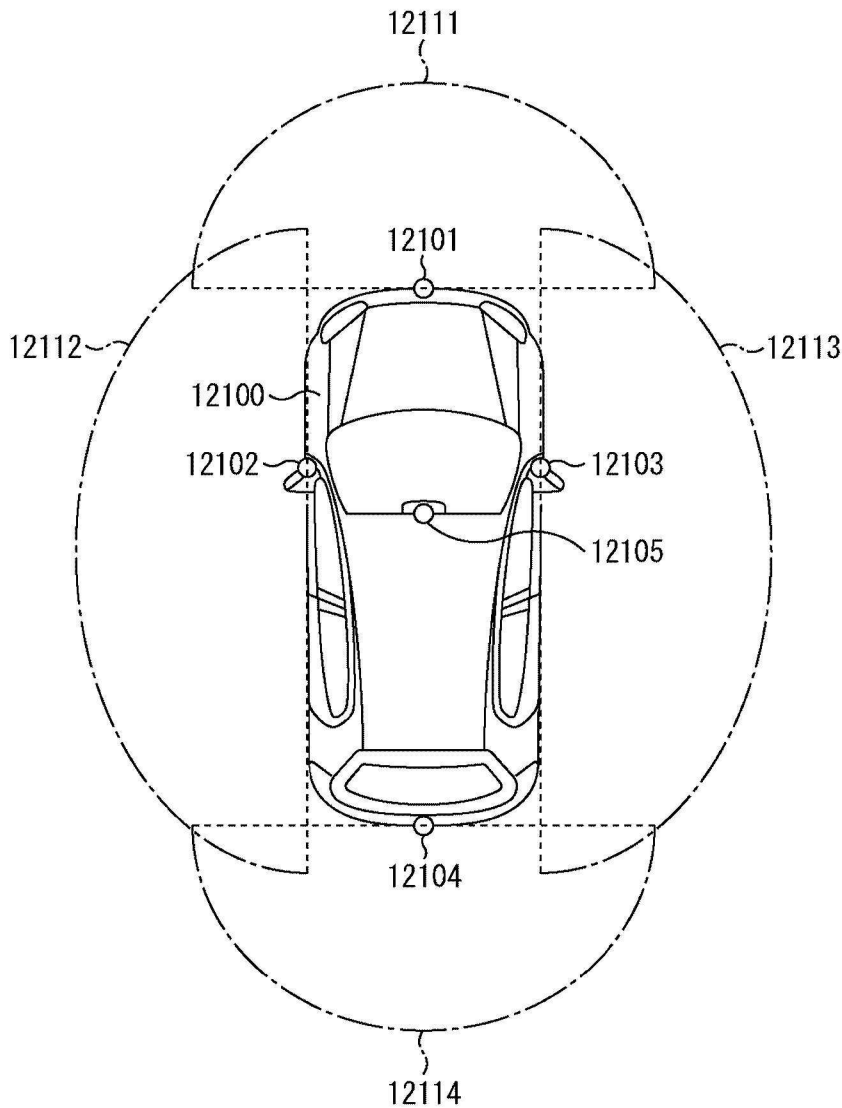
도면24



도면25



도면26



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 14

【변경전】

입사광의 광량에 기초한 화소 신호를 출력하는 화소부와, 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와, 화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와, 상기 비교부의 비교결과신호에 기초하여 카운트하는 카운터부를 구비하는 고체 촬상 소자의 제어 방법으로서,

상기 화소부에 의해 상기 화소 신호를 출력하는 단계와,

상기 참조 신호 공급부에 의해 상기 제1 참조 신호 및 제2 참조 신호를 생성하는 단계와,

상기 비교부에 의해 상기 비교결과신호를 생성하는 비교 단계와,

상기 비교 단계에 의해 생성된 상기 비교결과신호에 기초하여 상기 카운터부에 의해 카운트하는 카운트 단계를

구비하고,

상기 비교부는, 입력측 분압 회로를 더 구비하고,

상기 비교 단계에서는, 상기 입력측 분압 회로에 의해 상기 제1 참조 신호와 상기 화소 신호의 차분을 분압한 신호를 비교 대상 신호로서 상기 제1 차동쌍 트랜지스터에 공급하고, 상기 비교 대상 신호와 상기 제2 차동쌍 트랜지스터에 입력되는 상기 제2 참조 신호를 비교함으로써, 상기 비교결과신호를 생성하여 상기 카운터부에 출력하는 고체 촬상 소자의 제어 방법.

【변경후】

입사광의 광량에 기초한 화소 신호를 출력하는 화소부와, 제1 참조 신호 및 제2 참조 신호를 생성하는 참조 신호 공급부와, 화소 신호와 상기 제1 참조 신호에 기초한 신호가 입력되는 제1 차동쌍 트랜지스터 및 상기 제2 참조 신호가 입력되는 제2 차동쌍 트랜지스터를 포함하는 비교부와, 상기 비교부의 비교결과신호에 기초하여 카운트하는 카운터부를 구비하는 고체 촬상 소자의 제어 방법으로서,

상기 화소부에 의해 상기 화소 신호를 출력하는 단계와,

상기 참조 신호 공급부에 의해 상기 제1 참조 신호 및 제2 참조 신호를 생성하는 단계와,

상기 비교부에 의해 상기 비교결과신호를 생성하는 비교 단계와,

상기 비교 단계에 의해 생성된 상기 비교결과신호에 기초하여 상기 카운터부에 의해 카운트하는 카운트 단계를 구비하고,

상기 비교부는, 입력측 분압 회로를 더 구비하고,

상기 비교 단계에서는, 상기 입력측 분압 회로에 의해 상기 제1 참조 신호와 상기 화소 신호의 차분을 분압한 신호를 비교 대상 신호로서 상기 제1 차동쌍 트랜지스터에 공급하고, 상기 비교 대상 신호와 상기 제2 차동쌍 트랜지스터에 입력되는 상기 제2 참조 신호를 비교함으로써, 상기 비교결과신호를 생성하여 상기 카운터부에 출력하는 고체 촬상 소자의 제어 방법.