



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년08월24일

(11) 등록번호 10-1891862

(24) 등록일자 2018년08월20일

(51) 국제특허분류(Int. Cl.)

H01L 25/065 (2006.01) H01L 23/14 (2006.01)

H01L 23/498 (2006.01) H01L 23/538 (2006.01)

(21) 출원번호 10-2014-7025005

(22) 출원일자(국제) 2012년12월03일

심사청구일자 2017년12월01일

(85) 번역문제출일자 2014년09월04일

(65) 공개번호 10-2014-0111716

(43) 공개일자 2014년09월19일

(86) 국제출원번호 PCT/US2012/067543

(87) 국제공개번호 WO 2013/119309

국제공개일자 2013년08월15일

(30) 우선권주장

13/369,215 2012년02월08일 미국(US)

13/399,939 2012년02월17일 미국(US)

(56) 선행기술조사문현

KR1020090120167 A\*

US20020175421 A1\*

JP2004327474 A\*

US20090267238 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

자일링크스 인코포레이티드

미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100

(72) 발명자

우 에프렘 씨

미국 캘리포니아주 95124 산 호세 로직 드라이브 2100

바니자말리 바하레

미국 캘리포니아주 95124 산 호세 로직 드라이브 2100

차와례 라구난단

미국 캘리포니아주 95124 산 호세 로직 드라이브 2100

(74) 대리인

김태홍

전체 청구항 수 : 총 15 항

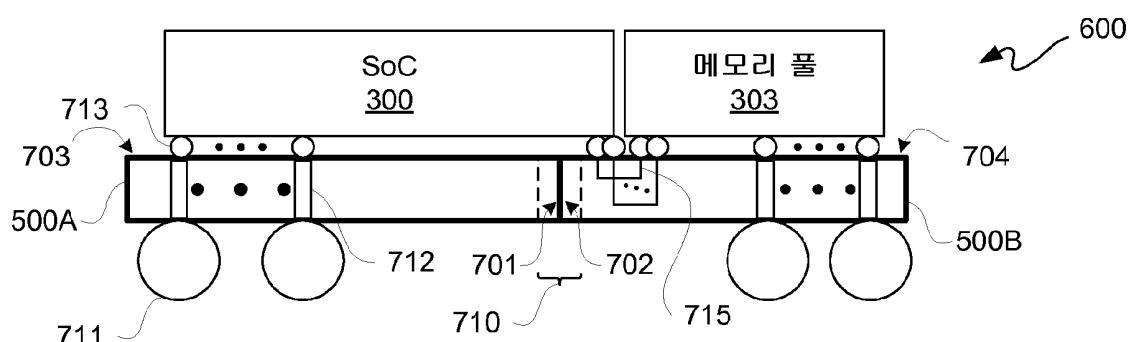
심사관 : 안경민

(54) 발명의 명칭 다수의 인터포저를 갖는 적층형 다이 조립체

**(57) 요약**

IC를 위한 적층형 다이 조립체는 제1 인터포저(500A); 제2 인터포저(500B); 제1 접적 회로 다이(300, 1110), 제1 접적 회로 다이(303), 및 복수의 구성 요소(713)를 포함한다. 제1 접적 회로 다이(300, 1110)는 제1 인터포저(500A) 및 제2 인터포저(500B)에 상호 접속되고, 제2 접적 회로 다이(303)는 제2 인터포저(500B)에 상호 접속(뒷면에 계속)

대 표 도 - 도7a



된다. 복수의 구성 요소(713)는 제1 접적 회로 다이(300, 1110)를 제1 인터포저(500A) 및 제2 인터포저(500B)에 상호 접속한다. 신호가 제1 접적 회로 다이 및 복수의 구성 요소를 통해 제1 인터포저와 제2 인터포저 사이에 라우팅된다. 몇몇 예시적인 조립체에서, 제1 접적 회로 다이를 제1 인터포저 및 제2 인터포저에 상호 접속하는 복수의 구성 요소는 제1 인터포저 및 제2 인터포저의 상호 접속 제한된 영역(710) 외부에 위치되고, 신호가 제1 접적 회로 다이 및 복수의 구성 요소를 통해 제1 인터포저와 제2 인터포저 사이에 라우팅되어, 제1 인터포저 및 제2 인터포저의 상호 접속 제한된 영역을 회피한다. 이들 조립체를 형성하는 방법이 또한 설명된다.

---

## 명세서

### 청구범위

#### 청구항 1

조립체로서,

제1 인터포저 - 상기 제1 인터포저는 제1 오프셋 영역을 가짐 -;

제2 인터포저 - 상기 제2 인터포저는 제2 오프셋 영역을 가짐 -;

상기 제1 인터포저 및 상기 제2 인터포저에 상호 접속된 제1 접적 회로 다이;

상기 제2 인터포저에 상호 접속된 제2 접적 회로 다이; 및

상기 제1 접적 회로 다이를 상기 제1 인터포저 및 상기 제2 인터포저에 상호 접속하는 복수의 구성 요소를 포함하고,

신호가 상기 제1 접적 회로 다이 및 상기 복수의 구성 요소를 통해 상기 제1 인터포저와 상기 제2 인터포저 사이에 라우팅되고, 신호가 상기 제2 오프셋 영역의 외부에 있는 상기 제2 인터포저의 복수의 도전성 라인을 통해 상기 제1 접적 회로 다이와 상기 제2 접적 회로 다이 사이에 라우팅되고,

상기 제1 인터포저와 제2 인터포저는 동일한 기판으로부터의 단일 플랫폼인 것인 조립체.

#### 청구항 2

제1항에 있어서,

상기 제1 인터포저와 상기 제2 인터포저는 상기 제1 접적 회로 다이 및 상기 복수의 구성 요소를 통해 서로 결합된 별개의 다이인 것인 조립체.

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 복수의 구성 요소는 복수의 다이-대-다이(die-to-die) 상호 접속부를 포함하고,

상기 복수의 다이-대-다이 상호 접속부의 제1 부분은 상기 제1 접적 회로 다이를 상기 제1 인터포저에 상호 접속하고,

상기 복수의 다이-대-다이 상호 접속부의 제2 부분은 상기 제1 접적 회로 다이를 상기 제2 인터포저에 상호 접속하고,

상기 복수의 다이-대-다이 상호 접속부의 제1 부분 및 제2 부분은 상기 제2 오프셋 영역의 대향 측면들 상에 배치되고,

상기 복수의 다이-대-다이 상호 접속부의 제3 부분은 상기 제2 접적 회로 다이를 상기 제2 인터포저에 상호 접속하고,

상기 제2 인터포저의 복수의 도전성 라인의 부분은 상기 제1 접적 회로 다이를 상기 제2 접적 회로 다이에 상호 접속하기 위해 상기 복수의 다이-대-다이 상호 접속부의 제2 부분 및 상기 복수의 다이-대-다이 상호 접속부의 제3 부분에 결합되고,

상기 복수의 다이-대-다이 상호 접속부의 제2 부분은 상기 제2 오프셋 영역의 외부에 위치되는 것인 조립체.

#### 청구항 5

제1항에 있어서,

상기 제1 오프셋 영역은 상기 제1 인터포저의 제1 에지와 경계가 접해 있는 제1 경계부를 가지며,

상기 제2 오프셋 영역은 상기 제2 인터포저의 제2 에지와 경계가 접해 있는 제2 경계부를 가지는 것인 조립체.

#### 청구항 6

제1항에 있어서, 상기 제1 오프셋 영역 및 상기 제2 오프셋 영역은 미세 피치 상호 접속부를 제공하기 위해 사용된 어떠한 금속층 및 어떠한 비아층도 포함하지 않는 것인 조립체.

#### 청구항 7

제1항에 있어서,

상기 제1 인터포저는 제1 마스크 세트를 사용하여 형성되고,

상기 제2 인터포저는 제2 마스크 세트를 사용하여 형성되고,

상기 제1 마스크 세트는 상기 제1 접적 회로 다이와는 상이한 유형의 접적 회로를 위한 것인 제2 접적 회로로 다이에 적어도 부분적으로 응답하는 제2 마스크 세트와는 상이한 것인 조립체.

#### 청구항 8

제7항에 있어서,

상기 제1 인터포저의 제1 높이는 상기 제2 인터포저의 제2 높이와 동일하며,

상기 제1 인터포저의 제1 폭 및 상기 제2 인터포저의 제2 폭은 모두 동일한 리소그래피 최대 폭 이하인 것인 조립체.

#### 청구항 9

제1항에 있어서,

상기 제2 접적 회로 다이는 메모리 다이의 수직 스택을 포함하고,

상기 제2 접적 회로 다이는 메모리 다이의 수직 스택을 위한 인터페이스 로직을 포함하는 것인 조립체.

#### 청구항 10

제1항에 있어서,

상기 제1 인터포저 및 상기 제2 인터포저에 결합된 칩-대-칩 커넥터를 더 포함하는 조립체.

#### 청구항 11

제1항에 있어서,

상기 제1 인터포저 및 상기 제2 인터포저가 위치되는 패키징 재료를 더 포함하는 조립체.

#### 청구항 12

제1항에 있어서,

상기 제1 접적 회로 다이를 상기 제1 인터포저 및 상기 제2 인터포저에 상호 접속하는 상기 복수의 구성 요소는 미세 피치 상호 접속부를 포함하는 것인 조립체.

#### 청구항 13

삭제

#### 청구항 14

삭제

**청구항 15**

삭제

**청구항 16**

조립체를 형성하는 방법으로서,

제1 인터포저 및 제2 인터포저를 동일한 기판 상에 단일 플랫폼으로서 형성하는 단계;

복수의 구성 요소를 사용하여 제1 접적 회로 다이를 상기 제1 인터포저 및 상기 제2 인터포저에 상호 접속시키는 단계 - 상기 제1 인터포저는 제1 오프셋 영역을 가지며, 상기 제2 인터포저는 제2 오프셋 영역을 가짐 -;

상기 복수의 구성 요소를 사용하여 제2 접적 회로 다이를 상기 제2 인터포저에 상호 접속시키는 단계;

상기 제1 접적 회로 다이 및 상기 복수의 구성 요소를 통해 상기 제1 인터포저와 상기 제2 인터포저 사이에 신호를 라우팅하는 단계;

상기 제2 오프셋 영역 외부에 있는 상기 제2 인터포저의 도전성 라인을 통해 상기 제1 접적 회로 다이와 상기 제2 접적 회로 다이 사이에 신호를 라우팅하는 단계

를 포함하는 조립체의 형성 방법.

**청구항 17**

삭제

**청구항 18**

제16항에 있어서, 상기 제1 인터포저 및 상기 제2 인터포저를 패키징 재료로 몰딩하는 단계를 더 포함하는 조립체의 형성 방법.

**청구항 19**

제16항에 있어서,

상기 제1 접적 회로 다이는 상기 제2 접적 회로 다이와 제3 접적 회로 다이 사이에 통신 브리지를 제공하는 것인 조립체의 형성 방법.

**청구항 20**

제16항에 있어서,

상기 제1 접적 회로 다이를 상기 제1 인터포저와 상기 제2 인터포저에 상호 접속시키는 단계는, 상기 복수의 구성 요소의 제1 미세 피치 다이-대-다이 상호 접속부를 통해 이루어지며,

상기 제2 접적 회로 다이를 상기 제2 인터포저에 상호 접속시키는 단계는, 복수의 구성 요소의 제2 미세 피치 다이-대-다이 상호 접속부를 통해 이루어지는 것인 조립체의 형성 방법.

**발명의 설명****기술 분야**

[0001] 본 발명은 접적 회로 디바이스(integrated circuit device: "IC")에 관한 것이다. 더 구체적으로, 본 발명은 다수의 인터포저(interposer)를 포함하는 IC용 적층형 다이 조립체(stacked die assembly)에 관한 것이다.

**배경 기술**

[0002] 접적 회로는 시간이 갈수록 더 "조밀(dense)"해지고 있는 데, 즉 더 많은 로직 특징부들이 IC에 구현되고 있다. 더 최근에, 적층형-실리콘 상호 접속 기술(Stacked-Silicon Interconnect Technology: "SSIT")은 하나 초과의 반도체 다이가 단일의 패키지 내에 배치되게 한다. SSIT IC는 통신 대역폭을 위한 증가된 수요를 다루는 데 사용될 수도 있다. 그러나, SSIT를 사용하는 IC가 하나 초과의 다이를 갖더라도, 이러한 IC는 편 제약에 기인하

여 여전히 상당한 대역폭 제한을 갖는다.

## 발명의 내용

### 해결하려는 과제

[0003] 따라서, 적은 대역폭 제한을 갖는 SSIT IC를 제공하는 것이 바람직하다.

### 과제의 해결 수단

[0004] IC를 위한 적층형 다이 조립체는 제1 인터포저; 제2 인터포저; 제1 집적 회로 다이, 제2 집적 회로 다이, 및 복수의 구성 요소를 포함한다. 제1 집적 회로 다이는 제1 인터포저 및 제2 인터포저에 상호 접속되고, 제2 집적 회로 다이는 제2 인터포저에 상호 접속된다. 복수의 구성 요소는 제1 집적 회로 다이를 제1 인터포저 및 제2 인터포저에 상호 접속한다. 신호가 제1 집적 회로 다이 및 복수의 구성 요소를 통해 제1 인터포저와 제2 인터포저 사이에 라우팅된다.

[0005] 몇몇 예시적인 조립체에서, 제1 집적 회로 다이를 제1 인터포저 및 제2 인터포저에 상호 접속하는 복수의 구성 요소는 제1 인터포저 및 제2 인터포저의 상호 접속 제한된 영역 외부에 위치되고, 제1 집적 회로 다이와 복수의 구성 요소를 통해 제1 인터포저와 제2 인터포저 사이에 라우팅된 신호는 제1 인터포저 및 제2 인터포저의 상호 접속 제한된 영역을 회피한다.

[0006] 조립체는 제1 인터포저에 결합된 제3 집적 회로 다이를 더 포함하고, 여기서 제1 집적 회로 다이는 제2 집적 회로 다이와 제3 집적 회로 다이 사이에 통신 브리지를 제공한다.

[0007] 제2 인터포저는 복수의 도전성 라인을 포함할 수 있다. 복수의 구성 요소는 복수의 다이-대-다이 상호 접속부를 포함할 수 있다. 복수의 다이-대-다이 상호 접속부의 제1 부분은 제1 집적 회로 다이를 제1 인터포저에 상호 접속할 수 있다. 복수의 다이-대-다이 상호 접속부의 제2 부분은 제1 집적 회로 다이를 제2 인터포저에 상호 접속할 수 있다. 복수의 다이-대-다이 상호 접속부의 제1 부분 및 제2 부분은 상호 접속 제한된 영역의 대향 측면들 상에 배치될 수 있다. 복수의 다이-대-다이 상호 접속부의 제3 부분은 제2 집적 회로 다이를 제2 인터포저에 상호 접속할 수 있다. 제2 인터포저의 복수의 도전성 라인의 부분은 제1 집적 회로 다이를 제2 집적 회로 다이에 상호 접속하기 위해 복수의 다이-대-다이 상호 접속부의 제2 부분 및 복수의 다이-대-다이 상호 접속부의 제3 부분에 결합될 수 있다. 복수의 다이-대-다이 상호 접속부의 제2 부분은 상호 접속 제한된 영역 외부에 위치되고, 복수의 도전성 라인의 부분은 상호 접속 제한된 영역과 연관된 제2 인터포저의 오프셋 영역의 외부에 위치될 수 있다.

[0008] 제1 인터포저의 제1 에지 및 제2 인터포저의 제2 에지는 서로 맞접하기 위해 실질적으로 나란히 위치될 수 있다. 제1 인터포저는 제1 에지와 경계가 접해 있는 제1 경계부를 갖는 상호 접속 제한된 영역과 연관된 제1 오프셋 영역을 포함할 수 있다. 제2 인터포저는 제2 에지와 경계가 접해 있는 제2 경계부를 갖는 상호 접속 제한된 영역과 연관된 제2 오프셋 영역을 포함할 수 있다.

[0009] 상호 접속 제한된 영역은 미세 피치 상호 접속부를 제공하기 위해 사용된 어떠한 금속층 및 어떠한 비아층(via layer)도 포함하지 않을 수 있다.

[0010] 제1 인터포저는 제1 마스크 세트를 사용하여 형성될 수 있고, 반면 제2 인터포저는 제2 마스크 세트를 사용하여 형성될 수 있다. 제1 마스크 세트는 제1 집적 회로 다이와는 상이한 유형의 집적 회로를 위한 것인 제2 집적 회로 다이에 적어도 부분적으로 응답하는 제2 마스크 세트와는 실질적으로 상이할 수 있다.

[0011] 제1 인터포저의 제1 높이는 제2 인터포저의 제2 높이와 실질적으로 동일할 수 있다. 제1 인터포저의 제1 폭 및 제2 인터포저의 제2 폭은 모두 동일한 리소그래픽 최대폭 이하일 수 있다.

[0012] 제2 집적 회로 다이는 메모리 다이의 수직 스택 및 메모리 다이의 수직 스택을 위한 인터페이스 로직을 포함할 수 있다.

[0013] 조립체의 형성 방법이 또한 설명된다. 방법은 복수의 구성 요소를 사용하여 제1 인터포저 및 제2 인터포저에 제1 집적 회로 다이를 상호 접속하는 것; 복수의 구성 요소를 사용하여 제2 인터포저에 제2 집적 회로 다이를 상호 접속하는 것; 및 제1 집적 회로 다이와 복수의 구성 요소를 통해 제1 인터포저와 제2 인터포저 사이에 신호를 라우팅하는 것을 포함한다.

- [0014] 몇몇 예시적인 방법은 제1 인터포저 및 제2 인터포저의 각각의 부분을 보류하여 상호 접속 제한된 영역을 제공하는 것을 또한 포함한다. 제1 접적 회로 다이를 제1 인터포저 및 제2 인터포저에 상호 접속하는 복수의 구성 요소는 제1 인터포저 및 제2 인터포저의 상호 접속 제한된 영역의 외부에 위치될 수 있다. 제1 인터포저와 제2 인터포저 사이에 신호를 라우팅하는 것은 제1 인터포저 및 제2 인터포저의 상호 접속 제한된 영역을 회피하는 것을 포함할 수 있다.
- [0015] 방법은 제1 인터포저에 제3 접적 회로 다이를 상호 접속하는 것을 더 포함할 수 있고, 여기서 제1 접적 회로 다이는 제2 접적 회로 다이와 제3 접적 회로 다이 사이에 통신 브리지를 제공한다.
- [0016] 방법은 제1 마스크 세트를 사용하여 제1 인터포저를 형성하는 것 및 제2 마스크 세트를 사용하여 제2 인터포저를 형성하는 것을 더 포함할 수 있다. 제1 마스크 세트는 제1 접적 회로 다이와는 상이한 유형의 접적 회로를 위한 것인 제2 접적 회로 다이에 적어도 부분적으로 응답하여 제2 마스크 세트와는 실질적으로 상이할 수 있다.
- [0017] 제1 인터포저의 제1 높이는 제2 인터포저의 제2 높이에 실질적으로 동일할 수 있다. 제1 인터포저의 제1 폭 및 제2 인터포저의 제2 폭은 모두 동일한 리소그래픽 최대 폭 이하일 수 있다.
- [0018] 제2 접적 회로 다이는 메모리 인터페이스 다이를 포함할 수 있다. 방법은 메모리 인터페이스 다이에 메모리 다이의 수직 스택을 상호 접속하는 것을 더 포함할 수 있다. 제2 접적 회로 다이는 메모리 다이의 수직 스택을 위한 인터페이스 로직을 포함할 수 있다.

### 도면의 간단한 설명

- 도 1은 예시적인 칼럼형 필드 프로그램가능 게이트 어레이(Field Programmable Gate Array: "FPGA") 아키텍처를 도시하고 있는 개략 블록 다이어그램이다.
- 도 2는 예시적인 통신 라인 카드를 도시하고 있는 블록 다이어그램이다.
- 도 3은 예시적인 통신 시스템을 도시하고 있는 블록 다이어그램이다.
- 도 4는 다른 예시적인 통신 시스템을 도시하고 있는 블록 다이어그램이다.
- 도 5는 예시적인 단일의 인터포저 다이를 도시하고 있는 블록 다이어그램이다.
- 도 6a은 예시적인 적층형 다이 조립체를 도시하고 있는 블록 다이어그램이다.
- 도 6b는 다른 예시적인 적층형 다이 조립체를 도시하고 있는 블록 다이어그램이다.
- 도 6c는 또 다른 예시적인 적층형 다이 조립체를 도시하고 있는 블록 다이어그램이다.
- 도 7a는 도 6a, 도 6b 또는 도 6c의 임의의 적층형 다이 조립체의 예시적인 단면도를 도시하고 있는 블록 다이어그램이다.
- 도 7b는 다른 적층형 다이 조립체의 단면도를 도시하고 있는 블록 다이어그램이다.
- 도 7c는 또 다른 예시적인 적층형 다이 조립체의 단면도를 도시하고 있는 블록 다이어그램이다.
- 도 8은 인터포저 조립체의 평면도를 도시하고 있는 블록 다이어그램이다.
- 도 9a는 예시적인 웨이퍼를 도시하고 있는 블록 다이어그램이다.
- 도 9b는 다른 예시적인 웨이퍼를 도시하고 있는 블록 다이어그램이다.
- 도 10a는 또 다른 예시적인 적층형 다이 조립체의 단면도를 도시하고 있는 블록 다이어그램이다.
- 도 10b는 또 다른 예시적인 적층형 다이 조립체의 단면도를 도시하고 있는 블록 다이어그램이다.
- 도 11은 하나 이상의 적층형 다이 조립체를 형성하기 위한 예시적인 프로세스를 도시하고 있는 흐름도이다.
- 도 12는 제1 예시적인 접적 회로(IC) 구조체의 지형도를 도시하고 있는 블록 다이어그램이다.
- 도 13a는 도 12의 IC 구조체의 측단면도를 도시하고 있는 블록 다이어그램이다.
- 도 13b는 도 13a에 도시되어 있는 IC 구조체의 부분의 확대도를 도시하고 있는 블록 다이어그램이다.
- 도 14는 제2 예시적인 IC 구조체의 지형도를 도시하고 있는 블록 다이어그램이다.

도 15는 도 14의 IC 구조체의 측단면도를 도시하고 있는 블록 다이어그램이다.

도 16은 도 14의 IC 구조체의 다른 측단면도를 도시하고 있는 블록 다이어그램이다.

도 17은 제3 예시적인 IC 구조체의 지형도를 도시하고 있는 블록 다이어그램이다.

### 발명을 실시하기 위한 구체적인 내용

[0020]

이하의 설명에서, 수많은 특정 상세들이 본 발명의 더 칠자한 설명을 제공하기 위해 설명된다. 그러나, 본 발명은 이하에 제공된 모든 특정 상세 없이 실시될 수도 있다는 것이 당 기술 분야의 숙련자에게 명백할 것이다. 다른 경우에, 공지의 특징들은 예들을 불명료하게 하지 않기 위해 상세히 설명되어 있지 않다. 용이한 도시를 위해, 동일한 도면 부호가 동일한 아이템을 나타내기 위해 상이한 도면에 사용되지만, 대안 실시예에서 아이템은 상이할 수도 있다.

[0021]

다수의 도면에 예시적으로 도시되어 있는 예들을 설명하기 전에, 일반적인 소개가 추가의 이해를 위해 제공된다.

[0022]

종래, DDR3 또는 DDR4 DRAM을 갖는 메모리 풀 또는 직렬 링크를 갖는 메모리는 펈 제한되어 있고, 이는 IC의 대역폭을 제한한다. 예를 들어, 현재 라인측 대역폭은 대략 초당 200 기가바이트("Gbps")이지만, 차세대 디바이스들은 대략 400 Gbps의 라인측 대역폭을 가질 수도 있다. 400 Gbps를 지원하기 위해, DDR 메모리는 대략 초당 1.2 테라바이트("Tbps") 정도의 대역폭을 가질 수도 있다. 불행하게도, 종래의 접근법을 사용하여 1.2 Tbps를 지원하기 위한 FPGA 상의 충분한 DDR 메모리 펈이 존재하지 않는다. 한정이 아니라 예로서, 직렬 I/O를 갖는 DRAM과 같은 직렬 메모리는 200 Gbps를 지원하기 위해 전력, 접지 및 다른 기준 펈에 추가하여 256개의 신호 펈을 포함하는 64개의 송수신기를 사용할 수도 있다. 대역폭에 대한 다른 제한은 라인측 및 시스템측 직렬화기-역직렬화기(serializer-deserializer: "SERDES")에 이용 가능한 펈들의 양을 처리해야 한다. 측으로서, 시스템측 대역폭은 라인측 대역폭보다 상당히 크고, 따라서 시스템측 인터페이스는 부가의 펈으로부터 더 많이 이익을 얻을 것이다.

[0023]

적층형-실리콘 상호 접속 기술("SSIT")에서, 하나 초과의 능동 다이는, 이러한 인터포저가 능동 인터포저이든 또는 수동 인터포저이든, 인터포저 또는 캐리어 다이에 결합될 수도 있다. 한정이 아니라 명료화를 위해, 수동 인터포저가 사용되는 것으로 가정될 수 있지만, 그럼에도 다른 실시예에서는 능동 인터포저가 사용될 수도 있다. 또한, 종래, SSIT에서도, 인터포저 영역은 예를 들어 400 Gbps 용례를 위한 충분한 대역폭을 얻기 위한 충분한 펈 카운트를 제공하기에 너무 작았다.

[0024]

그러나, 본 명세서에 설명된 바와 같은 인터포저 조립체를 갖는 SSIT를 채용함으로써, 더 많은 펈 사이트가 리소그래피 인쇄 사이즈 제한에도 이용 가능하다. 따라서, 더 대형의 반도체 다이에서도, 예를 들어 단일의 IC 패키지 내부에 적어도 하나의 다른 다이를 갖는 1 기가바이트 초과의 DDR DRAM을 포함하는 것이 가능하다.

[0025]

상기 일반적인 이해를 명심하여, 적층형 다이 조립체의 다양한 예가 일반적으로 이하에 설명된다. 전술된 실시 예들 중 하나 이상은 특정 유형의 IC를 사용하여 예시되기 때문에, 이러한 IC의 상세한 설명이 이하에 제공된다. 그러나, 다른 유형의 IC가 또한 본 명세서에 설명된 기술로부터 이익을 얻을 수도 있다는 것이 이해되어야 한다.

[0026]

프로그램가능 로직 디바이스(programmable logic device: "PLD")는 지정된 로직 기능을 수행하도록 프로그램될 수 있는 공지의 유형의 집적 회로이다. 일 유형의 PLD인 필드 프로그램가능 게이트 어레이("FPGA")는 통상적으로 프로그램가능 타일의 어레이를 포함한다. 이를 프로그램가능 타일은 예를 들어 입출력 블록(input/output block: "IOB"), 구성가능 로직 블록(configurable logic block: "CLB"), 전용 랜덤 액세스 메모리 블록(dedicated random access memory block: "BRAM"), 멀티플라이어, 디지털 신호 프로세싱 블록(digital signal processing block: "DSP"), 프로세서, 클럭 관리자, 지연 동기 루프(delay lock loop: "DLL") 등을 포함할 수 있다. 본 명세서에 사용될 때, "포함한다" 및 "포함하는"은 비한정적인 포함을 의미한다.

[0027]

각각의 프로그램가능 타일은 통상적으로 프로그램가능 상호 접속부 및 프로그램가능 로직의 모두를 포함한다. 프로그램가능 상호 접속부는 통상적으로 프로그램가능 상호 접속 펈(programmable interconnect point: "PIP")에 의해 상호 접속된 다양한 길이의 다수의 상호 접속 라인을 포함한다. 프로그램가능 로직은 예를 들어 기능 발생기, 레지스터, 산술 로직 등을 포함할 수 있는 프로그램가능 소자를 사용하여 사용자 디자인의 로직을 구현한다.

- [0028] 프로그램가능 상호 접속부 및 프로그램가능 로직은 통상적으로 어떻게 프로그램가능 소자가 구성되는지를 규정하는 내부 구성 메모리 셀 내로 구성의 스트립을 로딩함으로써 프로그램된다. 구성 데이터는 메모리로부터(예를 들어, 외장 PROM으로부터) 관독되거나 외부 디바이스에 의해 FPGA 내에 기입될 수 있다. 개별 메모리 셀의 집단 상태가 이어서 FPGA의 기능을 결정한다.
- [0029] 다른 유형의 PLD는 복합 프로그램가능 로직 디바이스(Complex Programmable Logic Device) 또는 CPLD이다. CPLD는 함께 그리고 상호 접속 스위치 매트릭스에 의해 입출력("I/O") 리소스에 접속된 2개 이상의 "기능 블록"을 포함한다. CPLD의 각각의 기능 블록은 프로그램가능 로직 어레이(Programmable Logic Array: "PLA") 및 프로그램가능 어레이 로직(Programmable Array Logic: "PAL") 디바이스에 사용되는 것들과 유사한 2-레벨 AND/OR 구조를 포함한다. CPLD에서, 구성 데이터는 통상적으로 비휘발성 메모리 내에 온-칩 저장된다. 몇몇 CPLD에서, 구성 데이터는 비휘발성 메모리 내에 온-칩 저장되고, 이어서 초기 구성(프로그래밍) 시퀀스의 부분으로서 휘발성 메모리에 다운로드된다.
- [0030] 모든 이들 프로그램가능 로직 디바이스("PLD")에서, 디바이스의 기능성은 그 목적으로 디바이스에 제공된 데이터 비트에 의해 수집된다. 데이터 비트는 휘발성 메모리(예를 들어, FPGA 및 몇몇 CPLD에서와 같이, 정적 메모리 셀) 내에, 비휘발성 메모리(예를 들어, 몇몇 CPLD에서와 같이 플래시 메모리) 내에, 또는 임의의 다른 유형의 메모리 셀 내에 저장될 수 있다.
- [0031] 다른 PLD는 디바이스 상에 다른 소자를 프로그램가능하게 상호 접속하는 금속층과 같은 프로세싱층을 적용함으로써 프로그램된다. 이들 PLD는 마스크 프로그램가능 디바이스로서 공지되어 있다. PLD는 또한 다른 방식으로, 예를 들어 퓨즈(fuse) 또는 안티퓨즈(antifuse) 기술을 사용하여 구현될 수 있다. 용어 "PLD" 및 "프로그램가능 로직 디바이스"는 이들 예시적인 디바이스들, 뿐만 아니라 단지 부분적으로만 프로그램가능한 디바이스들을 포함하지만, 이들에 한정되는 것은 아니다. 예를 들어, 일 유형의 PLD는 하드-코딩된 트랜지스터로직과 하드-코딩된 트랜지스터 로직을 프로그램가능하게 상호 접속하는 프로그램가능 스위치 패브릭(fabric)의 조합을 포함한다.
- [0032] 전술된 바와 같이, 진보형 FPGA는 어레이 내에 다수의 상이한 유형의 프로그램가능 로직 블록을 포함할 수 있다. 예를 들어, 도 1은 멀티-기가바이트 송수신기(multi-gigabit transceiver: "MGT")(101), 구성가능 로직 블록("CLB")(102), 랜덤 액세스 메모리 블록(random access memory block: "BRAM")(103), 입출력 블록(input/output block: "IOB")(104), 구성 및 클럭킹 로직("CONFIG/CLOCKS")(105), 디지털 신호 프로세싱 블록("DSP")(106), 특정화된 입출력 블록("I/O")(107)(예를 들어, 구성 포트 및 클럭 포트), 및 디지털 클럭 관리자, 아날로그-디지털 변환기, 시스템 모니터링 로직 등과 같은 다른 프로그램가능 로직(108)을 포함하는 다수의 상이한 프로그램가능 타일들을 포함하는 FPGA 아키텍처(100)를 도시하고 있다. 몇몇 FPGA는 전용 프로세서 블록("PROC")(110)을 또한 포함한다.
- [0033] 몇몇 FPGA에서, 각각의 프로그램가능 타일은 각각의 인접한 타일 내의 대응 상호 접속 소자로의 그리고 상호 접속 소자로부터의 표준화된 접속부들을 갖는 프로그램가능 상호 접속 소자("INT")(111)를 포함한다. 따라서, 프로그램가능 상호 접속 소자들은 예시된 FPGA를 위한 프로그램가능 상호 접속 구조체를 함께 구현한다. 프로그램가능 상호 접속 소자(111)는 도 1의 상부에 포함된 예들에 의해 도시되어 있는 바와 같이, 동일한 타일 내의 프로그램가능 로직 소자로의 그리고 로직 소자로부터의 접속부를 또한 포함한다.
- [0034] 예를 들어, CLB(102)는 사용자 로직에 더하여 단일의 프로그램가능 상호 접속 소자("INT")(111)를 구현하도록 프로그램될 수 있는 구성가능 로직 소자("CLE")(112)를 포함할 수 있다. BRAM(103)은 하나 이상의 프로그램가능 상호 접속 소자에 추가하여 BRAM 로직 소자("BRL")(113)를 포함할 수 있다. 통상적으로, 타일 내에 포함된 상호 접속 소자들의 수는 타일의 높이에 의존한다. 도시되어 있는 실시예에서, BRAM 타일은 5개의 CLB와 동일한 높이를 갖지만, 다른 수(예를 들어, 4개)가 또한 사용될 수 있다. DSP 타일(106)은 적절한 수의 프로그램가능 상호 접속 소자에 추가하여 DSP 로직 소자("DSPL")(114)를 포함할 수 있다. IOB(104)는 예를 들어 프로그램가능 상호 접속 소자(111)의 일 인스턴스(instance)에 추가하여 입출력 논리 소자("IOL")(115)의 2개의 인스턴스를 포함할 수 있다. 당 기술 분야의 숙련자들에게 명백할 수 있는 바와 같이, 예를 들어 I/O 로직 소자(115)에 접속된 실제 I/O 패드는 통상적으로 입출력 로직 소자(115)의 영역에 국한되지 않는다.
- [0035] 도시되어 있는 실시예에서, 다이(도 1에 도시되어 있음)의 중앙 부근의 수평 영역은 구성, 클럭 및 다른 제어 로직을 위해 사용된다. 이 수평 영역 또는 칼럼(column)으로부터 연장하는 수직 칼럼(109)은 FPGA의 폭을 가로질러 클럭 및 구성 신호를 분배하는 데 사용된다.

- [0036] 도 1에 도시되어 있는 아키텍처를 이용하는 몇몇 FPGA는 FPGA의 큰 부분을 구성하는 규칙적인 칼럼형 구조체를 봉고하는 부가의 로직 블록을 포함한다. 부가의 로직 블록은 프로그램가능 블록 및/또는 전용 로직일 수 있다. 예를 들어, 프로세서 블록(110)은 CLB 및 BRAM의 다수의 칼럼에 걸친다.
- [0037] 도 1은 단지 예시적인 FPGA 아키텍처만을 도시하도록 의도되어 있다는 것을 주목하라. 예를 들어, 로우(row) 내의 로직 블록의 수, 로우들의 상대폭, 로우들의 수 및 순서, 로우들 내에 포함된 로직 블록의 유형, 로직 블록의 상대 크기 및 도 1의 상부에 포함된 상호 접속부/로직 구현에는 단지 예시일 뿐이다. 예를 들어, 실제 FPGA에서, CLB의 하나 초과의 인접한 로우가 통상적으로 CLB가 나타나는 위치마다 포함되어, 사용자 로직의 효율적인 구현을 용이하게 하지만, 인접한 CLB 로우의 수는 FPGA의 전체 크기에 따라 변한다.
- [0038] 도 2는 예시적인 통신 라인 카드(200)를 도시하고 있는 블록 다이어그램이다. 통신 라인 카드(200)는 하나 이상의 인터페이스 모듈(202), 통신 시스템(201), 및 네트워크 프로세서 및 트래픽 관리자(203)를 포함할 수도 있다. 인터페이스 모듈(202)은 프론트 플레이트 상호 접속부(204)를 위한 상호 접속부를 제공할 수도 있다. 프론트 플레이트 상호 접속부(204)는 인터페이스 모듈(202)과 양방향 통신을 위해 사용될 수도 있다. 인터페이스 모듈(202) 중 하나 이상은 광학 상호 접속부를 포함할 수도 있다.
- [0039] 인터페이스 모듈(202)은 라인(206)을 통해 통신 시스템(201)에 결합될 수도 있다. 통신 시스템(201)은 라인(207)을 통해 네트워크 프로세서 및 트래픽 관리자(203)에 결합될 수도 있다. 네트워크 프로세서 및 트래픽 관리자(203)는 백플레인 상호 접속부(205)에 결합될 수도 있다. 라인(206), 라인(207), 및 백플레인 상호 접속부(205)는 양방향성 통신을 위해 사용될 수도 있다는 것이 이해되어야 한다.
- [0040] 도 3은 예시적인 통신 시스템(201)을 도시하고 있는 블록 다이어그램이다. 통신 시스템(201)은 예를 들어 시스템-온-칩 다이("SoC")(300) 및 하나 이상의 메모리 다이("메모리 풀")(303)와 같은 IC 다이들을 포함할 수도 있다. 그러나, 다른 실시예에서, 이를 및/또는 다른 유형의 IC 다이들 중 하나 이상이 사용될 수도 있다. SoC(300)은 예를 들어 본 명세서에 전술된 바와 같은 FPGA로서 구현될 수도 있다. 그러나, 예를 들어, ASIC, ASSP 등과 같은 다른 유형의 IC가 SoC(300)를 제공하기 위해 사용될 수도 있다는 것이 이해되어야 한다. 본 예에서, SoC(300)는 라인측 송수신기(301), 라인-시스템 브리지(304), 및 시스템측 송수신기(302)를 포함한다. 라인(206)은 라인측 송수신기(301)에 상호 접속될 수도 있고, 라인(207)은 시스템측 송수신기(302)에 상호 접속될 수도 있다. 라인-시스템 브리지(304)는 양방향성 통신을 위해 시스템측 송수신기(302) 및 라인측 송수신기(301)의 모두에 상호 접속될 수도 있다.
- [0041] 메모리 풀(303)은 양방향성 통신을 위해 상호 접속부(330)를 통해 라인-시스템 브리지(304)에 상호 접속될 수도 있다. 본 명세서에 설명된 바와 같은 인터포저의 사용에 의해 상호 접속부(330)와 연관된 것으로서 더 큰 상호 접속부 밀도를 제공함으로써, 대략 초당 1.0 테라바이트("Tbps") 이상의 대역폭이 제공될 수도 있다. 한정이 아니라 예로서 명료화를 위해, 충분한 더블-데이터-레이트(double-data-rate: "DDR") 펀에 의해, 400 이상 기가 바이트 라인 카드를 위한 패킷 버퍼링을 위한 대역폭이 다수의 개재된 다이들("인터포저들")을 사용하여 최대 레티를 치수 내에 적합하면서 제공될 수도 있다. 다수의 인터포저는 적어도 인접한 인터포저의 쌍, 즉 확장된 인터포저를 절단하지 않고 동일한 웨이퍼 상에 인쇄될 수 있다. 다른 실시예에서, 인터포저는 서로로부터 완전히 분리되고 이후에 브리징 다이를 사용하여 서로 결합된다. 실시예에서, 통상의 FPGA 슬라이스가 확장된 인터포저를 위해 사용될 수도 있다.
- [0042] 미세 피치 상호 접속부라는 것은, 일반적으로 하위 레벨 금속층과 연관된 피치를 갖는 상호 접속부를 의미한다. 예를 들어, 몇몇 미세 피치 상호 접속부는 0.8 미크론 이하일 수도 있고, 여기서 피치는 와이어 간격을 위한 와이어 폭을 고려한다. 다른 실시예에서, 몇몇 미세 피치 상호 접속부는 0.4 미크론 이하일 수도 있다. 미세 피치 상호 접속부는 28 nm 프로세스에서 대략 90 nm, 또는 0.09 미크론의 조밀한 금속 피치를 갖고 형성될 수 있다는 것이 제안되어 있다. 이에 따라, 몇몇 실시예에서, 미세 피치 상호 접속부는 100 nm 미만인 피치를 가질 수도 있다는 것이 이해되어야 한다. 몇몇 실시예에서, 미세 피치 상호 접속부는 이미지 필드의 에지에서 리소그래피 제한, 즉 이미지 필드의 필드 에지에서 이미지 품질의 감소에 의해 지원된 것들보다 적을 수 있다. 미세 피치 상호 접속부의 예는 조밀한 플립-칩 마이크로 범프 패드와 연관된 조밀한 플립-칩 마이크로 범프 또는 볼을 비한정적으로 포함한다. 이러한 미세 피치 상호 접속부는 수평 및 수직 최소 피치가 서로 상이하도록 엉갈린 어레이에 있을 수도 있다. 이에 따라, 미세 피치 상호 접속부는 통상의 플립-칩 마이크로 범프보다 실질적으로 조밀하다.
- [0043] 인터포저 조립체(310)는 본 명세서에 설명된 바와 같이, 그 위에 또는 그와 함께 적층된 2개 이상의 다이를 갖는 단일의 IC 패키지 내에 수용될 수도 있다. 인터포저 조립체(310)는 동일한 또는 상이한 마스크 세트를 사용

하여 동일한 웨이퍼 상에 형성된 2개 이상의 인터포저를 갖는 확장된 인터포저일 수도 있고, 여기서 이러한 2개 이상의 인터포저는 서로로부터 절단되지 않는 데, 즉 그렇지 않으면 이러한 웨이퍼 상의 스크라이브 라인(scribe line) 영역일 수도 있는 것에서 함께 결합 유지된다. 다른 실시예에서, 인터포저 조립체(310)는 부가의 상세로 이하에 설명되는 바와 같이, 브리징 다이에 의해 서로 결합된 2개의 절단된 다이일 수도 있다.

[0044] 한정이 아니라 예시로서 명료화를 위해, 메모리 풀(303)은 DDR DRAM을 비한정적으로 포함하는 더블 데이터 레이트("DDR") 랜덤 액세스 메모리("RAM")의 형태를 갖고 형성되는 것으로 가정될 수 있지만, 예를 들어 QDR과 같은 다른 유형의 메모리 인터페이스를 포함하는 다른 유형의 메모리가 사용될 수도 있다는 것이 이해되어야 한다.

[0045] 일반적으로, 초당 400 기가바이트("Gbps") 이상에서 통신 링크에 대해, 패킷 버퍼링 피크 대역폭은 1 Tbps를 초과한다. SSIT는 이하에 설명되는 바와 같이, 그 편 밀도가 이용 가능한 인터포저 영역의 최대 크기의 증가에 기인하여 이제 이용 가능한, 충분한 수의 상호 접속부(330)가 이러한 SoC(300)와 메모리 풀(303) 사이에 존재하면, DDR-기반 DRAM을 사용하여 SoC(300)와 메모리 풀(303) 사이에 1 초파의 Tbps를 지원하는 것이 가능하다.

[0046] 도 4는 다른 예시적인 통신 시스템(400)을 도시하고 있는 블록 다이어그램이다. 통신 시스템(400)은 도 3의 통신 시스템(201), 인터페이스 모듈(202), 및 네트워크 프로세서 및 트래픽 관리자(203)를 포함할 수도 있다. 인터페이스 모듈(202), SoC(300), 및 메모리 풀(303)은 동일한 인터포저 조립체(410)에 상호 접속될 수도 있다. 도 3의 인터포저 조립체(310)와 같은 인터포저 조립체(410)는 동일한 또는 상이한 마스크 세트를 사용하여 동일한 웨이퍼 상에 형성된 2개 이상의 인터포저를 갖는 통신 시스템(400) 내의 확장된 인터포저일 수도 있고, 여기서 이러한 2개 이상의 인터포저는 서로로부터 절단되지 않는 데, 즉 그렇지 않으면 이러한 웨이퍼 상의 스크라이브 라인 영역일 수도 있는 것에서 함께 결합 유지된다. 다른 실시예에서, 인터포저 조립체(410)는 브리징 라인에 의해 서로 결합된 개별 인터포저일 수도 있다.

[0047] 인터페이스 모듈(202), SoC(300), 메모리 풀(303), 및 네트워크 프로세서 및 트래픽 관리자(203)는 동일한 인터포저 조립체(411)에 상호 접속될 수 있고, 여기서 인터포저 조립체(411)는 인터포저 조립체(410)를 포함한다. 달리 말하면, 인터포저 조립체(411)는 인터포저 조립체(410)보다 더 많은 함께 결합된 인터포저를 포함할 수도 있고, 따라서 효과적으로 인터포저 조립체(411)는 인터포저 조립체(410)를 대체하거나 포함할 것이다. 하나 이상의 FPGA로 구현된 SoC(300)에 대해, 하나 이상의 네트워크 프로세서 및/또는 네트워크 프로세서의 하나 이상의 트래픽 관리자 및 트래픽 관리자(203)는 일반적으로 점선(412)으로 지시된 바와 같이, 이러한 하나 이상의 FPGA에 인스턴스화될(instantiated) 수도 있다.

[0048] 이에 따라, 본 명세서에 설명된 바와 같은 인터포저 조립체를 사용하여, 통신 시스템(400)은 인터포저 조립체(411)를 갖는 단일의 패키징된 IC 내에 완전히 내장될 수도 있다. 통신 시스템(400)의 다른 실시예에서, 인터포저 조립체(410)를 갖는 단일의 패키징된 IC는 인쇄 회로 기판(printed circuit board: "PCB")을 통해 네트워크 프로세서 및 트래픽 관리자(203)에 결합될 수도 있다. 이러한 인터포저가 개별 다이이든 또는 확장된 인터포저이든, 인터포저들을 SoC 또는 다른 유형의 IC 다이와 같은 IC 다이와 브리징함으로써, 예를 들어 미세 피치 상호 접속부와 같은 다이-대-다이(die-to-die) 상호 접속부들이 예를 들어 종래의 마이크로 범프 또는 마이크로 볼과 같은 훨씬 더 대형의 종래의 다이-대-다이 상호 접속부 및/또는 칩-대-칩 상호 접속부에 비교하여 사용될 수도 있다. 이에 따라, 상호 접속부 밀도는 다이-대-다이 상호 접속을 위한 미세 피치 상호 접속부를 갖는 인터포저 조립체를 사용하여 상당히 향상될 수도 있다.

[0049] 도 5는 예시적인 단일의 인터포저(500)를 도시하고 있는 블록 다이어그램이다. 인터포저(500)는 최대 인터포저 높이(501) 및 최대 인터포저 폭(502)을 갖는다. 이를 최대 높이(501) 및 폭(502)은 일반적으로 리소그래피에 의해 결정되고, 특히 레티를 이미징 사이즈에 의해 제한될 수도 있다. 부가적으로, 최대 사용 가능한 인터포저 영역(510)을 제한하는 것은 인터포저(500)의 에지로부터의 오프셋(511 내지 514)이다. 이를 오프셋은 패키지 덜개, 스크라이브 라인, 밀봉 링, 및 언더필 마진, 뿐만 아니라 리소그래픽 이미징과 같은 패키징 및 조립을 위한 마진을 제공하는 것에 기인할 수도 있다. 한정이 아니라 예시로서 명료화를 위해, 인터포저(500)는 먼저 레이저 절제(laser ablation)를 사용하여 스크라이브 라인을 따라 트렌치(trench)를 생성하고 이어서 이러한 레이저 절제된 트렌치를 따라 다이아몬드 텁핑된(tipped) 원형 블레이드에 의한 절단함으로써 실리콘 웨이퍼로부터 절단될 수도 있다. 레이저 절제는 다이아몬드 텁핑된 원형 블레이드만의 절단에 비교하여 이러한 에지를 따른 칩핑(chipping) 또는 충간박리(delamination)를 감소시키는 데 사용될 수도 있다. 그러나, 레이저 절제는 다이아몬드 텁핑된 원형 블레이드로의 절단보다 넓은 트렌치를 남겨두는 경향이 있다.

[0050] 이러한 오프셋을 고려하여, 최대 사용 가능한 인터포저 높이(503) 및 최대 사용 가능한 인터포저 폭(504)은 최대 사용 가능한 인터포저 영역(510)을 규정할 수도 있다. 그러나, 이 영역의 일부는 제한된 영역일 수도 있다.

부가의 상세로 이하에 설명되는 바와 같이, 인터포저 조립체의 좌측 인터포저에 대해, 이러한 좌측 인터포저용 오프셋 영역(512)과 같은 영역(510)의 부분의 우측 에지는 "상호 접속 제한된 영역"의 좌측 에지와 정렬할 수도 있다. "상호 접속 제한된 영역"이라는 것은, 일반적으로 충분히 신뢰적이지 않고 또는 다르게는 동작성 미세 피치 상호 접속부의 미세 피치에 대해 이용 가능하지 않은 다른 영역과 연관된 영역을 의미한다. 예를 들어, 인터포저 조립체의 우측 인터포저에 대해, 이러한 우측 인터포저의 좌측 에지는 이러한 상호 접속 제한된 영역의 우측 에지와 정렬할 수도 있다. 우측 및 좌측이 나란한 인터포저를 위해 사용되어 있지만, 상부 및 하부 배향이 사용될 수도 있다.

[0051] 상호 접속 제한된 영역은 따라서, 예를 들어 제1 인터포저 및 제2 인터포저의 오프셋과 같은 부분을 포함할 수도 있고, 여기서 신호들이 제1 인터포저와 제2 인터포저의 상호 접속 제한된 영역을 회피하기 위해 브리징 다이를 통해 라우팅된다. 인터포저의 오프셋 영역은 레티클 이미징 필드의 먼 에지 영역에 있을 수도 있기 때문에, 이러한 먼 에지 영역에서 미세 피치 상호 접속부를 이미징하는 것은 신뢰적으로 수행되지 않을 수도 있다. 대조적으로, 미세 피치 상호 접속부는 예를 들어 제1 및 제2 인터포저를 브리징하는 다이의 형성에 사용되는 것과 같은, 이러한 레티클 이미징 필드의 중심을 향해 더 신뢰적으로 형성될 수도 있다. 따라서, 미세 피치 상호 접속부는 제1 및 제2 인터포저의 오프셋 영역에서 신뢰적으로 정렬되지 않을 수도 있지만, 이러한 미세 피치 상호 접속부는 이러한 오프셋 영역 상의 브리징 다이에 신호를 전달하는 데 사용될 수도 있다. 이에 따라, 일반적으로, 미세 피치 상호 접속부는 이러한 제1 및 제2 인터포저의 상호 접속 제한된 영역의 외부에 형성되어, 제1 인터포저 및 제2 인터포저에 접적 회로 다이를 상호 접속하는 복수의 구성 요소가 상호 접속 제한된 영역 외부에 위치되게 된다. 대조적으로, 예를 들어 통상의 마이크로 범프가 상호 접속 제한된 영역 내에 위치될 수도 있다. 상호 접속 제한된 영역을 채용함으로써, 예를 들어 미세 피치-대-미세 피치 정렬과 같은 그와 연관된 정렬 문제점은 다이간 인터포저 상호 접속부로부터 이격하여 인접한 레티클간 이미징 필드를 중첩하는 시임을 비한정적으로 포함하여, 레티클간 이미징 필드 시임을 효과적으로 위치설정함으로써 회피될 수도 있다. 일반적으로, 레티클간 이미징 필드 시임은 동일하든 또는 상이한 레티클이든, 리소그래픽 동작의 적어도 2개의 이미지 필드가 서로 중첩하는 위치이다. 따라서, 예를 들어, 하나의 능동 다이 상의 마이크로 범프의 일 그룹으로부터 다른 능동 다이 상의 마이크로 범프의 다른 그룹까지와 같은, 하나의 다이간 인터포저 인터페이스를 위한 금속 와이어는 하나의 인터포저 레티클 필드 내에 완전히 형성될 수도 있다. 더 구체적으로, 미세 피치 상호 접속부와 관련하여, 이러한 다이간 인터포저 인터페이스는 인터포저를 위한 레티클 이미지 필드의 먼 에지 영역으로부터 이격하여 이동될 수도 있다.

[0052] 상호 접속 제한된 영역은, 오프셋의 영역과 연관되는 것에 추가하여, 선택적으로 향상된 마진을 위해 우측 및/또는 좌측 인터포저로부터와 같은, 인터포저 영역(510)의 다른 사용 가능한 영역의 부분을 포함할 수도 있다. 확장된 인터포저에서, FPGA 다이와 같은 IC 다이는 동일한 웨이퍼로부터 함께 결합된 인터포저를 브리징하는데, 예를 들어 인터포저 조립체(310 또는 410)와 같은 인터포저 조립체의 우측 및 좌측 인터포저 각각으로부터 오프셋 영역(511, 512)을 브리징한다. 따라서, 이러한 FPGA 다이 아래의 이러한 인터포저의 스크라이브 라인 영역은 상호 접속 제한된 영역의 적어도 일부를 형성할 수도 있다.

[0053] 부가적으로, 확장된 인터포저에서, 다이상 절단의 양은 감소될 수도 있기 때문에, 오프셋은 인터포저의 몇몇 에지가 절단되거나 다른 방식으로 절단될 수도 있기 때문에 감소될 가능성이 있을 수도 있다. 달리 말하면, 확장된 인터포저의 인터포저 조립체의 인터포저의 다이상은 감소되기 때문에, 즉 몇몇 인터포저는 서로로부터 절단되지 않기 때문에, 이러한 인터포저들 사이의 스크라이브 라인 영역이 감소될 수도 있다. 그러나, 한정이 아니라 명료화를 위해, 웨이퍼 상의 스크라이브 라인 영역은 일반적으로 그 모든 다이들 사이에서와 같이 균일한 것으로 가정될 수 있지만, 다른 실시예에서 웨이퍼 상의 스크라이브 라인 영역은 그 모든 다이들 사이에서와 같이 일반적으로 균일하지 않을 수도 있다. 재차, 오프셋 영역은 리소그래픽 이미징 필드의 먼 에지 영역에 있을 수도 있고, 이와 같이 이러한 오프셋 영역들 내에 미세 피치 상호 접속부를 신뢰적으로 형성하는 것이 가능하지 않을 수도 있다는 것이 이해되어야 한다.

[0054] 상호 접속 제한된 영역은 적어도 인터포저의 오프셋 영역에 반응하는 것과 관련하여 설명되었고, 몇몇 실시예에서 리소그래픽 이미징 필드 기하학적 제한을 받게 되는 하나 이상의 인터포저의 다른 사용 가능한 영역 및/또는 인터포저 사이에 간극을 포함할 수도 있다. 상호 접속 제한된 영역은 인터포저 또는 인터포저들의 디자인을 위한 디자인 규칙 및/또는 레이아웃 규칙으로서 정의될 수도 있다. 달리 말하면, 이러한 상호 접속 제한된 영역은 브리징 다이가 상호 접속되는 다이 상에 있는 것으로서 고려될 수도 있다. 이러한 인터포저의 도전성 라인 뿐만 아니라 다른 상호 접속부는 마찬가지로 상호 접속 제한과 연관될 수도 있다. 더욱이, 인터포저들 사이의 간극은 마찬가지로 상호 접속 제한된 영역과 연관될 수도 있다.

[0055]

일반적으로, 한정이 아니라 명료화를 위해, 상호 접속 제한된 영역은 적어도 이러한 인터포저의 오프셋 영역의 부분에 응답하여 인터포저 상에 규정된 것으로서 본 명세서에서 칭한다. 더욱이, 한정이 아니라 명료화를 위해, 인터포저의 상호 접속 제한 영역은 본 명세서서 오프셋 영역이라 칭한다. 더욱이, 상호 접속 제한된 영역은, 인터포저가 능동 디바이스 또는 수동 디바이스일 수도 있기 때문에, 능동 다이 또는 수동 다이를 포함하는 임의의 다이일 수도 있다. 그러나, 한정이 아니라 명료화를 위해, 인터포저들은 수동 디바이스인 것으로 가정될 수 있다. 더욱이, 절단된 또는 확장된 인터포저이든, 하나의 인터포저를 다른 인터포저에 접속하기 위한 브리징 다이는 능동 다이 또는 수동 다이일 수도 있다. 이를 라인을 따라, 브리징 다이로의 미세 페치 상호 접속부가 제1 및 제2 인터포저의 상호 접속 제한된 영역의 대향 측면들 상에 위치될 수도 있다는 것이 이해되어야 한다.

[0056]

한정이 아니라 예로서 명료화를 위해, 최대 인터포저 높이(501)는 패키지 덮개 풋프린트 마진 형성 후에 대략 31 mm(대략 1.22 인치)일 수도 있고, 현재 최대 인터포저 폭(502)은 패키지 덮개 풋프린트 마진 형성 후에 대략 26 mm(대략 1.024 인치)일 수도 있다. 스크라이브 라인 및 밀봉 링 오프셋에 의해, 최대 사용 가능한 인터포저 높이(503)는 대략 29 mm(대략 1.142 인치)일 수도 있고, 최대 사용 가능한 인터포저 폭(504)은 대략 24 mm(대략 0.9449 인치)일 수도 있다. 따라서, 현재 최대 사용 가능한 인터포저 영역(510)은 대략 700 mm<sup>2</sup>(대략 27.56 제곱인치)일 수도 있고, 이 최대 사용 가능한 인터포저 영역(510)은 하이-엔드 디바이스에 있어서 대략 600 mm<sup>2</sup>(대략 23.62 제곱인치)의 현재 혼준하는 모노리식 다이 크기의 견자에서 고려되어야 한다. 종래, 1 기가바이트의 메모리는 대략 25% 내지 50%의 인터포저 사용 가능 영역을 소비해 왔고, 따라서 이러한 메모리의 양은 대형 하이-엔드 디바이스와 함께 패키징될 수 없다. 이는 편 카운트 밀도가 이러한 상호 접속부의 사이즈에 기인하여 상당히 제한되었다는 것을 의미한다. 그러나, 1 기가바이트의 메모리를 사용하는 버퍼링은 400 Gbps 트래픽의 대략 2.5 ms만을 효과적으로 고려할 수도 있고, 이는 송수신기 및 라인-시스템 브리징의 이용과 관련하여 부적절한 균형을 유도할 수도 있다.

[0057]

이하의 설명으로부터 이해될 수 있는 바와 같이, 더 많은 사용 가능한 인터포저 영역은 적층형 다이 조립체를 제공하기 위해 2개 이상의 인터포저를 효과적으로 브리징함으로써 제공된다. 연장된 인터포저에 대해, 이는 2개 이상의 인터포저에 상호 접속된 하나 이상의 다이를 사용하는 것을 수반할 수도 있고, 여기서 이러한 인터포저 다이들은 단일의 IC 패키지를 제공하기 위한 단일의 플랫폼과 동일한 웨이퍼 상에 형성된다. 본 예에서, 2개 이상의 인터포저는 2개 이상의 분리된 인터포저가 서로 물리적으로 접촉하는 실시예에 대조적으로, 단일의 플랫폼으로서 서로 물리적으로 접속된다. 인터포저들을 형성하는 데 사용된 레티클 이미징 필드는 서로 중첩할 수도 있고 또는 중첩하지 않을 수도 있다. 다른 실시예에서, 인터포저들은 서로로부터 완전히 절단되고 이어서 브리징 다이를 사용하여 결합될 수도 있다. 또 다른 실시예에서, 인터포저 다이들은 서로로부터 완전히 절단되고, 이어서 예를 들어 이하에 설명되는 바와 같이 단일의 IC 패키지를 위해 함께 성형되고, 브리징 다이로 브리징될 수도 있다.

[0058]

도 6a는 예를 들어 적층형 다이 조립체(600A)와 같은 예시적인 조립체를 도시하고 있는 블록 다이어그램이다. 적층형 다이 조립체(600A)는 SoC(300), 메모리 풀(303A, 303B), 및 연장된 인터포저 또는 완전히 절단된 인터포저(500A, 500B)를 위해서든, 인터포저(500A, 500B)의 인터포저 조립체를 포함한다. 한정이 아니라 예시로서 명료화의 목적으로, SoC(300)는 FPGA인 것으로 가정될 수 있지만, 다른 유형의 IC가 사용될 수도 있는 것이 이해되어야 한다.

[0059]

SoC(300)는 라인측 송수신기(301), 시스템측 송수신기(302A 내지 302C), 및 라인-시스템 브리지(304)를 포함할 수도 있다. 라인측 송수신기(301) 및 시스템측 송수신기(302A 내지 302C)는 라인-시스템 브리지(304)를 통한 양방향성 통신을 위해 결합될 수도 있고, 이러한 결합은 FPGA의 PIP를 사용하는 것과 같은 다이간 결합일 수도 있다. 라인-시스템 브리지(304)는 FPGA 프로그램가능 리소스, 즉 "FPGA 패브릭"에 구현될 수도 있다.

[0060]

SoC(300)는 인터포저(500A)의 표면 및 인터포저(500B)의 표면과 같은 양 인터포저(500A, 500B)에 상호 접속될 수도 있다. 예를 들어, SoC(300)는 인터포저(500A, 500B)를 브리징하기 위해 인터포저(500A)의 상부면으로부터 인터포저(500B)의 상부면으로 연장할 수도 있다. 연장된 인터포저에서, 인터포저(500A, 500B)는 동일한 웨이퍼로 형성된 공통 단일 플랫폼이다. 그러나, 다른 실시예에서, 인터포저(500A, 500B)는 SoC(300)를 통해 서로 결합된 분리된 인터포저일 수도 있다.

[0061]

점선(710A)에 의해 일반적으로 지시된 바와 같이 오프셋 영역(515)의 최좌측 에지에 경계 접하는 인터포저(500A)의 사용 가능한 영역(510)의 부분 및/또는 점선(710B)에 의해 일반적으로 지시된 바와 같이 오프셋 영역

(516)의 최우측 에지에 경계 접하는 인터포저(500B)의 사용 가능한 영역(510)의 부분은 선택적으로 오프셋 영역(515, 516)에 응답하는 것에 추가하여 상호 접속 제한된 영역(599)을 규정하는 데 사용된 각각의 부분일 수도 있다. 그러나, 한정이 아니라 명료화를 위해, 부가의 상세로 이하에 설명되는 상호 접속 제한된 영역(599)은 오프셋 영역(515, 516)에만 응답하여 형성되지만, 다른 실시예에서 다른 사용 가능한 영역(510)의 부분이 사용될 수도 있는 것으로 가정될 수도 있다.

[0062] SoC(300)는 통상적으로 오프셋 영역(515, 516) 중 어느 하나 또는 모두 내에 있는 도전성 라인 상호 접속 구성 요소를 포함하여, 조밀한 마이크로 범프 또는 다른 미세 피치 상호 접속부를 가질 수도 있다는 것이 이해되어야 한다. 재차, 인터포저들의 상호 접속 제한된 영역(599)은 상호 접속부를 포함할 수도 있지만, 일반적으로 미세 피치 상호 접속부를 포함하지 않는다. 오프셋 영역(515, 516)은 이들이 서로로부터 절단되든 절단되지 않든간에, 인터포저(500A, 500B)를 브리징하기 위해 SoC(300)에 대해 미세 피치 상호 접속부에 대해 적합하지 않기 때문에, 이러한 SoC(300)의 미세 피치 "핀아웃" 레이아웃은 통상적이지 않을 수도 있다. 오히려, SoC(300)의 미세 피치 "핀아웃" 레이아웃은 브리징 인터포저(500A, 500B)에 적합될 수도 있다. 이들 라인을 따라, 오프셋 영역(515, 516) 상에 배치된 SoC(300)의 미세 피치 상호 접속부는 오프셋 영역(515, 516) 내에 있는, 즉 인터포저(500A, 500B)의 상호 접속 제한된 영역(599) 내에 있는 거친 피치 상호 접속부에 정렬될 수도 있다.

[0063] 메모리 풀(303A, 303B)은 인터포저(500B)의 표면에 상호 접속된다. 예를 들어, 메모리 풀(303A, 303B)은 SoC(300)과 다이간 결합을 위해 인터포저(500B)의 상부면에 상호 접속될 수도 있다. 메모리 풀(303A, 303B)은 양방향성 통신을 위해 SoC(300)에 결합될 수도 있다.

[0064] 인터포저(500A, 500B)는 동일한 또는 실질적으로 동일한 높이를 가질 수도 있다. 인터포저(500A)의 폭(W1)은 최대 인터포저 폭(502) 이하일 수도 있고, 인터포저(500B)의 폭(W2)은 마찬가지로 최대 인터포저 폭(502) 이하일 수도 있다. 그러나, 폭(W1)은 상이한 다이 사이즈를 수용하기 위해 폭(W2)보다 실질적으로 클 수도 있다. 인터포저(500A, 500B)의 인터포저 조립체는 폭 W1+W2의 전체 인터포저 조립체 폭(602)을 가질 수도 있다. 한정이 아니라 예시로서 명료화의 목적으로, 각각의 인터포저(500A, 500B)를 위한 대략 33 mm(대략 1.299 인치)의 인터포저 높이에 대해, 대략 40 밀리미터(대략 1.575 인치)의 전체 인터포저 조립체 폭(602)이 대략 24 밀리미터(대략 0.9449 인치)의 폭을 갖는 SoC(300)와 함께 사용될 수도 있다. 이러한 예에서, 적층형 다이 조립체(600A)는 단일의 50 mm(1.969 인치)×50 mm(1.969 인치) 패키지 내에 끼워질 수도 있다. 그러나, 다른 실시예에서, 다른 높이, 폭, 및/또는 패키지 사이즈가 사용될 수도 있다.

[0065] 인터포저(500A)의 에지 및 인터포저(500B)의 에지는 적어도 실질적으로 서로 나란히 위치된다. 인터포저(500A, 500B)가 서로로부터 절단될 때, 인터포저(500A, 500B)의 이러한 에지는 서로 맞접할 수도 있다. 인터포저(500A)는 인터포저(500B)에 일반적으로 기단측에 보류된 또는 오프셋 영역(515)을 가질 수도 있다. 본 예에서, 오프셋 영역(515)은 인터포저(500A)의 면 우측 에지와 경계가 접해 있는 경계부를 갖는다. 인터포저(500B)는 인터포저(500A)의 일반적으로 기단측에 보류된 또는 오프셋 영역(516)을 가질 수도 있다. 본 예에서, 오프셋 영역(516)은 인터포저(500B)의 면 좌측 에지와 경계가 접해 있는 경계부를 갖는다.

[0066] 오프셋 영역(515, 516) 중 하나 또는 모두는 SoC(300)의 조밀한 미세 피치 핀아웃 레이아웃에 대해 고려될 수도 있고, SoC(300)는 인터포저(500A, 500B) 각각의 오프셋 영역(515, 516)과 연관된 제한된 영역(599) 내에 전기 상호 접속부를 제공하도록 형성되지만, 미세 피치-대-피치 다이-대-다이 상호 접속부를 갖지 않는다. 오프셋 영역(515, 516) 중 어느 하나 또는 모두는 이들이 동작성 미세 피치-대-미세 피치 전기 상호 접속을 제공하는데 사용된 어떠한 금속층 부분 및 어떠한 비아층 부분도 포함하지 않고, 따라서 SoC(300)가 이러한 오프셋 영역(515, 516) 내에 연관된 대응 미세 피치 상호 접속부를 위한 임의의 핀아웃을 포함하지 않을 수도 있도록 형성될 수도 있다. 더욱이, 예를 들어, 오프셋 영역(515, 516) 중 어느 하나 또는 모두는 이들이 어떠한 전기 상호 접속부 및 연관된 도전성 라인도 포함하지 않도록 형성될 수도 있다.

[0067] 전기 상호 접속부는 디바이스의 동작을 위한 신호를 전달하는 데 사용된다. 전기 상호 접속부는 예를 들어 리소그래피 이미징 등을 위해 사용될 수도 있는 것과 같은, 예를 들어 더미 구조체와 같은 비전기 구조체를 위한 비전기 상호 접속부와는 대조될 수도 있다.

[0068] 인터포저(500B)를 통해 SoC(300)를 메모리 풀(303A, 303B)에 상호 접속하기 위한, 예를 들어 이하에 설명되는 바와 같은 다이-대-다이 상호 접속부와 같은 미세 피치 다이-대-다이 상호 접속부는 단지 오프셋 영역(516)의 외부에서 인터포저(500B) 상에 위치될 수도 있다. SoC(300)를 메모리 풀(303A, 303B)에 상호 접속하기 위한 모든 미세 피치 도전성 라인은 오프셋 영역(516)의 외부의 인터포저(500B)의 부분으로서 형성될 수도 있다.

- [0069] 접지 평면 또는 공급 전압을 위한 넓은 버스를 제공하는 것이 가능하고, 이와 같이 미세 피치 또는 정밀한 상호 접속부는 이러한 넓은 버스를 위해 반드시 요구되는 것은 아니다. 따라서, 예를 들어, SoC(300)의 하나 이상의 미세 피치 상호 접속부는, 미세 피치 정렬 제한이 반드시 이러한 넓은 버스에 적용되지 않기 때문에, 인터포저의 상호 접속 제한된 영역 내의 이러한 넓은 버스를 위해 배치될 수도 있다. 그러나, 한정이 아니라 명료화의 목적으로, 상호 접속 제한된 영역(599)은 어떠한 동작 상호 접속부도 없지만, 다른 실시예에서 미세 피치 정렬 제한을 받지 않게 되는 상호 접속부들은 이러한 상호 접속 제한된 영역(599) 내에 존재될 수도 있다는 것이 가정될 수도 있다.
- [0070] 도 6b는 다른 예시적인 적층형 다이 조립체(600B)를 도시하고 있는 블록 다이어그램이다. 적층형 다이 조립체(600B)는 이하의 차이점들을 제외하고는, 일반적으로 도 6a의 적층형 다이 조립체(600A)와 동일하다. 단일의 SoC(300) 대신에, 적층형 다이 조립체(600B)는 2개의 SoC, 즉 SoC(300A) 및 SoC(300B)를 포함한다. 본 예에서, SoC(300A)는 라인측 송수신기(301), 시스템측 송수신기(302A) 및 라인-시스템 브리지(304A)를 포함하고, SoC(300B)는 시스템측 송수신기(302B, 302C) 및 라인-시스템 브리지(304B)를 포함한다. SoC(300A, 300B)는 인터포저(500A)와 연관된 상호 접속부를 통해 서로 상호 접속될 수도 있다.
- [0071] 적층형 다이 조립체(600A, 600B)에서, 라인측 송수신기보다 더 많은 시스템측 송수신기가 존재한다. 그러나, 다른 구성이 사용될 수도 있다. 예를 들어, 도 6c는 적층형 다이 조립체(600C)의 또 다른 예를 도시하고 있는 블록 다이어그램이다. 적층형 다이 조립체(600C)는 일반적으로 이하의 차이점들을 제외하고는, 도 6b의 적층형 다이 조립체(600B)와 동일하다. 적층형 다이 조립체(600C)에서, SoC(300A)는 라인측 송수신기(301A) 및 시스템측 송수신기(302A), 뿐만 아니라 라인-시스템 브리지(304A)를 포함하고, SoC(300B)는 라인측 송수신기(301B) 및 시스템측 송수신기(302B), 뿐만 아니라 라인-시스템 브리지(304B)를 포함한다. 각각의 SoC(300A, 300B)는 인터포저(500A, 500B)를 서로 결합하기 위한 또는 서로로부터 절단되지 않은 인터포저(500A, 500B)를 위한 오프셋 영역(515, 516)을 브리징할 수도 있다. 대략 동일한 반도체 영역의 양이 라인측 및 시스템측 송수신기를 형성하기 위해 제공될 수도 있고, 2개의 SoC가 인터포저(500A, 500B)를 물리적으로 브리징하는 데 사용될 수도 있다. FPGA를 갖고 구현된 SoC에 대해, 송수신기 리소스는 라인측 또는 시스템측에 대해 구성될 수도 있다.
- [0072] 인터포저(500A, 500B)와 같은 인터포저들은 특정 다이를 위해 제조될 수도 있기 때문에, 인터포저(500A)를 형성하는 데 사용된 마스크 세트는 인터포저(500B)를 형성하는 데 사용된 마스크 세트와는 실질적으로 상이할 수도 있다. 예를 들어, SoC 다이는 실질적으로 상이한 크기 및 핀아웃을 비한정적으로 포함하는 메모리 다이와는 실질적으로 상이할 수도 있다.
- [0073] 본 명세서에 설명된 바와 같은 인터포저 조립체를 제공함으로써, 라인-시스템 브리징을 위한 더 많은 송수신기, 뿐만 아니라 더 많은 리소스가 일반적으로 베퍼 메모리와 함께 단일의 IC 패키지에 구현될 수도 있다는 것이 이해되어야 한다. 더욱이, 메모리의 양은 더 대형의 인터포저 조립체 풋프린트를 갖기 때문에, 실질적으로 증가될 수도 있다. 이러한 리소스는 IC 패키지를 위한 인터포저 조립체에 접합적으로 장착될 수도 있기 때문에, 다이-대-다이 상호 접속부는 예를 들어 종래의 마이크로 범프보다 상당히 소형이고 마이크로-볼보다 실질적으로 소형인 조밀한 마이크로 범프를 갖고 형성될 수도 있다. 때대로 C4 땜남 볼이라 칭하는 마이크로-볼은 종래의 마이크로 범프보다 상당히 더 대형이고, 통상적으로 PCB를 통한 IC-대-IC 상호 접속부를 위해 사용된다.
- [0074] 달리 말하면, 상호 접속부 밀도는 종래의 다이-대-다이 상호 접속부 및/또는 칩-대-칩 상호 접속부 대신에 사용될 수도 있는 미세 피치 다이-대-다이 상호 접속부를 위해 더 많은 영역이 제공되기 때문에, 패키지 내에 더 대형의 풋프린트를 갖는 인터포저 조립체를 제공함으로써 향상된다. 인터포저 조립체를 통해 상호 접속부 밀도를 제공함으로써, 대역폭은 이러한 상호 접속부 밀도에 의해 대응적으로 증가될 수도 있다. 대역폭 증가는 이러한 부가의 리소스를 지원하기 위한 대형의 인터포저 조립체를 갖는 패키징된 적층형 다이 조립체 내에서 이용 가능한 부가의 양의 리소스에 의해 더 보조될 수도 있다.
- [0075] 도 7a는 도 6a, 도 6b 또는 도 6c 각각의 임의의 적층형 다이 조립체(600A, 600B, 600C)[접합적으로 그리고 단독으로 "적층형 다이 조립체(600)"]를 도시하고 있는 블록 다이어그램이다. SoC(300) 및 메모리 풀(303)은 상호 접속부(713)를 통해 인터포저(500A, 500B)로 형성된 인터포저 조립체에 상호 접속된다. 상호 접속부(713)는 본 예에서 조밀한 다이-대-다이 풀립-칩 마이크로 범프이지만, 다른 유형의 다이-대-다이 미세 피치 상호 접속부가 사용될 수도 있다.
- [0076] SoC(300)는 미세 피치 상호 접속부일 수도 있거나 통상의 풀립-칩 마이크로 범프일 수도 있는 다이-대-다이 상호 접속부(713)의 부분을 통해 인터포저(500A)의 상부면(703)에 접속되고, 다이-대-다이 상호 접속부(&13)의 다른 부분을 통해 인터포저(500B)의 상부면(704)에 접속된다. 메모리 풀(303)은 다이-대-다이 상호 접속부(713)

의 또 다른 부분을 통해 인터포저(500B)의 상부면(704)에 접속된다. 다이-대-다이 상호 접속부(713)의 일부는 다이-대-다이 상호 접속부("상호 접속부")(713)와 혼동되지 않게 하기 위해 본 명세서에 "커넥터"(711)라 칭하는 다른 대형 상호 접속부에 결합될 수도 있다. 예를 들어, 커넥터(711)는 예를 들어 스루-실리콘 비아 (through-silicon via: "TSV")(712)와 같은 "스루-기판 비아"를 사용하여 상호 접속부(713)에 결합될 수도 있다. 본 예에서, 커넥터(711)는 마이크로-볼이지만, 다른 유형의 칩-대-칩 대규모 상호 접속부가 사용될 수도 있다. 재차, 커넥터(711)는 실질적으로 상호 접속부(713)보다 크다. 이에 따라, 서로 결합되거나 절단될 수도 있는 인터포저(500A, 500B)로 형성된 인터포저 조립체를 제공함으로써, 다이를 상호 접속하기 위한 더 대형의 인터포저 영역은 칩-대-칩 상호 접속부를 사용할 필요성을 회피하기 위해 제공된다. 한정이 아니라 명료화의 목적으로, 이러한 인터포저(500A, 500B)는 서로로부터 절단되어 있는 것으로, 즉 개별 다이인 것으로서 가정될 수 있다. 달리 말하면, 다이-대-다이 상호 접속부가 종래 칩-대-칩 상호 접속부가 사용되어 왔던 위치에 사용된다. 상호 접속부 밀도는 커넥터(711)보다 상호 접속부(713)에서 더 크기 때문에, 대역폭은 전술된 바와 같이 IC에 대해 향상될 수도 있다. 더욱이, 본 예에서, 인터포저(500A, 500B)는 실리콘 인터포저이고, 따라서 본 예에서, 스루-기판 비아는 TSV(712)이지만, 다른 실시예에서 다른 유형의 기판 또는 다이 플랫폼이 사용될 수도 있다.

[0077] 본 예에서 인터포저(500A)의 면 우측 에지(701)가 인터포저(500B)의 면 좌측 에지(702)에 맞접한다. 에지(701, 702)는 각각 본 명세서에 설명된 바와 같이, 오프셋 영역(515, 516)의 경계를 제공한다. 접합적으로, 인터포저(500A, 500B)의 오프셋 영역(515, 516)은 각각 능동 미세 피치 상호 접속부 및 연관된 도전성 라인, 즉 오프셋 영역(515, 516)의 모두 또는 일부에 대응할 수도 있는 상호 접속 제한된 영역 또는 구역(710)이 없을 수도 있다.

[0078] 인터포저(500B)의 상부면(704) 상의 상호 접속부(713)의 부분은 SoC(300)와 메모리 풀(303)을 상호 접속하기 위한 것이다. 예를 들어 인터포저(500B)의 충돌 사이에 있을 수도 있는 도전성 라인(715)과 같은 도전성 라인들 [이하, 단독으로 그리고 접합적으로 "도전성 라인(715)"]은 SoC(300)과 상부면(704) 사이에 위치된 상호 접속부(713)의 부분을 메모리 풀(303)과 상부면(704) 사이에 위치된 상호 접속부(713)의 다른 부분과 결합하는 데 사용된다. 따라서, SoC(300)와 메모리 풀(303)을 상호 접속하기 위한 모든 도전성 라인(715)은 인터포저(500B)의 부분으로서 제공될 수도 있다. 달리 말하면, 다이-대-다이 상호 접속부를 위한 모든 도전성 라인(715)은 인터포저(500B) 내에 내장될 수도 있다. 상호 접속부(713) 및 도전성 라인(715)은 SoC(300)를 메모리 풀(303)에 상호 접속하는 데 사용될 수도 있는 구성 요소들의 예이다. 상호 접속부(713) 및 도전성 라인(715)은 단독으로 그리고 접합적으로 미세 피치 상호 접속부를 제공할 수도 있다.

[0079] 도 7b는 다른 예시적인 적층형 다이 조립체(700)의 단면도를 도시하고 있는 블록 다이어그램이다. 적층형 다이 조립체(700)는, 메모리 풀(303)이 서로 상호 접속된 메모리 다이의 수직 스택, 즉 적층형 다이 메모리(720)로 대체되는 점을 제외하고는, 적층형 다이 조립체(600)에 유사하다. 적층형 다이 메모리(720)는 메모리 풀 다이 ("메모리 풀")(303-1 내지 303-N)를 포함할 수도 있고, 여기서 N은 1 초과의 양의 정수이다. 한정이 아니라 명료화의 목적으로 도시되어 있지 않지만, 메모리 풀 다이(303-1 내지 303-N)는 예를 들어 TSV의 사용을 통해 서로 접속될 수도 있어, 적층형 다이 메모리(720)를 제공한다는 것이 이해되어야 한다. 메모리 풀 다이(303-1)는 예를 들어 메모리 풀(303)을 참조하여 전술된 바와 같이 인터포저(500B)에 상호 접속될 수도 있다.

[0080] 도 7c는 또 다른 적층형 다이 조립체(700)의 단면도를 도시하고 있는 블록 다이어그램이다. 본 예에서, 메모리 풀 다이(303-1 내지 303-N)는 적층형 다이 메모리(730)를 형성하기 위해 메모리 인터페이스(731)의 상부에 적층된다. 적층형 다이 메모리(730)는 적층형 다이 메모리(720)를 대체한다. 메모리 인터페이스(731)는 인터포저(500B)에 상호 접속된다. 메모리 인터페이스(731)는 메모리 풀 다이(303-1 내지 303-N)를 위한 인터페이스로 직을 포함할 수도 있다. 메모리 인터페이스(731)는 메모리 풀 다이(303-1)에 상호 접속되고, 적층형 다이 메모리(730)의 구성에 따라 그 하나 이상의 개체하는 메모리 풀 다이를 통해 각각의 메모리 풀 다이(303-1 내지 303-N)에 상호 접속될 수도 있다.

[0081] 도 8은 인터포저 조립체(800)의 예시적인 평면도를 도시하고 있는 블록 다이어그램이다. 인터포저 조립체(800)는 인터포저(500A, 500B)를 포함한다. 각각의 인터포저(500A, 500B)는 최대 인터포저 높이(501) 이하일 수도 있는 높이를 갖는다. 한정이 아니라 예시로서 명료화의 목적으로, 양 인터포저(500A, 500B)는 본 예에서 동일한 최대 인터포저 높이(501)를 갖고, 마찬가지로 동일한 최대 사용 가능한 높이(503)를 갖는다. 그러나, 다른 실시예에서, 인터포저(500A, 500B)는 그 적어도 하나가 최대 높이에 있지 않은 불균등한 높이를 가질 수도 있다.

- [0082] 각각의 인터포저(500A, 500B)는 최대 인터포저 폭(502) 이하일 수도 있는 폭을 갖는다. 한정이 아니라 예로서 명료화의 목적으로, 양 인터포저(500A, 500B)는 본 예에서 동일한 최대 인터포저 폭(502)을 갖고, 마찬가지로 동일한 최대 사용 가능 폭(504)을 갖는다. 그러나, 다른 실시예에서, 인터포저(500A, 500B)는 그 중 적어도 하나가 최대폭이 아닌 불균일한 폭을 가질 수도 있다.
- [0083] 본 예에서, 전기 상호 접속 제한된 영역(710)은, 본 예에서 인터포저(500A, 500B)가 전체로서 동일한 웨이퍼 또는 다른 기판 상에 형성되기 때문에, 즉 단일의 플랫폼으로서 서로 일체로 형성되기 때문에, 인터포저(500A, 500B)의 맞접하는 다이싱된 에지에 응답하여 규정되지 않는다. 달리 말하면, 인터포저(500A, 500B)는 2개의 개별 플랫폼에 대조적으로 단일의 플랫폼으로서 형성된다. 따라서, 인터포저(500A, 500B)는 본 예에서 단일의 플랫폼을 제공하기 위해 동일한 반도체 기판으로부터 온다. 인터포저(500A, 500B)의 오프셋 영역(515, 516)은 전기 상호 접속 제한된 영역(710)을 규정하는 데 사용될 수도 있다. 그러나, 인터포저(500A, 500B)가 단일의 플랫폼으로서 형성될 때, 전기 상호 접속 제한된 영역(710)은 스크라이브 라인 시임을 포함할 필요가 없고 패키징을 위한 다이싱을 위한 마진 형성을 포함할 필요가 없다. 따라서, 인터포저(500A, 500B)의 연장된 또는 단일의 플랫폼 버전에서, 최대 사용 가능 영역은 인터포저(500A, 500B)가 그 개별 다이를 제공하도록 다이싱되는 실시 예에 걸쳐 증가될 수도 있고, 이에 따라 상호 접속 제한된 영역(710)의 풋프린트는 인터포저 레티클 필드 리소그래피 이미징 제한을 덜 받게 될 수도 있다.
- [0084] 개별 레티클 세트는 인터포저(500A, 500B)의 형성에 사용되기 때문에, 그 시임을 가로질러 상호 접속부를 형성하기 위해 이러한 레티클 세트를 서로 정렬하는 것은 문제가 있을 수도 있다. 상호 접속 제한된 영역(710)은 정렬 문제점을 완화하도록 확장될 수도 있다. 실리콘 웨이퍼의 예가 인터포저(500A, 500B)를 형성하는 본 명세서의 설명을 위해 사용되었지만, 클래스 또는 기판 베이스 재료의 다른 형태를 비한정적으로 포함하는 다른 유형의 기판이 사용될 수도 있다.
- [0085] 도 9a는 예시적인 웨이퍼(900)를 도시하고 있는 블록 다이어그램이다. 웨이퍼(900)는 인터포저(500A, 500B)의 인터포저 조립체(800)를 형성하기 위해 사용될 수도 있다. 2개의 개별 레티클 세트가 인터포저(500A, 500B)를 형성하기 위해 와이어 및 비아를 비한정적으로 포함하여, 인터포저 패턴을 인쇄하는 데 사용될 수도 있다. 웨이퍼(900)는 수평 로우(901) 및 수직 칼럼(902)을 따라 레이저 절제되고/절제되거나 톱질될 수도 있다. 수평로우(901) 및 수직 칼럼(902)은 스크라이브 라인일 수도 있다. 웨이퍼(900)를 다이싱한 후에, 동일한 웨이퍼 기판 재료로 서로 일체로 형성된 인터포저(500A, 500B)를 갖는 인터포저 조립체(800)는 단일의 플랫폼의 다이로서 제공된다는 것이 이해되어야 한다.
- [0086] 2개의 인터포저가 인터포저 조립체(800)를 형성하기 위해 예시적으로 도시되어 있지만, 2개 초과의 인터포저는 다이로서 제공될 동일한 웨이퍼 기판 재료로부터 서로 일체로 형성될 수도 있다. 예를 들어, 도 9b는 4개의 인터포저 각각으로 형성된 인터포저 조립체(800)를 갖는 예시적인 웨이퍼(900)를 도시하고 있는 블록 다이어그램이다. 본 예에서, 인터포저 조립체(800)는 인터포저(500A, 500B, 500C, 500D)를 각각 포함하고, 여기서 이러한 인터포저의 집단은 단일의 또는 공통 플랫폼으로서 서로 일체로 형성된다.
- [0087] 도 10a는 예시적인 적층형 다이 조립체(1000)의 단면도를 도시하고 있는 블록 다이어그램이다. 적층형 다이 조립체(1000)는 맞접 에지(701, 702)보다는, 이러한 에지들 사이에 간극(1010)이 제공되어 있는 것을 제외하고는, 적층형 다이 조립체(600)에 유사하다. 에지(701, 702)는 이러한 나란한 배향에 대해 서로 적어도 실질적으로 평행한 위치에 있을 수도 있고 또는 있지 않을 수도 있다. 본 예에서, 간극(1010)은 제한된 상호 접속 영역(1049)으로 효과적으로 확장하고, 이에 따라 간극(1010) 상부로 확장하는 SoC(300) 아래의 핀아웃(pinout)일 수도 있는 것이 생략될 수도 있다. SoC(300)의 핀아웃을 감소시키는 대신에, SoC(300) 이외의 다이가 인터포저(500A, 500B)를 브리징하는 데 사용될 수도 있다.
- [0088] 그러나, 인터포저(500A, 500B)가 이들 사이에 간극(1010)을 가지면, 이러한 인터포저들을 형성하는 데 사용된 레티클 필드와 연관된 시임은 이러한 인터포저들이 상이한 웨이퍼로부터 형성되면 존재하지 않을 수도 있다는 것이 이해되어야 한다. 그러나, 이러한 오프셋 영역(515, 516)은 지속적이고, 따라서 한정이 아니라 명료화의 목적으로, 상호 접속 제한된 영역 또는 구역(1049)이 지속되고 간극(1010)을 포함하는 것으로 가정될 수 있다.
- [0089] 도 10b는 예시적인 적층형 다이 조립체(1100)의 단면도를 도시하고 있는 블록 다이어그램이다. 적층형 다이 조립체(1100)는 이하의 차이점을 제외하고는, 적층형 다이 조립체(1000)와 유사하다. 적층형 다이 조립체(1100)에서, SoC(300C)는 인터포저(500A, 500B)를 브리징하지 않고, 따라서 SoC(300C)는 단지 본 예에서 인터포저(500A)에 상호 접속된다. 그러나, 브리지 다이(1110)는 인터포저(500A)의 상부면 및 인터포저(500B)의 상부면에 상호 접속되도록 추가된다. 브리지 다이(1110)는 이러한 인터포저들을 물리적으로 브리징하기 위해, 오프셋

영역(515, 516), 뿐만 아니라 인터포저(500A, 500B) 사이의 간극(1010)에 걸친다. 각각의 인터포저(500A, 500B)의 부분은 선택적으로 전술된 바와 같이, 상호 접속 제한된 영역 또는 구역(710)을 제공하는 데 사용될 수도 있다. 예를 들어, 개별 인터포저(500A, 500B)를 갖는 실시예에서, 일반적으로 인터포저(500A, 500B)를 제조하는 데 사용된 하나 이상의 레티클과 연관된 이미지 필드의 에지를 따른 이미지 품질은 이러한 에지 문제점과 연관된 영역 또는 구역에서 미세 피치 상호 접속부를 신뢰적으로 형성하기 위해 충분히 열화될 수도 있다. 본 예에서, 인터포저(500A, 500B)와 각각 연관된 미세 피치 상호 접속부(713) 및 미세 피치 도전성 라인(715)은 모두 오프셋 영역(515, 516)의 외부에 있다. 이러한 실시예에서, 브리지 다이(1110)는 수도 디바이스일 수도 있다. 예를 들어, 브리지 다이(1110)는 자체로 실리콘 인터포저일 수도 있다. 그러나, 수동 다이이든 또는 능동 다이이든, 브리지 다이(1110)는 오프셋 영역(515, 516), 뿐만 아니라 간극(1010)을 고려하는 편아웃을 갖도록 제조될 수도 있다.

[0090] 한정이 아니라 예시로서 명료화의 목적으로, 브리지 다이(1110)는 연관된 미세 피치 마이크로 범프를 사용하여 인터포저(500A)를 통해 SoC(300C)에 상호 접속될 수도 있다. 더욱이, 브리지 다이(1110)는 연관된 미세 피치 마이크로 범프를 사용하여 인터포저(500B)를 통해 메모리 풀 다이(303)에 상호 접속될 수도 있다.

[0091] 브리지 다이(1110)는 선택적으로 능동 다이일 수도 있다. 따라서, 예를 들어, 브리지 다이(1110)는 SoC(300C)와 메모리 풀(303) 사이에 양방향성 통신 브리지를 제공할 수도 있다. 한정이 아니라 예시로서, 브리지 다이(1110)는 다이-대-다이 통신을 위한 버퍼 및/또는 파이프라이닝된(pipelined) 플립-플롭을 포함할 수도 있다. 예를 들어, 브리지 다이(1110)는 예를 들어 스위칭을 위해 SoC(300C)와 메모리 풀(303) 사이에 상호 접속 네트워크를 제공할 수도 있다. 브리지 다이(1110)는 선택적으로 양방향성 리피터(repeater)(1111)의 어레이 또는 크로스바아 스위치(1111)의 세트를 포함할 수도 있고, 여기서 각각의 이러한 양방향성 리피터 또는 크로스바아 스위치(1111)는 예를 들어 SoC(300C)로부터 메모리 풀(303)로 및/또는 다른 경로로 제1 IC로부터 제2 IC로 신호를 전달하도록 정적으로 구성될 수도 있다. 양방향성 리피터(1111)를 갖는 실시예에서, 양방향성 리피터(1111)의 이러한 어레이를 위한 구성 비트는 결국에는 브리지 다이(1110) 내부에 저장될 수도 있지만, 이러한 구성 비트는 예를 들어 SoC(300C) 또는 메모리 풀(303)과 같은 이러한 다른 IC들 중 하나에 의해 초기화될 수도 있다. 적어도 2개의 크로스바아 스위치(1111)의 세트를 갖는 실시예에서, 이러한 크로스바아 스위치(1111)는 정적으로 구성될 수도 있다. P-곱하기-Q-곱하기-W("P×Q×W") 크로스바아 스위치(1111)는 P개의 입력 포트, Q개의 출력 포트 및 포트당 W개의 비트를 갖고, P-대-1 다중화된 W-비트-폭 데이터경로의 Q개의 인스턴스로서 구현될 수도 있다. 이들 P-대-1 다중화의 선택 제어 라인은 정적일 수 있어 제1 IC와 제2 IC 사이, 예를 들어 SoC(300C)와 메모리 풀(303) 사이의 트래픽이 직진할 필요가 없게 된다. 2개의 크로스바아 스위치(1111)는 제1 IC로부터 제2 IC로 및/또는 다른 경로로 트래픽이 진행하는 것을 가능하게 하는 데 사용될 수도 있다.

[0092] 본 예에서, 오프셋 영역(515)은 그 외부에 미세 피치가 상호 접속하는 인터포저(500A)의 전기 상호 접속 제한된 영역의 제1 부분을 제공하고, 뿐만 아니라 SoC(300C)로의 상호 접속을 위해 인터포저(500A)에 브리지 다이(1110)를 상호 접속하기 위해 그와 연관된 미세 피치 도전성 라인이 형성될 수도 있다. 마찬가지로, 오프셋 영역(516)은 그 외부에 미세 피치가 상호 접속하는 인터포저(500B)의 전기 상호 접속 제한된 영역의 제2 부분을 제공하고, 뿐만 아니라 메모리 풀(303)로의 상호 접속을 위해 인터포저(500B)에 브리지 다이(1110)를 상호 접속하기 위해 그와 연관된 미세 피치 도전성 라인이 형성될 수도 있다. 마지막으로, 양방향성 리피터(1111) 또는 크로스바아 스위치(1111)를 위한 브리지 다이(1110)의 미세 피치 상호 접속부는 상호 접속 제한된 영역(1049)의 외부에 있고/있거나 그 위로 연장할 수도 있지만, 일반적으로 간극(1010)을 위해 이용 가능하지 않다.

[0093] 도 11은 적층형 다이 조립체(1100) 중 하나 이상을 형성하기 위한 예시적인 프로세스(1150)를 도시하고 있는 흐름도이다. 적층형 다이 조립체(1100)는 이하의 차이점을 제외하고는 도 10b의 적층형 다이 조립체(1100)에 유사하다. 더욱이, 적층형 다이 조립체(1100)의 예가 사용되었지만, 적층형 다이 조립체(1000)가 이러한 프로세스(1150)에 사용될 수도 있다는 것이 이해되어야 한다.

[0094] 1101에서, 인터포저(500A, 500B)는 그 쌍을 형성하기 위한 개별 다이로서 형성된다. 이에 따라, 인터포저(500A, 500B)는 동일한 또는 개별 웨이퍼로부터 다이싱될 수도 있다. 한정이 아니라 예로서, 일 웨이퍼는 인터포저(500A)를 형성하기 위해서만 사용될 수도 있고, 다른 웨이퍼는 인터포저(500B)를 형성하기 위해서만 사용될 수도 있다.

[0095] 1102에서, 1101에서 형성된 인터포저(500A, 500B)는 성형 또는 패키징 재료(1120) 내에 배치되거나 성형 또는 패키징 재료(1120)와 접촉하여 다른 방식으로 놓인다. 효과적으로 1102에서, 웨이퍼 또는 다른 기판은 몰드를 사용하여 각각의 쌍으로 인터포저(500A, 500B)를 갖고 재구성될 수도 있다. 이러한 패키징 재료(1120)의 부분

은 인터포저(500A, 500B)의 쌍 사이로 연장하는 데, 즉 간극(1010) 내로 연장한다는 것이 이해되어야 한다.

[0096] 1103에서, SoC(300C), 브리지 다이(1110), 및 메모리 풀(303)은 본 명세서에 전술된 바와 같이, 인터포저(500A, 500B)에 상호 접속될 수도 있다. 1104에서, 적층형 다이 조립체(1100)는 이러한 성형된 기판으로부터 다이싱될 수도 있다. 따라서, 단일형의 적층형 다이 조립체(1100)가 패키징 재료(1120) 내에 세트로서 제공될 수도 있고, 여기서 각각의 이러한 단일형의 적층형 다이 조립체(1100)는 인터포저(500A)의 에지와 인터포저(500B)의 에지 사이로 연장하는 패키징 재료(1120)의 부분을 갖는다.

[0097] 하나 이상의 브리지 다이를 갖는 2개 이상의 개별 인터포저를 갖는 것은 응력을 감소시킬 수도 있다. 더욱이, 개별 인터포저는 상이한 유형의 IC를 수용하기 위해 이러한 인터포저 중 하나 이상을 변경함으로써 그 조합이 맞춤화되게 할 수도 있다. 알려진 양호한 인터포저가 인터포저 조립체를 형성하도록 조합될 수도 있기 때문에, 개별 인터포저의 조합으로 총 수율이 향상될 수도 있다. 개별 인터포저는 왜곡(warping)을 감소시킬 수도 있는데, 이는 인터포저 상에 상부 다이 조립 중에 조립체 수율을 증가시킬 수도 있다. 개별 인터포저는 미세 피치 상호 접속부의 언더필을 감소시킬 수도 있다.

[0098] 전술된 바와 같이, 대형 사이즈의 단일의 인터포저는 인터포저 및 인터포저에 결합하는 다른 IC 구조체 상에 대량의 응력을 유도할 수도 있다. 예를 들어, IC 패키지의 기판에 인터포저를 결합하는 인터포저 아래의 땀납 범프는 인터포저의 사이즈에 따른 상당한 양의 응력에 노출될 수 있다. 이에 따라, 인터포저는 단일의 모노리식 인터포저를 사용하는 것보다는 2개 이상의 개별 인터포저로 분할되거나 세분될 수 있다. 따라서, 더 소형의 인터포저 및 더 소형의 인터포저에 결합된 임의의 IC 구조체는 감소된 응력을 받게 되어, 이에 의해 멀티-다이 IC 구조체의 신뢰성을 증가시킨다.

[0099] 도 12는 IC 구조체(1200)의 지형도를 도시하고 있는 블록 다이어그램이다. IC 구조체(1200)는 멀티-다이 IC 구조체이다. 도 12는 단일의 패키지 내에 IC 구조체(1200)의 다수의 다이를 적층하는 것에 대한 패킹 접근법을 도시하고 있다. 도 12에 도시되어 있는 바와 같이, IC 구조체(1200)는 복수의 다이(1205, 1210, 1215)를 포함할 수 있다. 다이(1205 내지 1215)는 2개 이상의 인터포저(1220, 1225) 상에 장착될 수 있다. 인터포저(1220, 1225)는 각각 실리콘 인터포저로서 구현될 수 있다. 인터포저(1220, 1225)는 IC 구조체(1200)가 구현될 수 있는 IC 패키지의 기판(1230) 상에 장착될 수 있다.

[0100] 각각의 인터포저(1220, 1225)는 다이(1205 내지 1215)가 수평으로 적층될 수 있는 평면형 표면을 갖는 다이일 수 있다. 도시되어 있는 바와 같이, 다이(1205, 1210)는 인터포저(1220, 1225)의 평면형 표면 상에 나란히 위치될 수 있다. 도 12에 도시되어 있는 예에서, 다이(1205)는 단지 인터포저(1220)에만 장착된다. 다이(1215)는 단지 인터포저(1225)에만 장착된다. 다이(1210)는 인터포저(1220) 및 인터포저(1225)의 모두에 장착된다. 일반적으로, 각각의 다이(1205 내지 1215)는 동일 평면 상에 있을 수 있다. 유사하게, 각각의 인터포저(1220, 1225)는 동일 평면 상에 있을 수 있다. 본 명세서에 내에서 사용될 때, 용어 "동일 평면 상"이라는 것은 열거된 구조체들이 동일한 평면 내에 위치되거나 또는 각각의 열거된 구조체가 다른 것들과 동일한 평면 내에 있는 적어도 하나의 표면을 갖는 것을 의미한다.

[0101] 각각의 인터포저(1220, 1225)는 멀티-다이 IC 구조체의 하나 이상의 다이를 위한 공통 장착 표면 및 전기 결합 점을 제공할 수 있다. 인터포저(1220, 1225)는 다이(1205 내지 1215) 사이에 라우팅하는 상호 접속부를 위한 중간층으로서 또는 IC 구조체(1200)를 위한 접지 또는 전력 평면으로서 기능할 수 있다. 각각의 인터포저(1220, 1225)는 N-형 및/또는 P-형 불순물로 도핑되든 또는 도핑되지 않든, 실리콘 웨이퍼 기판으로 구현될 수 있다. 인터포저(1220, 1225)의 제조는 금속 상호 접속부의 하나 이상의 층(들)의 증착을 허용하는 하나 이상의 부가의 프로세스 단계를 포함할 수 있다. 이를 금속 상호 접속층들은 알루미늄, 금, 구리, 니켈, 다양한 실리사이드 등을 포함할 수 있다.

[0102] 인터포저(1220, 1225)는 예를 들어 이산화실리콘과 같은 하나 이상의 유전 또는 절연층(들)의 증착을 허용하는 하나 이상의 부가의 프로세스 단계를 사용하여 제조될 수 있다. 일반적으로, 인터포저(1220 및/또는 1225)는 인터포저(1220 및/또는 1225) 중 하나 또는 모두가 어떠한 능동 회로 소자도 포함하지 않을 수 있는, 예를 들어 어떠한 N-재료와 접촉하는 P-재료 또는 어떠한 "PN" 접합부도 포함하지 않을 수 있는 수동 다이로서 구현될 수 있다. 다른 양태에서, 인터포저(1220, 1225)는 예를 들어 트랜지스터 디바이스 및/또는 다이오드 디바이스와 같은 능동 회로 소자의 생성을 허용하는 하나 이상의 부가의 프로세스 단계를 사용하여 제조될 수 있다. 설명된 바와 같이, 각각의 인터포저(1220, 1225)는 일반적으로 다이이고, 본 명세서에서 더 상세히 설명되는 바와 같이 하나 이상의 TSV의 존재를 특징으로 한다.

- [0103] 도 13a는 도 12의 IC 구조체(1200)의 측단면도를 도시하고 있는 블록 다이어그램이다. 더 구체적으로, 도 13a 는 절단 라인(13-1 ~ 13-1)을 따라 취한 도 12의 IC 구조체(1200)의 도면을 도시하고 있다. 이와 같이, 유사한 도면 부호는 본 명세서 전체에 걸쳐 동일한 아이템을 나타내는 데 사용될 것이다.
- [0104] 도시되어 있는 바와 같이, 인터포저(1220)의 제1(하부) 표면은 기판(1230)의 상부면에 결합될 수 있다. 유사하게, 인터포저(1225)의 제1(하부) 표면은 기판(1230)의 상부면에 결합될 수 있다. 인터포저(1220)의 제2(상부) 표면은 다이(1205)의 하부면 및 다이(1210)의 하부면의 부분에 결합될 수 있다. 인터포저(1225)의 제2(상부) 표면은 다이(1210)의 하부면의 부분 및 다이(1215)의 하부면에 결합될 수 있다.
- [0105] 일 양태에서, 다이(1205 내지 1215)는 땜납 범프(1305)를 통해 인터포저(1220, 1225)에 전기적으로 결합될 수 있다. 땜납 범프(1305)는 예를 들어 "마이크로-범프"의 형태로 구현될 수 있다. 더 구체적으로, 다이(1205)는 땜납 범프(1305)를 통해 인터포저(1220)에 결합된다. 다이(1210)는 땜납 범프(1305)를 통해 인터포저(1220) 및 인터포저(1225)에 결합된다. 다이(1215)는 땜납 범프(1305)를 통해 인터포저(1225)에 결합된다. 각각의 땜납 범프(1305)는 또한 경우에 따라서, 인터포저(1220) 및/또는 인터포저(1225)에 다이(1205 내지 1215)를 물리적으로 부착하는 기능을 할 수 있다.
- [0106] 인터포저(1220)는 상호 접속 영역(1310)을 형성하는 금속 또는 다른 도전성 재료로 형성된 하나 이상의 패터닝된 층을 포함할 수 있다. 패터닝된 층은 다이(1205, 1210) 사이에 다이간 신호를 통과시킬 수 있는 다이간 와이어(1315)와 같은 다이간 와이어를 형성하는 데 사용될 수 있다. 예를 들어, 다이간 와이어(1315)는 상호 접속 영역(1310)으로부터 하나 이상의 비아와 조합하여 패터닝된 금속층 중 하나 이상을 사용하여 형성될 수 있다. 다이간 와이어(1315)는 다이(1205)와 인터포저(1220) 사이에 위치된 땜납 범프(1305) 중 하나 및 다이(1210)와 인터포저(1220) 사이에 위치된 땜납 범프(1305) 중 다른 하나에 접속할 수 있어, 이에 의해 다이(1205)를 다이(1210)에 결합하고 다이(1205, 1210) 사이의 신호의 교환을 허용한다.
- [0107] 인터포저(1225)는 상호 접속 영역(1320)을 형성하는 금속 또는 다른 도전성 재료로 형성된 하나 이상의 패터닝된 층을 포함할 수 있다. 상호 접속 영역(1320)은 인터포저(1220)의 상호 접속 영역(1310)에 실질적으로 유사할 수 있다. 이에 따라, 패터닝된 층 및 비아는 다이간 와이어(1325)와 같은 다이간 와이어를 형성하는 데 사용될 수 있다. 다이간 와이어(1325)는 다이(1210)와 인터포저(1225) 사이에 위치된 땜납 범프(1305) 중 하나 및 다이(1215)와 인터포저(1225) 사이에 위치된 땜납 범프(1305) 중 다른 하나에 접속할 수 있어, 이에 의해 다이(1210)를 다이(1215)에 결합하고 다이(1210, 1215) 사이의 신호의 교환을 허용한다.
- [0108] 인터포저(1220, 1225)로의 다이(1205 내지 1215)의 결합은 땜납 범프(1305)를 사용하여 성취되지만, 다양한 다른 기술이 다이(1205 내지 1215)를 인터포저(1220, 1225)에 결합하는 데 사용될 수 있다. 예를 들어, 접합 와이어 또는 에지 와이어가 다이를 하나 이상의 인터포저에 결합하는 데 사용될 수 있다. 다른 예에서, 접착 재료가 다이를 하나 이상의 인터포저에 물리적으로 부착하는 데 사용될 수 있다. 이와 같이, 땜납 범프(1305)를 통한 인터포저(1220, 1225)로의 다이(1205 내지 1215)의 결합은 도 13a에 도시되어 있는 바와 같이, 예시의 목적으로 제공된 것이고 본 명세서에 개시된 예들을 한정하도록 의도된 것은 아니다.
- [0109] 땜납 범프(1330)는 각각의 인터포저(1220, 1225)의 하부면을 기판(1230)에 전기적으로 결합하는 데 사용될 수 있다. 일 양태에서, 땜납 범프(1330)는 "C4-범프"의 형태로 구현될 수 있다. 설명된 바와 같이, 기판(1230)은 IC 구조체(1200)가 구현되는 멀티-다이 IC 패키지의 부분일 수 있다. 땜납 범프(1330)는 IC 구조체(1200)를 멀티-다이 IC 패키지의 외부의 노드에 결합하는 데 사용될 수 있다.
- [0110] 각각의 인터포저(1220, 1225)는 하나 이상의 스루-실리콘 비아("TSV")(1335)를 포함할 수 있다. 일반적으로, 각각의 TSV(1335)는 수직으로 획단하는, 예를 들어 인터포저(1220) 및/또는 인터포저(1225)의 전체가 아니면 상당한 부분을 통해 연장하는 전기 접속부를 형성하도록 도전성 재료로 형성된 비아로서 구현될 수 있다. 예를 들어, TSV(1335)는 상부 평면형 표면, 즉 땜납 범프(1305)가 결합되는 표면으로부터 하부 평면형 표면, 즉 땜납 범프(1330)가 결합되는 표면으로 연장하는 인터포저(1220) 및/또는 인터포저(1225) 내로 개구를 드릴링 또는 에칭함으로써 구현될 수 있다. 도전성 재료는 이어서 개구 내에 증착될 수 있다. TSV(1335)를 형성하기 위해 개구를 충전하는 데 사용될 수 있는 도전성 재료의 예는 알루미늄, 금, 구리, 니켈, 다양한 실리사이드 등을 포함할 수 있지만, 이들에 한정되는 것은 아니다.
- [0111] 도 13a에 도시되어 있는 예에서, 각각의 TSV(1335)는 인터포저(1220)의 상호 접속 영역(1310) 내의 또는 인터포저(1225)의 상호 접속 영역(1320) 내의 하나 이상의 비아와 조합하여 패터닝된 층들 중 하나 이상을 통해 땜납 범프(1305)에 결합된 것으로 도시되어 있다. 그러나, 다른 예에서, TSV(1335)는 경우에 따라서는 상호 접속 영

역(1310) 또는 상호 접속 영역(1320)을 통해 통과함으로써 땜납 범프(1305)를 땜납 범프(1330)와 결합하도록 인터포저(1220)와 인터포저(1225)를 통해 실질적으로 연장할 수 있다.

[0112] TSV(1335)는 땜납 범프(1305)와 땜납 범프(1330)와 조합하여, 인터포저(1220)를 통해 다이(1205)를 기판(1230)에 결합한다. 다이(1210)는 TSV(1335), 땜납 범프(1305), 및 땜납 범프(1330)를 사용하여 인터포저(1220)를 통해 그리고 인터포저(1225)를 통해 기판(1230)에 결합된다. 다이(1215)는 TSV(1335), 땜납 범프(1305), 및 땜납 범프(1330)를 사용하여 인터포저(1225)를 통해 기판(1230)에 결합된다.

[0113] 일 양태에서, 신호는 다이간 와이어(1315)를 다이간 와이어(1325)와 결합하는 다이(1210) 내에 구현된 와이어 또는 다른 신호 경로와 조합하여 다이간 와이어(1315) 및 다이간 와이어(1325)와 같은 다이간 와이어를 통해 다이(1205)로부터 다이(1215)로 전파될 수 있다. 다이(1210) 내에 구현된 신호 경로는 유선 회로 또는 프로그램 가능 회로의 형태로 구현될 수 있다.

[0114] 예를 들어, 다이(1205 내지 1215)는 임의의 다양한 상이한 유형의 다이로서 구현될 수 있다. 다이(1205 내지 1215) 중 하나 이상은 메모리 디바이스, 프로세서, 예를 들어 중앙 프로세싱 유닛, 응용 주문형 IC, 또는 프로그램 가능 IC로서 구현될 수 있다. 각각의 이러한 유형의 IC는 다이간 와이어(1315)와 다이간 와이어(1325)를 결합하는 유선 회로를 포함할 수 있다. 각각의 다이(1205 내지 1215)는 유사한 또는 동일한 유형의 IC로서 구현될 수 있다. 대안에서, 다이(1205)는 제1 유형의 IC로서 구현될 수 있고, 다이(1210, 1215)는 제2 및 상이한 유형의 IC로서 구현된다. 또 다른 예에서, 각각의 다이(1205 내지 1215)는 상이한 유형의 IC로서 구현될 수 있다.

[0115] 다이간 와이어(1315)를 다이간 와이어(1325)에 결합하는 다이(1210) 내의 신호 경로는 유선 또는 프로그램 가능 회로일 수 있다. 프로그램 가능 회로의 경우에, 다이(1205)는 프로그램 가능 회로가 이러한 접속을 구현하도록 구성되지 않으면 또는 구성될 때까지 다이(1215)와 통신하는 것이 불가능하게 될 수 있다.

[0116] IC 구조체(1200) 내에서, 인터포저(1220) 및 인터포저(1225)는 거리(1340)만큼 분리될 수 있다. 각각의 인터포저(1220, 1225)의 각각의 에지는 각각의 인터포저(1220, 1225) 사이로 연장하는 거리(1340)에 동일한 폭을 갖는 채널을 효과적으로 형성한다. 도시되어 있는 바와 같이, 다이(1210)는 인터포저(1220)와 인터포저(1225) 사이의 채널에 효과적으로 결친다. 각각의 인터포저(1220, 1225)는  $L_{int}$ 의 길이를 가질 수 있다. 기판(1230)은  $L_{sub}$ 의 길이를 가질 수 있다. 동일한 길이를 갖는 것으로서 예시되어 있지만, 각각의 인터포저(1220, 1225)는 IC 구조체(100)의 구현에 따라 상이한 길이를 가질 수 있다.

[0117] IC 구조체(1200)는 다양한 상이한 응력을 받게 된다. 예를 들어, 인터포저(1220, 1225)는 각각이 다이가 장착되는 구조적 베이스를 제공하기 때문에 응력을 받게 된다. 추가의 땜납 범프 및 특히 땜납 범프(1330)는 증가된 레벨의 응력을 받게 될 수 있다. 일 양태에서, 인터포저(1220 및/또는 1225)의 하나 이상의 또는 모든 에지를 따라 위치된 땜납 범프(1330)는 증가된 레벨의 전단 스트레인을 받게 될 수 있다.

[0118] 도 13a를 참조하면, 증가된 레벨의 전단 스트레인을 받게 되는 땜납 범프(1330) 중 특정의 땜납 범프들은 땜납 범프(1330)의 다른 땜납 범프들의 순색(solid color)에 대조적으로 음영을 갖고 도시되어 있다. 인터포저(1220) 아래의 최좌측 및 최우측 땜납 범프(1330)는 인터포저(1220)와 기판(1230) 사이의 땜납 범프(1330) 중 다른 땜납 범프들보다 높은 레벨의 전단 스트레인을 받게 된다. 유사하게, 인터포저(1225) 아래의 최좌측 및 최우측 땜납 범프(1330)는 인터포저(1225)와 기판(1230) 사이의 땜납 범프(1330) 중 다른 땜납 범프들보다 높은 레벨의 전단 스트레인을 받게 된다.

[0119] 일반적으로, 전단 스트레인( $\gamma$ )은 이하의 식 (1)에 따라 결정될 수 있다.

$$\gamma = \frac{\epsilon_{thermal} \Delta \theta}{h} \quad (1)$$

[0120] [0121] 식 (1)에서,  $\epsilon_{thermal}$ 은 열팽창 계수를 표현하고,  $h$ 은 길이를 표현하고,  $\Delta \theta$ 는 도 13b에 도시되어 있는 바와 같이 전단 스트레인의 인가 전 및 전단 스트레인의 인가 후의 각도( $\theta$ )의 차이를 표현하고,  $h$ 는 높이를 표현한다. 도 13b를 참조하면, 예를 들어 각도( $\theta$ )는 땜납 범프(1330A)가 전단 스트레인에 노출되지 않을 때 초기에 0이다. 땜납 범프(1330A)가 인터포저(1225)와 기판(1230) 사이에 위치되어, 이에 의해 땜납 범프(1330A)가 전단 스트레인에 노출된 후에, 땜납 범프(1330A)는 평탄화된다. 일 예에서, 도 13b에 도시되어 있는 바와 같이,

$\Theta$ 의 정점은 땜납 범프(1330A)의 하부 평탄화부의 중심이다. 각도( $\Theta$ )는, 정점과 정렬된 중심 라인으로부터 인터포저(1225)와 접촉하여 땜납 범프(1330A)의 상부 평탄화부의 단부점까지, 예를 들어 인터포저(1225)와 접촉하여 땜납 범프(1330A)의 상부 평탄화부의 대략 절반으로 도시되어 있는 바와 같이 측정된다.

[0122] 식 (1)은 예를 들어, 땜납 범프(1330A)가 받게 되는 전단 스트레인을 결정하기 위해 도 13a에 적용될 수 있다. 이 경우에, 변수 1은 인터포저, 즉 이 경우에 인터포저(1225)의 중심으로부터 외부 에지 땜납 범프(1330A)까지 측정된 길이를 표현한다. 본 예에서, 1은  $L_{int}$ 의 절반이다. 변수  $h$ 는 땜납 범프(1330A)의 높이를 표현한다.

열팽창 계수는 실제로 기판(1230)의 열팽창 계수와 인터포저(1225)의 열팽창 계수 사이의 차이이다. 설명의 목적으로, 인터포저(1225)의 열팽창 계수는 대략 3이고, 기판(1230)의 열팽창 계수는 대략 12인 것으로 가정될 수 있다. 이에 따라, 식 (1)은 이하의 식 (2)로 축소될 수 있다.

$$\gamma = \frac{9l\Delta\theta}{h} \quad (2)$$

[0123] 도시되어 있는 바와 같이, 전단 스트레인은 일반적으로 각각의 인터포저의 길이, 예를 들어  $L_{int}$ 에 의존한다. 땜납 범프(1330A)가 받게 되는 전단 스트레인은  $L_{int}$ 를 감소시킴으로써 감소될 수 있는 데, 이는 또한 1을 감소시킨다. 이에 따라, 단일의 모노리식 인터포저를 사용하기보다는, 땜납 범프(1330A) 상의 그리고 유사하게 위치된 다른 범프 상의 전단 스트레인은 2개 이상의 더 소형의 인터포저, 예를 들어 단일의 모노리식 인터포저에 비교하여 감소된 길이를 갖는 인터포저를 사용하여 감소될 수 있다.

[0125] 도 14는 IC 구조체(1400)의 지형도를 도시하고 있는 블록 다이어그램이다. IC 구조체(1400)는 멀티-다이 IC 구조체이다. 도시되어 있는 바와 같이, IC 구조체(1400)는 복수의 다이(1405, 1410, 1415)를 포함할 수 있다. 다이(1405 내지 1415)는 동일 평면 상에 있을 수 있고, 이와 같이 인터포저(1420, 1425, 1430, 1435) 상에 장착될 수 있다. 각각의 인터포저(1420 내지 1435)는 도 12 및 도 13을 참조하여 실질적으로 설명된 바와 같이 실리콘 인터포저로서 구현될 수 있다. 인터포저(1420 내지 1435)는 동일 평면 상에 있고 IC 구조체(1400)가 구현될 수 있는 IC 패키지의 기판 상에 장착될 수 있다. 용이한 도시를 위해, 기판은 도 14에는 도시되어 있지 않다.

[0126] IC 구조체(1400)는 X-축이 IC(1400)를 2개의 동일한 반부로 양분하고 Y-축이 IC 구조체(1400)를 2개의 동일한 반부로 양분하는 데카르트 좌표계 상에 중첩되어 도시되어 있다. X-축은 Y-축에 수직이다. 도시되어 있는 바와 같이, 인터포저(1420)는 사분면 1 내에 완전히 위치된다. 인터포저(1425)는 사분면 2 내에 완전히 위치된다. 인터포저(1430)는 사분면 3 내에 완전히 위치된다. 인터포저(1435)는 사분면 4 내에 완전히 위치된다.

[0127] 참조를 위해, 각각의 인터포저(1420 내지 1435)의 하부면은 제1 표면이라 칭할 수 있다. 다이가 장착되는 각각의 인터포저(1420 내지 1435)의 상부면은 제2 표면이라 칭할 수 있다. 도시되어 있는 바와 같이, 다이(1405)는 인터포저(1420)의 제2 표면의 부분 및 인터포저(1425)의 제2 표면의 부분 상에 장착된다. 다이(1405)는 단지 사분면 1 및 2 내에만 위치된다. 다이(1410)는 각각의 인터포저(1420 내지 1435)의 제2 표면의 부분에 장착되고, 각각의 사분면 1 내지 4 내에 부분적으로 있다. 다이(1415)는 인터포저(1430)의 제2 표면의 부분 및 인터포저(1435)의 제2 표면의 부분 상에 장착된다. 따라서, 다이(1415)는 단지 사분면 3 및 4 내에만 위치된다.

[0128] 각각의 인터포저(1420, 1425)는 다이(1405)를 다이(1410)와 결합하는 데 사용될 수 있는 하나 이상의 다이간 와이어를 포함할 수 있다. 유사하게, 각각의 인터포저(1430, 1435)는 다이(1410 내지 1415)를 결합하는 데 사용될 수 있는 하나 이상의 다이간 와이어를 포함할 수 있다. 다이(1410)는 인터포저(1425, 1430, 1435) 중 하나 이상 또는 각각에 인터포저(1420)를 결합할 수 있는 와이어 또는 신호 경로를 갖고 구성될 수 있다. 유사하게, 다이(1410)는 인터포저(1420, 1430, 1435) 중 하나 이상 도는 각각과 인터포저(1425)를 결합할 수 있는 와이어 또는 신호를 갖고 구성될 수 있다. 다이(1405)는 인터포저(1420)를 인터포저(1425)에 결합할 수 있는 와이어 또는 신호 경로를 갖고 구성될 수 있다. 유사하게, 다이(1415)는 인터포저(1430)를 인터포저(1435)와 결합할 수 있는 와이어 또는 신호 경로를 갖고 구성될 수 있다.

[0129] 도 13을 참조하여 설명된 바와 같이, 각각의 인터포저(1420 내지 1435)는 하나 이상의 TSV를 포함할 수 있다. 이에 따라, 다이(1405)는 인터포저(1420) 내에 위치된 하나 이상의 TSV 및/또는 인터포저(1425) 내에 위치된 하나 이상의 TSV를 통해 기판에 결합될 수 있다. 다이(1410)는 인터포저(1420), 인터포저(1425), 인터포저(1430)

및/또는 인터포저(1435) 내에 위치된 하나 이상의 TSV를 통해 기판에 결합될 수 있다. 다이(1415)는 인터포저(1430) 내에 위치된 하나 이상의 TSV 및/또는 인터포저(1435) 내에 위치된 하나 이상의 TSV를 통해 기판에 결합될 수 있다.

[0130] 일반적으로, 인터포저(1420)는 사전 결정된 거리(1440)만큼 인터포저(1435)로부터 분리될 수 있다. 유사하게, 인터포저(1425)는 사전 결정된 거리(1440)만큼 인터포저(1430)로부터 분리될 수 있다. 이에 따라, 설명된 분리는 거리(1440)의 폭을 갖는 X-축을 따른 채널을 효과적으로 형성한다. 다이(1410)는 도시되어 있는 X-축 상에 형성된 채널의 거리(1440)에 효과적으로 걸친다.

[0131] 인터포저(1420)는 사전 결정된 거리(1445)만큼 인터포저(1425)로부터 분리될 수 있다. 유사하게, 인터포저(1430)는 사전 결정된 거리(1445)만큼 인터포저(1435)로부터 분리될 수 있다. 이에 따라, 설명된 분리는 거리(1445)의 폭을 갖는 Y-축을 따른 채널을 효과적으로 형성한다. 각각의 다이(1405, 1410, 1415)는 도시되어 있는 Y-축 상에 형성된 채널의 거리(1445)에 효과적으로 걸친다.

[0132] 도 15는 도 14의 IC 구조체(1400)의 측단면도를 도시하고 있는 블록 다이어그램이다. 더 구체적으로, 도 15는 절단선 15-15를 따라 취한 도 14의 IC 구조체(1400)의 도면을 도시하고 있다. 도 15는 단일의 더 대형의 또는 모노리식 인터포저에 대조적으로 2개 이상의 인터포저를 사용하여 성취된 감소된 길이(1)를 도시하고 있다. 도 15를 참조하면, 증가된 레벨의 전단 스트레인을 받게 되는 땜납 범프(1505) 중 특정의 땜납 범프들은 땜납 범프(1505)의 다른 땜납 범프들의 순색에 대조적으로 음영을 갖고 도시되어 있다. 본 예에서, 4개의 인터포저가 사용되어, 이에 의해 1을 감소시키고, 땜납 범프(1505A 내지 1505D) 상에 배치된 전단 스트레인의 양을 감소시킨다.

[0133] 인터포저(1430)는 본 명세서에서 전술된 다른 상호 접속 영역들을 참조하여 설명된 바와 같이 구현될 수 있는 상호 접속 영역(1510)을 포함할 수 있다. 상호 접속 영역(1510) 내에 형성된 하나 이상의 다이간 와이어는 다이(1410)와 다이(1415)를 결합할 수 있다. 유사하게, 인터포저(1435)는 전술된 바와 같이 구현될 수 있는 상호 접속 영역(1515)을 포함할 수 있다. 상호 접속 영역(1515) 내에 형성된 하나 이상의 다이간 와이어는 다이(1410)를 다이(1415)에 결합할 수 있다. 도 15는 또한 인터포저(1430) 및 인터포저(1435)가 각각 하나 이상의 TSV(1520)를 포함할 수 있는 것을 도시하고 있다. TSV(1520)는 다이가 인터포저를 통해 기판에 결합하게 하여 IC 구조체(1400) 외부의 그리고 IC 패키지 외부의 노드들을 접속한다.

[0134] 도 16은 도 14의 IC 구조체(1400)의 다른 측단면도를 도시하고 있는 블록 다이어그램이다. 더 구체적으로, 도 16은 절단선 16-16을 따라 취한 도 14의 IC 구조체(1400)의 도면을 도시하고 있다. 도시되어 있는 바와 같이, 인터포저(1435)는 다이(1415)를 다이(1410)와 결합하는 다이간 와이어(1530)와 같은 하나 이상의 다이간 와이어를 포함할 수 있다. 또한, 인터포저(1420)는 다이간 와이어(1535)와 같은 하나 이상의 다이간 와이어를 형성하는 데 사용될 수 있는 상호 접속 영역(1525)을 포함할 수 있다. 다이간 와이어(1535)는 다이(1410)를 다이(1405)와 결합할 수 있다.

[0135] 도 17은 IC 구조체(1700)의 지형도를 도시하고 있는 블록 다이어그램이다. IC 구조체(1700)는 멀티-다이 IC 구조체이다. 도시되어 있는 바와 같이, IC 구조체(1700)는 복수의 다이(1705, 1710)를 포함할 수 있다. 다이(1705 내지 1710)는 동일 평면 상에 있고 인터포저(1715, 1720) 상에 장착될 수 있다. 인터포저(1715 내지 1720)는 각각 본 명세서에 실질적으로 설명된 바와 같이 실리콘 인터포저로서 구현될 수 있다. 인터포저(1715, 1720)는 동일 평면 상에 있고 IC 구조체(1700)가 구현될 수 있는 IC 패키지의 기판 상에 장착될 수 있다. 용이한 예시를 위해, 기판은 도 17에는 도시되어 있지 않다.

[0136] 인터포저(1715)의 제1(하부) 표면은 예를 들어, C4형 땜납 범프와 같은 땜납 범프를 사용하여 기판의 상부면에 결합될 수 있다. 유사하게, 인터포저(1720)의 제1(하부) 표면은 C4형 범프와 같은 땜납 범프를 또한 사용하여 기판의 상부면에 결합될 수 있다. 인터포저(1715)의 제2(상부) 표면은 다이(1705)의 하부면의 부분 및 다이(1710)의 하부면의 부분에 결합될 수 있다. 인터포저(1720)의 제2(상부) 표면은 다이(1705)의 하부면의 부분 및 다이(1710)의 하부면의 부분에 결합될 수 있다. 다이(1705, 1710)는 전술된 바와 같은 마이크로-범프와 같은 땜납 범프를 통해 인터포저(1715, 1720)에 결합될 수 있다.

[0137] 각각의 인터포저(1715, 1720)는 다이(1705, 1710)가 그를 통해 기판에 결합될 수 있는 하나 이상의 TSV를 포함할 수 있다. 이와 같이, 다이(1705)는 인터포저(1715)와 인터포저(1720)의 모두를 통해 기판에 결합될 수 있다. 유사하게, 다이(1710)는 양 인터포저(1715) 및 인터포저(1720)를 통해 기판에 결합할 수 있다. 각각의 인터포저(1715, 1720)는 다이(1705, 1710) 사이의 신호의 교환을 지원하는 하나 이상의 다이간 와이어를 갖는

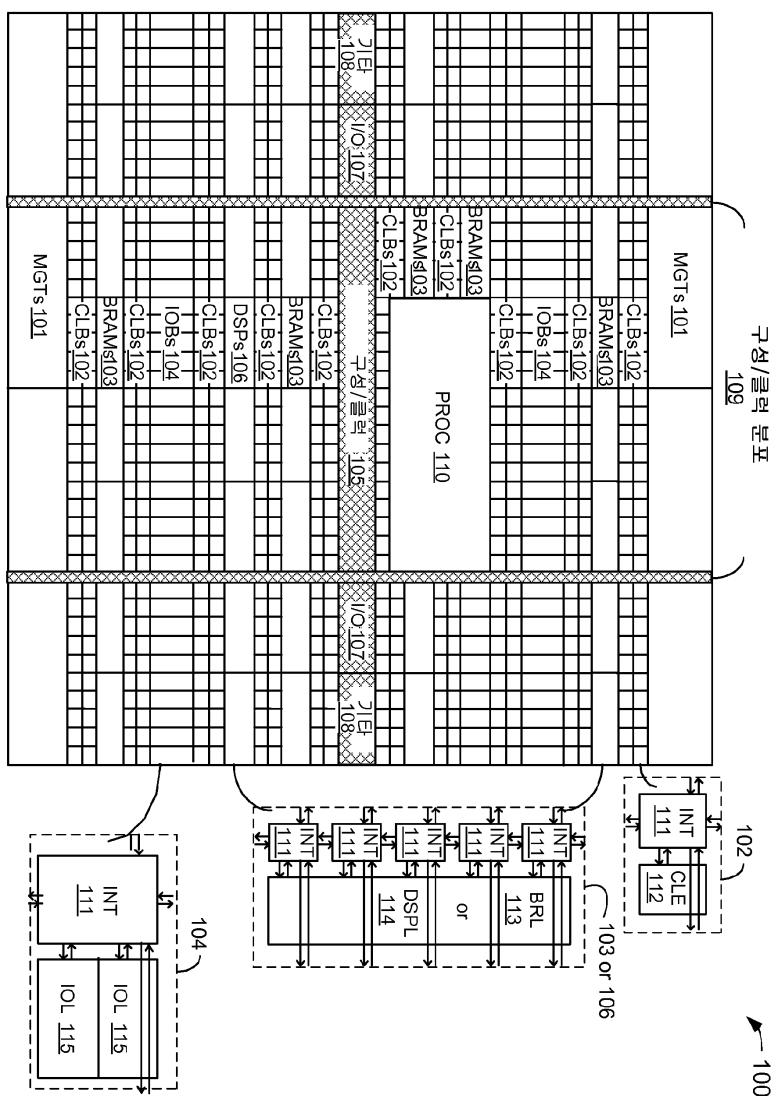
상호 접속 영역을 포함할 수 있다.

다수의 예시적인 적층형 다이 조립체의 상기 설명으로부터, 다수의 다이는 다수의 인터포저를 사용함으로써 이전에 이용 가능한 것보다 큰 인터포저 영역에 걸쳐 서로 상호 접속될 수도 있다는 것이 이해되어야 한다. DRAM과 같은 메모리를 SSIT-기반 FPGA 다이 스택에 추가하는 예가 사용되었지만, 이하의 설명은 다이-대-다이 상호 접속부가 동일한 패키지 내의 다수의 인터포저의 사용에 의해 향상되는 임의의 적층형 다이 조립체에 적용된다는 것이 이해되어야 한다. 본 명세서에 설명된 바와 같은 적층형 다이 조립체는 현재 리소그래피, 패키징 및 조립을 위한 마진 형성, 및/또는 다이-대-다이 상호 접속부의 이용 가능성에 의해 제한되는 것은 아닐 수도 있다. 더욱이, 상기 설명은 일반적으로 수동 인터포저의 견지에서 설명되었지만, 본 명세서에 설명된 다중-인터포저 예에서 인터포저 중 하나 또는 모두는 수동 인터포저, 즉 수동 구성 요소를 갖는 인터포저일 수도 있다는 것이 이해되어야 한다.

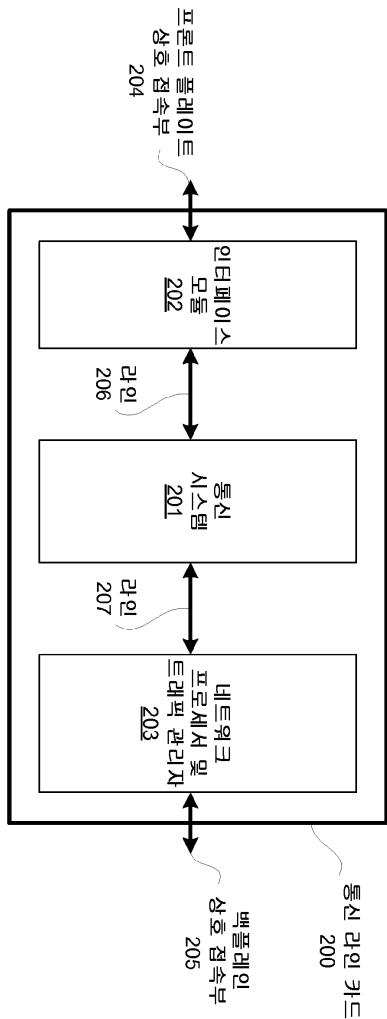
상기에는 예시적인 조립체 및 방법을 설명하고 있지만, 하나 이상의 양태에 따른 다른 실시예 및 추가의 실시예는 이어지는 청구범위 및 그 등가물에 의해 결정되는 그 범주로부터 벗어나지 않고 안출될 수도 있다. 단계들을 열거하는 청구항들은 단계들의 임의의 순서를 암시하는 것은 아니다. 상표는 이들의 각각의 소유자의 재산이다.

도면

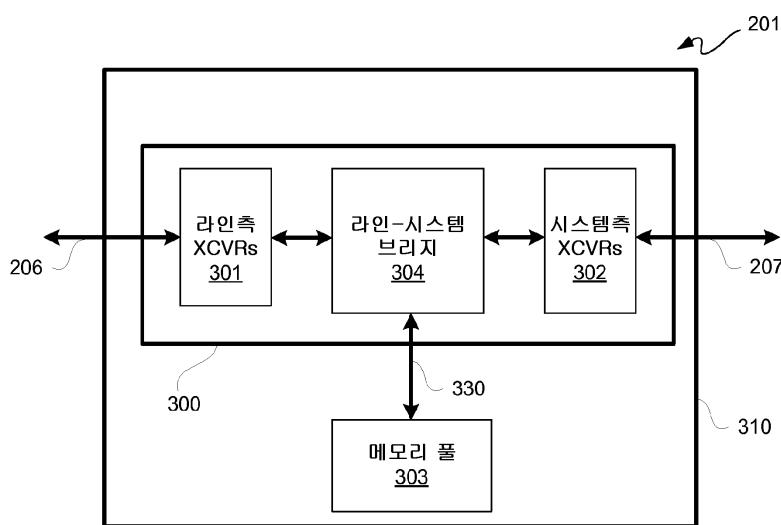
도면1



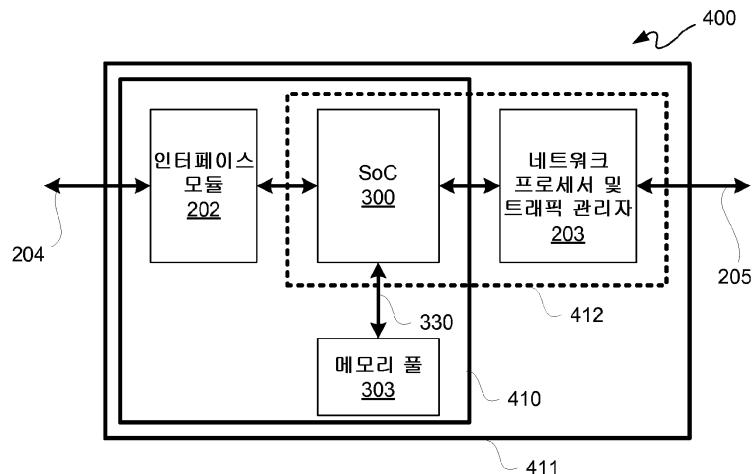
## 도면2



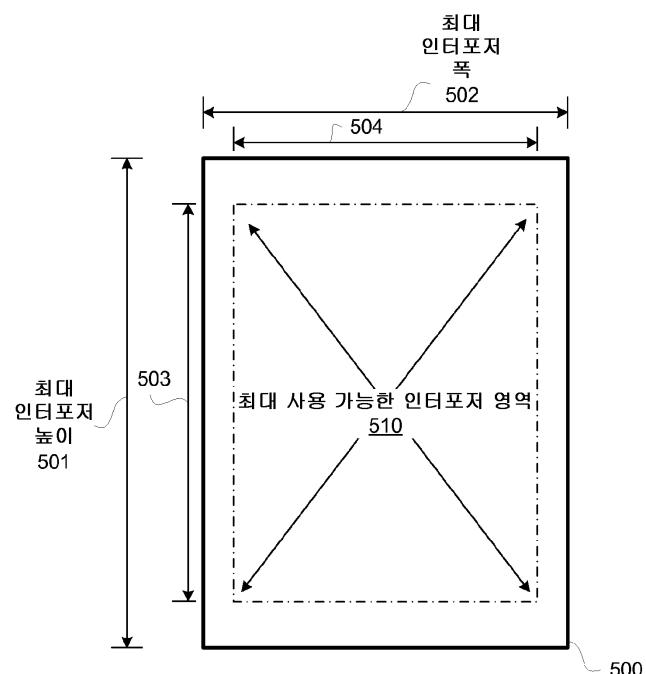
도면3



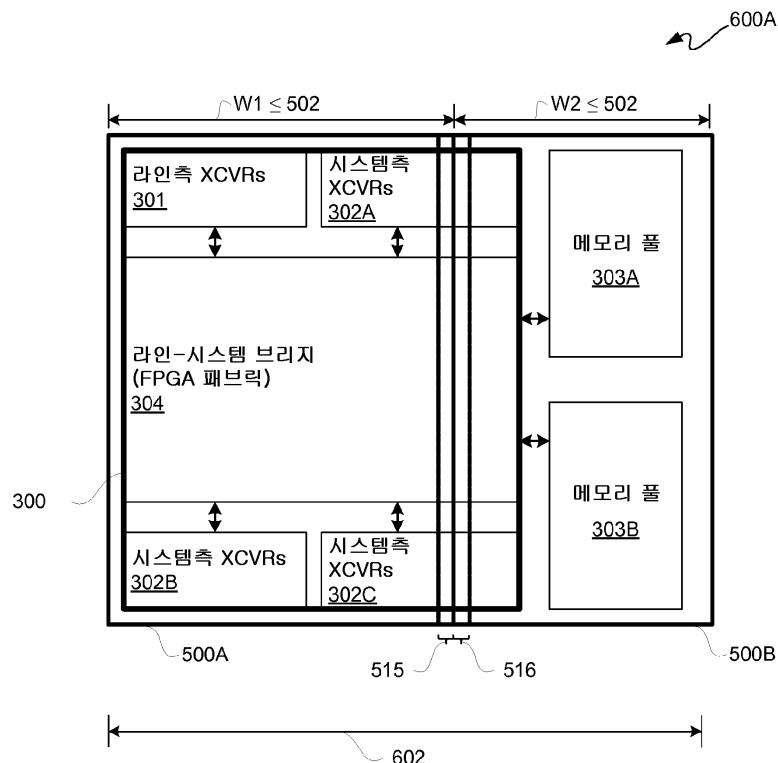
## 도면4



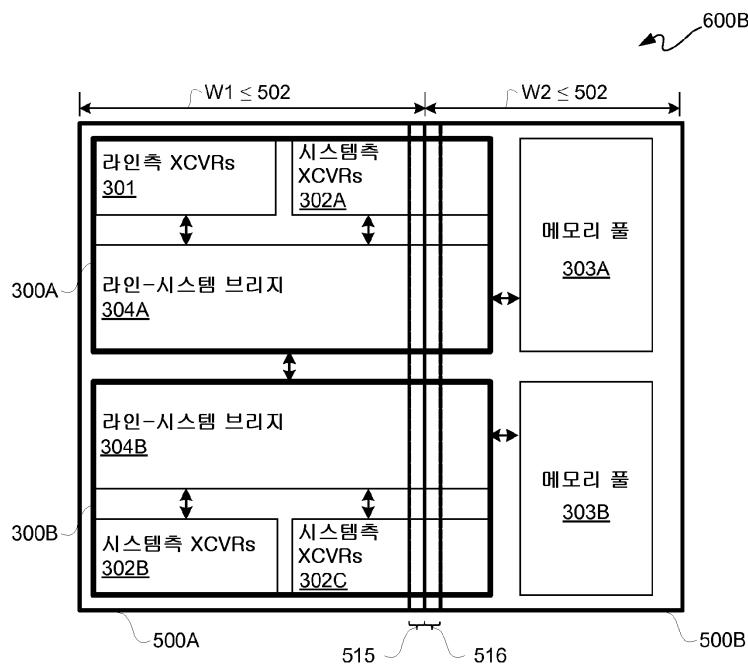
## 도면5



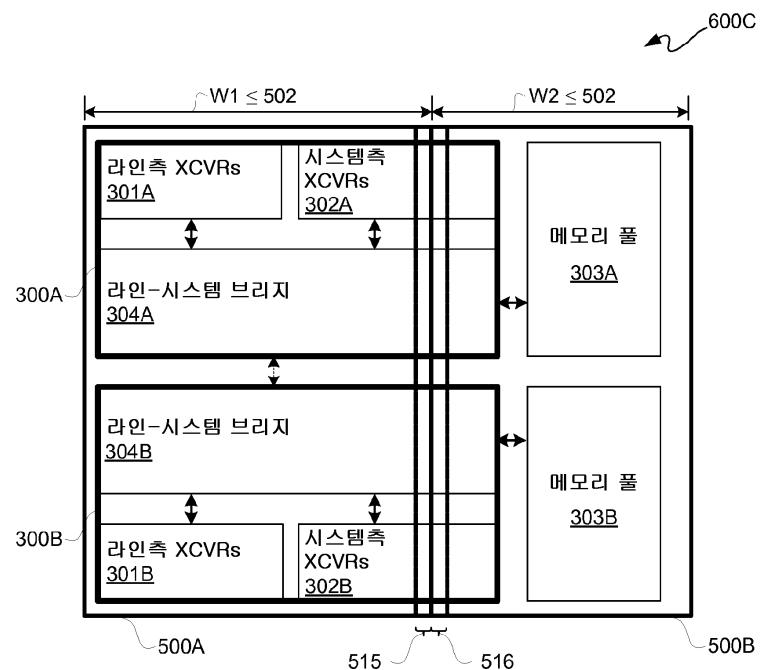
## 도면6a



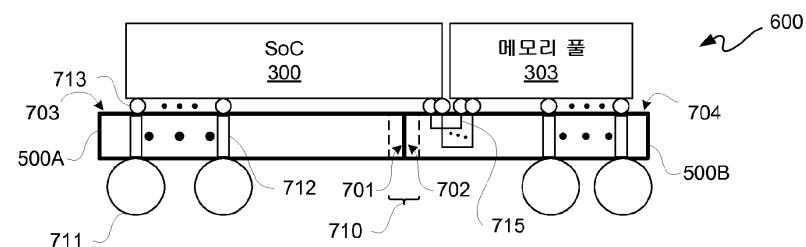
## 도면6b



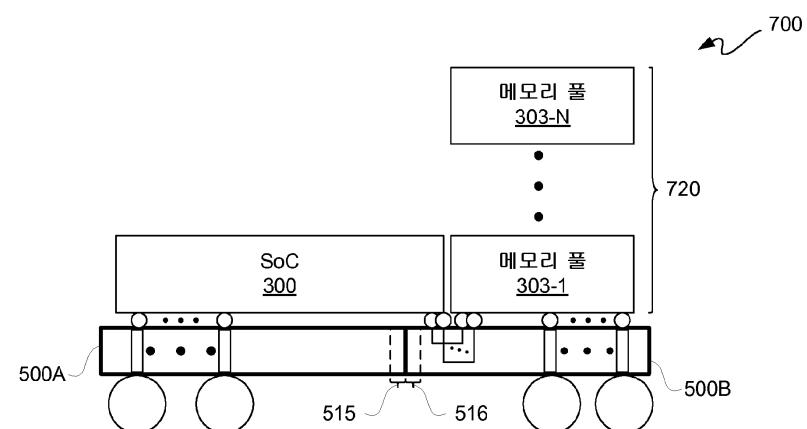
도면6c



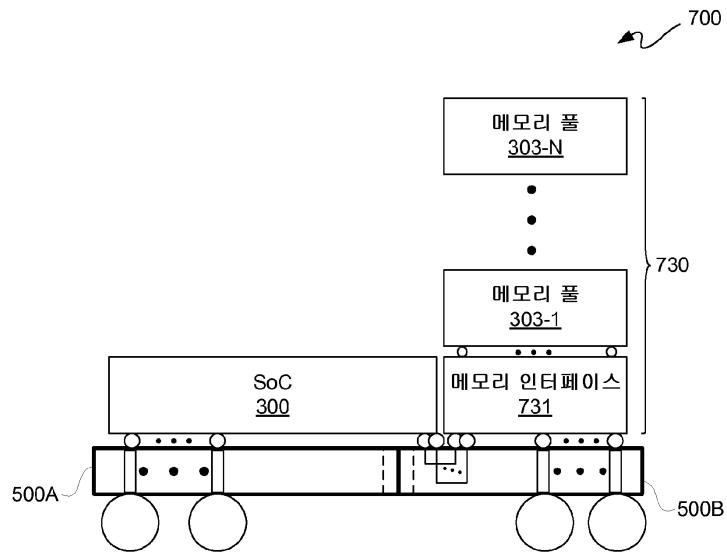
도면7a



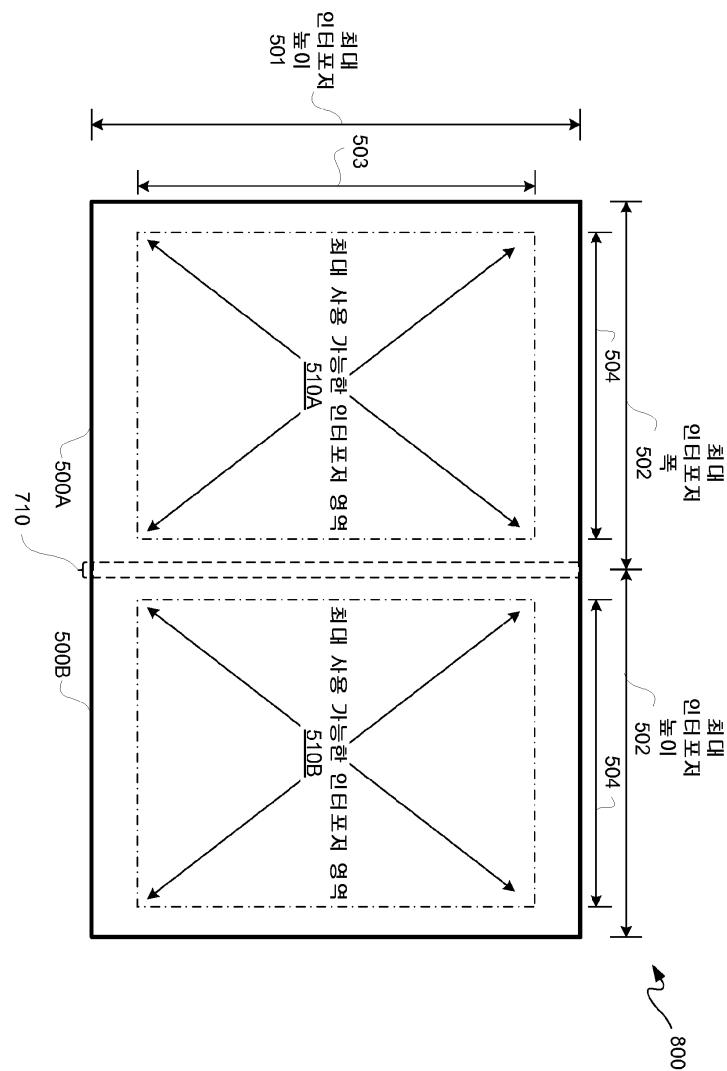
도면7b



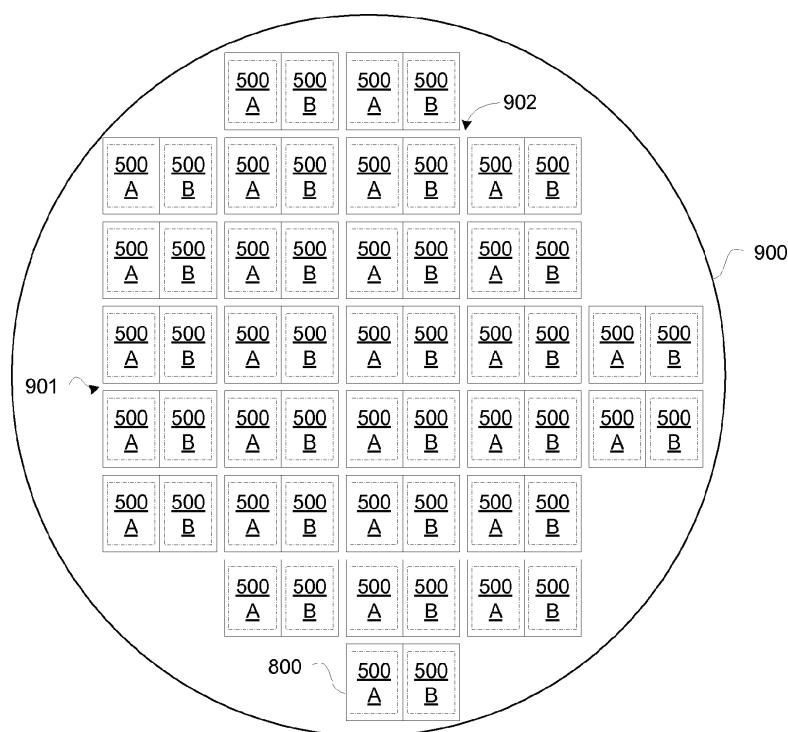
도면7c



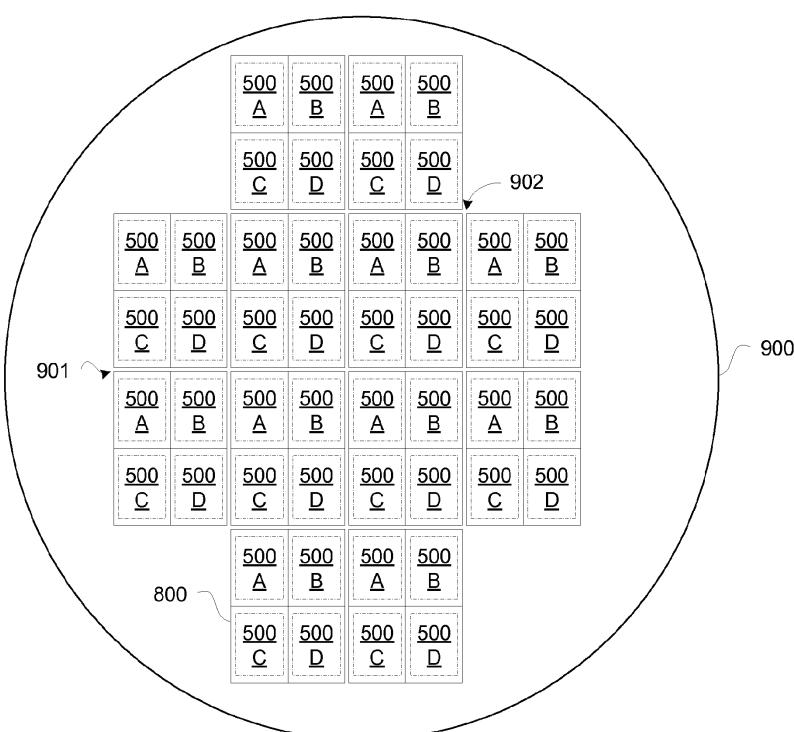
도면8



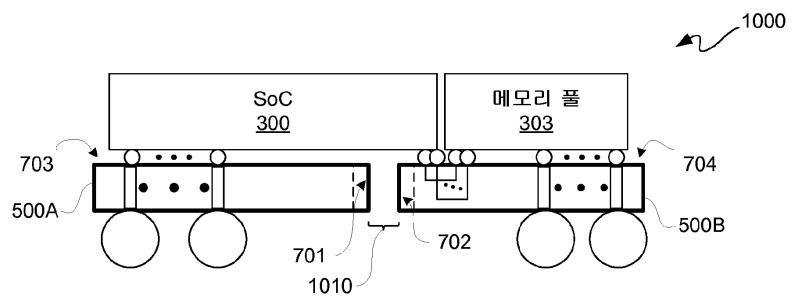
### 도면9a



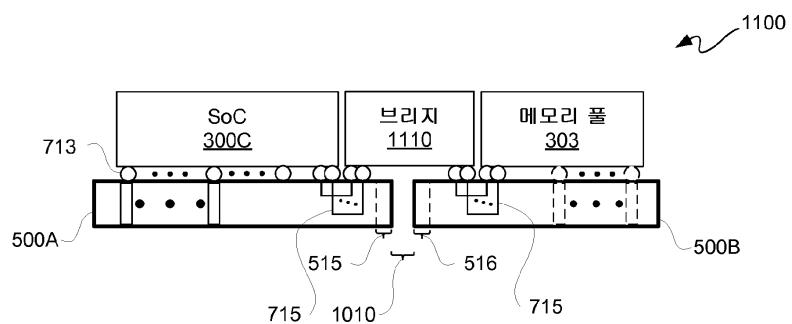
### 도면9b



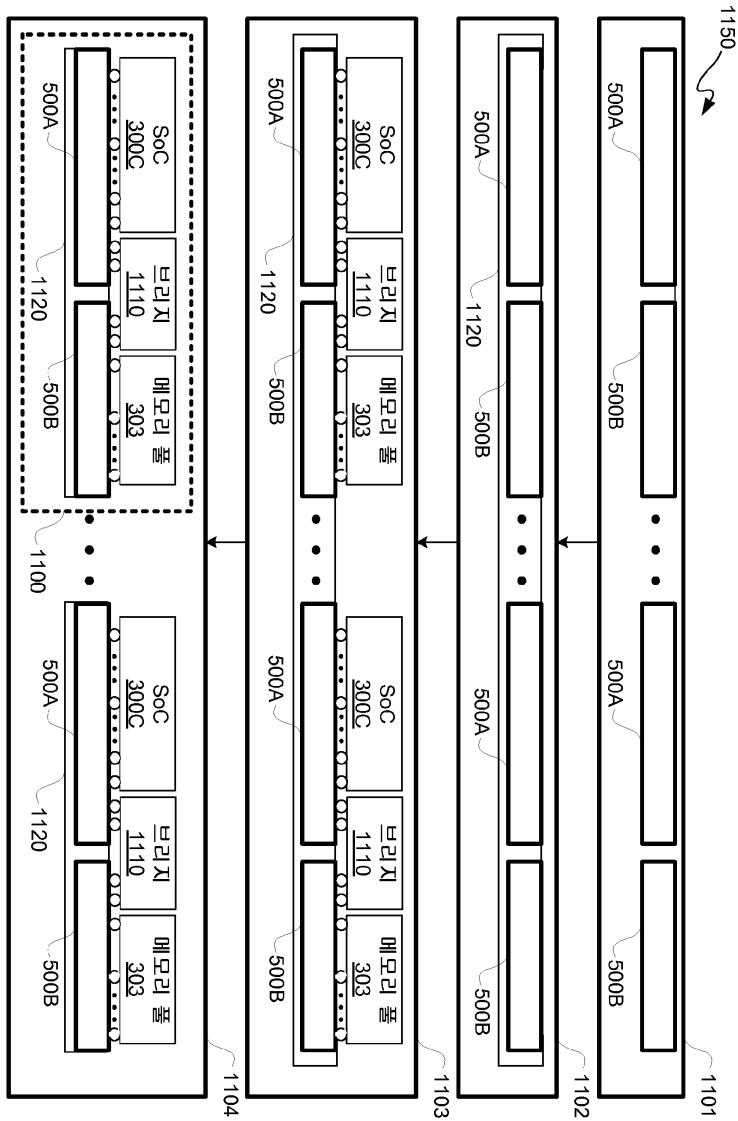
도면10a



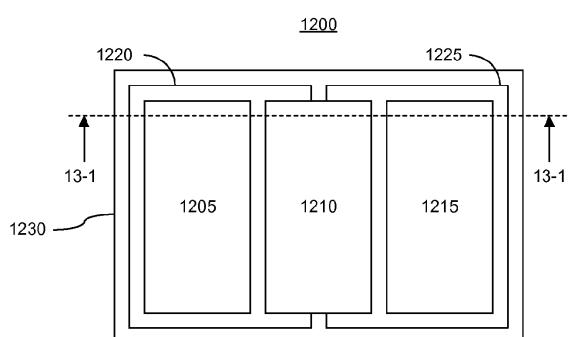
도면10b



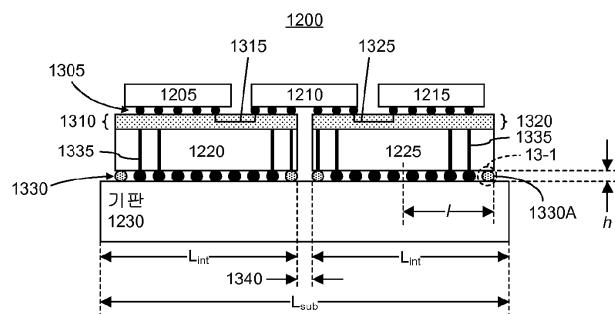
도면11



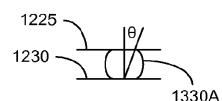
도면12



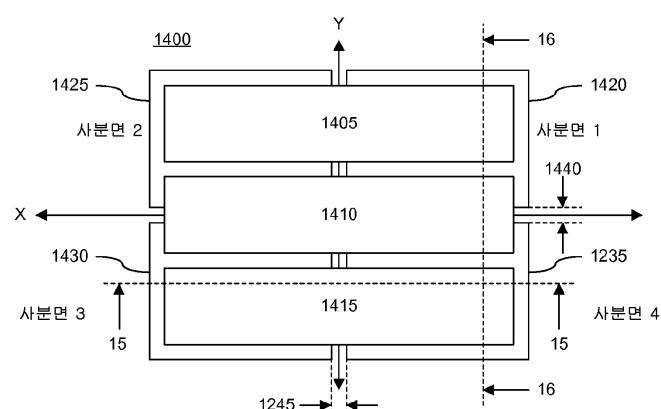
도면13a



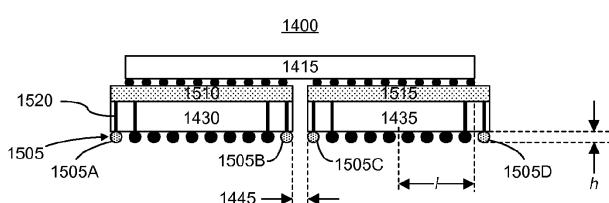
도면13b



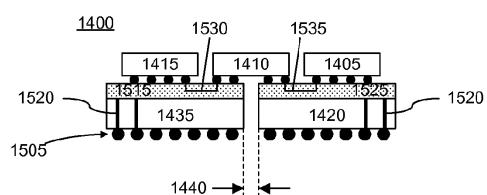
도면14



도면15



도면16



도면17

