

公告本

408348

申請日期	87.8.1
案 號	87112683
類 別	H01L21/00

A4
C4

(以上各欄由本局填註)

408348

發新

專利說明書

一、發明 名稱	中 文	使用半導體晶圓之晶片產量最高化的方法
	英 文	Method of maximizing chip yield for semiconductor wafers
二、發明 創作人	姓 名	法蘭克普瑞恩 (Frank Prein)
	國 籍	德 國
	住、居所	美國維吉尼亞州VA 23060阿倫峽谷 艾比峽谷道6022號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德 國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

408348

A6

B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
美

1997年9月25日 08/937,764(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2a-

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明()

發明背景

1. 技術領域：

本揭示係關於半導體晶圓，特別是關於最高化每一晶圓上晶片總產量之方法。

2. 相關技術說明

半導體晶體晶圓，例如由矽製成者，係當作基片用以加工處理積體電路晶片，隨著加工處理方法之進步，晶圓之直徑亦增加至目前的大約8英吋或更大。晶圓通常係自一大塊矽晶錠削割而得，因此通常呈圓形。

減小積體電路晶片之特徵大小已經增加了晶圓平面化之重要性，如今，隨著0.35微米之特徵已廣為傳佈，也因為表面平面化提供了提昇效能之主要管道，因此表面平面化更形重要。

化學機械磨光(CMP)係一增進半導體晶圓之表面平面化之過程，而且通常使用含有以矽石為基礎之軟膏之機械襯墊磨光系統。CMP提供一實用方法來達成全面晶圓平面化之重要益處。然而，用於全面平面化之CMP系統具有特定之限制。這些限制包含低晶圓產量，不均勻之磨光表面及與稱作"邊緣除外"之磨光均勻性有關之問題。當磨光太多的半導體晶圓時，邊緣除外即發生。這使得晶圓之邊緣或外圍部分變得不可用於積體電路之製造。晶圓磨光輸出量及磨光均勻性係為重要之程序參數，因為他們也直接影響了在一定時間內一製造設備可產生之積體電路晶片之數目。

五、發明說明(>)

如上述提及，晶圓為圓形。積體電路晶片係長方形或正方形。因為積體電路晶片係形成於晶圓上，所以有些晶圓區之不可使用係純屬形狀上之不匹配。而由於晶圓上邊緣除外之增加，而進一步增加了不可用之區域。除了磨光之外，邊緣除外也可由晶圓處理裝置之使用不當而產生。晶圓上之處理記號可以界定一邊緣除外。例如，一自晶圓邊緣向內延伸超過磨光緣之處理記號界定了該晶圓之邊緣除外。邊緣除外通常自最裏面之可使用直徑開始量起，輻射狀向外2至8毫米至晶圓之邊緣。

典型地是，使用一些方法來最高化在半導體晶圓上之晶片可使用區域面積。其中之一方法係藉由改變晶圓圖之中心點以最高化可自晶圓得到之良品片數目。參考第1圖，顯示了一半導體晶圓10，一晶圓圖20係一晶圓18上之積體電路晶片12之佈線圖，亦顯示了晶片之間之切割線。晶圓圖20在界定各別晶片12之位置上乃為一定，晶圓模式化程序係以晶圓晶片中心點16及邊緣除外作為輸入。自A點至B點之距離乃是晶緣18之邊緣除外。在晶圓之外圍產生了除外區14。超過直徑223毫米之晶片12乃屬不可用之晶片。晶圓模式化程序藉由調整中心點於由直徑22界定之區域內來移動晶圓圖，直到達到可用晶片數目的最大值。

雖然此方法對於一特定之邊緣除外產生晶片數目之量，但是每一晶圓之可用晶片可能因為邊緣除外稍微

五、發明說明()

地增加而大大地降低。例如，晶片 12a, 12b 及 12c 之角落皆落於邊緣除外區 14。假使邊緣除外更大的話，這些晶片可能被晶圓模式化技術之習知技術當作是不可使用。然而，延伸進入邊緣區 14 之某些晶片可能由於晶片之良率隨著晶圓半徑之減小而增加而變得可用。即是基於形狀而除去之晶片可能是實際上可用的。

因此，需要增加基於由於一特定邊緣除外之實際產量之半導體晶圓產量。

發明概述：

一製造半導體晶片之方法包含最佳化可幾何嵌入一晶圓之晶片數目之步驟，及最大化晶圓之晶片產量之步驟，此步驟乃是藉由考慮位在通常可除去之位置上之晶片及利用在通常可除去位置中之晶片之良率資料來權衡一可接受晶片之機率，如果此機率高於一臨限值則晶片不被除去。這造成了半導體晶圓之增加之晶片產量。

在較佳之製造半導體晶片之方法中，最佳化幾何嵌入晶圓之晶片數目之步驟包含提供一預定晶圓圖用以覆蓋晶圓，晶圓圖係以其上之一中心點作為參考座標，且藉由變化晶圓上之晶圓圖之中心點來最大化可嵌入圓圖之晶片第一數量。最大化晶片產量之步驟包括決定可嵌入晶圓之晶片數量，此乃是藉由變化邊緣除外距離並固定晶圓圖於一最大化之中心點位置，提供晶圓圖位置之良率曲線，將良率曲線及每一個晶圓圖

五、發明說明(4)

位置之晶片數量相乘以得到每個晶圓圖中心點位置之加權良率曲線，比較不同晶圓圖中心點位置之加權機率曲線，並選擇晶圓圖中心位置來最大化晶圓之晶片產量。最佳化幾何嵌入晶圓之晶片數目及最大化晶片產量之步驟可藉由電腦來執行。

圖式簡單說明：

本揭示將於下參考圖式詳細說明之，其中：

第1圖係具有晶圓圖及置於其上之晶片位置之晶圓之平面圖；

第2圖係顯示一典型晶圓之每一晶圓上之晶片數對邊緣除外之圖；

第3圖係顯示一左軸為每一晶圓之晶片數，右軸為良率，對水平軸為邊緣除外之圖；及

第4圖係一加權良率對邊緣除外之圖。

較佳實施例之詳細說明：

本揭示描述一用於最高化半導體晶圓之晶片產量之方法。藉由引入良率資料進入晶圓模式化程序，可增加晶圓之可用晶片數目。本方法典型地增進在晶圓之邊緣除外為大時之產量。此方法取為一晶片型收集之生產資料並且根據生產資料加權晶圓上之晶片位置。因為大的邊緣除外即等於習知技術中不可用之晶片，生產機率(良率)之加權根據其在晶圓上之位置節省了一些此種晶片。這造成了一特定晶圓之較大之晶片數目。

現在詳細地參考圖式，其中相似的標號代表各圖中

五、發明說明(5)

相似或一樣之元件，先參考第2圖，顯示了每一晶圓之晶片數目對邊緣除外(毫米)之圖。第2圖之縱軸顯示可在一晶圓上製造之積體電路晶片之數目。晶圓可以是一八英吋大小之晶圓。第2圖之橫軸代表一特定晶片之邊緣除外，以毫米為單位。橫軸之範圍可以是，例如2毫米至8毫米之間。此範圍可由晶圓圖中心點16(第1圖)來決定，中心點之位置由於晶圓圖20及晶圓18之形狀而受限。第2圖係一晶圓模擬器之曲線210圖，其中對於一特定邊緣除外變化晶圓圖20之中心點16，直到決定了晶片數目之最大值。一般來說，對一特定邊緣除外之晶片數目最大值之變化隨著邊緣除外之增加而減少。

值得注意的是在曲線210之水平線段之終端之轉角212。第2圖中之水平線未顯示對一特定邊緣除外之晶片數目之減少。這意味著隨著邊緣除外的增加，在一特定之邊緣除外距離範圍內，晶片數目皆維持一定。這對晶圓模擬圖乃是典型的現象，涉及了晶圓之圓形幾何及晶片之矩形形狀。數個晶片由於幾何形狀之不匹配而同時被視為不可用。參考第1圖，隨著邊緣除外距離(A點及B點之間)之增加，數個晶片轉角，例如12a、12b及12c移入除外區14更深處並且不再視為可用。

為了展示本揭示之方法，在第2圖中指定了兩點。點1，如圖示，顯示了直徑8英吋之晶圓在邊緣除外

五、發明說明 (b)

為 4.6 毫米時具有 146 個晶片之晶片產量。點 2，如圖示，顯示了直徑 8 英吋之晶圓在邊緣除外為 6.85 毫米時具有 140 個晶片之晶片產量。這兩個晶片產量代表由於幾何形狀而可允許之最大晶片數目。晶圓模擬器移動中心點 16 來移動晶圓圖 20 以決定對一特定邊緣除外之晶圓 10 之最大晶片數目。參見第 1 圖。第 2 圖顯示最高化晶圓之晶片數目之習知技術。根據第 2 圖，具有較小邊緣除外之點 1 將造成一較高之產量，例如，146 個晶片。

參考第 3 圖，第 3 圖之左縱軸顯示可自一晶圓製造之積體電路晶片數目。此晶圓可以是，例如，8 英吋之大小。第 3 圖之橫軸代表一特定晶片之邊緣除外，並以毫米為單位。橫軸之範圍可以是介於 2 毫米及 8 毫米之間，如第 2 圖所示。第 3 圖顯示當晶圓圖之中心點固定時對一特定邊緣之產量。

第 3 圖顯示了三個曲線。第一曲線 310 顯示，在邊緣除外之範圍上每一個晶圓之晶片產量，而中心點則固定在由晶圓模擬器對第 2 圖之點 1 所決定之位置。第二曲線 312 顯示在邊緣除外之範圍上每一晶圓之晶片產量，而中心點則固定在由晶圓模擬器對第 2 圖之點 2 所決定之位置。

在維持一固定中心點及自小邊緣除外 (2 毫米) 移向大邊緣除外 (8 毫米)，明顯的是，當邊緣除外為 4.6 毫米時，曲線 310 之每一晶圓上的晶片數下降得較曲線

五、發明說明(7)

312之每一晶圓上的晶片數為快。此下降乃是由於常邊緣除外增加時，更多的晶片落入晶片通常被除去之區域。雖然這些晶片更深入除外區14，仍是可用的(第1圖)。隨後將更詳細地描述在除外區辨識可用晶片之方法。

當晶片位置較靠近晶圓中心時，各別晶片之良率增加。這可由曲線314來顯示。曲線314具有一右縱軸，其以百分比值來代表良率。曲線314與前面相同使用相同的水平軸作為邊緣除外的座標軸。如曲線314所示，良率隨邊緣除外的增大而增加。曲線314係晶片製造之典型良率曲線。儘管在第2圖中點1之每片晶圓之晶片數目之起始值較高，晶圓圖中心點可以移過更多晶片而更靠近晶圓邊緣，藉此，根據晶片在晶圓上的位置而降低了可用晶片之數目(到晶圓中心距離的增加降低了良率)。曲線312顯示對於較大之邊緣除外，一高原316在所示之邊緣除外之範圍內維持不變。這意味著對於具有較大邊緣除外之晶圓而可以將第2圖中晶圓圖之中心點從點1之位置(可獲得146個晶片)移至點2(可獲得140個晶片)。這個決定是根據晶片之總產量，包括在除外區14之晶片(第1圖)而不僅是幾何嵌入晶圓10之晶圓圖20。

現在參閱第1及第4圖，比較晶圓10上之晶圓圖20之位置，加入了良率至晶圓圖中心之放置。用於加入良率至晶圓圖之置放之方法包含藉由決定轉折點212，

五、發明說明(8)

如第 2 圖所示，來取得晶圓圖中心在晶圓上之位置。這可藉由假設一邊緣除外值，然後變化晶圓圖之中心來決定那個位置將使最多的晶片基於幾何形狀嵌入邊緣除外之邊界內來完成。上述決定可藉由一適當程式化之電腦來執行。

在決定轉折點 212 之後，可決定對應之晶圓圖中心點 16。使用中心點 16 之位置來產生對於對應第 2 圖之點 1 及點 2 之中心點 16 之第 3 圖中之曲線 310 及 312。曲線 310 及 312 之產生可藉由適當地程式化電腦來執行。曲線 310 及 312 係藉由固定中心點 16 之位置及變化邊緣除外而決定可嵌入邊緣除外邊界內之晶片數來產生，如第 3 圖所示。曲線 310 及 312 (第 3 圖) 對整個晶片製造過程各別與良率曲線 314 相乘。在第 3 圖中之每個邊緣除外大小之良率與對應之每晶圓之晶片數相乘而獲得第 4 圖。

參閱第 4 圖，曲線 410 乃是由良率曲線 314 及曲線 310 相乘而產生。類似地，曲線 412 則是由曲線 314 與曲線 312 相乘而得。現在可以比較兩個晶圓圖中心點 16 之可能位置，其含括晶片之總產量。在邊緣除外範圍，例如在 2 毫米及 8 毫米之間，取曲線 410 及曲線 412 下方之面積。在曲線下方之面積愈大則良率愈高。曲線 410 及 412 之產生可藉由適當程式化之電腦來執行，而在曲線 410 及 412 下方之面積則可藉由例如數字積分程式來計算。在第 4 圖中，曲線 412 給予較好之晶圓圖中心點位置。如圖所示，區域 414 及區域 416 超過區域 418 之面

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

積。因此，在習知技術中將被除去之位置，例如第1圖中之點2，反而提供了較大的晶片總產量，這是因為原本會被除去之晶片之位置現在可以基於良率資料之加權而被使用，顯示了在一特定位置之晶片在驗收測試中成功地被認可。

對於一特定晶圓，其最佳總產量係藉由良率曲線之加權而提供。取代根據一特定之邊緣除外來決定每一晶圓之最高晶片數，而使用晶片產量資料來調整晶圓圖位置之加權。雖然預期更高的產量，但對8英吋大小之晶圓，產量增加，例如1-3%。一由於位在晶圓之除外區而通常被除去之晶片現在則可被使用，此乃是根據其在晶圓上位置之良率。如果在此位置上之晶片良率高於一指定之臨限值，則此晶片可被接受使用，因此增加了一晶圓之總產量。

再描述用於最高化每一半導體晶圓之晶片總產量之方法的實施例後(其係用於描繪而不在於限制)，應注意的是熟習此領域者可根據上述而變化本發明。因此可了解的是，本發明可在所附之申請專利之精神及範圍內變化。在詳細描述及根據專利法要求之特項描述本發明後，在所附申請專利範圍中列出欲由專利証書保護之範圍。

五、發明說明(10)

參考符號說明

- 10.....半導體晶圓
- 20.....晶圓圖
- 12.....積體電路晶片
- 18.....晶圓
- 14.....除外區
- 16.....中心點
- 210.....曲線
- 212.....轉折處
- 310.....第一曲線
- 312.....第二曲線
- 314.....曲線
- 316.....高原
- 410.....曲線
- 412.....曲線
- 414.....區
- 416.....區
- 418.....區

(請先閱讀背面之注意事項再填寫本頁)

來

訂

終

四、中文發明摘要（發明之名稱：

）

使半導體晶圓之晶片產量最高化的方法

一種製造半導體晶片之方法包括以下之步驟。最佳化可幾何嵌入晶圓之晶片數目，及最高化晶圓之晶片產量，此乃是藉由考慮位在通常被除去之位置之晶片並利用這些晶片之良率資料來加權一可接受晶片之機率，如果此機率高於一臨限值則不除去此晶片。這使得半導體晶圓之晶片產量增加。

英文發明摘要（發明之名稱：Method of maximizing chip yield for semiconductor wafers）

A method of fabricating semiconductor chips includes the steps of optimizing a number of chips that geometrically fit on a wafer and maximizing chip yield for the wafer by considering chips located in a normally rejectable location and utilizing yield probability data for the chip in the normally rejectable locations to weight the probability of an acceptable chip such that if the probability is above a threshold value the chips are not rejected. This results in an increased chip yield for semiconductor wafers.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

分

六、申請專利範圍

1. 一種用於製造半導體晶片之方法，包含下列步驟：

最佳化可幾何嵌入一品圓之晶片數目；及

最高化晶圓之晶片總產量，藉由：

考慮放置在晶圓上通常可除去之位置上的晶片；

使用至少一個在通常除去位置之晶片之良率資料來加權一可接受晶片之機率，如果此機率高於一臨限值，則並不除去此晶片。

2. 如申請專利範圍第1項之製造半導體晶片之方法，其中最佳化可幾何嵌入一品圓之晶片數目之步驟，包含提供一預定之晶圓圖用以覆蓋晶圓，晶圓圖自其上之中心點作為其參考點；及

藉由變化在晶圓上之晶圓圖中心點位置來最高化可嵌入晶圓之晶片第一數量。

3. 如申請專利範圍第1項之製造半導體晶片之方法，其中最高化晶片產量之步驟包括：

藉由固定晶圓圖於最大中心點位置來變化邊緣除外之距離來決定可嵌入晶圓之晶片數量；

對晶圓圖位置提供一良率曲線；

在每一個晶圓圖位置上將良率曲線與晶片數量相乘來獲得對每一個晶圓圖中心點位置之加權良率曲線；

比較對於不同之晶圓圖中心點位置之不同加權機率曲線；及

選擇晶圓圖中心點位置來最高化晶圓之晶片產量。

4. 如申請專利範圍第1項之製造半導體晶片之方法，其中晶圓之直徑約為8英吋。

六、申請專利範圍

5. 如申請專利範圍第1項之製造半導體晶片之方法，其中最佳化可幾何嵌入晶圓之晶片數目之步驟，及最高化晶圓之晶片產量之步驟係由電腦執行。

6. 一種製造半導體晶片之方法，包含下列步驟：

提供一預定之晶圓圖用以覆蓋晶圓，晶圓圖係以其上之一中心點為其參考點；

藉由變化晶圓上晶圓圖之中心點來最高化可嵌入晶圓之晶片第一數量；

記錄最大化之晶圓圖中心點位置；

藉由固定晶圓圖於最大化之中心點位置並變化邊緣除外距離來決定可嵌入晶圓之晶片數量；

對晶圓圖位置提供一良率曲線；

在每一個晶圓圖位置上將良率曲線與晶片數量相乘以獲得對每一個晶圓圖中心點之加權良率曲線；

比較對於不同晶圓圖中心點位置之不同加權機率曲線；及

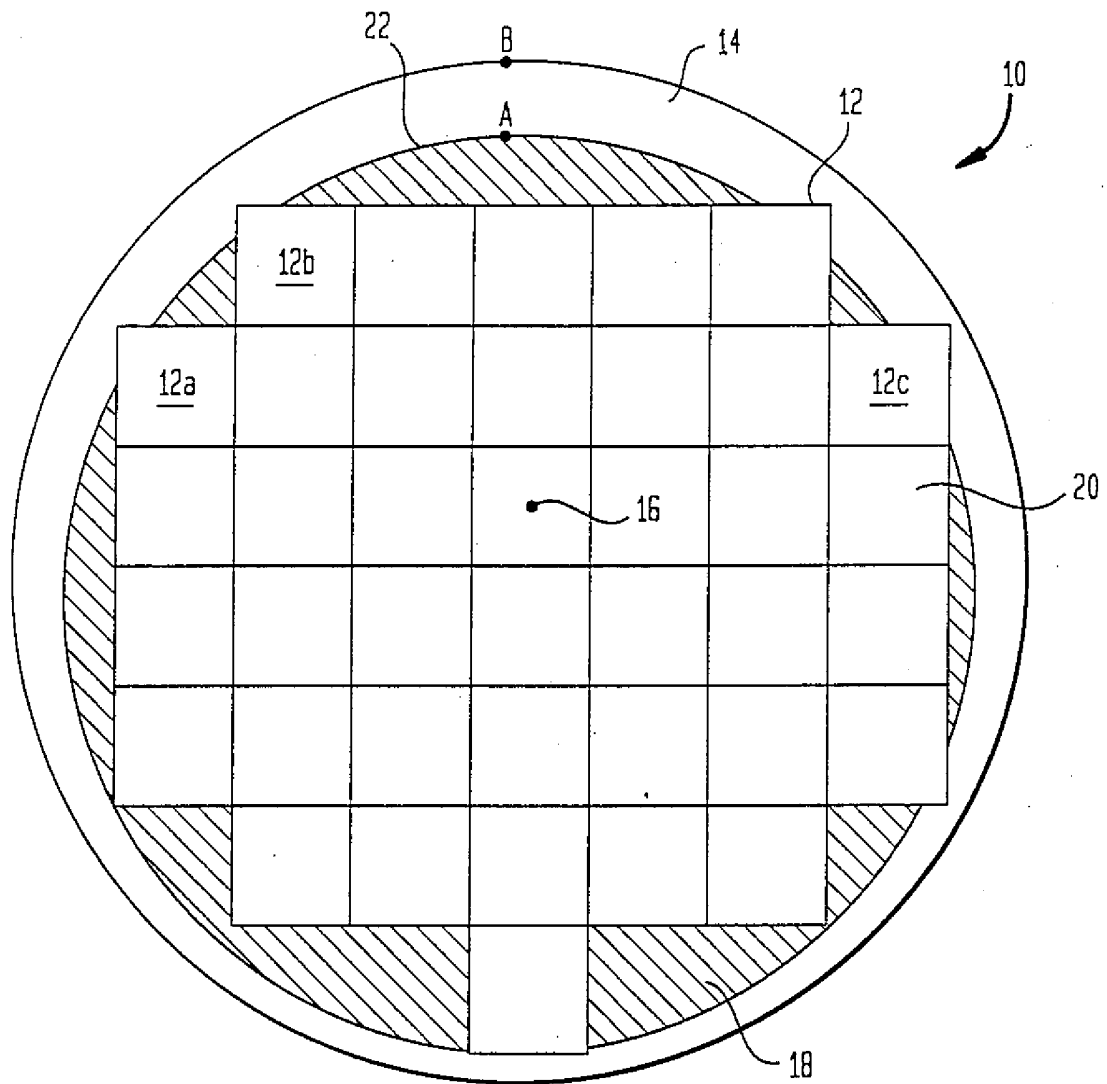
選擇晶圓圖中心點位置來最大化晶圓之晶片產量。

7. 如申請專利範圍第6項之製造半導體晶片之方法，其中晶圓直徑約為8英吋。

8. 如申請專利範圍第6項之製造半導體晶片之方法，其中邊緣除外之距離可在2毫米及8毫米之間變化。

9. 如申請專利範圍第6項之製造半導體晶片之方法，其中在每一個晶圓圖位置上將良率曲線與晶片數量相乘之步驟及比較不同中心點位置以最高化晶圓之晶片產量之步驟皆由電腦執行。

第 1 圖

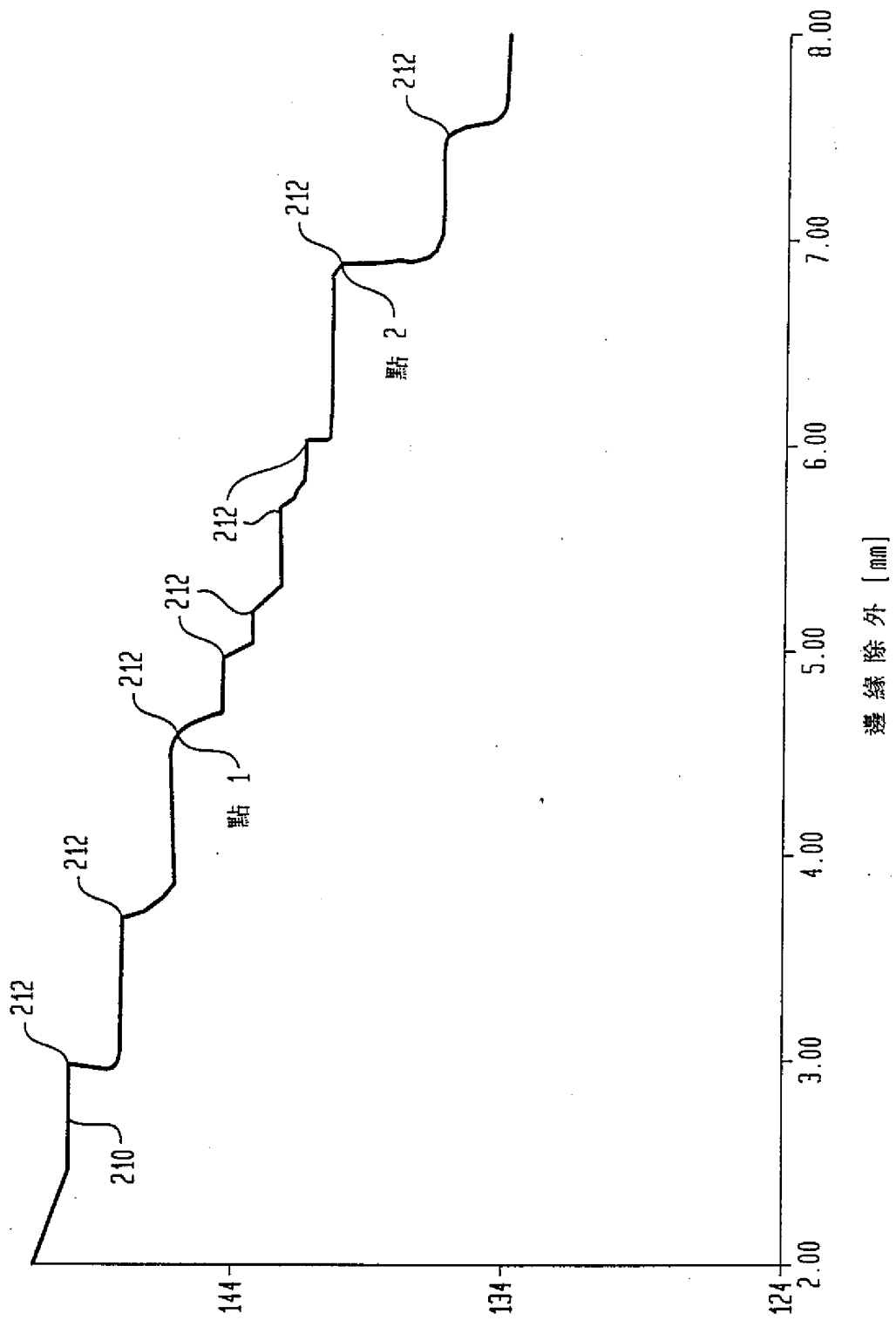


408348

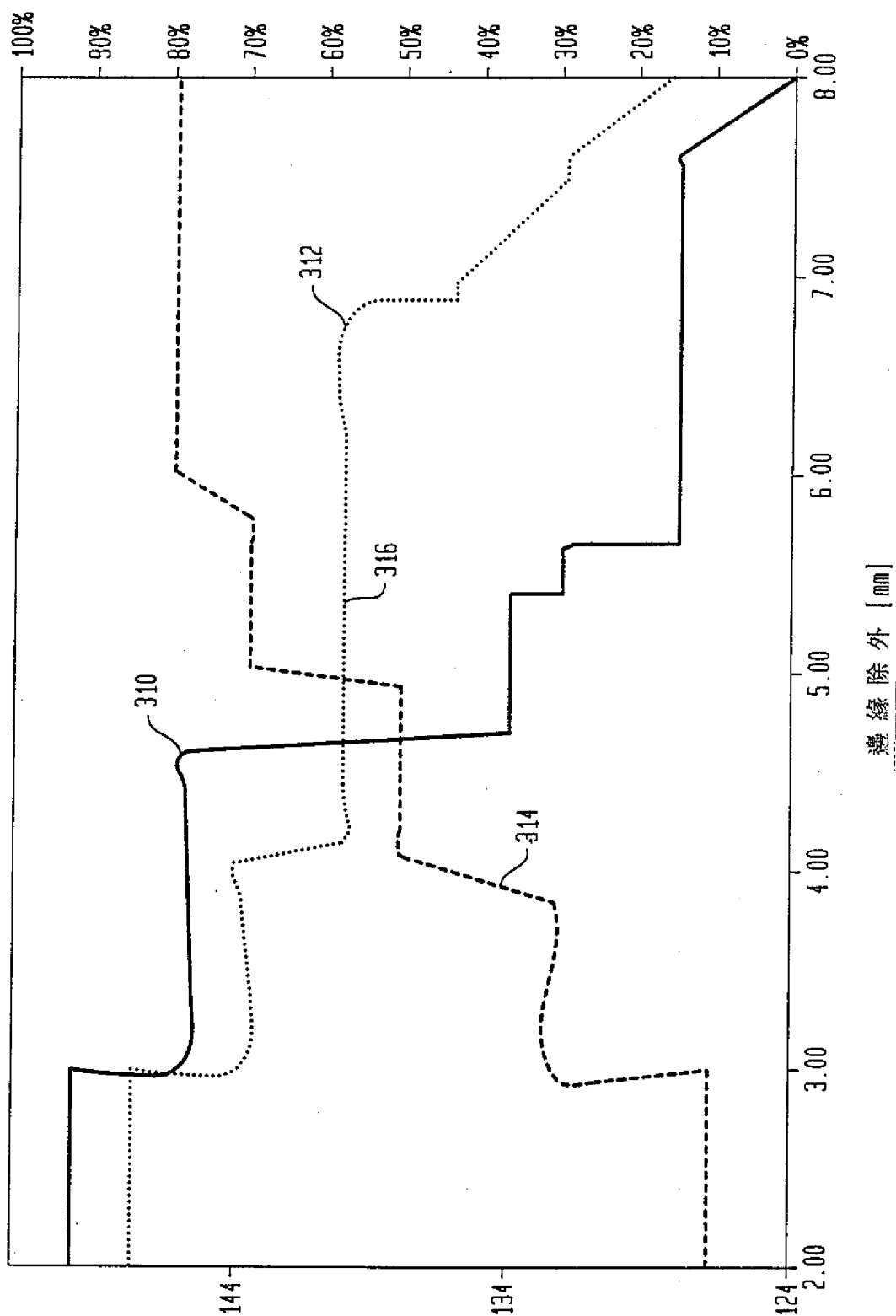
97 P 7620

2/4

第 2 圖



第3圖



第4圖

