

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 27 年 5 月 21 日 (2015.5.21)

【公開番号】特開 2012-216210 (P2012-216210A)
 【公開日】平成 24 年 11 月 8 日 (2012.11.8)
 【年通号数】公開・登録公報 2012-046
 【出願番号】特願 2012-83966 (P2012-83966)
 【国際特許分類】

G 0 6 F 13/16 (2006.01)

G 0 6 F 13/38 (2006.01)

【 F I 】

G 0 6 F 13/16 5 2 0 B

G 0 6 F 13/38 3 2 0 A

【手続補正書】
 【提出日】平成 27 年 4 月 2 日 (2015.4.2)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

メモリ・サブシステムであって、このサブシステムは、

データを格納するための 1 つ以上のメモリアレイを含むメモリデバイスと、前記メモリデバイスに結合し、メモリアレイを介してメモリ・トランザクションを受け取ることに応答して前記 1 つ以上のメモリアレイからデータを読み取ったり、前記 1 つ以上のメモリアレイにデータを書き込むように構成される制御装置とを含み、

前記メモリ・トランザクションは、複数のメモリ書き込みコマンドタイプを含み、各メモリ書き込みコマンドタイプは、対応するデータ・ペイロードを運ぶための異なるスケジュールに対応し、そして

前記メモリ・トランザクションは、複数のメモリ読み取り - 変更 - 書き込みコマンドタイプを更に含み、各メモリ読み取り - 変更 - 書き込みコマンドタイプは、

前記メモリデバイス内の特定のアドレスから読み取られるデータに遂行され、続いて、前記メモリデバイスの前記特定のアドレスに書き戻されるそれぞれの動作に対応し、かつ、

各メモリ読み取り - 変更 - 書き込みコマンドタイプは、前記メモリアレイを通して送られる 1 つの読み取り - 変更 - 書き込みトランザクションに対応することを特徴とする、メモリ・サブシステム。

【請求項 2】

各メモリ・トランザクションは、第 1 のコマンドスロットと第 2 のコマンドスロットを有する少なくとも 1 つのフレームを含むことを特徴とする、請求項 1 に記載のメモリ・サブシステム。

【請求項 3】

前記複数のメモリ書き込みコマンドタイプの 1 つは、

前記第 1 または第 2 のコマンドスロットの 1 つに位置する対応するメモリ書き込みコマンドを含む第 1 のフレームと、

前記対応するデータ・ペイロードの第 1 の部分を運ぶ第 2 のフレームと、

前記対応するデータ・ペイロードの残りの部分を運ぶ第 3 のフレームと、を含むことを

特徴とする、請求項 2 に記載のメモリ・サブシステム。

【請求項 4】

前記複数のメモリ書き込みコマンドタイプの 1 つは、

前記第 1 または第 2 のコマンドスロットの 1 つに位置する対応するメモリ書き込みコマンドを含む第 1 のフレームと、第 2 のフレームとを含み、

この第 2 のフレームは、

前記第 1 のコマンドスロットの前記対応するデータ・ペイロードの第 1 の部分と、

前記第 2 のコマンドスロットの前記対応するデータ・ペイロードの残りの部分とを運ぶことを特徴とする、請求項 2 に記載のメモリ・サブシステム。

【請求項 5】

前記複数のメモリ書き込みコマンドタイプの 1 つは、

前記第 1 または第 2 のコマンドスロットの 1 つに位置する対応するメモリ書き込みコマンドを含む第 1 のフレームと、複数の後続のフレームとを含み、

この複数の後続のフレームの各々は、

前記第 1 のコマンドスロットの前記対応するデータ・ペイロードの第 1 の部分と、

前記第 2 のコマンドスロットの前記対応するデータ・ペイロードの残りの部分とを運ぶように構成されることを特徴とする、請求項 2 に記載のメモリ・サブシステム。

【請求項 6】

前記複数のメモリ書き込みコマンドタイプの 1 つは、単一のフレームを含み、この単一のフレームは、

前記第 1 または第 2 のコマンドスロットの 1 つに位置する対応するメモリ書き込みコマンドと、前記残りのコマンドスロットの前記データ・ペイロードの部分とを含むことを特徴とする、請求項 2 に記載のメモリ・サブシステム。

【請求項 7】

前記複数のメモリ書き込みコマンドタイプの 1 つは、それぞれの符号化を有するそれぞれのメモリ書き込みコマンドを含むことを特徴とする、請求項 1 に記載のメモリ・サブシステム。

【請求項 8】

前記メモリ・トランザクションは、メモリ読み取りコマンドを更に含み、

前記メモリ書き込みコマンドタイプの少なくとも幾つかは、前記残りのコマンドスロットに位置するメモリ読み取りコマンドを含むように構成されることを特徴とする、請求項 1 に記載のメモリ・サブシステム。

【請求項 9】

前記メモリデバイス内の前記特定のアドレスは、前記制御装置内の記憶装置に格納されるベースアドレスに対するオフセットを使用してアクセスされることを特徴とする、請求項 1 に記載のメモリ・サブシステム。

【請求項 10】

システム・メモリにメモリ・リクエストを始めるように構成されるホストデバイスと、前記ホストデバイスに結合し、メモリ・リクエストを受け取るように、かつ、メモリインタフェースを介して前記メモリデバイスに運ばれるメモリ・トランザクションに前記メモリ・リクエストをフォーマット化するように構成されるメモリコントローラとを含むシステムであって、

前記メモリ・トランザクションは、複数のメモリ書き込みコマンドタイプを含み、

各メモリ書き込みコマンドタイプは、対応するデータ・ペイロードを運ぶために異なるスケジュールに対応し、そして、

前記メモリ・トランザクションは、複数のメモリ読み取り - 変更 - 書き込みコマンドタイプを更に含み、各メモリ読み取り - 変更 - 書き込みコマンドタイプは、

前記メモリデバイス内の特定のアドレスから読み取られるデータに遂行され、続いて、前記メモリデバイスの前記特定のアドレスに書き戻されるそれぞれの動作に対応し、かつ、

各メモリ読み取り - 変更 - 書き込みコマンドタイプは、前記メモリインタフェースを通して送られる１つの読み取り - 変更 - 書き込みトランザクションに対応することを特徴とする、システム。

【請求項 1 1】

前記複数のメモリ書き込みコマンドタイプの１つは、

第１のコマンドスロットまたは第２のコマンドスロットの１つに位置する対応するメモリ書き込みコマンドを含む第１のフレームと、

前記対応するデータ・ペイロードの第１の部分を運ぶ第２のフレームと、

前記対応するデータ・ペイロードの残りの部分を運ぶ第３のフレームと、を含むことを特徴とする、請求項 1 0 に記載のシステム。

【請求項 1 2】

前記複数のメモリ書き込みコマンドタイプの１つは、

第１のコマンドスロットまたは第２のコマンドスロットの１つに位置する対応するメモリ書き込みコマンドを含む第１のフレームと、第２のフレームとを含み、この第２のフレームは、

前記第１のコマンドスロットの前記対応するデータ・ペイロードの第１の部分と、

前記第２のコマンドスロットの前記対応するデータ・ペイロードの残りの部分とを運ぶことを特徴とする、請求項 1 0 に記載のシステム。

【請求項 1 3】

前記複数のメモリ書き込みコマンドタイプの１つは、

第１のコマンドスロットまたは第２のコマンドスロットの１つに位置する対応するメモリ書き込みコマンドを含む第１のフレームと、複数の後続のフレームとを含み、この複数の後続のフレームの各々は、

前記第１のコマンドスロットの前記対応するデータ・ペイロードの第１の部分と、

前記第２のコマンドスロットの前記対応するデータ・ペイロードの残りの部分とを運ぶように構成されることを特徴とする、請求項 1 0 に記載のシステム。

【請求項 1 4】

前記複数のメモリ書き込みコマンドタイプの１つは、単一のフレームを含み、この単一のフレームは、

前記第１のコマンドスロットまたは第２のコマンドスロットの１つに位置する対応するメモリ書き込みコマンドと、前記残りのコマンドスロットの前記データ・ペイロードの部分とを含むことを特徴とする、請求項 1 0 に記載のシステム。

【請求項 1 5】

システムメモリアレイからデータを読み取ったり、システムメモリにデータの書き込むためのメモリ・リクエストを受け取るステップと、

前記システム・メモリに運ばれるメモリ・トランザクションに前記メモリ・リクエストをフォーマット化するステップと、を含む方法であって、

前記メモリ・トランザクションは、複数のメモリ書き込みコマンドタイプを含み、

各メモリ書き込みコマンドタイプは、対応するデータ・ペイロードを運ぶため異なるスケジュールに対応し、そして、

前記メモリ・トランザクションは、複数のメモリ読み取り - 変更 - 書き込みコマンドタイプを更に含み、各メモリ読み取り - 変更 - 書き込みコマンドタイプは、

前記メモリデバイス内の特定のアドレスから読み取られるデータに遂行され、続いて、前記メモリデバイスの前記特定のアドレスに書き戻されるそれぞれの動作に対応し、かつ、

各メモリ読み取り - 変更 - 書き込みコマンドタイプは、前記メモリインタフェースを通して送られる１つの読み取り - 変更 - 書き込みトランザクションに対応することを特徴とする、方法。

【請求項 1 6】

前記複数のメモリ書き込みコマンドタイプの１つは、

第 1 のコマンドスロットまたは第 2 のコマンドスロットの 1 つに位置する対応するメモリ書き込みコマンドを含む第 1 のフレームと、

前記対応するデータ・ペイロードの第 1 の部分を運ぶ第 2 のフレームと、

前記対応するデータ・ペイロードの残りの部分を運ぶ第 3 のフレームと、
を含むことを特徴とする、請求項 15 に記載の方法。

【請求項 17】

前記複数のメモリ書き込みコマンドタイプの 1 つは、

第 1 のコマンドスロットまたは第 2 のコマンドスロットの 1 つに位置する対応するメモリ書き込みコマンドを含む第 1 のフレームと、第 2 のフレームとを含み、

この第 2 のフレームは、

前記第 1 のコマンドスロットの前記対応するデータ・ペイロードの第 1 の部分と、

前記第 2 のコマンドスロットの前記対応するデータ・ペイロードの残りの部分とを運ぶことを特徴とする、請求項 15 に記載の方法。

【請求項 18】

前記複数のメモリ書き込みコマンドタイプの 1 つは、

第 1 のコマンドスロットまたは第 2 のコマンドスロットの 1 つに位置する対応するメモリ書き込みコマンドを含む第 1 のフレームと、複数の後続のフレームとを含み、

この複数の後続のフレームの各々は、

前記第 1 のコマンドスロットの前記対応するデータ・ペイロードの第 1 の部分と、

前記第 2 のコマンドスロットの前記対応するデータ・ペイロードの残りの部分とを運ぶように構成されることを特徴とする、請求項 15 に記載の方法。

【請求項 19】

前記複数のメモリ書き込みコマンドタイプの 1 つは、単一のフレームを含み、

この単一のフレームは、

前記第 1 のコマンドスロットまたは第 2 のコマンドスロットの 1 つに位置する対応するメモリ書き込みコマンドと、

前記残りのコマンドスロットの前記データ・ペイロードの部分とを含むことを特徴とする、請求項 15 に記載の方法。

【請求項 20】

前記メモリ・トランザクションは、メモリ読み取りコマンドを更に含み、

前記メモリ書き込みコマンドタイプの少なくとも幾つかは、前記残りのコマンドスロットに位置するメモリ読み取り - 変更 - 書き込みコマンドを含むように構成されることを特徴とする、請求項 15 に記載の方法。

【請求項 21】

前記制御ユニットは、前記特定のアドレスから前記データを独立して読み取り、前記データにそれぞれの操作を遂行し、そして、前記 1 つの読み取り - 変更 - 書き込みトランザクションに応える前記メモリデバイスに前記変更されたデータを前記操作によって書き戻すよう構成されることを特徴とする請求項 1 に記載のメモリ・サブシステム。

【請求項 22】

前記メモリ・トランザクションは、メモリ書き込みコマンドを更に含み、少なくともいくつかの前記メモリ書き込みコマンドタイプは、前記残りのコマンドスロットに位置するメモリ読み取りコマンドを含むよう構成されることを特徴とする請求項 15 に記載の方法。

。