



(12)发明专利

(10)授权公告号 CN 104685568 B

(45)授权公告日 2018.07.31

(21)申请号 201380050582.8

(72)发明人 戴维·弗朗西斯·米图斯

(22)申请日 2013.09.18

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(65)同一申请的已公布的文献号

申请公布号 CN 104685568 A

代理人 沈锦华

(43)申请公布日 2015.06.03

(51)Int.Cl.

(30)优先权数据

61/702,391 2012.09.18 US

G11C 7/06(2006.01)

14/029,616 2013.09.17 US

G11C 7/14(2006.01)

(85)PCT国际申请进入国家阶段日

G11C 16/24(2006.01)

2015.03.27

G11C 16/28(2006.01)

(86)PCT国际申请的申请数据

G11C 13/00(2006.01)

PCT/US2013/060310 2013.09.18

(87)PCT国际申请的公布数据

(56)对比文件

W02014/047119 EN 2014.03.27

US 2011/0286259 A1, 2011.11.24,

(73)专利权人 密克罗奇普技术公司

EP 1612801 A1, 2006.01.04,

地址 美国亚利桑那州

CN 101174467 B, 2012.06.06,

审查员 邢白灵

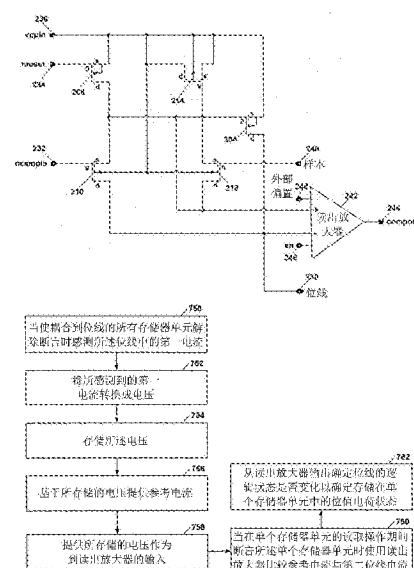
权利要求书2页 说明书6页 附图5页

(54)发明名称

用于感测存储器单元的自偏置多参考

(57)摘要

可在执行读取之前的位线预充电时间期间使用在未断言存储器单元的情况下出现在位线上的电流,以便偏置连接在所述位线与VDD电势下的电力供应器之间的栅极-漏极短接PMOS上拉装置。当所述漏极在所述预充电时间完成之后断开时,连接到此PMOS上拉装置的所述栅极的电容可用于“存储”所得栅极-源极电压。一旦所述读取操作开始,便重新使用具有所述“所存储的”所得栅极-源极电压的所述PMOS上拉装置的电流及所述“所存储的”所得栅极-源极电压本身作为参考或多参考,用于在连接到所述位线的经断言存储器单元的读取操作期间感测所述经断言存储器单元的状态。



1. 一种用于确定具有浮动栅极的存储器单元的电荷状态的方法,所述方法包括以下步骤:

当使耦合到位线的所有存储器单元解除断言时通过将第一晶体管的栅极和漏极耦合到所述位线来感测所述位线中的第一电流;

通过从所感测到的第一电流跨越所述第一晶体管的所述栅极和源极产生电压来将所述第一电流转换成电压;

通过跨越由第二晶体管的栅极及连接在一起的源极-漏极形成的电容器耦合所述电压来存储所述电压;

基于所存储的电压提供参考电流;

从所述所存储的电压提供用作读出放大器的输入的参考电压;

当在连接到所述位线的单个存储器单元的读取操作期间断言所述单个存储器单元时,使用利用所述参考电压的所述读出放大器比较所述参考电流与所述位线中的第二电流;以及

从所述读出放大器输出确定所述位线的逻辑状态是否改变以用于确定存储在所述单个存储器单元中的位值电荷状态。

2. 根据权利要求1所述的方法,其中所述提供所述参考电流的步骤包括使用所述第一晶体管基于存储在所述电容器中的所述电压产生所述参考电流的步骤。

3. 根据前述权利要求中任一权利要求所述的方法,其中使用所述读出放大器比较所述参考电流与所述第二电流的步骤包括在已断言所述存储器单元之后监测与所述存储器单元相关联的所述位线的电压的步骤。

4. 根据权利要求1-2中任一权利要求所述的方法,其中所述确定存储在所述单个存储器单元中的所述位值电荷状态的步骤包括检测与所述经断言存储器单元相关联的所述位线的逻辑状态的变化或所述逻辑状态的缺乏的步骤。

5. 根据权利要求2所述的方法,其中所述第一晶体管的所述漏极耦合到所述位线且所述第一晶体管的所述源极耦合到电力供应电压,且存储在所述第二晶体管中的所述电压偏置所述第一晶体管以提供所述参考电流。

6. 根据权利要求1-2中任一权利要求所述的方法,其中在所述经断言存储器单元的读取操作期间,使用所述第二晶体管中的所述所存储电压来确定用于感测耦合到所述位线的所述经断言存储器单元的所述位值电荷状态的所述参考电流。

7. 根据权利要求1-2中任一权利要求所述的方法,其中在所述经断言存储器单元的读取操作期间,重新使用所述第二晶体管中的所述所存储电压作为到所述读出放大器的参考输入,所述读出放大器具有确定耦合到所述位线的所述经断言存储器单元的所述位值电荷状态的输出。

8. 根据权利要求1-2中任一权利要求所述的方法,其中所述第一及第二晶体管为p型金属氧化物半导体PMOS晶体管。

9. 根据权利要求1-2中任一权利要求所述的方法,其中所述第一及第二晶体管为n型金属氧化物半导体NMOS晶体管。

10. 一种用于确定具有浮动栅极的存储器单元的电荷状态的设备,其包括:

第一晶体管,在第一模式期间当使耦合到位线的所有存储器单元解除断言时,所述第

一晶体管通过金属氧化物半导体晶体管使栅极及漏极耦合到所述位线且使源极耦合到电力供应电压,其中感测所述位线中的第一电流;

其中,通过从跨越所述第一晶体管的所述栅极和源极产生电压,所述第一晶体管将所述第一电流转换成电压;

电容器,其由第二晶体管形成且所述电容器经配置以在所述第一模式期间存储所述电压;

其中,开关装置在第二模式期间控制所述第一晶体管以基于来自所述电容器的所述所存储的电压提供参考电流;

其中来自所述电容器的所述所存储的电压还用作读出放大器的参考输入;

其中当在耦合到所述位线的单个存储器单元的读取操作期间断言所述单个存储器单元时,所述读出放大器利用所述参考输入比较所述参考电流与所述位线中的第二电流;且

其中,所述设备经配置以基于所述位线的逻辑状态是否改变而在所述第二模式期间确定存储在所述单个存储器单元中的位值电荷状态。

11. 根据权利要求10所述的设备,其中所述读出放大器经配置以通过检测与所述经断言存储器单元相关联的所述位线的逻辑状态的变化或所述逻辑状态的缺乏来确定存储在所述单个存储器单元中的所述位值电荷状态。

12. 根据权利要求10所述的设备,其中所述第一晶体管的所述漏极耦合到所述位线,所述第一晶体管的所述源极耦合到电力供应电压,且存储在所述电容器中的所述电压偏置所述第一晶体管以提供所述参考电流。

13. 根据权利要求10所述的设备,其中在所述经断言存储器单元的读取操作期间,提供所述第二晶体管中的所述所存储的电压作为到所述读出放大器的所述参考输入,所述读出放大器的输出构件确定耦合到所述位线的所述经断言存储器单元的所述位值电荷状态。

用于感测存储器单元的自偏置多参考

[0001] 相关专利申请案

[0002] 本申请案主张戴维斯·弗朗西斯·梅特斯 (David Francis Mietus) 在2012年9月18日申请的标题为“自偏置多参考 (Self-Biasing Multi-Reference)”的第61/702,391号共同拥有的美国临时专利申请案的优先权,且所述临时专利申请案特此出于所有目的以引用的方式并入本文中。

技术领域

[0003] 本发明涉及一种自偏置多参考,特定来说,涉及一种用于存储器单元中的自偏置多参考。

背景技术

[0004] 电可擦除及可编程只读存储器 (EEPROM) 为可在没有电力的情况下保持其存储器内容的可重写存储器装置。EEPROM在写入层级 (write level) 处是位或字节可寻址的,这意味着必须先擦除位或字节才能重写位或字节。通常在电路板上使用EEPROM来存储指令及数据。参考图1,“浮动栅极”将所存储的位电荷保持在EEPROM中。通常使用基于互补金属氧化物半导体 (COMS) 的晶体管技术且所述晶体管技术具有用于保持所存储位电荷的“浮动栅极”。当没有电荷位于浮动栅极上时,晶体管正常起作用,且控制栅极上的脉冲致使电流流动。当浮动栅极充电时,此电荷阻碍存储器单元晶体管的正常控制栅极动作,且电流在控制栅极上的脉冲期间不流动。通过使源极及漏极端子接地且在控制栅极上施加足够电压使得电荷穿隧通过氧化物到达浮动栅极来实现充电。从另一晶体管传送的反向电压通过致使浮动栅极电荷消散到集成电路衬底中来清除所述浮动栅极电荷。

[0005] 存储器装置需要高可靠性。用于产生 (例如) 串行EEPROM产品的技术可在从存储器阵列读出适当数据的装置能力方面具有限制。举例来说,过量“单元”泄漏可最小化/消除区分被读取的经断言存储器单元的“接通”单元电流与“关断”单元电流的能力。偏移可由使用连接到位线的“泄漏元件 (leaker)”晶体管引起。使用自定时读取方案可允许读取之前的位线放电。使用读取电荷泵可最小化“接通”单元电流的供应变化。

[0006] 此外,“接通”单元电流的降级及/或不受控制/不正确的参考电流电平限制了读出放大器性能。存在“接通”单元电流的耐久性相关降级。所使用的参考电压/电流电平可随着所使用的工艺过度变化及/或不跟踪“接通”单元电流对电压供应及/或温度。无法通过固定参考电流补偿位线泄漏电流。

发明内容

[0007] 因此,在EEPROM存储器产品中需要:提高对存储器单元电流的耐久性降级的抗扰性;消除外部参考电流及/或泄露补偿;通过最小化泄露电流在高温下的影响来改善电路功能;及通过不要求位线在读取操作期间预充电到全 V_{DD} 电势来实现较低电力操作。

[0008] 根据一实施例,一种用于确定具有浮动栅极的存储器单元的电荷状态的方法可包

括以下步骤:当可使耦合到位线的所有存储器单元解除断言时感测所述位线中的第一电流;将所述第一电流转换成电压;存储所述电压;基于所述所存储电压提供参考电流;从所述所存储电压提供用作读出放大器的输入的电压参考;当可在连接到所述位线的单个存储器单元的读取操作期间断言所述单个存储器单元时,使用所述读出放大器比较参考电流与所述位线中的第二电流;及根据所述参考电流与所述第二电流的比较从所述读出放大器输出确定存储在所述单个存储器单元中的位值电荷状态。

[0009] 根据所述方法的另一实施例,感测第一电流的步骤可包括当可使耦合到位线的所有存储器单元解除断言时将第一晶体管的栅极及漏极耦合到位线的步骤。根据所述方法的另一实施例,将第一电流转换成所述电压的步骤可包括从感测到的第一电流跨越第一晶体管的栅极及源极产生所述电压的步骤。根据所述方法的另一实施例,存储所述电压的步骤可包括跨越第二晶体管的栅极及连接在一起的源极-漏极耦合所述电压的步骤,其中所述电压可存储在形成在第二晶体管的栅极与源极-漏极之间的电容之间。根据所述方法的另一实施例,存储所述电压的步骤可包括跨越电容器耦合所述电压的步骤。

[0010] 根据所述方法的另一实施例,提供参考电流的步骤可包括使用第一晶体管基于存储在第二晶体管中的电压产生参考电流的步骤。根据所述方法的另一实施例,提供参考电流的步骤可包括使用第一晶体管基于存储在电容器中的电压产生参考电流的步骤。根据所述方法的另一实施例,比较参考电流与第二电流的步骤可包括在已断言所述存储器单元之后监测与所述存储器单元相关联的位线的电压的步骤。根据所述方法的另一实施例,确定存储在单个存储器单元中的位值电荷状态的步骤可包括检测与经断言存储器单元相关联的位线的逻辑状态的变化或所述逻辑状态的缺乏的步骤。

[0011] 根据所述方法的另一实施例,第一晶体管的漏极可耦合到位线且第一晶体管的源极可耦合到电力供应电压,且存储在第二晶体管中的电压偏置第一晶体管以提供参考电流。根据所述方法的另一实施例,在经断言存储器单元的读取操作期间,可使用第二晶体管中的所存储电压来确定用于感测耦合到位线的经断言存储器单元的位值电荷状态的参考电流。根据所述方法的另一实施例,在经断言存储器单元的读取操作期间,可重新使用第二晶体管中的所存储电压作为到读出放大器的参考输入,所述读出放大器具有确定耦合到位线的经断言存储器单元的位值电荷状态的输出。根据所述方法的另一实施例,所述第一及第二晶体管可为p型金属氧化物半导体 (PMOS) 晶体管。根据所述方法的另一实施例,所述第一及第二晶体管可为n型金属氧化物半导体 (NMOS) 晶体管。

[0012] 根据另一实施例,一种用于确定具有浮动栅极的存储器单元的电荷状态的设备可包括:第一晶体管,当可使耦合到位线的所有存储器单元解除断言时,所述第一晶体管使栅极及漏极耦合到所述位线且使源极耦合到电力供应电压,其中可感测位线中的第一电流;第一晶体管将第一电流转换成电压;第二晶体管存储所述电压;第一晶体管基于来自第二晶体管的所存储电压提供参考电流;其中来自电容器的所存储电压还可用作读出放大器的参考输入;其中当可在连接到位线的单个存储器单元的读取操作期间断言所述单个存储器单元时可使用读出放大器比较参考电流与位线中的第二电流;且可从比较参考电流与第二电流的读出放大器确定存储在单个存储器单元中的位值电荷状态。

[0013] 根据另一实施例,穿过第一晶体管的第一电流在第一晶体管的栅极与源极之间产生电压。根据另一实施例,所述电压可存储在形成在第二晶体管的栅极与源极-漏极之间的

电容之间。根据另一实施例,所述电压可存储在电容器上。根据另一实施例,可借助与经断言存储器单元相关联的位线比较参考电流与第二电流。根据另一实施例,可通过检测与经断言存储器单元相关联的位线的逻辑状态的变化或所述逻辑状态的缺乏来确定存储在单个存储器单元中的位值电荷状态。根据另一实施例,第一晶体管的漏极可耦合到位线,第一晶体管的源极可耦合到电力供应电压,且存储在第二晶体管中的电压偏置第一晶体管以提供参考电流。根据另一实施例,在经断言存储器单元的读取操作期间,可提供第二晶体管中的所存储电压作为到读出放大器的参考输入,所述读出放大器的输出构件确定耦合到位线的经断言存储器单元的位值电荷状态。根据另一实施例,所述第一及第二晶体管可为p型金属氧化物半导体(PMOS)晶体管。根据另一实施例,所述第一及第二晶体管可为n型金属氧化物半导体(NMOS)晶体管。

[0014] 根据又一实施例,一种用于确定具有浮动栅极的存储器单元的电荷状态的设备可包括:第一晶体管,当可使耦合到位线的所有存储器单元解除断言时,所述第一晶体管使栅极及漏极耦合到所述位线且使源极耦合到电力供应电压,其中可感测所述位线中的第一电流;第一晶体管将第一电流转换成电压;电容器存储电压;第一晶体管基于来自所述电容器的所存储电压提供参考电流;可提供来自所述电容器的所存储电压作为读出放大器的参考输入;其中当可在连接到位线的单个存储器单元的读取操作期间断言所述单个存储器单元时,可使用读出放大器比较参考电流与位线中的第二电流;且可从比较参考电流与第二电流的读出放大器确定存储在单个存储器单元中的位值电荷状态。

附图说明

[0015] 通过参考结合附图进行的以下描述可获得对本发明的更完整理解,在附图中:

[0016] 图1说明根据本发明的教示的电可擦除且可编程只读存储器(EEPROM)晶体管的示意横截面图;

[0017] 图2说明根据本发明的特定实例实施例的具有读出放大器的自偏置多参考的示意图;

[0018] 图3说明用于模型化图2中展示的自偏置多参考的示意图;

[0019] 图4说明针对经断言存储器单元的“接通”及“关断”状态两者的与图3中展示的电路模型相关联的读取操作时序波形;以及

[0020] 图5说明根据本发明的特定实例实施例的与利用自偏置多参考的电路相关联的流程图。

[0021] 虽然本发明可具有各种修改及替代形式,但已在图式中展示本发明的特定实例实施例且在本文中详细描述特定实例实施例。然而,应理解,本文中的特定实例实施例的描述不希望将本发明限于本文中揭示的特定形式,而相反,本发明应涵盖如由所附权利要求书界定的所有修改及等效物。

具体实施方式

[0022] 根据本发明的各种实施例,可感测存在于未经断言存储器阵列位线上的电流且将所述电流存储为电压。接着,可利用此所存储电压来产生参考电流且当在经断言存储器单元的读取操作期间确定所述经断言存储器单元的状态时将此所存储电压用作读出放大器

的参考电压。此外,根据各种实施例,可通过最小化泄露电流在高温下的影响来提供经改善的电路功能。因为位线可在经断言存储器单元的读取期间预充电到低于 V_{DD} 电势,所以各种实施例实现较低电力操作。

[0023] 根据各种实施例,提高对存储器单元电流的耐久性降级的抗扰性且可消除对外部参考电压、电流及/或泄露补偿的需要。

[0024] 根据各种实施例,可在执行读取之前的位线预充电时间期间使用在未断言存储器单元的情况下出现在位线上的电流来偏置连接在位线与 V_{DD} 电势下的供应器之间的栅极-漏极短接PMOS上拉装置。当漏极在预充电时间完成之后断开时,可使用连接到此PMOS上拉装置的栅极的电容来“存储”所得栅极-源极电压。在读取操作开始之后,即刻重新使用具有“所存储的”所得栅极-源极电压的PMOS上拉装置的电流作为用于感测连接到位线的经断言存储器单元的状态的参考,而读出放大器使用“所存储的”电压作为用于与所得位线电压进行比较的参考以便在经断言存储器单元的读取操作期间确定所要输出状态。

[0025] 现参考图式,示意性地说明特定实例实施例的细节。图式中的相同元件将由相同数字表示,且类似元件将由具有不同小写字母下标的相同数字表示。

[0026] 参考图2,描绘根据本发明的特定实例实施例的具有读出放大器的自偏置多参考的示意图。晶体管204、208、210、214及218可为如图2中所展示那样布置及连接在一起且如下一起运行的P型金属氧化物半导体 (PMOS) 晶体管:当使附接到位线230的EEPROM存储器阵列(未展示)的所有存储器单元解除断言时,通过在nsample节点232上断言逻辑低(“0”)从而引起晶体管204的栅极及漏极经由晶体管210耦合在一起来感测位线230上的电流。接着,电流流动通过晶体管204,从而产生跨越晶体管214的栅极-源极出现的电压,晶体管214还用作此电压的“保持”电容器。预期且在本发明的范围内,可使用N型金属氧化物半导体 (NMOS) 晶体管来代替PMOS晶体管,且半导体及存储器电路设计领域的受益于本发明的一般技术人员可使用NMOS晶体管来设计此电路。

[0027] 当使nsample节点232解除断言到逻辑高(“1”)时,晶体管204现用作电流参考,其中通过跨越用作“保持”电容器的晶体管214的栅极-源极存储的电压来确定参考电流。接着,可比较此参考电流与来自在其读取操作期间连接到位线节点230的单个经断言存储器单元(未展示)的电流。取决于来自此经断言存储器单元的电流,可观察出现在位线节点230上的电压以基于此经断言存储器单元的接通(高电流)或关断(低电流)状态改变其逻辑状态,例如,当参考电流大于经断言存储器单元电流时位线节点230处在第一电压电平且在参考电流小于经断言存储器单元电流时位线节点230处在第二电压电平。读出放大器242用于通过重新使用出现在晶体管204的栅极端子上的电压作为其参考输入来检测位线节点230的电压电平。读出放大器242利用由外部偏置节点248表示的外部偏置及由en节点246表示的外部状态控制,en节点246在经断言为逻辑高时用于启用读出放大器242进行读取操作且在解除断言时停用读出放大器242。compout节点244为读出放大器242的输出且为监测位线节点230与出现在晶体管204的栅极端子上的电压之间的电压比较的结果的构件。出现在晶体管204的栅极端子上的电压用作多参考,这是因为其用作用于电压比较操作的参考且用作用于产生用于位线电流比较操作的参考的所存储偏置电压。此操作独立于连接到位线节点230的存储器单元的数目,这是因为所观察到的电流的变化是由被断言的单个存储器单元的状态改变所引起,如下文更充分解释。

[0028] 当将nreset节点234断言为逻辑高时,晶体管208可用于将晶体管204的栅极端子放电到在电力循环期间存在于vppin节点236上的 V_{DD} 电势或开始/结束读取操作。晶体管218可连同节点240上的样本信号一起用作电荷补偿以偏移由使晶体管210解除断言引起的“保持”步间电压。可能需要这样做来确保由晶体管204产生的参考电流等于或大于最初存在于存储器阵列位线节点230上的电流。注意,根据本发明的特定实例实施例,可通过使用实际电容器交替地提供包括晶体管214的栅极-源极的“保持”电容器。外部偏置节点248及en节点246上的控制信号分别用于偏置及启用读出放大器242。

[0029] 参考图3,描绘用于模型化利用图2中展示的自偏置多参考的电路的示意图。电流源446用于包含由连接到位线节点230的其它电路块(未展示)产生的泄漏电流。晶体管448用于包含连接到位线节点230的过剩的经解除断言的存储器单元。晶体管450表示连接到位线节点230的借助w1节点452断言以用于读取操作的单个存储器单元。电容器454用于包含与位线节点230相关联的寄生电容。

[0030] 参考图4,描绘针对经断言存储器单元的“接通”及“关断”状态两者的与图3中展示的电路模型相关联的读取操作时序波形。当将nreset节点234短暂地断言为逻辑低时(这将晶体管204的栅极端子放电到存在于vppin节点236上的 V_{DD} 电势),读取操作开始。这还用于使存在于晶体管214的栅极端子上的任何所存储电荷放电。读取操作通过使nsample节点232及样本节点240循环(这导致由晶体管204产生的电流 I_{store} ,如由存在于晶体管214的栅极端子上的所存储电荷确定)而继续进行。 I_{store} 的值可如下近似:

$$[0031] \quad I_{store} \sim I_{446} + I_{448} + I_{450, de-asserted}$$

[0032] 这还导致位线节点230被迫达到低于存在于vppin节点236上的 V_{DD} 电势的电压,如由晶体管204上存在的栅极-源极电压确定。一旦nsample节点232及样本节点240的循环完成,便转变w1节点452,这断言存储器单元晶体管450。在存储器单元晶体管450被断言的情况下,位线节点230现将以以下两种方式中的一者做出响应:

[0033] 1) 如果存储器单元晶体管450处于“关断”状态,那么位线节点230将基于以下事实而保持未充电(接近 V_{dd} 电势):

$$[0034] \quad I_{store} > I_{446} + I_{448} + I_{450, asserted}$$

[0035] 因此,当比较位线节点230与出现在晶体管204的栅极端子上的参考电压时,读出放大器242的输出(即,compout节点244)将处在逻辑低状态中。

[0036] 2) 如果存储器单元晶体管450处在“接通”状态中,那么将基于以下事实使位线节点230放电(例如,接近接地电势):

$$[0037] \quad I_{store} < I_{446} + I_{448} + I_{450, asserted}$$

[0038] 因此,当比较位线节点230与出现在晶体管204的栅极端子上的参考电压时,读出放大器242的输出(即,compout节点244)将处在逻辑高状态中。

[0039] 因此,可通过监测读出放大器242的输出(即,compout节点244)容易地确定存储器单元晶体管450的“接通”或“关断”状态。当通过转变w1节点452且借助使en节点246(未在图4中展示)解除断言来停用读出放大器242而使存储器单元晶体管450解除断言时,终止读取操作。

[0040] 参考图5,描绘根据本发明的特定实例实施例的与利用自偏置多参考的电路相关联的流程图。在步骤750中,当使耦合到位线的所有存储器单元解除断言时感测第一位线电

流。在步骤752中,将所感测到的第一位线电流转换成电压,且在步骤754中,存储所述电压,例如,存储在用作电压存储电容器的晶体管214的栅极-源极结中。在步骤756中,基于所存储的电压提供参考电流。在步骤758中,将所存储的电压作用于读出放大器的参考。在步骤760中,当在读取操作期间断言耦合到位线的单个存储器单元时,使用利用参考电压的读出放大器比较参考电流与第二位线电流。在步骤762中,从读出放大器输出确定位线的逻辑状态是否改变以用于确定存储在单个存储器单元中的位值电荷状态。

[0041] 根据本发明的教导,可产生有效地消除现有解决方案的限制以用于从EEPROM阵列适当地读出数据的“自偏置”多参考。使用小于供应电压的预充电电压减小了电力消耗。本发明的各种实施例可用于减小制造成本及实现更稳健的存储器装置,例如(举例来说但不限于)串行EEPROM产品。

[0042] 虽然已通过参考本发明的实例实施例描绘、描述且界定本发明的实施例,但此类参考并不暗示对本发明的限制,且不应推断任何此限制。所揭示的标的物容许形式及功能方面的大量修改、更改及等效物,如相关领域的受益于本发明的一般技术人员将设想到。本发明的所描绘及描述的实施例仅为实例,且不穷尽本发明的范围。

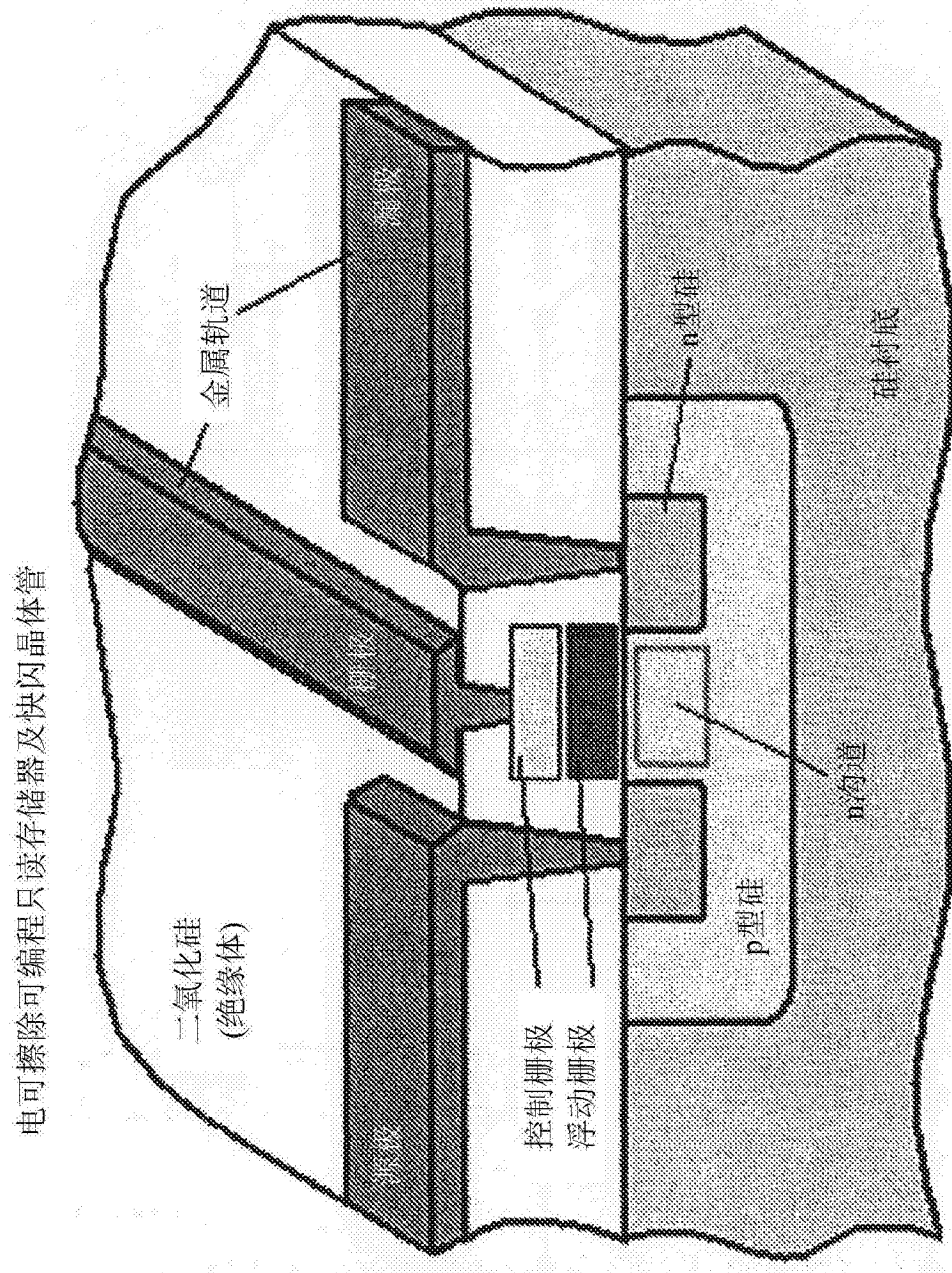


图1

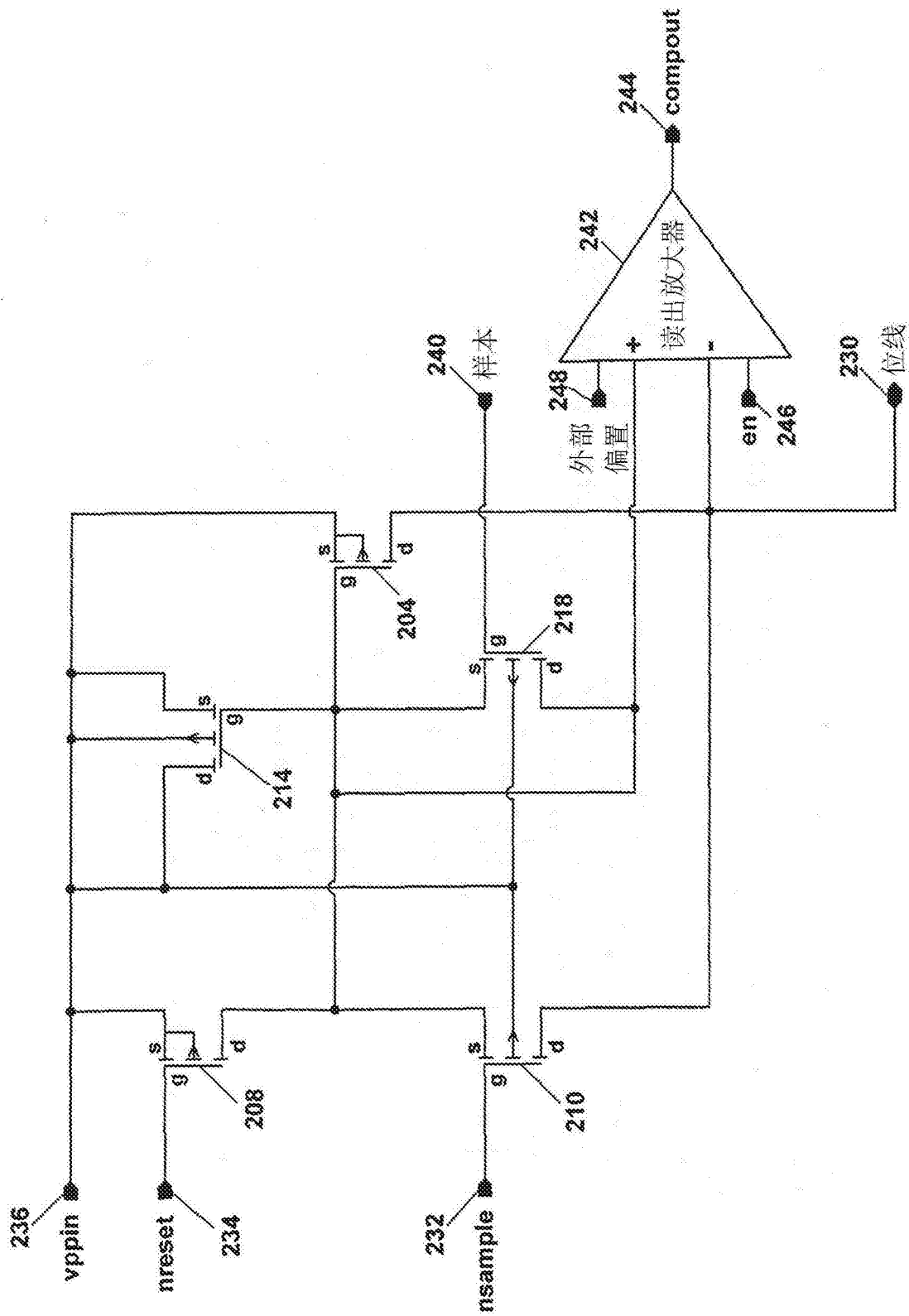


图2

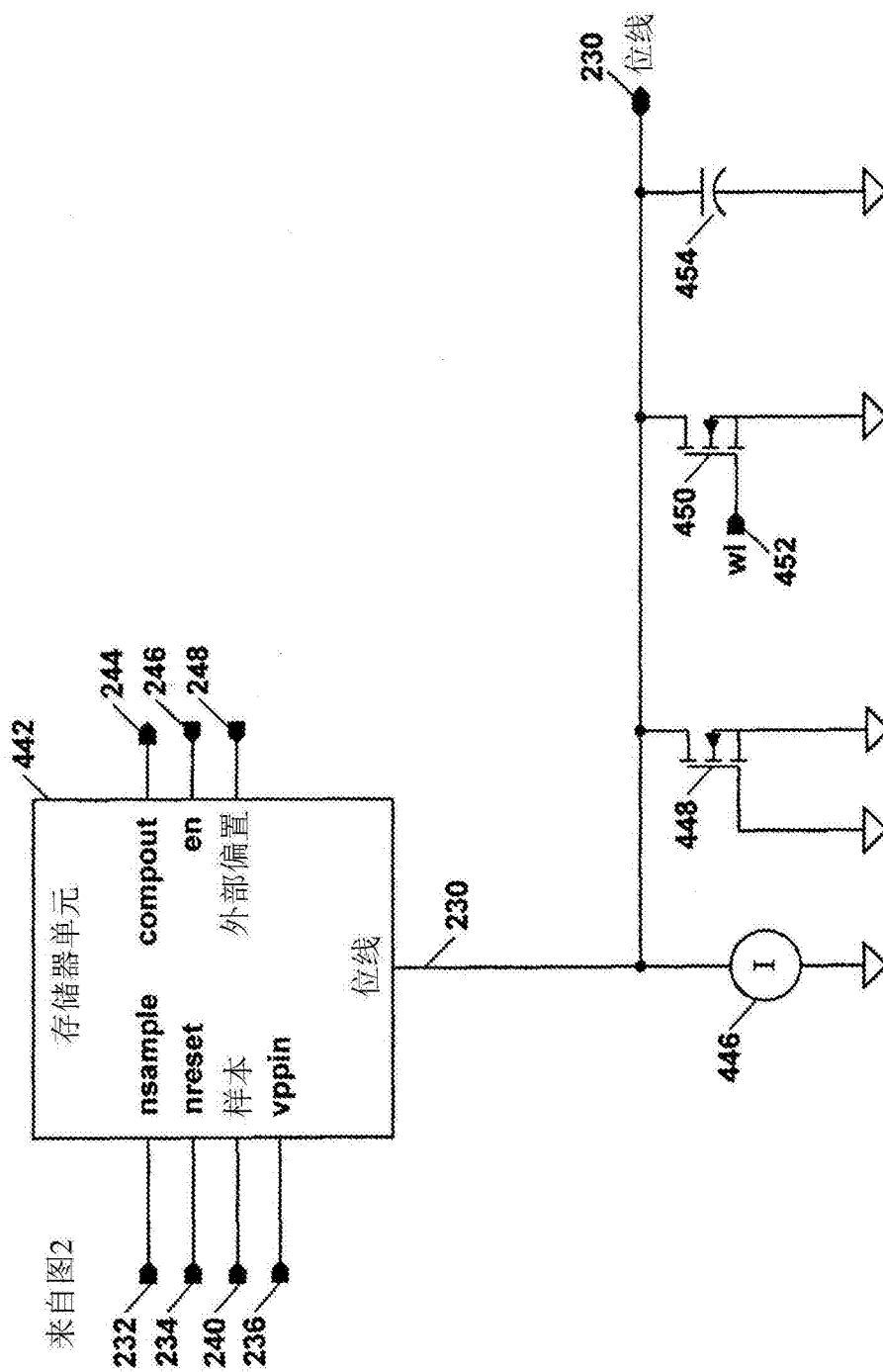


图3

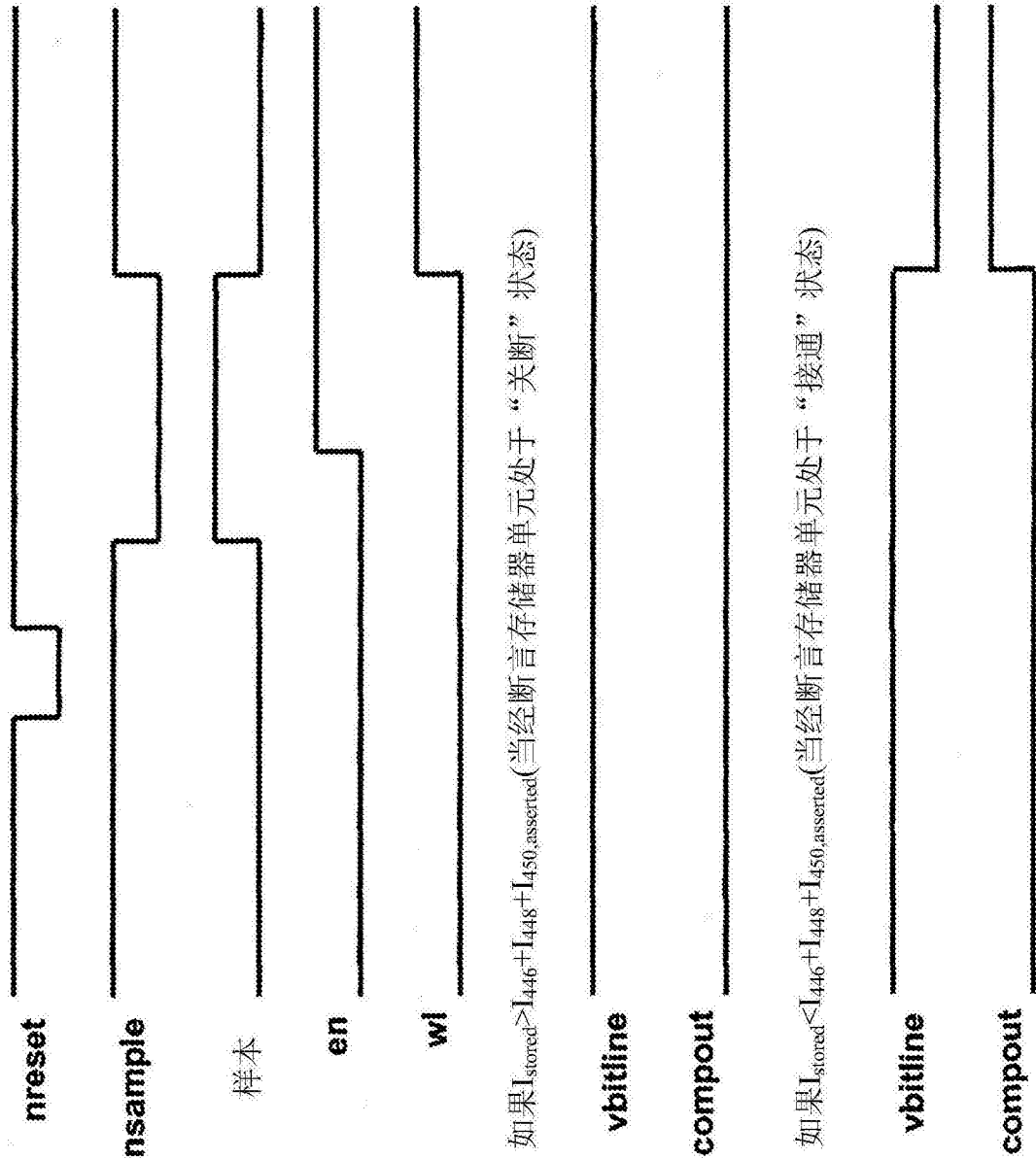


图4

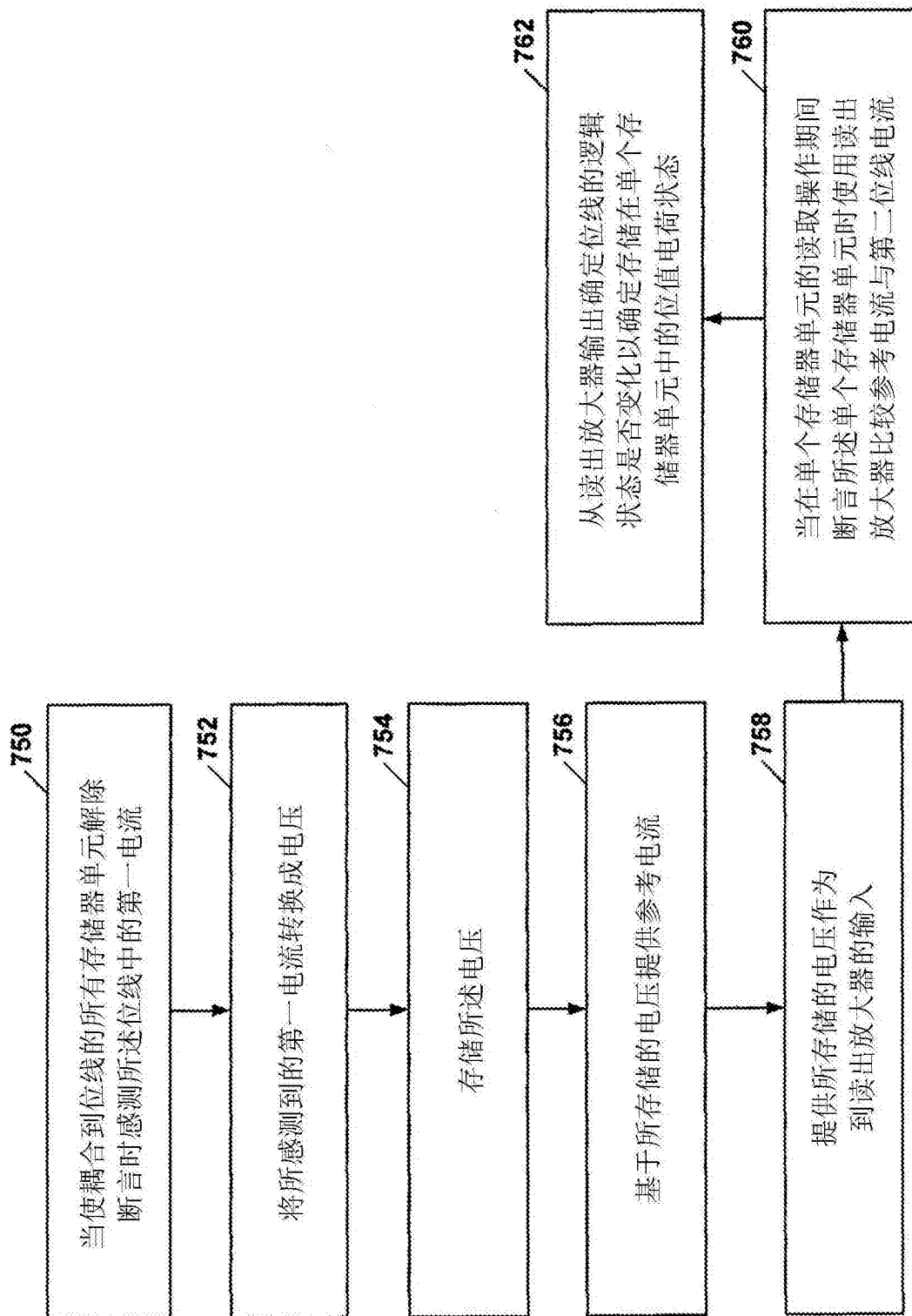


图5