



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년04월09일

(11) 등록번호 10-2793116

(24) 등록일자 2025년04월03일

- (51) 국제특허분류(Int. Cl.)
H10K 59/121 (2023.01) *H10K 59/123* (2023.01)
H10K 59/131 (2023.01) *H10K 59/35* (2023.01)
H10K 59/38 (2023.01) *H10K 59/80* (2023.01)
H10K 77/10 (2023.01)
- (52) CPC특허분류
H10K 59/1213 (2023.02)
H10K 59/1216 (2023.02)
- (21) 출원번호 10-2021-7031158
- (22) 출원일자(국제) 2021년06월08일
 심사청구일자 2024년06월05일
- (85) 번역문제출일자 2021년09월28일
- (65) 공개번호 10-2023-0124779
- (43) 공개일자 2023년08월28일
- (86) 국제출원번호 PCT/CN2021/098923
- (87) 국제공개번호 WO 2022/142141
 국제공개일자 2022년07월07일
- (30) 우선권주장
 202110000866.2 2021년01월04일 중국(CN)
- (56) 선행기술조사문헌
 CN107424520 A*
 JP2000284302 A*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 보에 테크놀로지 그룹 컴퍼니 리미티드
 중국 베이징 100016, 차오양 디스트릭트, 지우시
 양치아오 로드 10호
 베이징 보에 테크놀로지 디벨로프먼트 씨오., 엘
 티디.
 중국 100176 베이징 비디에이 디저 로드 넘버 9
 빌딩 1 룸 407
- (72) 발명자
 장, 다청
 중국 100176 베이징 비디에이 디저 로드 넘버 9
 쉬, 천
 중국 100176 베이징 비디에이 디저 로드 넘버 9
- (74) 대리인
 양영준, 김성운, 백만기

전체 청구항 수 : 총 42 항

심사관 : 정미나

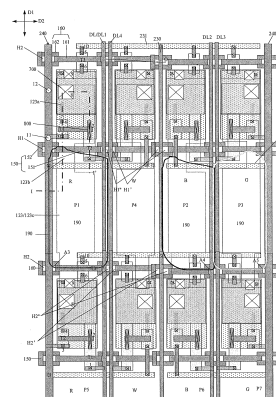
(54) 발명의 명칭 디스플레이 기관 및 디스플레이 장치

(57) 요약

디스플레이 기관(10) 및 디스플레이 장치(30)가 제공된다. 디스플레이 기관(10)은 대향하는 제1 표면(111)과 제3 표면(113) 및 대향하는 제2 표면(112)과 제4 표면(114)을 포함하는 제1 도전성 구조체(110)를 포함하고, 제1 표면 및 제2 표면은 동일한 재료로 이루어진다. 제1 표면(111) 및 제2 표면(112)은 각각 베이스 기관(101)의 플

(뒷면에 계속)

대표도 - 도3a



레이트 표면과의 상이한 각도들을 갖는다. 제1 표면(111)에는 제1 표면 미세구조체(11)가 제공되고, 제2 표면(112)에는 제2 표면 미세구조체(12)가 제공되고; 제1 표면 미세구조체(11)는 베이스 기관(101)에 수직인 제1 단면(11a)을 갖고, 제1 단면(11)은 제3 표면(113) 상에 제1 직교 투영(C1C2)를 갖고, 제1 직교 투영(C1C2)의 길이는 제1 단면(11a)에서의 제1 표면 미세구조체(11)의 길이 미만이고; 제2 표면 미세구조체(12)는 베이스 기관(101)에 수직인 제2 단면(12a)을 갖고, 제2 단면(12a)은 제4 표면(114) 상에 제2 직교 투영(D1D2)를 갖고, 제2 직교 투영(D1D2)의 길이는 제2 단면(12a)에서의 제2 표면 미세구조체(12)의 길이 미만이다. 디스플레이 기관(10)은 수율을 효과적으로 증가시킬 수 있다.

(52) CPC특허분류

H10K 59/123 (2023.02)

H10K 59/131 (2023.02)

H10K 59/351 (2023.02)

H10K 59/38 (2023.02)

H10K 59/80515 (2023.02)

H10K 59/8052 (2023.02)

H10K 77/10 (2023.02)

명세서

청구범위

청구항 1

디스플레이 기관으로서, 베이스 기관 및 상기 베이스 기관 상의 제1 도전성 구조체를 포함하고,

상기 제1 도전성 구조체는 상기 베이스 기관으로부터 먼 제1 표면 및 제2 표면을 포함하고, 상기 제1 표면 및 상기 제2 표면은 동일한 재료로 이루어지고;

상기 제1 표면은 상기 베이스 기관의 플레이트 표면과의 제1 끼임각을 갖고, 상기 제2 표면은 상기 베이스 기관의 플레이트 표면과의 제2 끼임각을 갖고, 상기 제1 끼임각은 상기 제2 끼임각과 상이하고;

상기 제1 표면에는 제1 표면 미세구조체가 제공되고, 상기 제2 표면에는 제2 표면 미세구조체가 제공되고;

상기 제1 도전성 구조체는 상기 베이스 기관에 가까운 제3 표면 및 제4 표면을 추가로 포함하고, 상기 제3 표면은 상기 제1 표면에 대향하고, 상기 제4 표면은 상기 제2 표면에 대향하고;

상기 제1 표면 미세구조체는 상기 베이스 기관에 수직인 제1 단면을 갖고, 상기 제1 단면은 상기 제3 표면 상에 제1 직교 투영을 갖고, 상기 제1 직교 투영의 길이는 상기 제1 단면에서 상기 제1 표면 미세구조체의 길이 미만이고;

상기 제2 표면 미세구조체는 상기 베이스 기관에 수직인 제2 단면을 갖고, 상기 제2 단면은 상기 제4 표면 상에 제2 직교 투영을 갖고, 상기 제2 직교 투영의 길이는 상기 제2 단면에서 상기 제2 표면 미세구조체의 길이 미만인 디스플레이 기관.

청구항 2

제1항에 있어서,

상기 베이스 기관에 수직인 방향에서, 상기 제1 표면 미세구조체는 상기 제3 표면과 적어도 부분적으로 중첩되고, 상기 제2 표면 미세구조체는 상기 제4 표면과 적어도 부분적으로 중첩되고;

상기 제3 표면 및 상기 제4 표면 중 적어도 하나는 평평한 표면인 디스플레이 기관.

청구항 3

제1항에 있어서,

상기 제3 표면 상의 상기 제1 표면 미세구조체의 직교 투영의 면적은 상기 제1 표면 미세구조체의 표면적 미만이고;

상기 제4 표면 상의 상기 제2 표면 미세구조체의 직교 투영의 면적은 상기 제2 표면 미세구조체의 표면적 미만인 디스플레이 기관.

청구항 4

제1항에 있어서,

상기 제1 표면 미세구조체에서의 상기 제1 도전성 구조체의 최소 두께는 상기 제1 도전성 구조체의 평균 두께 미만이고 상기 제1 도전성 구조체의 평균 두께의 3/5 초과인 디스플레이 기관.

청구항 5

제1항에 있어서,

상기 제1 표면 미세구조체는 상기 제1 단면에서 제1 단부 지점, 제1 중간 지점 및 제2 단부 지점을 갖고; 상기 제2 표면 미세구조체는 상기 제2 단면에서 제3 단부 지점, 제2 중간 지점, 및 제4 단부 지점을 갖고;

상기 제1 중간 지점과 상기 제3 표면 사이의 거리는 상기 제1 단부 지점과 상기 제3 표면 사이의 거리와도 상기

제2 단부 지점과 상기 제3 표면 사이의 거리와도 동일하지 않고;

상기 제2 중간 지점과 상기 제4 표면 사이의 거리는 상기 제3 단부 지점과 상기 제4 표면 사이의 거리와도 상기 제4 단부 지점과 상기 제4 표면 사이의 거리와도 동일하지 않은 디스플레이 기판.

청구항 6

제1항에 있어서,

상기 제1 끼임각은 0도 초과이고; 상기 제2 끼임각은 0도와 동일한 디스플레이 기판.

청구항 7

제6항에 있어서,

상기 제1 표면 미세구조체는 상기 제1 단면에서 제1 단부 지점 및 제2 단부 지점을 갖고; 상기 제2 표면 미세구조체는 상기 제2 단면에서 제3 단부 지점 및 제4 단부 지점을 갖고;

상기 제1 단부 지점과 상기 제2 단부 지점 사이의 선분의 중점으로부터 상기 베이스 기판의 플레이트 표면까지의 거리는 상기 제3 단부 지점과 상기 제4 단부 지점 사이의 선분의 중점으로부터 상기 베이스 기판의 플레이트 표면까지의 거리와 상이하고;

상기 제1 단부 지점과 상기 제2 단부 지점 사이의 거리는 상기 제3 단부 지점과 상기 제4 단부 지점 사이의 거리 초과인 디스플레이 기판.

청구항 8

제6항에 있어서,

상기 베이스 기판에 가까운 상기 제1 도전성 구조체의 측면 상의 제1 절연 층을 추가로 포함하고,

상기 제1 절연 층은 상기 제1 도전성 구조체의 상기 제3 표면과 직접 접촉하는 제1 부분 및 상기 제1 도전성 구조체의 상기 제4 표면과 직접 접촉하는 제2 부분을 포함하고;

상기 제1 부분의 최소 두께는 상기 제2 부분의 최소 두께 미만인 디스플레이 기판.

청구항 9

제8항에 있어서,

상기 베이스 기판에 가까운 상기 제1 절연 층의 측면 상의 제2 도전성 구조체를 추가로 포함하고,

상기 베이스 기판에 수직인 방향에서, 상기 제1 표면 미세구조체 및 상기 제2 도전성 구조체는 서로 중첩되지 않고;

상기 제1 도전성 구조체는 상기 제1 절연 층을 관통하는 제1 비아 홀을 통해 상기 제2 도전성 구조체와 전기적으로 접속되고;

상기 베이스 기판에 수직인 방향에서, 상기 제1 표면 미세구조체는 상기 제1 비아 홀과 적어도 부분적으로 중첩되는 디스플레이 기판.

청구항 10

제9항에 있어서,

상기 제1 절연 층은 적층되는 제1 서브-층 및 제2 서브-층을 포함하고, 상기 제2 서브-층은 상기 제1 서브-층보다 상기 베이스 기판으로부터 더 멀고;

상기 제1 서브-층은 상기 제1 비아 홀에 의해 노출되는 제1 측면 표면을 포함하고, 상기 제2 서브-층은 상기 제1 비아 홀에 의해 노출되는 제2 측면 표면을 포함하고, 상기 제1 측면 표면 및 상기 제2 측면 표면 중 적어도 하나는 상기 제1 도전성 구조체의 상기 제3 표면과 직접 접촉하는 디스플레이 기판.

청구항 11

제10항에 있어서,

상기 제1 측면 표면과 상기 베이스 기관 사이의 끼임각은 상기 제2 측면 표면과 상기 베이스 기관 사이의 끼임각 초과인 디스플레이 기관.

청구항 12

제1항에 있어서,

상기 제1 표면 미세구조체는 상기 제1 단면에서 제1 단부 지점 및 제2 단부 지점을 갖고; 상기 제3 표면에 가장 가까운 상기 제1 단면의 지점으로부터 상기 제1 단부 지점 및 상기 제2 단부 지점까지의 거리들은 동일하지 않은 디스플레이 기관.

청구항 13

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 제1 표면 미세구조체는 제1 오목 구조체를 포함하고, 상기 제2 표면 미세구조체는 제2 오목 구조체를 포함하는 디스플레이 기관.

청구항 14

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 베이스 기관 상의 복수의 서브-픽셀들을 추가로 포함하고,

상기 복수의 서브-픽셀들은 제1 방향 및 제2 방향을 따라 복수의 픽셀 열들 및 복수의 픽셀 행들로서 배열되고 - 상기 제1 방향은 상기 제2 방향과 교차함 -;

상기 복수의 서브-픽셀들 각각은 상기 베이스 기관 상의 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 및 저장 커패시터를 포함하고;

상기 제2 트랜지스터의 제1 전극은 상기 저장 커패시터의 제1 커패시터 전극 및 상기 제1 트랜지스터의 게이트 전극과 전기적으로 접속되고, 상기 제2 트랜지스터의 제2 전극은 데이터 신호를 수신하도록 구성되고, 상기 제2 트랜지스터의 게이트 전극은 제1 제어 신호를 수신하도록 구성되고, 상기 제2 트랜지스터는 상기 제1 제어 신호에 응답하여 상기 데이터 신호를 상기 제1 트랜지스터의 게이트 전극 및 상기 저장 커패시터에 기입하도록 구성되고;

상기 제1 트랜지스터의 제1 전극은 상기 저장 커패시터의 제2 커패시터 전극과 전기적으로 접속되고, 발광 엘리먼트의 제1 전극과 전기적으로 접속되도록 구성되고, 상기 제1 트랜지스터의 제2 전극은 제1 전원 전압을 수신하도록 구성되고, 상기 제1 트랜지스터는 상기 제1 트랜지스터의 게이트 전극의 전압의 제어 하에 상기 발광 엘리먼트를 구동하기 위해 사용되는 전류를 제어하도록 구성되고;

상기 제3 트랜지스터의 제1 전극은 상기 제1 트랜지스터의 제1 전극 및 상기 저장 커패시터의 제2 커패시터 전극과 전기적으로 접속되고, 상기 제3 트랜지스터의 제2 전극은 검출 회로와 접속되도록 구성되는 디스플레이 기관.

청구항 15

제14항에 있어서,

상기 제1 방향 및 상기 제2 방향에서의 상기 베이스 기관 상의 상기 제1 표면 미세구조체의 직교 투영과 상기 베이스 기관 상의 상기 제2 표면 미세구조체의 직교 투영 사이의 중심 거리의 성분들은 각각 상기 제1 방향 및 상기 제2 방향에서의 상기 복수의 서브-픽셀들 각각의 평균 크기들 미만인 디스플레이 기관.

청구항 16

제14항에 있어서,

상기 디스플레이 기관은 상기 제1 트랜지스터의 게이트 전극으로부터 돌출하는 연장 부분을 추가로 포함하고, 상기 연장 부분은 상기 제2 방향을 따라 상기 제1 트랜지스터의 게이트 전극으로부터 연장되고, 상기 연장 부분

은 상기 제2 트랜지스터의 제1 전극과 적어도 부분적으로 중첩되고 상기 베이스 기판에 수직인 방향에서 상기 제2 트랜지스터의 제1 전극과 전기적으로 접속되는 디스플레이 기판.

청구항 17

제16항에 있어서,

상기 제2 트랜지스터의 활성 층은 제1 전극 접촉 영역, 제2 전극 접촉 영역, 및 상기 제1 전극 접촉 영역과 상기 제2 전극 접촉 영역 사이의 채널 영역을 포함하고;

상기 제2 트랜지스터의 제1 전극은 제2 비아 홀을 통해 상기 제1 전극 접촉 영역, 상기 연장 부분, 및 상기 제1 커패시터 전극과 각각 전기적으로 접속되는 디스플레이 기판.

청구항 18

제17항에 있어서,

상기 제2 비아 홀은 상기 제1 방향을 따라 연장되고, 상기 연장 부분의, 상기 제1 방향에서 대향하는 2개의 측면 표면들 및 상기 연장 부분의 상부 표면의 적어도 일부분을 노출시키는 디스플레이 기판.

청구항 19

제18항에 있어서,

상기 연장 부분은 상기 제2 비아 홀을 제1 홈 및 제2 홈으로 이격시키고; 상기 제2 트랜지스터의 제1 전극은 상기 제1 홈 및 상기 제2 홈을 채우고, 상기 연장 부분의 상기 2개의 측면 표면들을 커버하고;

상기 제2 트랜지스터의 제1 전극은 제1 부분, 제2 부분 및 제3 부분을 포함하고;

상기 제2 부분은 상기 연장 부분의 상기 상부 표면을 커버하고, 상기 제1 부분은 상기 제1 홈을 커버하고, 상기 제3 부분은 상기 제2 홈을 커버하고; 상기 제1 부분 및 상기 제3 부분은 또한 상기 연장 부분의 상기 2개의 측면 표면들을 각각 커버하는 디스플레이 기판.

청구항 20

제19항에 있어서,

상기 제1 도전성 구조체는 상기 제2 트랜지스터의 제1 전극이고;

상기 제1 표면 미세구조체 및 상기 제2 표면 미세구조체는 양자 모두 상기 제2 트랜지스터의 제1 전극의 제3 부분에 있는 디스플레이 기판.

청구항 21

제20항에 있어서,

상기 제1 방향에서의 상기 제1 표면 미세구조체의 크기는 상기 제1 방향을 따른 상기 제3 부분의 최대 크기의 1/10 미만인 디스플레이 기판.

청구항 22

제20항에 있어서,

상기 제1 방향에서의 상기 제1 표면 미세구조체의 크기는 상기 제1 방향에서의 상기 베이스 기판 상의 상기 제2 비아 홀의 직교 투영의 최대 크기의 1/10 미만인 디스플레이 기판.

청구항 23

제14항에 있어서,

상기 복수의 서브-픽셀들 각각은 상기 발광 엘리먼트를 추가로 포함하고, 상기 발광 엘리먼트는 순차적으로 적층되는 제1 전극, 발광 층 및 제2 전극을 포함하고, 상기 제1 전극은 상기 제2 전극보다 상기 베이스 기판에 더 가깝고;

상기 발광 엘리먼트의 제1 전극은 제3 비아 홀을 통해 상기 발광 엘리먼트가 속하는 서브-픽셀의 제1 트랜지스터의 제1 전극과 전기적으로 접속되고;

상기 발광 엘리먼트의 제1 전극은 상기 제1 방향에서 순차적으로 접속되는 제1 전극 부분, 제2 전극 부분 및 제3 전극 부분을 포함하고, 상기 제1 전극 부분은 대응하는 제1 트랜지스터의 제1 전극과 전기적으로 접속되도록 구성되고 상기 베이스 기판에 수직인 방향에서 상기 대응하는 제1 트랜지스터의 제1 전극과 중첩되고;

상기 발광 엘리먼트의 제3 전극 부분은 상기 베이스 기판에 수직인 방향에서 상기 발광 엘리먼트의 개구 영역과 적어도 부분적으로 중첩되는 디스플레이 기판.

청구항 24

제23항에 있어서,

상기 제1 방향을 따른 상기 제1 전극 부분의 최대 크기와 상기 제2 방향을 따른 상기 제1 전극 부분의 최대 크기의 합은 상기 제1 방향을 따른 상기 제3 전극 부분의 최대 크기와 상기 제2 방향을 따른 상기 제3 전극 부분의 최대 크기의 합 미만이고;

상기 제1 방향을 따른 상기 제2 전극 부분의 최대 크기와 상기 제2 방향을 따른 상기 제2 전극 부분의 최대 크기의 합은 상기 제1 방향을 따른 상기 제3 전극 부분의 최대 크기와 상기 제2 방향을 따른 상기 제3 전극 부분의 최대 크기의 합 미만인 디스플레이 기판.

청구항 25

제23항에 있어서,

상기 복수의 서브-픽셀들 중 적어도 하나의 서브-픽셀에 대해, 상기 디스플레이 기판은 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들을 포함하고;

상기 복수의 제1 표면 미세구조체들 및 상기 복수의 제2 표면 미세구조체들 중 일부는 상기 베이스 기판에 수직인 방향에서 상기 적어도 하나의 서브-픽셀의 발광 엘리먼트의 제1 전극 부분과 중첩되고, 상기 복수의 제1 표면 미세구조체들 및 상기 복수의 제2 표면 미세구조체들 중 다른 것들은 상기 베이스 기판에 수직인 방향에서 상기 적어도 하나의 서브-픽셀의 발광 엘리먼트의 제3 전극 부분과 중첩되고;

상기 적어도 하나의 서브-픽셀의 발광 엘리먼트의 제1 전극 부분과 중첩되는 상기 제1 표면 미세구조체들 및 상기 제2 표면 미세구조체들의 분포 밀도는 상기 적어도 하나의 서브-픽셀의 발광 엘리먼트의 제3 전극 부분과 중첩되는 상기 제1 표면 미세구조체들 및 상기 제2 표면 미세구조체들의 분포 밀도 초과인 디스플레이 기판.

청구항 26

제23항에 있어서,

상기 제2 방향에서의 상기 발광 엘리먼트의 제1 전극의 제2 전극 부분의 평균 크기는 상기 제2 방향에서의 제1 전극 부분의 평균 크기 미만이고, 또한 상기 제2 방향에서의 제3 전극 부분의 평균 크기 미만인 디스플레이 기판.

청구항 27

제23항에 있어서,

상기 복수의 픽셀 행들은 제1 픽셀 행을 포함하고, 상기 제1 픽셀 행은 복수의 픽셀 유닛들로 분할되고;

상기 복수의 픽셀 유닛들 각각은 상기 제2 방향을 따라 순차적으로 배열되는 제1 서브-픽셀, 제2 서브-픽셀, 및 제3 서브-픽셀을 포함하고;

상기 디스플레이 기판은 상기 제2 방향을 따라 연장되는 제1 스캔 라인을 추가로 포함하고; 상기 제1 스캔 라인은 상기 제1 서브-픽셀, 상기 제2 서브-픽셀, 및 상기 제3 서브-픽셀에서의 제2 트랜지스터들의 게이트 전극들과 전기적으로 접속되어, 상기 제1 제어 신호를 공급하는 디스플레이 기판.

청구항 28

제27항에 있어서,

컬러 필터 층을 추가로 포함하고, 상기 컬러 필터 층은 상기 베이스 기판에 가까운 상기 발광 엘리먼트의 제1 전극의 측면 상에 있고;

상기 컬러 필터 층은 상기 제1 서브-픽셀, 상기 제2 서브-픽셀, 및 상기 제3 서브-픽셀에 각각 대응하는 복수의 컬러 필터 부분들을 포함하고;

상기 제1 서브-픽셀, 상기 제2 서브-픽셀, 및 상기 제3 서브-픽셀에 의해 방출되는 광은 대응하는 컬러 필터 부분들을 통해 각각 방출되어, 각각 3원색의 디스플레이 광을 형성하는 디스플레이 기판.

청구항 29

제28항에 있어서,

상기 베이스 기판에 수직인 방향에서, 상기 컬러 필터 부분들 각각은 대응하는 서브-픽셀의 발광 엘리먼트의 제1 전극의 제3 전극 부분과 중첩되고, 대응하는 서브-픽셀의 발광 엘리먼트의 제1 전극의 제1 전극 부분과는 중첩되지 않는 디스플레이 기판.

청구항 30

제29항에 있어서,

상기 제1 스캔 라인은 상기 베이스 기판에 가까운 상기 컬러 필터 층의 측면 상에 있고;

상기 베이스 기판에 수직인 방향에서, 상기 제1 스캔 라인과 중첩되는 상기 제1 서브-픽셀의 발광 엘리먼트의 제1 전극의 제2 전극 부분은 또한 상기 제1 서브-픽셀에 대응하는 컬러 필터 부분과 중첩되는 디스플레이 기판.

청구항 31

제28항에 있어서,

상기 제1 스캔 라인은 교대로 접속되는 제1 부분들 및 제2 부분들을 포함하고; 상기 제2 부분들 각각은 링 구조체에 있고;

상기 디스플레이 기판은 상기 제1 방향을 따라 연장되는 복수의 제1 신호 라인들을 추가로 포함하고;

상기 베이스 기판에 수직인 방향에서, 상기 복수의 제1 신호 라인들은 상기 제1 스캔 라인의 상기 제2 부분들과 중첩되어, 상기 제2 방향을 따라 복수의 제1 중공 영역들을 정의하는 디스플레이 기판.

청구항 32

제31항에 있어서,

상기 베이스 기판에 수직인 방향에서, 상기 제1 서브-픽셀에 대응하는 컬러 필터 부분은 상기 복수의 제1 중공 영역들 중 적어도 하나와 중첩되고; 상기 제2 서브-픽셀에 대응하는 컬러 필터 부분은 상기 복수의 제1 중공 영역들 중 어느 것과도 중첩되지 않는 디스플레이 기판.

청구항 33

제32항에 있어서,

상기 베이스 기판에 수직인 방향에서, 상기 제1 서브-픽셀에 대응하는 컬러 필터 부분은 제1 중첩 면적으로 상기 복수의 제1 중공 영역들 중 하나와 중첩되고; 상기 제2 서브-픽셀에 대응하는 컬러 필터 부분은 제2 중첩 면적으로 상기 복수의 제1 중공 영역들 중 다른 하나와 중첩되고;

상기 제1 중첩 면적은 상기 제2 중첩 면적과 상이한 디스플레이 기판.

청구항 34

제33항에 있어서,

상기 디스플레이 기판은 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들을 포함하고; 상기 복

수의 제1 표면 미세구조체들 및 상기 복수의 제2 표면 미세구조체들 중 일부는 상기 베이스 기관에 수직인 방향에서 상기 제1 스캔 라인의 제1 부분들과 중첩되고; 상기 복수의 제1 표면 미세구조체들 및 상기 복수의 제2 표면 미세구조체들 중 다른 것들은 상기 베이스 기관에 수직인 방향에서 상기 제1 스캔 라인의 제2 부분들과 중첩되고;

상기 베이스 기관에 수직인 방향에서, 상기 제1 스캔 라인의 제2 부분들과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도는 상기 제1 스캔 라인의 제1 부분들과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도 초과인 디스플레이 기관.

청구항 35

제34항에 있어서,

상기 제1 중첩 면적은 상기 베이스 기관 상의 상기 복수의 제1 표면 미세구조체들 또는 제2 표면 미세구조체들 각각의 직교 투영의 면적 초과이고;

상기 제2 중첩 면적은 상기 베이스 기관 상의 상기 복수의 제1 표면 미세구조체들 또는 제2 표면 미세구조체들 각각의 직교 투영의 면적 초과인 디스플레이 기관.

청구항 36

제31항에 있어서,

상기 복수의 픽셀 유닛들 각각은 제4 서브-픽셀을 추가로 포함하고, 상기 제4 서브-픽셀은 백색 광을 방출하도록 구성되고;

상기 복수의 제1 중공 영역들 중에서 상기 제4 서브-픽셀에 가까운 제1 중공 영역들 중 어느 것도 상기 베이스 기관에 수직인 방향에서 상기 컬러 필터 층과 중첩되지 않는 디스플레이 기관.

청구항 37

제31항에 있어서,

상기 복수의 신호 라인들은 복수의 데이터 라인들을 포함하고, 상기 복수의 데이터 라인들은 상기 복수의 픽셀 열들과 일-대-일 대응으로 접속되고;

상기 제1 픽셀 행에 대해, 상기 복수의 데이터 라인들은 상기 복수의 픽셀 유닛들과 일-대-일 대응으로 복수의 데이터 라인 그룹들로 분할되고; 상기 복수의 데이터 라인 그룹들 각각은 상기 제1 서브-픽셀, 상기 제2 서브-픽셀 및 상기 제3 서브-픽셀과 각각 접속되는 제1 데이터 라인, 제2 데이터 라인 및 제3 데이터 라인을 포함하고;

상기 복수의 픽셀 유닛들 각각에 대해, 상기 각각의 픽셀 유닛과 대응하여 접속하는 상기 제1 데이터 라인, 상기 제2 데이터 라인 및 상기 제3 데이터 라인은 상기 제1 서브-픽셀과 상기 제3 서브-픽셀 사이에 모두 위치되는 디스플레이 기관.

청구항 38

제37항에 있어서,

상기 제1 방향을 따라 연장되는 복수의 전력 라인들을 추가로 포함하고,

상기 복수의 전력 라인들은 상기 복수의 서브-픽셀들에 제1 전원 전압을 공급하도록 구성되고;

상기 복수의 전력 라인들 각각과 상기 복수의 데이터 라인들 중 어느 하나 사이에 적어도 하나의 픽셀 열이 제공되는 디스플레이 기관.

청구항 39

제38항에 있어서,

상기 디스플레이 기관은 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들을 포함하고; 상기 복수의 제1 표면 미세구조체들 및 상기 복수의 제2 표면 미세구조체들 중 일부는 상기 복수의 데이터 라인들 상에

분포되고, 상기 복수의 제1 표면 미세구조체들 및 상기 복수의 제2 표면 미세구조체들 중 다른 것들은 상기 복수의 전력 라인들 상에 분포되고;

상기 복수의 데이터 라인들 상의 상기 복수의 제1 표면 미세구조체들 및 상기 복수의 제2 표면 미세구조체들의 분포 밀도는 상기 복수의 전력 라인들 상의 상기 복수의 제1 표면 미세구조체들 및 상기 복수의 제2 표면 미세구조체들의 분포 밀도 초과인 디스플레이 기판.

청구항 40

제39항에 있어서,

상기 제2 서브-픽셀은 상기 제3 서브-픽셀에 직접 인접하고, 상기 제3 서브-픽셀은 상기 제2 방향에서 서로 대향하는 제1 측면 및 제2 측면을 갖고;

상기 제2 데이터 라인 및 상기 제3 데이터 라인은 상기 제3 서브-픽셀의 제1 측면 상에 위치되고 상기 제2 서브-픽셀과 상기 제3 서브-픽셀 사이에 위치되고;

상기 제3 서브-픽셀의 발광 엘리먼트의 제1 전극의 제2 전극 부분은 상기 제3 서브-픽셀의 제2 측면으로부터 멀어지는 방향에서 상기 제3 서브-픽셀의 발광 엘리먼트의 제1 전극의 제1 전극 부분 및 제3 전극 부분에 대해 오픈한 디스플레이 기판.

청구항 41

제39항에 있어서,

상기 기판에 수직인 방향에서, 상기 제2 데이터 라인 및 상기 제3 데이터 라인은 각각 상기 컬러 필터 층과 적어도 부분적으로 중첩되고;

상기 복수의 픽셀 유닛들 각각은 제4 서브-픽셀을 추가로 포함하고, 상기 제4 서브-픽셀은 백색 광을 방출하도록 구성되고;

상기 데이터 라인 그룹들 각각은 상기 제4 서브-픽셀과 접속되는 제4 데이터 라인을 추가로 포함하고;

상기 베이스 기판에 수직인 방향에서, 상기 제4 데이터 라인은 상기 컬러 필터 층과 중첩되지 않는 디스플레이 기판.

청구항 42

디스플레이 장치로서,

제1항 내지 제12항 중 어느 한 항에 따른 디스플레이 기판을 포함하는 디스플레이 장치.

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

발명의 설명

기술 분야

[0001] 본 출원은 2021년 1월 4일자로 출원된 중국 출원 제202110000866.2호의 우선권을 주장하며, 이러한 중국 출원에 의해 개시되는 전체 내용은 본 출원의 일부로서 본 명세서에 참조로 포함된다.

[0002] 삭제

[0003] 본 개시내용의 실시예들은 디스플레이 기판 및 디스플레이 디바이스에 관련된다.

배경 기술

[0004] 디스플레이 분야에서, OLED(Organic Light-Emitting Diode)는 자체-발광, 높은 콘트라스트, 낮은 에너지 소비, 넓은 시야각, 고속 응답 속도, 플렉시블 패널들에의 적용가능성, 광범위한 동작 온도, 및 간단한 제조와 같은 특성을 갖고, 개발에 대한 폭넓은 전망들을 갖는다. 디스플레이 장치의 핵심으로서의 반도체 기술 또한 급속한 진보를 이룬다. 전류-타입 발광 디바이스로서의, OLED(Organic Light-Emitting Diode)는, 자체-발광, 고속 응답 속도, 넓은 시야각, 및 플렉시블 기판 상의 제조성과 같은 그 특성 때문에, 고-성능 디스플레이의 기술 분야에 점점 더 적용되고 있다.

발명의 내용

[0005] 적어도 본 개시내용의 실시예는, 베이스 기판 및 이러한 베이스 기판 상의 제1 도전성 구조체를 포함하는, 디스플레이 기판을 제공한다. 제1 도전성 구조체는 제1 표면 및 베이스 기판으로부터 먼 제2 표면을 포함하고, 제1 표면 및 제2 표면은 동일한 재료로 이루어지고; 제1 표면은 베이스 기판의 플레이트 표면과의 제1 끼인각을 갖고, 제2 표면은 베이스 기판의 플레이트 표면과의 제2 끼인각을 갖고, 제1 끼인각은 제2 끼인각과 상이하고; 제1 표면에는 제1 표면 미세구조체가 제공되고, 제2 표면에는 제2 표면 미세구조체가 제공되고; 제1 도전성 구조체는 베이스 기판에 가까운 제3 표면 및 제4 표면을 추가로 포함하고, 제3 표면은 제1 표면에 대향하고, 제4 표면은 제2 표면에 대향하고; 제1 표면 미세구조체는 베이스 기판에 수직인 제1 단면을 갖고, 제1 단면은 제3 표

면 상에 제1 직교 투영을 갖고, 제1 직교 투영의 길이는 제1 단면에서 제1 표면 미세구조체의 길이 미만이고; 제2 표면 미세구조체는 베이스 기관에 수직인 제2 단면을 갖고, 제2 단면은 제4 표면 상에 제2 직교 투영을 갖고, 제2 직교 투영의 길이는 제2 단면에서 제2 표면 미세구조체의 길이 미만이다.

- [0006] 일부 예들에서, 제1 단면의 2개의 단부들 사이의 거리 및 제2 단면의 2개의 단부들 사이의 거리는 각각 0.1 마이크로미터 초과 및 1 마이크로미터 미만이다.
- [0007] 일부 예들에서, 베이스 기관에 수직인 방향에서, 제1 표면 미세구조체는 제3 표면과 적어도 부분적으로 중첩되고, 제2 표면 미세구조체는 제4 표면과 적어도 부분적으로 중첩된다.
- [0008] 일부 예들에서, 제3 표면 및 제4 표면 중 적어도 하나는 평평한 표면이다.
- [0009] 일부 예들에서, 제3 표면 상의 제1 표면 미세구조체의 직교 투영의 면적은 제1 표면 미세구조체의 표면적 미만이고; 제4 표면 상의 제2 표면 미세구조체의 직교 투영의 면적은 제2 표면 미세구조체의 표면적 미만이다.
- [0010] 일부 예들에서, 제1 표면 미세구조체에서의 제1 도전성 구조체의 최소 두께는 제1 도전성 구조체의 평균 두께 미만이고 제1 도전성 구조체의 평균 두께의 3/5 초과이다.
- [0011] 일부 예들에서, 제1 표면 미세구조체는 제1 단면에서 제1 단부 지점, 제1 중간 지점 및 제2 단부 지점을 갖고; 제2 표면 미세구조체는 제2 단면에서 제3 단부 지점, 제2 중간 지점, 및 제4 단부 지점을 갖고; 제1 중간 지점과 제3 표면 사이의 거리는 제1 단부 지점과 제3 표면 사이의 거리와도 제2 단부 지점과 제3 표면 사이의 거리와도 동일하지 않고; 제2 중간 지점과 제4 표면 사이의 거리는 제3 단부 지점과 제4 표면 사이의 거리와도, 제4 단부 지점과 제4 표면 사이의 거리와도 동일하지 않다.
- [0012] 일부 예들에서, 제1 끼임각은 0도 초과이고; 제2 끼임각은 0도와 동일하다.
- [0013] 일부 예들에서, 제1 표면 미세구조체는 제1 단면에서 제1 단부 지점 및 제2 단부 지점을 갖고; 제2 표면 미세구조체는 제2 단면에서 제3 단부 지점 및 제4 단부 지점을 갖고; 제1 단부 지점 및 제2 단부 지점으로 조성되는 선분의 중점으로부터 베이스 기관의 플레이트 표면까지의 거리는 제3 단부 지점 및 제4 단부 지점으로 조성되는 선분의 중점으로부터 베이스 기관의 플레이트 표면까지의 거리와 상이하다.
- [0014] 일부 예들에서, 제1 단부 지점과 제2 단부 지점 사이의 거리는 제3 단부 지점과 제4 단부 지점 사이의 거리 초과이다.
- [0015] 일부 예들에서, 디스플레이 기관은 베이스 기관에 가까운 제1 도전성 구조체의 측면 상의 제1 절연 층을 추가로 포함하고; 제1 절연 층은 제1 도전성 구조체의 제3 표면과 직접 접촉하는 제1 부분 및 제1 도전성 구조체의 제4 표면과 직접 접촉하는 제2 부분을 포함하고; 제1 부분의 최소 두께는 제2 부분의 최소 두께 미만이다.
- [0016] 일부 예들에서, 디스플레이 기관은 베이스 기관에 가까운 제1 절연 층의 측면 상의 제2 도전성 구조체를 추가로 포함하고; 제1 절연 층의 제1 부분은 제2 도전성 구조체의 적어도 일부분을 커버한다.
- [0017] 일부 예들에서, 베이스 기관에 수직인 방향에서, 제1 표면 미세구조체 및 제2 도전성 구조체는 서로 중첩되지 않는다.
- [0018] 일부 예들에서, 제1 도전성 구조체는 제1 절연 층을 관통하는 제1 비아 홀을 통해 제2 도전성 구조체와 전기적으로 접속되고; 베이스 기관에 수직인 방향에서, 제1 표면 미세구조체는 제1 비아 홀과 적어도 부분적으로 중첩된다.
- [0019] 일부 예들에서, 제1 절연 층은 적층되는 제1 서브-층 및 제2 서브-층을 포함하고, 제2 서브-층은 제1 서브-층보다 베이스 기관으로부터 더 멀고; 제1 서브-층은 제1 비아 홀에 의해 노출되는 제1 측면 표면을 포함하고, 제2 서브-층은 제1 비아 홀에 의해 노출되는 제2 측면 표면을 포함하고, 제1 측면 표면 및 제2 측면 표면 중 적어도 하나는 제1 도전성 구조체의 제3 표면과 직접 접촉한다.
- [0020] 일부 예들에서, 제1 측면 표면과 베이스 기관 사이의 끼임각은 제2 측면 표면과 베이스 기관 사이의 끼임각 초과이다.
- [0021] 일부 예들에서, 제2 서브-층의 조밀도는 제1 서브-층의 조밀도보다 높다.
- [0022] 일부 예들에서, 제1 표면의 산소 함량은 제3 표면의 산소 함량보다 높다.
- [0023] 일부 예들에서, 제1 표면 미세구조체는 제1 단면에서 제1 단부 지점 및 제2 단부 지점을 갖고; 제3 표면에 가장

가까운 제1 단면의 지점으로부터 제1 단부 지점 및 제2 단부 지점까지의 거리들은 동일하지 않다.

- [0024] 일부 예들에서, 제1 표면 미세구조체는 제1 오목 구조체를 포함하고, 제2 표면 미세구조체는 제2 오목 구조체를 포함한다.
- [0025] 일부 예들에서, 디스플레이 기판은 베이스 기판 상의 복수의 서브-픽셀들을 추가로 포함하고; 복수의 서브-픽셀들은 제1 방향 및 제2 방향을 따라 복수의 픽셀 열들 및 복수의 픽셀 행들로서 배열되고- 제1 방향은 제2 방향과 교차함 -; 복수의 서브-픽셀들 각각은 베이스 기판 상의 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 및 저장 커패시터를 포함하고; 제2 트랜지스터의 제1 전극은 저장 커패시터의 제1 커패시터 전극 및 제1 트랜지스터의 게이트 전극과 전기적으로 접속되고, 제2 트랜지스터의 제2 전극은 데이터 신호를 수신하도록 구성되고, 제2 트랜지스터의 게이트 전극은 제1 제어 신호를 수신하도록 구성되고, 제2 트랜지스터는 제1 제어 신호에 응답하여 데이터 신호를 제1 트랜지스터의 게이트 전극 및 저장 커패시터에 기입하도록 구성되고; 제1 트랜지스터의 제1 전극은 저장 커패시터의 제2 커패시터 전극과 전기적으로 접속되고, 발광 엘리먼트의 제1 전극과 전기적으로 접속되도록 구성되고, 제1 트랜지스터의 제2 전극은 제1 전원 전압을 수신하도록 구성되고, 제1 트랜지스터는 제1 트랜지스터의 게이트 전극의 전압의 제어 하에 발광 엘리먼트를 구동하기 위해 사용되는 전류를 제어하도록 구성되고; 제3 트랜지스터의 제1 전극은 제1 트랜지스터의 제1 전극 및 저장 커패시터의 제2 커패시터 전극과 전기적으로 접속되고, 제3 트랜지스터의 제2 전극은 검출 회로와 접속되도록 구성된다.
- [0026] 일부 예들에서, 제1 방향 및 제2 방향에서의 베이스 기판 상의 제1 표면 미세구조체의 직교 투영과 베이스 기판 상의 제2 표면 미세구조체의 직교 투영 사이의 중심 거리의 성분들은 각각 제1 방향 및 제2 방향에서의 복수의 서브-픽셀들 각각의 평균 크기들 미만이다.
- [0027] 일부 예들에서, 복수의 픽셀 열들 각각의 서브-픽셀들은 동일한 컬러의 광을 방출한다.
- [0028] 일부 예들에서, 제1 표면 미세구조체는 제1 오목 구조체를 포함하고, 제2 표면 미세구조체는 제2 오목 구조체를 포함하고; 제1 오목 구조체 및 제2 오목 구조체는 제1 도전성 구조체의 연장 방향을 따라 배열되고 동일한 컬러의 서브-픽셀들에 대면한다.
- [0029] 일부 예들에서, 디스플레이 기판은 제1 트랜지스터의 게이트 전극으로부터 돌출하는 연장 부분을 추가로 포함하고, 연장 부분은 제2 방향을 따라 제1 트랜지스터의 게이트 전극으로부터 연장되고, 연장 부분은 제2 트랜지스터의 제1 전극과 적어도 부분적으로 중첩되고 베이스 기판에 수직인 방향에서 제2 트랜지스터의 제1 전극과 전기적으로 접속된다.
- [0030] 일부 예들에서, 제2 트랜지스터의 활성 층은 제1 전극 접촉 영역, 제2 전극 접촉 영역, 및 제1 전극 접촉 영역과 제2 전극 접촉 영역 사이의 채널 영역을 포함하고; 제2 트랜지스터의 제1 전극은 제2 비아 홀을 통해 제1 전극 접촉 영역, 연장 부분, 및 제1 커패시터 전극과 각각 전기적으로 접속된다.
- [0031] 일부 예들에서, 제2 비아 홀은 제1 방향을 따라 연장되고, 연장 부분의 표면의 적어도 일부분 및, 연장 부분의, 제1 방향에서 대향하는 2개의 측면들을 노출시킨다.
- [0032] 일부 예들에서, 연장 부분은 제2 비아 홀을 제1 홈 및 제2 홈으로 이격시키고; 제2 트랜지스터의 제1 전극은 제1 홈 및 제2 홈을 채우고, 연장 부분의 2개의 측면들을 커버하고; 제2 트랜지스터의 제1 전극은 제1 부분, 제2 부분 및 제3 부분을 포함하고; 제2 부분은 연장 부분의 표면을 커버하고, 제1 부분은 제1 홈을 커버하고, 제3 부분은 제2 홈을 커버하고; 제1 부분 및 제3 부분은 또한 연장 부분의 2개의 측면들을 각각 커버한다.
- [0033] 일부 예들에서, 제1 도전성 구조체는 제2 트랜지스터의 제1 전극이고; 제1 표면 미세구조체 및 제2 표면 미세구조체는 양자 모두 제2 트랜지스터의 제1 전극의 제3 부분에 있다.
- [0034] 일부 예들에서, 제1 방향에서의 제1 표면 미세구조체의 크기는 제1 방향을 따른 제3 부분의 최대 크기의 1/10 미만이다.
- [0035] 일부 예들에서, 제1 방향에서의 제1 표면 미세구조체의 크기는 제1 방향에서의 베이스 기판 상의 제2 비아 홀의 직교 투영의 최대 크기의 1/10 미만이다.
- [0036] 일부 예들에서, 복수의 서브-픽셀들 각각은 발광 엘리먼트를 추가로 포함하고, 발광 엘리먼트는 순차적으로 적층되는 제1 전극, 발광 층 및 제2 전극을 포함하고, 제1 전극은 제2 전극보다 베이스 기판에 더 가깝고; 발광 엘리먼트의 제1 전극은 제3 비아 홀을 통해 발광 엘리먼트가 속하는 서브-픽셀의 제1 트랜지스터의 제1 전극과 전기적으로 접속된다.

- [0037] 일부 예들에서, 발광 엘리먼트의 제1 전극은, 제1 방향에서 순차적으로 접속되는 제1 전극 부분, 제2 전극 부분 및 제3 전극 부분을 포함하고, 제1 전극 부분은 대응하는 제1 트랜지스터의 제1 전극과 전기적으로 접속되도록 구성되고 베이스 기판에 수직인 방향에서 대응하는 제1 트랜지스터의 제1 전극과 중첩되고; 발광 엘리먼트의 제3 전극 부분은 베이스 기판에 수직인 방향에서 발광 엘리먼트의 개구 영역과 적어도 부분적으로 중첩된다.
- [0038] 일부 예들에서, 제1 방향을 따른 제1 전극 부분의 최대 크기와 제2 방향을 따른 제1 전극 부분의 최대 크기의 합은, 제1 방향을 따른 제3 전극 부분의 최대 크기와 제2 방향을 따른 제3 전극 부분의 최대 크기의 합 미만이고; 제1 방향을 따른 제2 전극 부분의 최대 크기와 제2 방향을 따른 제2 전극 부분의 최대 크기의 합은 제1 방향을 따른 제3 전극 부분의 최대 크기와 제2 방향을 따른 제3 전극 부분의 최대 크기의 합 미만이다.
- [0039] 일부 예들에서, 디스플레이 기판은 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들을 포함하고; 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 일부는 베이스 기판에 수직인 방향에서 제1 전극 부분과 중첩되고, 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 다른 것들은 베이스 기판에 수직인 방향에서 제3 전극 부분과 중첩되고; 제1 전극 부분과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도는 제3 전극 부분과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도 초과이다.
- [0040] 일부 예들에서, 제2 방향에서의 발광 엘리먼트의 제1 전극의 제2 전극 부분의 평균 크기는, 제2 방향에서의 제1 전극 부분의 평균 크기 미만이고, 또한 제2 방향에서의 제3 전극 부분의 평균 크기 미만이다.
- [0041] 일부 예들에서, 복수의 픽셀 행들은 제1 픽셀 행을 포함하고, 제1 픽셀 행은 복수의 픽셀 유닛들로 분할되고; 복수의 픽셀 유닛들 각각은 제2 방향을 따라 순차적으로 배열되는 제1 서브-픽셀, 제2 서브-픽셀, 및 제3 서브-픽셀을 포함하고; 제1 서브-픽셀, 제2 서브-픽셀, 및 제3 서브-픽셀은 각각 3원색의 광을 방출하도록 구성되고; 디스플레이 기판은 제2 방향을 따라 연장되는 제1 스캔 라인을 추가로 포함하고; 제1 스캔 라인은 제1 서브-픽셀, 제2 서브-픽셀, 및 제3 서브-픽셀에서의 제2 트랜지스터들의 게이트 전극들과 전기적으로 접속되어 제1 제어 신호를 공급한다.
- [0042] 일부 예들에서, 제1 스캔 라인은 베이스 기판에 수직인 방향에서 제1 서브-픽셀의 발광 엘리먼트의 제1 전극의 제2 전극 부분과 중첩된다.
- [0043] 일부 예들에서, 디스플레이 기판은 컬러 필터 층을 추가로 포함하고, 컬러 필터 층은 베이스 기판에 가까운 발광 엘리먼트의 제1 전극의 측면 상에 있고; 컬러 필터 층은 제1 서브-픽셀, 제2 서브-픽셀, 및 제3 서브-픽셀에 각각 대응하는 복수의 컬러 필터 부분들을 포함하고; 제1 서브-픽셀, 제2 서브-픽셀, 및 제3 서브-픽셀에 의해 방출되는 광은 대응하는 컬러 필터 부분들을 통해 각각 방출되어 디스플레이 광을 형성한다.
- [0044] 일부 예들에서, 베이스 기판에 수직인 방향에서, 제1 서브-픽셀에 대응하는 컬러 필터 부분, 제2 서브-픽셀에 대응하는 컬러 필터 부분, 및 제2 표면 미세구조체는 모두 베이스 기판에 수직인 방향에서 서로 중첩된다.
- [0045] 일부 예들에서, 베이스 기판에 수직인 방향에서, 컬러 필터 부분들 각각은 대응하는 서브-픽셀의 발광 엘리먼트의 제1 전극의 제3 전극 부분과 중첩되고, 대응하는 서브-픽셀의 발광 엘리먼트의 제1 전극의 제1 전극 부분과 중첩되지 않는다.
- [0046] 일부 예들에서, 제1 스캔 라인은 베이스 기판에 가까운 컬러 필터 층의 측면 상에 있고; 베이스 기판에 수직인 방향에서, 제1 스캔 라인과 중첩되는 제1 서브-픽셀의 발광 엘리먼트의 제1 전극의 제2 전극 부분은 또한 제1 서브-픽셀에 대응하는 컬러 필터 부분과 중첩된다.
- [0047] 일부 예들에서, 제1 스캔 라인은 교대로 접속되는 제1 부분들 및 제2 부분들을 포함하고; 제2 부분은 링 구조체에 있다.
- [0048] 일부 예들에서, 베이스 기판에 수직인 방향에서, 제1 서브-픽셀의 발광 엘리먼트의 제1 전극은 제1 스캔 라인의 제1 부분과 중첩되고, 제1 스캔 라인의 제2 부분과 중첩되지 않는다.
- [0049] 일부 예들에서, 디스플레이 기판은 제1 방향을 따라 연장되는 복수의 제1 신호 라인들을 추가로 포함하고; 베이스 기판에 수직인 방향에서, 복수의 제1 신호 라인들은 제1 스캔 라인의 제2 부분들과 중첩되어 제2 방향을 따라 복수의 제1 중공 영역들을 정의한다.
- [0050] 일부 예들에서, 각각의 픽셀 유닛에 대응하는 제1 중공 영역들의 기하학적 중심들은 직선 상에 있지 않다.
- [0051] 일부 예들에서, 베이스 기판에 수직인 방향에서, 제1 서브-픽셀에 대응하는 컬러 필터 부분은 복수의 제1 중공

영역들 중 적어도 하나와 중첩되고; 제2 서브-픽셀에 대응하는 컬러 필터 부분은 복수의 제1 중공 영역들 중 어느 것보다도 중첩되지 않는다.

[0052] 일부 예들에서, 베이스 기관에 수직인 방향에서, 제1 서브-픽셀에 대응하는 컬러 필터 부분은 제1 중첩 면적으로 복수의 제1 중공 영역들 중 하나와 중첩되고; 제2 서브-픽셀에 대응하는 컬러 필터 부분은 제2 중첩 면적으로 복수의 제1 중공 영역들 중 다른 하나와 중첩되고; 제1 중첩 면적은 제2 중첩 면적과 상이하다.

[0053] 일부 예들에서, 제1 중첩 면적과 제2 중첩 면적 사이의 차이 값의 절대값은 $(n \cdot \lambda)^2$ 초과이고, λ 는 제1 서브-픽셀 및 제2 서브-픽셀에 의해 방출되는 광의 파장들의 더 큰 값이다.

[0054] 일부 예들에서, 디스플레이 기관은 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들을 포함하고; 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 일부는 베이스 기관에 수직인 방향에서 제1 스캔 라인의 제1 부분들과 중첩되고; 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 다른 것들은 베이스 기관에 수직인 방향에서 제1 스캔 라인의 제2 부분들과 중첩되고; 베이스 기관에 수직인 방향에서, 제1 스캔 라인의 제2 부분들과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도는 제1 스캔 라인의 제1 부분들과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도 초과이다.

[0055] 일부 예들에서, 제1 중첩 면적은 베이스 기관 상의 복수의 제1 표면 미세구조체들 또는 제2 표면 미세구조체들 각각의 직교 투영의 면적 초과이고; 제2 중첩 면적은 베이스 기관 상의 복수의 제1 표면 미세구조체들 또는 제2 표면 미세구조체들 각각의 직교 투영의 면적 초과이다.

[0056] 일부 예들에서, 픽셀 유닛은 제4 서브-픽셀을 추가로 포함하고, 제4 서브-픽셀은 백색 광을 방출하도록 구성되고; 복수의 제1 중공 영역들 중 제4 서브-픽셀에 가까운 제1 중공 영역들 중 어느 것도 베이스 기관에 수직인 방향에서 컬러 필터 층과 중첩되지 않는다.

[0057] 일부 예들에서, 복수의 신호 라인들은 복수의 데이터 라인들을 포함하고, 복수의 데이터 라인들은 복수의 픽셀 열들과 일-대-일 대응으로 접속되고; 제1 픽셀 행에 대해, 복수의 데이터 라인들은 복수의 픽셀 유닛들과 일-대-일 대응으로 복수의 데이터 라인 그룹들로 분할되고; 복수의 데이터 라인 그룹들 각각은 제1 서브-픽셀, 제2 서브-픽셀, 및 제3 서브-픽셀과 각각 접속되는 제1 데이터 라인, 제2 데이터 라인 및 제3 데이터 라인을 포함하고; 복수의 픽셀 유닛들 각각에 대해, 각각의 픽셀 유닛과 대응하여 접속하는 제1 데이터 라인, 제2 데이터 라인 및 제3 데이터 라인은 제1 서브-픽셀과 제3 서브-픽셀 사이에 모두 위치된다.

[0058] 일부 예들에서, 디스플레이 기관은 제1 방향을 따라 연장되는 복수의 전력 라인들을 추가로 포함하고; 복수의 전력 라인들은 복수의 서브-픽셀들에 제1 전원 전압을 공급하도록 구성되고; 복수의 전력 라인들 각각과 복수의 데이터 라인들 중 어느 하나 사이에 적어도 하나의 픽셀 열이 제공된다.

[0059] 일부 예들에서, 디스플레이 기관은 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들을 포함하고; 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 일부는 복수의 데이터 라인들 상에 분포되고, 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 다른 것들은 복수의 전력 라인들 상에 분포되고; 복수의 데이터 라인들 상의 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들의 분포 밀도는 복수의 전력 라인들 상의 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들의 분포 밀도 초과이다.

[0060] 일부 예들에서, 제2 서브-픽셀은 제3 서브-픽셀에 직접 인접하고, 제3 서브-픽셀은 제2 방향에서 서로 대향하는 제1 측면 및 제2 측면을 갖고; 제2 데이터 라인 및 제3 데이터 라인은 제3 서브-픽셀의 제1 측면 상에 위치되고 제2 서브-픽셀과 제3 서브-픽셀 사이에 위치된다.

[0061] 일부 예들에서, 제3 서브-픽셀의 발광 엘리먼트의 제1 전극의 제2 전극 부분은 제3 서브-픽셀의 제2 측면으로부터 멀어지는 방향에서 제3 서브-픽셀의 발광 엘리먼트의 제1 전극의 제1 전극 부분 및 제3 전극 부분에 대해 오목하다.

[0062] 일부 예들에서, 기관에 수직인 방향에서, 제2 데이터 라인 및 제3 데이터 라인은 각각 컬러 필터 층과 적어도 부분적으로 중첩된다.

[0063] 일부 예들에서, 픽셀 유닛은 제4 서브-픽셀을 추가로 포함하고, 제4 서브-픽셀은 백색 광을 방출하도록 구성되고; 데이터 라인 그룹들 각각은 제4 서브-픽셀과 접속되는 제4 데이터 라인을 추가로 포함하고; 베이스 기관에

수직인 방향에서, 제4 데이터 라인은 컬러 필터 층과 중첩되지 않는다.

- [0064] 일부 예들에서, 복수의 픽셀 행들은 제2 픽셀 행을 추가로 포함하고, 제2 픽셀 행은 제1 방향에서 제1 픽셀 행에 직접 인접하고; 제2 픽셀 행은 제2 방향을 따라 순차적으로 배열되는 제5 서브-픽셀, 제6 서브-픽셀, 및 제7 서브-픽셀을 포함하고; 제5 서브-픽셀 및 제1 서브-픽셀은 동일한 픽셀 열에 위치되고; 제6 서브-픽셀 및 제2 서브-픽셀은 동일한 픽셀 열에 위치되고; 제7 서브-픽셀 및 제3 서브-픽셀은 동일한 픽셀 열에 위치된다.
- [0065] 일부 예들에서, 제1 서브-픽셀에 대응하는 컬러 필터 부분은 제5 서브-픽셀에 가까운 측면 에지를 갖고, 측면 에지는 제2 방향에 평행하다.
- [0066] 일부 예들에서, 디스플레이 기판은 제2 방향을 따라 연장되는 제2 스캔 라인을 추가로 포함하고; 제2 스캔 라인은 제5 서브-픽셀, 제6 서브-픽셀 및 제7 서브-픽셀에서의 제3 트랜지스터들의 게이트 전극들과 전기적으로 접속되어 제2 제어 신호를 공급한다.
- [0067] 일부 예들에서, 제2 스캔 라인은 교대로 접속되는 제1 부분들 및 제2 부분들을 포함하고; 제2 부분은 링 구조체에 있다.
- [0068] 일부 예들에서, 베이스 기판에 수직인 방향에서, 복수의 제1 신호 라인들은 제2 스캔 라인의 제2 부분들과 중첩되어 제2 방향에서 순차적으로 배열되는 복수의 제2 중공 영역들을 정의한다.
- [0069] 일부 예들에서, 제1 도전성 구조체는 복수의 제1 신호 라인들 중 하나이고, 제1 표면 미세구조체 및 제2 표면 미세구조체는 제1 신호 라인 상에 위치되고, 제1 표면 미세구조체는 베이스 기판에 수직인 방향에서 제1 신호 라인에 대응하는 제2 중공 영역과 적어도 부분적으로 중첩된다.
- [0070] 일부 예들에서, 베이스 기판에 수직인 방향에서, 제1 서브-픽셀에 대응하는 컬러 필터 부분은 제3 중첩 면적으로 복수의 제2 중공 영역들 중 하나의 제2 중공 영역과 중첩되고; 제2 서브-픽셀에 대응하는 컬러 필터 부분은 제4 중첩 면적으로 복수의 제2 중공 영역들 중 다른 제2 중공 영역과 중첩되고; 제3 서브-픽셀은 제5 중첩 면적으로 복수의 제2 중공 영역들 중 또 다른 제2 중공 영역과 중첩되고; 제3 중첩 면적, 제4 중첩 면적, 및 제5 중첩 면적은 모두 서로 상이하다.
- [0071] 일부 예들에서, 제3 트랜지스터의 제2 전극은 제4 비아 홀을 통해 제2 방향을 따라 연장되는 검출 부분과 전기적으로 접속되고; 검출 부분은 제1 방향을 따라 연장되는 검출 라인과 전기적으로 접속되어, 제3 트랜지스터의 제2 전극이 검출 부분 및 검출 라인을 통해 검출 회로와 접속된다.
- [0072] 일부 예들에서, 제1 도전성 구조체는 제3 트랜지스터의 제2 전극이고, 제1 표면 미세구조체 및 제2 표면 미세구조체는 제3 트랜지스터의 제2 전극 상에 위치되고, 제1 표면 미세구조체는 베이스 기판에 수직인 방향에서 제4 비아 홀과 적어도 부분적으로 중첩된다.
- [0073] 일부 예들에서, 제3 트랜지스터의 활성 층은 제1 전극 접촉 영역, 제2 전극 접촉 영역, 및 제1 전극 접촉 영역과 제2 전극 접촉 영역 사이의 채널 영역을 포함하고; 제3 트랜지스터의 제1 전극은 제5 비아 홀을 통해 제3 트랜지스터의 제1 전극 접촉 영역과 전기적으로 접속된다.
- [0074] 일부 예들에서, 제1 도전성 구조체는 제3 트랜지스터의 제1 전극이고, 제1 표면 미세구조체 및 제2 표면 미세구조체는 제3 트랜지스터의 제1 전극 상에 있고, 제1 표면 미세구조체는 베이스 기판에 수직인 방향에서 제5 비아 홀과 적어도 부분적으로 중첩된다.
- [0075] 적어도 본 개시내용의 실시예는, 베이스 기판 및 이러한 베이스 기판 상의 제1 도전성 구조체를 포함하는, 디스플레이 기판을 추가로 제공한다. 제1 도전성 구조체는 베이스 기판으로부터 먼 제1 표면 및 제2 표면을 포함하고; 제1 표면 및 제2 표면은 동일한 재료로 이루어지고; 제1 표면에는 제1 표면 미세구조체가 제공되고, 제2 표면에는 제2 표면 미세구조체가 제공되고; 제1 표면 미세구조체는 베이스 기판에 수직인 제1 단면을 갖고, 제2 표면 미세구조체는 베이스 기판에 수직인 제2 단면을 갖고; 제1 표면 미세구조체는 제1 단면에서 제1 단부 지점 및 제2 단부 지점을 갖고; 제2 표면 미세구조체는 제2 단면에서 제3 단부 지점 및 제4 단부 지점을 갖고; 제1 단부 지점과 제2 단부 지점 사이의 접속 라인의 중점으로부터 베이스 기판의 플레이트 표면까지의 거리는 제3 단부 지점과 제4 단부 지점 사이의 접속 라인의 중점으로부터 베이스 기판의 플레이트 표면까지의 거리와 상이하다.
- [0076] 일부 예들에서, 제1 표면 미세구조체에서의 제1 도전성 구조체의 최소 두께는 제1 도전성 구조체의 평균 두께 미만이고 제1 도전성 구조체의 평균 두께의 3/5 초과이다.

- [0077] 일부 예들에서, 제1 도전성 구조체는 베이스 기판에 가까운 제3 표면 및 제4 표면을 추가로 포함하고; 베이스 기판에 수직인 방향에서, 제1 표면 미세구조체는 제3 표면과 적어도 부분적으로 중첩되고, 제2 표면 미세구조체는 제4 표면과 적어도 부분적으로 중첩된다.
- [0078] 일부 예들에서, 제3 표면 및 제4 표면 중 적어도 하나는 평평한 표면이다.
- [0079] 일부 예들에서, 제3 표면 상의 제1 표면 미세구조체의 직교 투영의 면적은 제1 표면 미세구조체의 표면적 미만이고; 제4 표면 상의 제2 표면 미세구조체의 직교 투영의 면적은 제2 표면 미세구조체의 표면적 미만이다.
- [0080] 일부 예들에서, 제1 표면 미세구조체는 제1 단면에서 제1 단부 지점과 제2 단부 지점 사이의 제1 중간 지점을 추가로 갖고; 제2 표면 미세구조체는 제2 단면에서 제3 단부 지점과 제4 단부 지점 사이의 제2 중간 지점을 추가로 갖고; 제1 중간 지점과 제3 표면 사이의 거리는 제1 단부 지점과 제3 표면 사이의 거리와도 제2 단부 지점과 제3 표면 사이의 거리와도 동일하지 않고; 제2 중간 지점과 제4 표면 사이의 거리는 제3 단부 지점과 제4 표면 사이의 거리와도, 제4 단부 지점과 제4 표면 사이의 거리와도 동일하지 않다.
- [0081] 일부 예들에서, 제1 표면은 베이스 기판의 플레이트 표면과의 제1 끼인각을 갖고, 제2 표면은 베이스 기판의 플레이트 표면과의 제2 끼인각을 갖고, 제1 끼인각은 제2 끼인각과 상이하다.
- [0082] 일부 예들에서, 제1 끼인각은 0도 초과이고; 제2 끼인각은 0도와 동일하다.
- [0083] 일부 예들에서, 디스플레이 기판은 베이스 기판에 가까운 제1 도전성 구조체의 측면 상의 제1 절연 층을 추가로 포함하고; 제1 절연 층은 제1 도전성 구조체의 제3 표면과 직접 접촉하는 제1 부분 및 제1 도전성 구조체의 제4 표면과 직접 접촉하는 제2 부분을 포함하고; 제1 부분의 최소 두께는 제2 부분의 최소 두께 미만이다.
- [0084] 일부 예들에서, 디스플레이 기판은 베이스 기판에 가까운 제1 절연 층의 측면 상의 제2 도전성 구조체를 추가로 포함하고; 제1 절연 층의 제1 부분은 제2 도전성 구조체의 적어도 일부분을 커버한다.
- [0085] 일부 예들에서, 베이스 기판에 수직인 방향에서, 제1 표면 미세구조체 및 제2 도전성 구조체는 서로 중첩되지 않는다.
- [0086] 일부 예들에서, 제1 도전성 구조체는 제1 절연 층을 관통하는 제1 비아 홀을 통해 제2 도전성 구조체와 전기적으로 접속되고; 베이스 기판에 수직인 방향에서, 제1 표면 미세구조체는 제1 비아 홀과 적어도 부분적으로 중첩된다.
- [0087] 일부 예들에서, 제1 절연 층은 적층되는 제1 서브-층 및 제2 서브-층을 포함하고, 제2 서브-층은 제1 서브-층보다 베이스 기판으로부터 더 멀고; 제1 서브-층은 제1 비아 홀에 의해 노출되는 제1 측면 표면을 포함하고, 제2 서브-층은 제1 비아 홀에 의해 노출되는 제2 측면 표면을 포함하고, 제1 측면 표면 및 제2 측면 표면 중 적어도 하나는 제1 도전성 구조체의 제3 표면과 직접 접촉한다.
- [0088] 일부 예들에서, 제1 측면 표면과 베이스 기판 사이의 끼인각은 제2 측면 표면과 베이스 기판 사이의 끼인각 초과이다.
- [0089] 일부 예들에서, 제2 서브-층의 조밀도는 제1 서브-층의 조밀도보다 높다.
- [0090] 일부 예들에서, 제1 표면의 산소 함량은 제3 표면의 산소 함량보다 높다.
- [0091] 적어도 본 개시내용의 실시예는, 위 실시예들 중 어느 하나에 의해 제공되는 디스플레이 기판을 포함하는, 디스플레이 장치를 추가로 제공한다.

도면의 간단한 설명

- [0092] 본 개시내용의 실시예들의 기술적 해결책들을 명확하게 예시하기 위해, 실시예들의 도면들이 다음에 간단히 설명될 것이고; 설명된 도면들은 본 개시내용의 일부 실시예들에만 관련되고 따라서 본 개시내용에 대해 제한적인 것은 아니라는 점이 명백하다.

도 1a는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기판의 제1 개략도 I이다.

도 1b는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기판의 개략도 II이다.

도 2a는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기판의 개략도 III이다.

도 2b는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기판에서의 픽셀 회로도 I이다.

도 2c는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관에서의 픽셀 회로도 II이다.

도 2d 내지 도 2f는 본 개시내용의 실시예에 의해 제공되는 픽셀 회로 구동 방법의 신호 타이밍도들이다.

도 3a는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관의 개략도 IV이다.

도 3b는 도 3a의 단면 라인 I-I'를 따른 단면도이다.

도 3c 내지 도 3e는 본 개시내용의 다른 실시예들에 의해 제공되는 디스플레이 기관들의 개략도들이다.

도 4a는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관에서의 제1 도전 층의 개략적인 평면도이다.

도 4b는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관에서의 반도체 층의 개략적인 평면도이다.

도 4c는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관에서의 제2 도전 층의 개략적인 평면도이다.

도 4d는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관에서의 제3 도전 층의 개략적인 평면도이다.

도 5a는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 패널의 개략도 I이다.

도 5b는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 패널의 개략도 II이다.

도 6은 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 장치의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0093] 본 개시내용의 실시예들의 목적들, 기술적 상세사항들 및 이점들을 명백하게 하기 위해, 실시예들의 기술적 해결책들이 본 개시내용의 실시예들에 관련된 도면들과 관련하여 명확하게 그리고 완전하게 이해가능한 방식으로 설명될 것이다. 명백히, 설명된 실시예들은 본 개시내용의 실시예들의 전부가 아니라 일부일 뿐이다. 본 명세서에서의 설명된 실시예들에 기초하여, 해당 분야에서의 기술자들은, 어떠한 창의적 작업도 없이, 본 개시내용의 범위 내에 있을 다른 실시예(들)를 획득할 수 있다.
- [0094] 달리 정의되지 않는 한, 본 명세서에서 사용되는 모든 기술 및 과학 용어들은 본 개시내용이 속하는 해당 분야에서의 통상의 기술자에 의해 통상적으로 이해되는 것과 동일한 의미를 갖는다. 본 개시내용에서 사용되는 "제1(first)", "제2(second)" 등의 용어들은, 어떠한 순차, 양 또는 중요도를 표시하려고 의도되는 것이 아니라, 다양한 컴포넌트들을 구별하려고 의도되는 것이다. 포함("comprise," "comprising," "include," "including" 등)이라는 용어들은, 이러한 용어들 전에 진술되는 엘리먼트들 또는 객체들이 이러한 용어들 후에 열거되는 엘리먼트들 또는 객체들 및 그 등가물들을 망라하지만, 다른 엘리먼트들 또는 객체들을 배제하는 것은 아니라는 점을 명시하도록 의도된다. 접속("connect", "connected" 등)이라는 문구들은 물리적 접속 또는 기계적 접속을 정의하도록 의도되는 것은 아니지만, 직접적으로 또는 간접적으로 전기적 접속을 포함할 수 있다. "상의(on)", "하의(under)" 등은 상대적 위치 관계를 표시하기 위해서만 사용되며, 설명된 객체의 위치가 변경될 때, 상대적 위치 관계가 따라서 변경될 수 있다.
- [0095] 박형화 및 경량화를 향한 디스플레이 패널의 개발에 따라, 특히 대형 디스플레이 애플리케이션들에서, 디스플레이 패널은 외부 응력으로 인한 결함들에 취약하고; 예를 들어, 제조 또는 사용 프로세스 동안, 외부 응력의 작용 하에서 디스플레이 패널에서의 신호 라인에 균열이 쉽게 발생하여, 패널에 기능장애를 야기한다.
- [0096] 적어도 본 개시내용의 실시예는, 베이스 기관 및 이러한 베이스 기관 상의 제1 도전성 구조체를 포함하는, 디스플레이 기관을 제공한다. 제1 도전성 구조체는 제1 표면 및 베이스 기관으로부터 먼 제2 표면을 포함하고, 제1 표면 및 제2 표면은 동일한 재료로 이루어지고; 제1 표면은 베이스 기관의 플레이트 표면과의 제1 끼임각을 갖고, 제2 표면은 베이스 기관의 플레이트 표면과의 제2 끼임각을 갖고, 제1 끼임각은 제2 끼임각과 상이하고; 제1 표면에는 제1 표면 미세구조체가 제공되고, 제2 표면에는 제2 표면 미세구조체가 제공되고; 제1 도전성 구조체는 베이스 기관에 가까운 제3 표면 및 제4 표면을 추가로 포함하고, 제3 표면은 제1 표면에 대향하고, 제4 표면은 제2 표면에 대향하고; 제1 표면 미세구조체는 베이스 기관에 수직인 제1 단면을 갖고, 제1 단면은 제3 표면 상에 제1 직교 투영을 갖고, 제1 직교 투영의 길이는 제1 단면의 길이 미만이고; 제2 표면 미세구조체는 베이스 기관에 수직인 제2 단면을 갖고, 제2 단면은 제4 표면 상에 제2 직교 투영을 갖고, 제2 직교 투영의 길이는

는 제2 단면의 길이 미만이다. 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 표면 미세구조체 및 제2 표면 미세구조체는 제1 도전성 구조체의 제1 표면 및 제2 표면 상에 각각 제공되어, 제1 도전성 구조체는, 패널 고장으로 이어지는 응력 집중을 회피하기 위해, 상이한 각도들에서 또는 상이한 방향들에서 해제되는 응력을 가질 수 있다.

[0097] 제1 도전성 구조체의 제1 표면 상에 제1 표면 미세구조체를 그리고 제2 표면 상에 제2 표면 미세구조체를 제공하는 것에 의해, 본 개시내용의 실시예들에 의해 제공되는 디스플레이 기관은 제1 도전성 구조체가 상이한 각도들 또는 상이한 방향들로부터 응력을 해제하는 것을 가능하게 하고, 그렇게 함으로써 디스플레이 기관을 응력 집중에 의해 야기되는 고장으로부터 방지할 수 있다.

[0098] 본 개시내용의 실시예에 따른 제1 표면 미세구조체 및 제2 표면 미세구조체는 다양한 특정 구조체들로 구현될 수 있으며, 이는 본 개시내용에서 제한되지 않는다. 예를 들어, 제1 응력 구조체 및 제2 표면 미세구조체는 홈들, 돌출들 또는 비아 홀들이고, 이러한 구조체들은 도전성 구조체의 표면적을 효과적으로 증가시킬 수 있고, 그렇게 함으로써 응력을 완화하는 것을 돕는다.

[0099] 도 1a는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관(10)의 개략도를 도시한다. 도 1a에 도시되는 바와 같이, 디스플레이 기관(10)은 베이스 기관(101) 상에 위치되는 제1 도전성 구조체(110)를 포함하고, 제1 도전성 구조체(110)는 베이스 기관(101)으로부터 멀리 대면하는 제1 표면(111) 및 제2 표면(112)을 포함하고, 제1 표면(111)과 베이스 기관(101)의 플레이트 표면은 제1 끼임각 α 를 갖고, 제2 표면(112)과 베이스 기관(101)의 플레이트 표면은 제2 끼임각을 갖고, 제1 끼임각은 제2 끼임각과 상이하다. 예를 들어, 제1 끼임각 α 은 0 초과이고, 즉, 제1 표면(111)은 경사진 표면이고; 예를 들어, 제2 끼임각은 0이다, 즉, 제2 표면(112)은 베이스 기관의 플레이트 표면에 평행하다. 제1 표면(111) 상에는 제1 표면 미세구조체(11)가 제공되고; 제2 표면(112) 상에는 제2 표면 미세구조체(12)가 제공된다.

[0100] 예를 들어, 제1 표면(111) 상의 제1 표면 미세구조체(11)의 직교 투영의 최대 크기는 제2 표면(112) 상의 제2 표면 미세구조체(12)의 직교 투영의 최대 크기 초과이다. 예를 들어, 제1 표면(111)에 수직인 방향에서의 제1 표면 미세구조체(11)의 최대 크기는 제2 표면(112)에 수직인 방향에서의 제2 표면 미세구조체(12)의 최대 크기 초과이다. 제1 표면(111)이 제2 표면(112)보다 베이스 기관에 대해 더 경사지고, 더 집중되는 응력을 갖기 때문에, 제1 표면 미세구조체(11)의 크기를 더 크게 설정하는 것은 응력을 더 균일하게 해제하는 것을 돕는다.

[0101] 예를 들어, 제1 표면(111) 상의 제1 표면 미세구조체(11)의 직교 투영의 최대 크기는 0.15 마이크로미터 내지 0.35 마이크로미터, 예를 들어, 0.22 마이크로미터 내지 0.28 마이크로미터이고; 제1 표면(111)에 수직인 방향에서, 제1 표면 미세구조체(11)의 최대 크기는 0.03 마이크로미터 내지 0.1 마이크로미터, 예를 들어, 0.05 마이크로미터 내지 0.08 마이크로미터의 범위이다. 예를 들어, 제1 도전성 구조체의 라인 폭은 5 마이크로미터 내지 30 마이크로미터의 범위이다. 예를 들어, 제1 표면(111)에 수직인 방향에서의 제1 표면 미세구조체(11)의 최대 크기는 제1 도전성 구조체의 평균 두께의 5% 내지 20%이다.

[0102] 예를 들어, 제2 표면(112) 상의 제2 표면 미세구조체(12)의 직교 투영의 최대 크기는 0.1 마이크로미터 내지 0.2 마이크로미터, 예를 들어, 0.12 마이크로미터 내지 0.15 마이크로미터이고; 제2 표면(112)에 수직인 방향에서, 제2 표면 미세구조체(12)의 최대 크기는 0.02 마이크로미터 내지 0.08 마이크로미터, 예를 들어, 0.03 마이크로미터 내지 0.07 마이크로미터의 범위이다. 제1 도전성 구조체의 라인 폭은 5 마이크로미터 내지 30 마이크로미터의 범위이다. 예를 들어, 제2 표면(112)에 수직인 방향에서의 제2 표면 미세구조체(12)의 최대 크기는 제1 도전성 구조체의 평균 두께의 5% 내지 20%이다.

[0103] 이러한 배열은 표면 미세구조체들의 배열로 인해 제1 도전성 구조체가 결함이 있는 것을 방지하면서 표면 미세구조체들이 응력을 효과적으로 해제하는 것을 허용할 수 있다. 도 1a에 도시되는 바와 같이, 제1 도전성 구조체(110)는 베이스 기관(101)에 가까운 제3 표면(113) 및 제4 표면(114)을 추가로 포함하고; 제3 표면(113)은 제1 표면(111)에 대향하고; 제4 표면(114)은 제2 표면(112)에 대향한다.

[0104] 제1 표면 미세구조체(11)는 베이스 기관에 수직인 제1 단면(11a)을 갖고, 제2 표면 미세구조체는 베이스 기관에 수직인 제2 단면(12a)을 갖는다. 예를 들어, 도 1a에 도시되는 바와 같이, 제1 단면(11a) 및 제2 단면(12a)은 양자 모두 종이 평면 내에 위치된다. 제1 단면(11a)은 제3 표면(113) 상에 제1 직교 투영(C1C2)을 갖고, 제1 직교 투영의 길이는 제1 단면(11a)에서의 제1 표면 미세구조체(11)의 길이, 즉, 곡선 A1A2의 길이 미만이다. 제2 표면 미세구조체(12)는 제1 투영 평면 상에 제2 단면(12a)을 갖고; 제2 단면(12a)은 제4 표면(114) 상에 제2 직교 투영(D1D2)을 갖고; 제2 직교 투영의 길이는 제2 단면(12a)에서의 제2 표면 미세구조체(12)의 길이, 즉,

곡선 B1B2의 길이 미만이다.

- [0105] 곡선 A1A2 또는 B1B2는 제1 표면 미세구조체(11) 또는 제2 표면 미세구조체(12)의 표면적들을 효과적으로 증가시킬 수 있고, 그렇게 함으로써 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)의 응력 해제 능력을 개선한다. 예를 들어, 곡선 A1A2 및/또는 곡선 B1B2는 호들을 포함하여, 응력이 더 균일하게 해제된다.

[0106] 제1 단면(11a) 및 제2 단면(12a)은 양자 모두 선형 구조체(1차원 구조체)로 투영되고; 선형 구조체는 제3 표면 및 제4 표면의 형상들과 관련된다. 제3 표면 및 제4 표면이 평평한 표면들인 경우, 도 1a에 도시되는 바와 같이, 제1 직교 투영 및 제2 직교 투영은 각각 직선들이고; 제3 표면 및 제4 표면이 곡선형 표면들인 경우, 제1 직교 투영 및 제2 직교 투영은 각각 곡선들이다.

[0107] 예를 들어, 투영 평면이 곡선형 표면인 경우, 투영 평면 상의 특정 구조체의 직교 투영은 투영 평면에서의 각각의 지점의 법선의 방향을 따른 투영 평면 상의 구조체의 투영이라는 점이 주목되어야 한다.

[0108] 예를 들어, 제3 표면(113) 및 제4 표면(114) 중 적어도 하나는 평평한 표면이다. 도 1a에 도시되는 바와 같이, 제3 표면(113) 및 제4 표면(114)은 양자 모두 평평한 표면들이다. 베이스 기판(101)에 수직인 방향에서, 제1 표면 미세구조체(11)는 제3 표면(113)과 적어도 부분적으로 중첩되고, 제2 표면 미세구조체(12)는 제4 표면(114)과 적어도 부분적으로 중첩된다.

[0109] 제3 표면(113) 및 제4 표면(114)의 평탄도는 제1 표면 미세구조체(11) 또는 제2 표면 미세구조체(12)의 스케일에 대한 것이라는 점이 주목되어야 하고; 제3 표면(113) 및 제4 표면(114)의 평탄도를 판단하기 위한 스케일은 제1 표면 미세구조체(11) 또는 제2 표면 미세구조체(12)의 스케일과 동일한 정도일 것이다. 예를 들어, 제3 표면(113) 또는 제4 표면(114)에 평행한 방향에서의 판단 스케일은 0.1 마이크로미터 정도이고, 제3 표면(113) 또는 제4 표면(114)에 수직인 방향에서의 판단 스케일은 0.01 마이크로미터 정도이다. 예를 들어, 제3 표면(113)/제4 표면(114)이 평행 방향에서 0.1 마이크로미터 정도에도달하는 크기 및 수직 방향에서 0.01 마이크로미터 정도에도달하는 크기를 갖는 오목 또는 볼록 구조체를 갖는 경우, 제3 표면(113)/제4 표면(114)은 평평하지 않은 표면인 것으로 판단된다.

[0110] 예를 들어, 제3 표면(113) 상의 제1 표면 미세구조체(11)의 직교 투영의 면적은 제1 표면 미세구조체의 표면적 미만이고; 제4 표면(114) 상의 제2 표면 미세구조체(12)의 직교 투영의 면적은 제2 표면 미세구조체의 표면적 미만이다. 이러한 배열은 제1 도전성 구조체의 표면적을 증가시키고, 이는 응력을 해제하는 것을 돕는다.

[0111] 예를 들어, 제1 도전성 구조체의 연장 방향을 따라, 제1 표면 미세구조체는 제1 단부 지점, 제1 중간 지점, 및 제2 단부 지점을 갖고; 제2 표면 미세구조체는 제3 단부 지점, 제2 중간 지점, 및 제4 중간 지점을 갖고; 제1 중간 지점과 제3 표면 사이의 거리는 제1 단부 지점과 제3 표면 사이의 거리와도 제2 단부 지점과 제3 표면 사이의 거리와도 동일하지 않고; 제2 중간 지점과 제4 표면 사이의 거리는 제3 단부 지점과 제4 표면 사이의 거리와도, 제4 단부 지점과 제4 표면 사이의 거리와도 동일하지 않다.

[0112] 예를 들어, 도 1a에 도시되는 바와 같이, 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)는 각각 제1 오목 구조체 및 제2 오목 구조체를 포함하고; 제1 오목 구조체는 제1 표면(111)이 위치되는 기준 평면에 대해 오목하고; 제2 오목 구조체는 제2 표면(112)이 위치되는 기준 평면에 대해 오목하다. 오목 구조체는 제1 도전성 구조체(110)의 표면적을 증가시키고, 이는 응력을 해제하는 것을 돕고, 제1 도전성 구조체(110)가 응력을 겪을 때 균열의 위험을 감소시킨다.

[0113] 도 1a에 도시되는 바와 같이, 제1 오목 구조체 및 제2 오목 구조체는 각각 상이한 배향들을 대면한다. 예를 들어, 제1 오목 구조체의 배향은 제1 표면(111)에 수직인 방향으로서 정의될 수 있고; 제2 오목 구조체의 배향은 제2 표면(112)에 수직인 방향으로서 정의될 수 있다. 이러한 것은 제1 도전성 구조체(110) 상에 응력을 분산시키는 것을 돕고, 결함들의 위험을 추가로 감소시킨다. 예를 들어, 오목 구조체의 최대 깊이는 오목 구조체에서의 제1 도전성 구조체의 두께의 1/10 내지 2/5이다.

[0114] 예를 들어, 제1 표면 미세구조체에서의 제1 도전성 구조체의 최소 두께는 제1 도전성 구조체의 평균 두께 미만이고 제1 도전성 구조체의 평균 두께의 3/5 초과이다.

[0115] 예를 들어, 도 1a에 도시되는 바와 같이, 제1 표면 미세구조체(11)는 제1 단면(11a)에서 제1 단부 지점 A1 및 제2 단부 지점 A2를 갖고; 제2 표면 미세구조체(12)는 제2 단면(12a)에서 제3 단부 지점 B1 및 제4 단부 지점 B2를 갖는다. 제1 단부 지점 A1과 제2 단부 지점 A2 사이의 선분의 중점(도시되지 않음)으로부터 베이스 기판(101)의 플레이트 표면까지의 거리는 제3 단부 지점 B1과 제4 단부 지점 B2 사이의 선분의 중점(도시되지 않음)

음)으로부터 베이스 기관(101)의 플레이트 표면까지의 거리와 상이하다. 이러한 배열은 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)가 베이스 기관에 대해 상이한 높이들을 갖는 것을 허용하고, 이는 제1 도전성 구조체(110) 상의 응력을 추가로 분산시키고 결함들의 위험을 감소시키는 것을 돕는다.

- [0116] 예를 들어, 제1 단부 지점 A1과 제2 단부 지점 A2 사이의 거리 L1는 제3 단부 지점 B1과 제4 단부 지점 B2 사이의 거리 L2 초과이다. 예를 들어, 제1 표면(111)에 수직인 방향에서의 제1 오목 구조체의 최대 크기는 제2 표면(112)에 수직인 방향에서의 제2 오목 구조체의 최대 크기 초과이다.
- [0117] 예를 들어, 제1 단부 지점 A1과 제2 단부 지점 A2 사이의 거리 L1 및 제3 단부 지점 B1과 제4 단부 지점 B2 사이의 거리 L2는 각각 0.1 마이크로미터 초과 1 마이크로미터 미만이다.
- [0118] 예를 들어, 제1 단부 지점 A1과 제2 단부 지점 A2 사이의 거리 L1은 제3 단부 지점 B1과 제4 단부 지점 B2 사이의 거리 L2 초과이다; 즉, 경사진 표면 상의 제1 표면 미세구조체의 길이가 더 크다.
- [0119] 예를 들어, 제1 단부 지점 A1과 제2 단부 지점 A2 사이의 거리 L1은 0.15 마이크로미터 내지 0.35 마이크로미터, 예를 들어, 0.22 마이크로미터 내지 0.28 마이크로미터이고; 예를 들어, 제1 표면(111)에 수직인 방향에서의 제1 오목 구조체의 최대 크기는 0.03 마이크로미터 내지 0.1 마이크로미터, 예를 들어, 0.05 마이크로미터 내지 0.08 마이크로미터이다. 크기 범위는 도전성 구조체가 파괴되지 않도록 보장할 뿐만 아니라, 또한 응력을 완전히 해제할 수 있다.
- [0120] 예를 들어, 제3 단부 지점 B1과 제4 단부 지점 B2 사이의 거리 L2는 0.1 마이크로미터 내지 0.2 마이크로미터, 예를 들어, 0.12 마이크로미터 내지 0.15 마이크로미터이고; 예를 들어, 제2 표면(112)에 수직인 방향에서의 제2 오목 구조체의 최대 크기는 0.02 마이크로미터 내지 0.08 마이크로미터, 예를 들어, 0.03 마이크로미터 내지 0.07 마이크로미터의 범위이다.
- [0121] 제1 표면(111)이 제2 표면(112)보다 베이스 기관에 대해 더 경사지고, 응력이 더 집중되기 때문에, 제1 오목 구조체를 더 큰 크기로 설정하는 것은 응력을 더 균일하게 해제하는 것을 돕는다. 또한, 제1 오목 구조체 및 제2 오목 구조체를 전술한 크기들로 설정하는 것은 도전성 구조체에 파손이 발생하지 않는 것을 보장할 뿐만 아니라, 또한 응력을 완전히 해제할 수 있다.
- [0122] 적어도 하나의 실시예에서, 도 1a에 도시되는 바와 같이, 제1 표면 미세구조체(11)는 제1 단면(11a)에서 제1 단부 지점 A1 및 제2 단부 지점 A2를 갖고; 제2 표면 미세구조체(12)는 제2 단면(12a)에서 제3 단부 지점 B1 및 제4 단부 지점 B2를 갖고; 제1 단부 지점 A1과 제2 단부 지점 A2 사이의 접속 라인의 중점으로부터 베이스 기관(101)의 플레이트 표면까지의 거리는 제3 단부 지점 B1과 제4 단부 지점 B2 사이의 접속 라인의 중점으로부터 베이스 기관(101)의 플레이트 표면까지의 거리와 상이하다.
- [0123] 이러한 배열은 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)가 베이스 기관에 대해 상이한 높이들을 갖는 것을 허용하고, 이는 제1 도전성 구조체(110) 상의 응력을 추가로 분산시키고 결함들의 위험을 감소시키는 것을 돕는다. 예를 들어, 제1 표면(111)의 거칠기는 제3 표면(113)의 거칠기보다 높고; 제2 표면(112)의 거칠기는 제4 표면(114)의 거칠기보다 높다. 이러한 배열은 제1 도전성 구조체(110)와 그 상에 위치되는 절연 층 사이의 직접 접촉을 개선할 수 있고, 절연 층이 떨어져 나가는 것을 방지할 수 있다. 예를 들어, 베이스 기관으로부터 먼 제1 도전성 구조체(110)의 측면 상의 표면은 표면의 거칠기를 증가시키기 위해 제조 프로세스 동안 약간 산화될 수 있고, 그렇게 함으로써 제1 표면 및 제2 표면의 거칠기를 증가시킨다. 예를 들어, 제1 표면(111)의 산소 함량은 제3 표면(113)의 산소 함량보다 높고; 제2 표면(112)의 산소 함량은 제4 표면(114)의 산소 함량보다 높다.
- [0124] 예를 들어, 도 1a에 도시되는 바와 같이, 디스플레이 기관(10)은 베이스 기관(101)에 가까운 제1 도전성 구조체(110)의 측면 상에 위치되는 제1 절연 층(103)을 추가로 포함하고; 제1 절연 층(103)은 제1 도전성 구조체(110)의 제3 표면(113) 및 제4 표면(114)과 각각 직접 접촉하는 제1 부분(103a) 및 제2 부분(103b)을 포함하고; 제1 부분(103a)의 최소 두께 d1은 제2 부분(103b)의 최소 두께 d2 미만이다. 도 1a에 도시되는 바와 같이, 여기서 두께는 필름 층의 표면에 수직인 방향에서의 제1 절연 층(103)의 크기를 지칭한다는 점이 주목되어야 한다. 제3 표면(113)이 경사진 표면이기 때문에, 이러한 배열은 제1 절연 층(103)의 제1 부분(103a)의 두께를 감소시키고, 이는 제1 절연 층(103)의 제1 부분(103a)의 올라가는 어려움을 감소시키는 것을 돕고, 그렇게 함으로써 제1 도전성 구조체(110)의 파손 위험을 감소시킨다.
- [0125] 예를 들어, 제3 표면에 가장 가까운 제1 표면 미세구조체의 지점은 제1 단부 지점도 제2 단부 지점도 아니고,

제1 단부 지점 및 제2 단부 지점까지 동일하지 않은 거리들을 갖는다.

- [0126] 예를 들어, 도 1a에 도시되는 바와 같이, 제1 오목 구조체는 매끄러운 곡선형 표면을 포함하고, 즉, 곡선형 표면의 접선과 베이스 기관(101) 사이의 끼인각이 연속적으로 변경되고; 베이스 기관(101)으로부터 멀어지는 방향에서, 곡선형 표면의 접선과 베이스 기관(101) 사이의 끼인각의 변경률은 점차 증가하고, 즉, 제1 오목 구조체는 비대칭이고, (베이스 기관으로부터 먼 측면 상의) 상류에서의 경사각은 (베이스 기관에 가까운 측면 상의) 하류에서의 경사각 미만이다.
- [0127] 상류 오목 표면은 위로부터의 광을 더 쉽게 반사하기 때문에, 이러한 배열은 제1 도전성 구조체가 베이스 기관으로부터 먼 제1 도전성 구조체의 측면 상에 위치되는 발광 엘리먼트에 의해 방출되는 광을 더 잘 반사하는 것을 허용하고, 그렇게 함으로써 광 이용 효율을 개선한다. 이러한 것은 디스플레이 기관의 특정 구조체와 관련하여 나중에 상세히 설명될 것이다.
- [0128] 예를 들어, 도 1a에 도시되는 바와 같이, 제2 오목 구조체는 매끄러운 곡선형 표면을 포함하고; 곡선형 표면은, 예를 들어, 대칭 구조체이다, 즉, 곡선형 표면의 접선과 베이스 기관(101) 사이의 끼인각은 변경률이 변경되지 않고 유지되면서 연속적으로 변경된다. 이러한 배열은 평면 상의 응력을 균일하게 해제하는 것을 돕는다.
- [0129] 도 1a에 도시되는 바와 같이, 디스플레이 기관(10)은 베이스 기관에 가까운 제1 절연 층(103)의 측면 상에 위치되는 제2 도전성 구조체(120)를 추가로 포함한다, 예를 들어, 제1 절연 층(103)은 제1 도전성 구조체(110)와 제2 도전성 구조체(120)를 이격시킨다. 예를 들어, 제1 절연 층(103)은 제2 도전성 구조체(102) 상에 형성되고, 제1 절연 층(103)의 제1 표면(111)은 제2 도전성 구조체(102)의 존재로 인해 경사진 표면으로서 형성된다.
- [0130] 예를 들어, 베이스 기관(101)에 수직인 방향에서, 제1 표면 미세구조체(11)는 제2 도전성 구조체(120)와 중첩되지 않는다. 제1 표면 미세구조체(11)에서의, 특히 제1 표면 미세구조체(11)의 가장 깊은 부분에서의 응력이 비교적 집중되기 때문에, 제1 표면 미세구조체(11)는 제2 도전성 구조체(120)와 중첩되지 않도록 설정되고, 이는 제1 표면 미세구조체(11)에서의 균열에 의해 야기되는 제1 도전성 구조체(110)와 제2 도전성 구조체(120) 사이의 단락 위험을 감소시킨다.
- [0131] 예를 들어, 도 1a에 도시되는 바와 같이, 디스플레이 기관(10)은 베이스 기관에 가까운 제2 도전성 구조체(120)의 측면 상에 위치되는 버퍼 층(102)을 추가로 포함한다, 예를 들어, 버퍼 층(102)은 베이스 기관(101)과 직접 접촉한다. 버퍼 층(102)은 베이스 기관(101)의 평탄도를 개선하고 베이스 기관(101)에 대한 제2 도전성 구조체(120)의 접촉을 개선하는 것을 돕는다. 베이스 기관(101)이 유기 플렉시블 기관인 경우, 버퍼 층(102)은 또한 기관 상의 회로 구조체를 보호하기 위해 외부 산소 또는 수분을 효과적으로 격리시킬 수 있다.
- [0132] 도 1b는 본 개시내용의 다른 실시예에 의해 제공되는 디스플레이 기관의 개략도이고, 제1 표면 미세구조체(11)만이 도면에 도시된다. 도 1b에 도시되는 바와 같이, 제1 도전성 구조체(110)는 절연 층(103)에서의 비아 홀(130)을 통해 제2 도전성 구조체(120)와 전기적으로 접속되고; 비아 홀(130)은 베이스 기관(101)에 수직인 방향에서 제1 표면 미세구조체(11)와 적어도 부분적으로 중첩된다.
- [0133] 비아 홀에서의 응력이 비교적 집중되기 때문에, 비아 홀(130)에 대응하는 표면 미세구조체(11)를 배열하는 것은 비아 홀에서의 응력을 완화하고 접속해제의 위험을 감소시키는 것을 도울 수 있다.
- [0134] 도 1b에 도시되는 바와 같이, 제1 절연 층(103)은 적층된 제1 서브-층(131) 및 제2 서브-층(132)을 포함하고; 제2 서브-층(132)은 제1 서브-층(131)보다 베이스 기관(101)으로부터 더 멀다. 비아 홀(130)은 제1 서브-층(131) 및 제2 서브-층(132)을 관통한다. 제1 서브-층(131)은 비아 홀(130)에 의해 노출되는 제1 측면 표면(131a)을 포함하고; 제2 서브-층(132)은 비아 홀(130)에 의해 노출되는 제2 측면 표면(132a)을 포함하고; 제1 측면 표면(131a) 및 제2 측면 표면(132a) 중 적어도 하나는 제1 도전성 구조체(130)의 제3 표면(133)과 직접 접촉한다. 도 1b에 도시되는 바와 같이, 제1 측면 표면(131a)은 제1 도전성 구조체(130)의 제3 표면(133)과 직접 접촉한다.
- [0135] 도 1b에 도시되는 바와 같이, 제1 측면 표면(131a)과 베이스 기관(101) 사이의 끼인각(경사각)은 β_1 이고; 제2 측면 표면(132a)과 베이스 기관(101) 사이의 끼인각은 β_2 이고; β_1 은 β_2 미만이다.
- [0136] 이러한 배열은, 한편으로는, 비아 홀(130)에서의 제1 절연 층(103)의 경사의 기울기를 지연시킬 수 있고, 그렇게 함으로써 비아 홀이 너무 가파르게 되어 접속해제의 위험을 야기하는 것을 방지할 수 있고, 다른 한편으로는, 비아 홀이 너무 약하게 되어 비아 홀로 하여금 너무 많은 공간을 차지하게 하는 것을 방지할 수 있다.

- [0137] 예를 들어, 제조 프로세스 동안, 제1 서브-층(131)은 고온 퇴적 프로세스에 의해 형성될 수 있고; 제2 서브-층(132)은 저온 퇴적 프로세스에 의해 형성될 수 있어, 제2 서브-층(132)의 조밀도가 제1 서브-층(131)의 조밀도보다 높고; 다음으로 제1 절연 층은 건식 에칭 프로세스에 의해 에칭되어, 제1 서브-층(131)의 경사각은 제2 서브-층(132)의 경사각 미만이다.
- [0138] 도 2a는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관의 블록도이다. 도 2a에 도시되는 바와 같이, 디스플레이 기관(10)은 어레이로 배열되는 복수의 서브-픽셀들(100)을 포함하고, 예를 들어, 각각의 서브-픽셀(100)은 발광 엘리먼트 및 발광 엘리먼트를 구동하여 광을 방출하는 픽셀 회로를 포함한다. 예를 들어, 디스플레이 기관은 OLED(Organic Light-Emitting Diode) 디스플레이 기관이고, 발광 엘리먼트는 OLED이다. 디스플레이 기관은, 복수의 서브-픽셀들을 구동하기 위해, 스캔 신호들(제어 신호들) 및 데이터 신호들을 복수의 서브-픽셀들에 공급하도록 구성되는 복수의 스캔 라인들 및 복수의 데이터 라인들을 추가로 포함할 수 있다. 필요에 따라, 디스플레이 기관은 전력 라인, 검출 라인 등을 추가로 포함할 수 있다.
- [0139] 픽셀 회로는 발광 엘리먼트를 구동하여 광을 방출하도록 구성되는 구동 서브-회로 및, 외부 보상을 구현하기 위해, 서브-픽셀의 전기적 특성을 검출하도록 구성되는 검출 서브-회로를 포함한다. 픽셀 회로의 특정 구조체는 본 개시내용의 실시예에서 제한되지 않을 것이다.
- [0140] 도 2b는 디스플레이 기관에 사용되는 3T1C 픽셀 회로의 개략도를 도시한다. 필요에 따라, 픽셀 회로는 보상 회로, 리셋 회로 등을 추가로 포함할 수 있으며, 이는 본 개시내용의 실시예에서 제한되지 않을 것이다.
- [0141] 도 2a 및 도 2b를 함께 참조하면, 픽셀 회로는 제1 트랜지스터 T1, 제2 트랜지스터 T2, 제3 트랜지스터 T3, 및 저장 커패시터 Cst를 포함한다. 제2 트랜지스터 T2의 제1 전극은 저장 커패시터 Cst의 제1 커패시터 전극 및 제1 트랜지스터 T1의 게이트 전극과 전기적으로 접속되고, 제2 트랜지스터 T2의 제2 전극은 데이터 신호 GT를 수신하도록 구성되고, 제2 트랜지스터 T2는 제1 제어 신호 G1에 응답하여 데이터 신호 DT를 제1 트랜지스터 T1의 게이트 전극 및 저장 커패시터 Cst에 기입하도록 구성되고; 제1 트랜지스터 T1의 제1 전극은 저장 커패시터 Cst의 제2 커패시터 전극과 전기적으로 접속되고, 발광 엘리먼트의 제1 전극과 전기적으로 접속되도록 구성되고, 제1 트랜지스터 T1의 제2 전극은 제1 전원 전압 V1(예를 들어, 높은 전원 전압 VDD)을 수신하도록 구성되고, 제1 트랜지스터 T1은 제1 트랜지스터 T1의 게이트 전극의 전압의 제어 하에서 발광 엘리먼트를 구동하기 위해 사용되는 전류를 제어하도록 구성되고; 제3 트랜지스터 T3의 제1 전극은 제1 트랜지스터 T1의 제1 전극 및 저장 커패시터 Cst의 제2 커패시터 전극과 전기적으로 접속되고, 제3 트랜지스터 T3의 제2 전극은 외부 검출 회로(21)에 연결되기 위해 검출 라인(230)과 접속되도록 구성되고, 제3 트랜지스터 T3은, 외부 보상을 구현하기 위해, 제2 제어 신호 G2에 응답하여 그것이 속하는 서브-픽셀의 전기적 특성을 검출하도록 구성되고; 전기적 특성은, 예를 들어, 제1 트랜지스터 T1의 임계 전압 및/또는 캐리어 이동도, 또는 발광 엘리먼트의 임계 전압, 구동 전류 등을 포함한다. 외부 검출 회로(21)는, 예를 들어, DAC(Digital-to-Analog Converter) 및 ADC(Analog-to-Digital Converter) 등을 포함하는 종래의 회로이며, 본 개시내용의 실시예에서는 상세사항들이 반복되지 않을 것이다.
- [0142] 본 개시내용의 실시예들에서 채택되는 트랜지스터들은 모두 박막 트랜지스터들 또는 전계 효과 트랜지스터들 또는 동일한 특성을 갖는 다른 스위칭 디바이스들일 수 있고; 본 개시내용의 실시예들은 박막 트랜지스터들을 예로서 취하는 것에 의해 모두 설명된다. 여기서 채택되는 트랜지스터의 소스 전극 및 드레인 전극은 구조체에 있어서 대칭적일 수 있어, 트랜지스터의 소스 전극 및 드레인 전극은 구조적으로 구별 불가능할 수 있다. 본 개시내용의 실시예들에서, 게이트 전극 이외의 트랜지스터의 2개의 전극들을 구별하기 위해, 하나의 전극은 제1 전극으로서 직접 설명되고, 다른 전극은 제2 전극으로서 설명된다. 또한, 트랜지스터는 트랜지스터의 특성에 따라 N형 트랜지스터 또는 P형 트랜지스터로 분류될 수 있다. 트랜지스터가 P형 트랜지스터일 때, On 전압은 로우-레벨 전압(예를 들어, 0 V, -5 V, -10 V 또는 다른 적합한 전압)이고, OFF 전압은 하이-레벨 전압(예를 들어, 5 V, 10 V 또는 다른 적합한 전압)이고; 트랜지스터가 N형 트랜지스터일 때, ON 전압은 하이-레벨 전압(예를 들어, 5 V, 10 V 또는 다른 적합한 전압)이고, OFF 전압은 로우-레벨 전압(예를 들어, 0 V, -5 V, -10 V 또는 다른 적합한 전압)이다. 아래의 설명은 도 2b에서의 트랜지스터를 N형 트랜지스터로서 취하는 것에 의해 주어지지만, 본 개시내용의 제한은 아니라는 점이 주목되어야 한다.
- [0143] 도 2b에 도시되는 픽셀 회로의 작동 원리가 도 2d 내지 도 2f에 도시되는 신호 타이밍도와 관련하여 아래에 설명될 것이며, 도 2d는 디스플레이 프로세스에서의 픽셀 회로의 신호 타이밍도를 도시하고, 도 2e 및 도 2f는 검출 프로세스에서의 픽셀 회로의 신호 타이밍도를 도시한다.
- [0144] 예를 들어, 도 2d에 도시되는 바와 같이, 이미지의 각각의 프레임의 디스플레이 프로세스는 데이터 기입 및 리

셋 스테이지 1 및 발광 스테이지 2를 포함한다. 도 2c는 각각의 스테이지에서의 각각의 신호들의 타이밍 파형들을 도시한다. 3T1C 픽셀 회로의 작동 프로세스는 다음을 포함한다: 데이터 기입 및 리셋 스테이지 1에서, 제1 제어 신호 G1 및 제2 제어 신호 G2는 양자 모두 ON 신호들이고, 제2 트랜지스터 T2 및 제3 트랜지스터 T3은 턴 온되고, 데이터 신호 DT는 제2 트랜지스터 T2를 통해 제1 트랜지스터 T1의 게이트 전극에 송신되고, 제1 스위치 K1은 폐쇄되고, 아날로그-디지털 변환기는 검출 라인(230) 및 제3 트랜지스터 T3을 통해 발광 엘리먼트의 제1 전극(예를 들어, OLED의 애노드)에 리셋 신호를 기입하고, 제1 트랜지스터 T1은 턴 온되고 구동 전류를 생성하여 발광 엘리먼트의 제1 전극을 작동 전압으로 충전하고; 발광 스테이지 2에서, 제1 제어 신호 G1 및 제2 제어 신호 G2는 양자 모두 OFF 신호들이고, 저장 커패시터 Cst의 부트스트랩 효과로 인해, 저장 커패시터 Cst의 양쪽 단부들의 전압은 변경되지 않고 유지되고, 제1 트랜지스터 T1은 전류가 변경되지 않고 유지되면서 포화 상태에서 작동하고, 발광 엘리먼트를 구동하여 광을 방출한다.

[0145] 예를 들어, 도 2e는 임계 전압을 검출할 때의 픽셀 회로의 신호 타이밍도를 도시한다. 3T1C 픽셀 회로의 작동 프로세스는 다음을 포함한다: 제1 제어 신호 G1 및 제2 제어 신호 G2는 양자 모두 ON 신호들이고, 제2 트랜지스터 T2 및 제3 트랜지스터 T3은 턴 온되고, 데이터 신호 DT는 제2 트랜지스터 T2를 통해 제1 트랜지스터 T1의 게이트 전극에 송신되고; 제1 스위치 K1은 폐쇄되고, 아날로그-디지털 변환기는 검출 라인(230) 및 제3 트랜지스터 T3을 통해 발광 엘리먼트의 제1 전극(노드 S)에 리셋 신호를 기입하고, 제1 트랜지스터 T1은 턴 온되고 제1 트랜지스터가 턴 오프될 때까지 노드 S를 충전하고, 디지털-아날로그 변환기는 검출 라인(230) 상의 전압을 샘플링하여 제1 트랜지스터 T1의 임계 전압을 획득한다. 이러한 프로세스는, 예를 들어, 디스플레이 장치가 턴 오프될 때 수행될 수 있다.

[0146] 예를 들어, 도 2f는 캐리어 이동도를 검출할 때의 픽셀 회로의 신호 타이밍도를 도시한다. 3T1C 픽셀 회로의 작동 프로세스는 다음을 포함한다: 제1 스테이지에서, 제1 제어 신호 G1 및 제2 제어 신호 G2는 양자 모두 ON 신호들이고, 제2 트랜지스터 T2 및 제3 트랜지스터 T3은 턴 온되고, 데이터 신호 DT는 제2 트랜지스터 T2를 통해 제1 트랜지스터 T1의 게이트 전극에 송신되고; 제1 스위치 K1은 폐쇄되고, 아날로그-디지털 변환기는 검출 라인(230) 및 제3 트랜지스터 T3을 통해 발광 엘리먼트의 제1 전극(노드 S)에 리셋 신호를 기입하고; 제2 스테이지에서, 제1 제어 신호 G1은 OFF 신호이고, 제2 제어 신호 G1은 ON 신호이고, 제2 트랜지스터 T2는 턴 오프되고, 제3 트랜지스터 T3은 턴 온되고, 제1 스위치 K1 및 제2 스위치 K2는 검출 라인(230)을 플로팅 상태로 만들기 위해 접속해제되고; 저장 커패시터 Cst의 부트스트랩 효과로 인해, 저장 커패시터 Cst의 양쪽 단부들의 전압은 변경되지 않고 유지되고, 제1 트랜지스터 T1은 전류가 변경되지 않고 유지되면서 포화 상태에서 작동하고 발광 엘리먼트를 구동하여 광을 방출하며, 다음으로 디지털-아날로그 변환기는 검출 라인(230) 상의 전압을 샘플링하고, 발광 전류의 크기 및 지속시간과 조합하여, 제1 트랜지스터 T1에서의 캐리어 이동도를 계산할 수 있다. 예를 들어, 이러한 프로세스는 디스플레이 스테이지들 사이의 블랭킹 스테이지에서 수행될 수 있다.

[0147] 전술한 검출을 통해, 제1 트랜지스터 T1의 전기적 특성이 획득될 수 있고 대응하는 보상 알고리즘이 구현될 수 있다.

[0148] 예를 들어, 도 2a에 도시되는 바와 같이, 디스플레이 기관(10)은 데이터 구동 회로(23) 및 스캔 구동 회로(24)를 추가로 포함할 수 있다. 데이터 구동 회로(23)는, 필요에 따라(예를 들어, 디스플레이 장치에 이미지 신호를 입력함), 데이터 신호, 예를 들어, 전술한 데이터 신호 DT를 방출하도록 구성되고; 각각의 서브-픽셀의 픽셀 회로는 데이터 신호를 수신하도록 그리고 데이터 신호를 제1 트랜지스터의 게이트 전극에 인가하도록 또한 구성된다. 스캔 구동 회로(24)는, 예를 들어, 전술한 제1 제어 신호 G1 및 제2 제어 신호 G2를 포함하는, 다양한 스캔 신호들을 출력하도록 구성되고, 이는, 예를 들어, 디스플레이 기관 상에 직접 준비되는 IC(Integrated Circuit) 칩 또는 GOA(Gate On Array)이다.

[0149] 예를 들어, 디스플레이 기관(10)은 제어 회로(22)를 추가로 포함한다. 예를 들어, 제어 회로(22)는 데이터 신호를 인가하도록 데이터 구동 회로(23)를 제어하도록, 그리고 스캔 신호를 인가하도록 게이트 구동 회로를 제어하도록 구성된다. 제어 회로(22)의 예는 T-con(Timing Control) 회로이다. 제어 회로(22)는 다양한 형태들일 수 있고, 예를 들어, 프로세서(121) 및 메모리(127)를 포함할 수 있고; 메모리(121)는 실행가능한 코드를 포함하고, 프로세서(121)는 실행가능한 코드를 실행하여 전술된 검출 방법을 실행한다.

[0150] 예를 들어, 프로세서(121)는 데이터 처리 능력 및/또는 명령어 실행 능력을 갖는 CPU(central processing unit) 또는 다른 형태의 처리 장치일 수 있고, 예를 들어, 마이크로프로세서, PLC(programmable logic controller) 등을 포함할 수 있다.

[0151] 예를 들어, 메모리(127)는 하나 이상의 컴퓨터 프로그램 제품을 포함할 수 있고, 이러한 컴퓨터 프로그램 제품

은, 예를 들어, 다양한 형태들의 컴퓨터 판독가능 저장 매체, 예를 들어, 휘발성 메모리 및/또는 비-휘발성 메모리를 포함할 수 있다. 휘발성 메모리는, 예를 들어, RAM(Random Access Memory) 및/또는 캐시 등을 포함할 수 있다. 비-휘발성 메모리는, 예를 들어, ROM(Read Only Memory), 하드 디스크, 플래시 메모리 등을 포함할 수 있다. 하나 이상의 컴퓨터 프로그램 명령어가 컴퓨터 판독가능 저장 매체 상에 저장될 수 있고, 프로세서(121)는 이러한 프로그램 명령어에 의해 요구되는 기능들을 실행할 수 있다. 다양한 애플리케이션 프로그램들 및 다양한 데이터, 예를 들어, 전송한 검출 방법에서 획득되는 전기적 특성 파라미터들이 또한 컴퓨터 판독가능 저장 매체에 저장될 수 있다.

[0152] 도 3a는 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 디스플레이 기관(10)의 서브-픽셀의 개략도이고; 도 3a에 도시되는 바와 같이, 디스플레이 기관(10)은 복수의 서브-픽셀들(100)이 위치되는 베이스 기관(101)을 포함한다. 복수의 서브-픽셀들(100)은 픽셀 어레이 내로 제1 방향 D1 및 제2 방향 D2를 따라 분포되고; 픽셀 어레이는 복수의 픽셀 열들 및 복수의 픽셀 행들을 포함하고; 픽셀 어레이의 열 방향은 제1 방향 D1이고, 행 방향은 제2 방향이고; 제1 방향 D1 및 제2 방향 D2는 서로 교차한다, 예를 들어, 서로 직교한다.

[0153] 예를 들어, 각각의 픽셀 행의 서브-픽셀들은 복수의 픽셀 유닛들로 분할되고; 각각의 픽셀 유닛은 풀-컬러 광을 방출하도록 구성된다. 도 3a는 픽셀 유닛을 예시적으로 도시하며, 본 개시내용의 구현은 이러한 레이아웃에 제한되지 않고; 도 3b는 도 3a의 단면 라인 I-I'를 따른 단면도를 도시한다. 도 3a에 도시되는 바와 같이, 픽셀 유닛은 제2 방향 D2를 따라 순차적으로 배열되는 제1 서브-픽셀 P1, 제2 서브-픽셀 P2, 및 제3 서브-픽셀 P3을 포함하고; 제1 서브-픽셀 P1, 제2 서브-픽셀 P2, 및 제3 서브-픽셀 P3은 각각 3원색(RGB)의 광을 방출하도록 구성되고; 예를 들어, 제1 서브-픽셀 P1은 적색 서브-픽셀이고, 제2 서브-픽셀 P2는 청색 서브-픽셀이고, 제3 서브-픽셀 P3은 녹색 서브-픽셀이다.

[0154] 예를 들어, 픽셀 유닛은 제4 서브-픽셀 P4를 추가로 포함할 수 있고; 제4 서브-픽셀 P4는 백색 광을 방출하도록 구성된다. 예를 들어, 제4 서브-픽셀 P4는 제1 서브-픽셀 P1과 제2 서브-픽셀 P2 사이에 위치되지만; 그러나, 제4 서브-픽셀 P4의 위치는 본 개시내용의 실시예에서 제한되지 않을 것이다.

[0155] 도 3a 및 도 3b를 조합하여 참조하면, 디스플레이 기관(10)은 베이스 기관(101) 상에 순차적으로 배열되는 제1 도전 층(501), 제1 절연 층(201), 반도체 층(104), 제2 절연 층(202), 제2 도전 층(502), 제3 절연 층(203) 및 제3 도전 층(503)을 포함한다.

[0156] 도 3a에 도시되는 디스플레이 기관(10)에서의 서브-픽셀들의 특정 구조체가 아래에 설명될 것이다. 설명의 편의상, 아래의 설명에서, T1g, T1s, T1d 및 T1a는 각각 제1 트랜지스터 T1의 게이트 전극, 제1 전극, 제2 전극, 및 활성 층을 나타내기 위해 사용되고; T2g, T2s, T2d 및 T2a는 각각 제2 트랜지스터 T2의 게이트 전극, 제1 전극, 제2 전극, 및 활성 층을 나타내기 위해 사용되고; T3g, T3s, T3d 및 T3a는 각각 제3 트랜지스터 T3의 게이트 전극, 제1 전극, 제2 전극, 및 활성 층을 나타내기 위해 사용되고; Ca, Cb 및 Cc는 저장 커패시터 Cst의 제1 커패시터 전극, 제2 커패시터 전극 및 제3 커패시터 전극을 각각 나타내기 위해 사용된다.

[0157] 본 개시내용에서, 소위 "동일한 층에서의 배열("arrangement in a same layer)"은 동일한 퇴적 프로세스에 의해 퇴적되고 동일한 패터닝 프로세스에 의해 패터닝되는 2개의(또는 2개보다 많은) 구조체들을 지칭하고, 그들의 재료들은 동일하거나 또는 상이할 수 있다는 점이 주목되어야 한다. 본 개시내용에서, "일체형 구조체(integral structure)"는 동일한 퇴적 프로세스에 의해 퇴적되고 동일한 패터닝 프로세스에 의해 패터닝되는 서로 접속되는 2개의(또는 2개보다 많은) 구조체들로 형성된 구조체를 지칭하고, 그들의 재료들은 동일하거나 또는 상이할 수 있다.

[0158] 예를 들어, 도 3a 및 도 3b를 조합하여 참조하면, 제1 도전 층(501)은 차폐 층(170)을 포함하고; 베이스 기관(101) 상의 차폐 층(170)의 직교 투영은 베이스 기관(101) 상의 제1 트랜지스터 T1의 활성 층 T1a의 직교 투영을 커버한다. 제1 트랜지스터 T1은 픽셀 회로의 구동 트랜지스터로서 역할을 하고, 그 전기적 특성의 안정성은 발광 엘리먼트의 발광 특성에 매우 중요하다. 차폐 층(170)은 불투명 층이며, 이는, 그와 접속되는 대응하는 발광 엘리먼트의 발광 특성에 영향을 미치는 것을 회피하기 위해, 광이 베이스 기관(101)의 후면으로부터 제1 트랜지스터 T1의 활성 층에 입사하여 제1 트랜지스터 T1의 임계 전압으로 하여금 드리프트하게 하는 것을 방지할 수 있다.

[0159] 예를 들어, 차폐 층(170)은 불투명 도전성 재료, 예를 들어, 금속 또는 금속 합금 재료로 이루어진다. 이러한 설정은 포획된 전하들로 인한 베이스 기관(101)의 백 채널 현상을 완화할 수 있다.

[0160] 예를 들어, 반도체 층(104)은 제1 트랜지스터 T1의 활성 층 T1a, 제2 트랜지스터 T2의 활성 층 T2a, 및 제3 트

랜지스터 T3의 활성 층 T3a를 포함한다.

- [0161] 예를 들어, 반도체 층(104)은 저장 커패시터 Cst의 제1 커패시터 전극 Ca를 추가로 포함하고, 제1 커패시터 전극 Ca는 반도체 층(104)에 도전 처치를 수행하는 것에 의해 획득되고; 즉, 제1 커패시터 전극 Ca는 제1 트랜지스터 T1의 활성 층 T1a, 제2 트랜지스터의 활성 층 T2a 및 제3 트랜지스터의 활성 층 T3a와 동일한 층에 있다.
- [0162] 예를 들어, 제2 도전 층(502)은 제1 트랜지스터 T1의 게이트 전극 T1g, 제2 트랜지스터 T2의 게이트 전극 T2g, 및 제3 트랜지스터 T3의 게이트 전극 T3g를 포함한다.
- [0163] 예를 들어, 디스플레이 기관(10)은, 제2 도전 층(502)을 마스크로 하여, 자기 정렬 프로세스를 채택하는 것에 의해 반도체 층(104)에 대해 도전 처리(예를 들어, 도핑 처리)를 수행하여, 제2 도전 층(502)에 의해 커버되지 않은 반도체 층(104)의 일부가 도전성이 되도록 하여, 제1 커패시터 전극 Ca를 획득하고, 채널 영역의 양쪽 측면들 상에 위치되는 각각의 트랜지스터들의 활성 층들의 부분들은 도전성이 되어, 각각, 제1 전극 접촉 영역 및 제2 전극 접촉 영역을 형성하고; 제1 전극 접촉 영역 및 제2 전극 접촉 영역은 각각 트랜지스터의 제1 전극 및 제2 전극과 전기적으로 접속되도록 구성된다.
- [0164] 예를 들어, 제3 도전 층(503)은 제1 트랜지스터 T1의 제1 전극 T1s 및 제2 전극 T1d, 제2 트랜지스터 T2의 제1 전극 T2s 및 제2 전극 T2d, 및 제3 트랜지스터 T3의 제1 전극 T3s 및 제2 전극 T3d를 포함한다.
- [0165] 예를 들어, 제3 도전 층(503)은 저장 커패시터 Cst의 제2 커패시터 전극 Cb를 추가로 포함한다. 예를 들어, 도 3b에 도시되는 바와 같이, 제2 커패시터 전극 Cb 및 제1 트랜지스터 T1의 제2 전극 T1d는 동일한 층에 배열되고 일체형 구조체로서 서로 접속된다. 도 3b에 도시되는 바와 같이, 제1 커패시터 전극 Ca 및 제2 커패시터 전극 Cb는 베이스 기관(101)에 수직인 방향에서 서로 중첩되어 저장 커패시터 Cst를 형성한다.
- [0166] 도 2c는 본 개시내용의 다른 실시예에 의해 제공되는 디스플레이 기관에서의 픽셀 회로도를 도시한다. 예를 들어, 저장 커패시터 Cst는 제3 커패시터 전극 Cc를 추가로 포함하고; 제3 커패시터 전극은 제2 커패시터 전극 Cb 으로부터 먼 제1 커패시터 전극 Ca의 측면 상에 위치되고 도 3a에 도시되는 비아 홀 No. 7을 통해 제2 커패시터 전극 Cb와 전기적으로 접속되어 병렬 커패시터들의 구조체를 형성하여, 저장 커패시터 Cst의 커패시턴스 값을 증가시킨다. 예를 들어, 베이스 기관(101)에 수직인 방향에서, 제3 커패시터 전극 Cc, 제2 커패시터 전극 Cb 및 제1 커패시터 전극 Ca는 모두 서로 중첩된다.
- [0167] 예를 들어, 도 3b에 도시되는 바와 같이, 제3 커패시터 전극 Cc는 제1 도전 층(501) 상에 위치된다. 예를 들어, 차폐 층(170) 및 저장 커패시터 Cst의 제2 커패시터 전극 Cb는 동일한 층에 제공되고 동일한 재료로 이루어진다. 예를 들어, 차폐 층(170) 및 저장 커패시터 Cst의 제2 커패시터 전극 Cb는 동일한 전극 블록이다. 이러한 경우, 차폐 층(170)은 제3 트랜지스터 T3의 제1 전극 T3s에 연결되어 차폐 층이 플로팅으로 인한 디스플레이 동작 동안 전위 변경들을 야기하는 것을 방지하고, 그렇게 함으로써 트랜지스터의 임계 전압에 영향을 미친다.
- [0168] 예를 들어, 도 3a 내지 도 3b를 조합하여 참조하면, 각각의 서브-픽셀에 대해, 제1 트랜지스터 T1 및 제2 트랜지스터 T2는 제2 방향 D2를 따라 배열되고, 제2 방향 D2에서 병렬로 배열된다. 예를 들어, 제1 방향 D1에서, 제1 트랜지스터 T1 및 제2 트랜지스터 T2는 제2 커패시터 전극 Cb의 동일한 측면 상에 위치되고, 제3 트랜지스터 T3는 위 측면에 대향하는 제2 커패시터 전극 Cb의 측면 상에 위치된다.
- [0169] 예를 들어, 디스플레이 기관(10)은 제1 트랜지스터 T1의 게이트 전극 T1g으로부터 돌출하는 연장 부분(180)을 추가로 포함한다. 연장 부분(180)은 제2 방향 D2를 따라 제1 트랜지스터 T1의 게이트 전극 T1g으로부터 연장되고, 베이스 기관(101)에 수직인 방향에서 제2 트랜지스터 T2의 제1 전극 T2s와 적어도 부분적으로 중첩되고, 제2 트랜지스터 T2의 제1 전극 T2s와 전기적으로 접속된다.
- [0170] 도 3b에 도시되는 바와 같이, 제2 트랜지스터 T2의 제1 전극 T2s는 비아 홀(800)(본 개시내용에서의 제2 비아 홀의 예)을 통해 제2 트랜지스터 T2의 제1 전극 접촉 영역 Ta1, 연장 부분(180)(즉, 제1 트랜지스터 T1의 게이트 전극 T1g) 및 제1 커패시터 전극 Ca와 전기적으로 접속된다. 제2 트랜지스터 T2의 제1 전극 T2s는 하나의 비아 홀을 통해 3개의 부분과 전기적으로 접속되고, 이는, 각각, 다수의 비아 홀들을 통한 3개의 부분들과의 전기적 접속과 비교하여, 점유된 레이아웃 공간을 감소시키고, 배선 밀도를 증가시킬 수 있으며, 그렇게 함으로써 픽셀 밀도를 증가시킨다. 도 3b에 도시되는 바와 같이, 비아 홀(800)은 제3 절연 층(203)에 형성되고; 연장 부분(180) 및 연장 부분(180) 아래에 위치되는 제2 절연 층(202)의 일부는 비아 홀(800)을 2개의 홈 부분들, 즉, 제1 홈 V1 및 제2 홈 V2로 이격시키도록 비아 홀(800)에 위치되고; 제2 홈 V2는 제1 홈 V1보다 제3 트랜지스터 T3에 더 가깝다. 제2 트랜지스터 T2의 제1 전극 T2s는 비아 홀(800)에 채워지고, 제1 홈 V1 및 제2 홈 V2

를 커버하고, 베이스 기관에 대해 평행한 또는 경사진 표면을 갖는다.

- [0171] 도 3a 내지 도 3b를 조합하여 참조하면, 제2 트랜지스터 T2의 제1 전극 T2s는 제1 방향 D1을 따라 연장되고, 연장 부분(180) 위에서 교차하고(연장 부분(180)과 교차하고), 비아 홀(800)을 통해(즉, 도 3a에서의 비아 홀 No. 2를 통해) 제1 커패시터 전극 Ca와 전기적으로 접속된다. 예를 들어, 연장 부분(180)은 제1 방향에서 대향하는 제1 측면 표면 및 제2 측면 표면을 갖고; 예를 들어, 비아 홀(800)은 제1 방향 D1을 따라 연장되고 연장 부분(180)의 표면 및 제1 측면 표면 및 제2 측면 표면의 적어도 일부분을 노출시킨다. 제2 트랜지스터 T2의 제1 전극 T2s는 제1 부분 S1, 제2 부분 S2, 및 제3 부분 S3을 포함하고; 제1 부분 S1, 제2 부분 S2 및 제3 부분 S3은 제1 방향 D1에서 순차적으로 접속된다. 제2 부분 S2는 연장 부분(180)과 중첩되고; 제1 부분 S1 및 제3 부분 S3은 제1 방향 D1에서 제2 부분 S2의 양쪽 측면들 상에 각각 위치되고; 제3 부분 S3은 제3 트랜지스터 T3에 가까운 제2 부분 S2의 측면 상에 위치되고; 제1 부분 S1은 제1 홈 V1을 채우고; 제3 부분 S3은 제2 홈 V2를 채운다. 예를 들어, 비아 홀(800)을 통해, 제1 부분 S1은 제2 트랜지스터 T2의 활성 층 T2a의 제1 전극 접촉 영역 T2a1과 전기적으로 접속되고; 제2 부분 S2는, 접촉 면적을 증가시키고 저항을 감소시키는 것을 돕는, 직접 접촉에 의해 연장 부분(180)과 전기적으로 접속되고; 제3 부분 S3은 제1 커패시터 전극 Ca와 전기적으로 접속된다.
- [0172] 예를 들어, 제2 트랜지스터 T2의 제1 전극 T2s는 제1 방향을 따라 연장되어, 비아 홀(800)을 통해 연장 부분(180)의 2개의 측면들을 클래딩하고, 예를 들어, 제1 부분 S1은 제1 측면 표면을 커버하고, 제3 부분 S3은 제2 측면 표면을 커버한다. 이러한 방식으로, 제2 트랜지스터 T2의 제1 전극 T2s 및 연장 부분(180)은 더 큰 접촉 면적을 갖고, 그렇게 함으로써 제2 트랜지스터 T2의 제1 전극 T2s와 연장 부분(180) 사이의 접촉 저항을 감소시킨다.
- [0173] 예를 들어, 도 3b에 도시되는 바와 같이, 디스플레이 기관(10)은 접속 부분(720)을 추가로 포함할 수 있고; 접속 부분(720)은 베이스 기관(101)에 수직인 방향에서 연장 부분(180)과 중첩되고, 제1 커패시터 전극 Ca와 동일한 층에 위치되고; 접속 부분(720)은 제1 커패시터 전극 Ca와 제2 트랜지스터 T2의 제1 전극 접촉 영역 T2a1을 일체형 구조체로 접속한다. 접속 부분(720)은 연장 부분(180)에 의해 차폐되므로 도통되지 않는 부분이다. 제2 트랜지스터 T2가 턴 온되어 제2 트랜지스터 T2의 제2 전극 T2d으로부터 제2 트랜지스터 T2의 제1 전극 T2s 및 제1 트랜지스터 T1의 게이트 전극 T1g에 데이터 신호를 송신하는 경우, 연장 부분(180) 및 연장 부분(180) 위의 제2 트랜지스터 T2의 제1 전극 T2s에서 데이터 신호의 작용 하에 접속 부분(720)이 턴 온되어, 제2 트랜지스터 T2의 제1 전극 T2s가 제1 커패시터 전극 Ca와 전기적으로 접속될 수 있다. 이러한 방식으로, 이중-채널 구조체가 제2 트랜지스터 T2의 제1 전극 T2s와 제1 커패시터 전극 Ca 사이에 형성되고, 이는 채널 저항을 감소시키는 것을 돕는다.
- [0174] 또한, 도 3b에 도시되는 바와 같이, 접속 부분(720)은 제1 커패시터 전극 Ca와 제2 트랜지스터 T2의 제1 전극 접촉 영역 T2a1을 일체형 구조체로 접속하고, 그렇게 함으로써 제1 커패시터 전극 Ca의 커버리지 내로의 제2 트랜지스터 T2의 제1 전극 접촉 영역 T2a1을 또한 포함한다. 이러한 방식으로, 제1 커패시터 전극 Ca는 더 큰 면적을 갖고 제3 커패시터 전극 Cc와의 더 큰 중첩 면적을 가질 수 있고, 그렇게 함으로써 저장 커패시터 Cst의 커패시턴스 값을 증가시킨다.
- [0175] 예를 들어, 도 3b에 도시되는 바와 같이, 제3 커패시터 전극 Cc는 베이스 기관에 수직인 방향에서 제2 트랜지스터 T2의 제1 전극 접촉 영역 T2a1과 적어도 부분적으로 중첩되어, 제1 커패시터 전극과의 더 큰 중첩 면적을 가져서, 저장 커패시터 Cst의 커패시턴스 값을 증가시킬 수 있다. 예를 들어, 제3 커패시터 전극 Cc 및 제2 트랜지스터 T2의 채널 영역 T2a0은 베이스 기관(101)에 수직인 방향에서 서로 중첩되지 않는다. 이러한 것은 제3 커패시터 전극 Cc 상의 전위가 제2 트랜지스터 T2의 동작에 불리하게 영향을 미치는 것을 방지하기 위한 것이고, 예를 들어, 제3 커패시터 전극 Cc 상의 전위가 제2 트랜지스터 T2의 채널 영역 T2a0 상에 작용하는 것을 방지하기 위한 것이며, 이는 제2 트랜지스터 T2가 정상적으로 턴 오프될 수 없고, 누설 전류가 비교적 큰 등의 문제들로 이어진다.
- [0176] 예를 들어, 도 3a에 도시되는 바와 같이, 디스플레이 기관(10)은 각각의 픽셀 행과 대응하여 접속되는 제1 스캔 라인(150) 및 제2 스캔 라인(160)을 추가로 포함할 수 있다. 예를 들어, 제1 스캔 라인(150) 및 제2 스캔 라인(160)은 제2 도전 층(502)에 위치되고 제2 방향 D2를 따라 연장된다.
- [0177] 예를 들어, 제1 스캔 라인(150)은 일체형 구조체로서 서브-픽셀들의 대응하는 행의 제2 트랜지스터들 T2의 게이트 전극들 T2g와 집적되고; 제2 스캔 라인(160)은 일체형 구조체로서 서브-픽셀들의 대응하는 행의 제3 트랜지스터들 T3의 게이트 전극들 T3g와 각각 집적된다.

- [0178] 예를 들어, 도 3a에 도시되는 바와 같이, 서브-픽셀들의 각각의 행에 대해, 제1 방향 D1을 따라, 그에 대응하는 제1 스캔 라인(150) 및 제2 스캔 라인(160)은 서브-픽셀들의 행에서 제1 트랜지스터들 T1의 양쪽 측면들 상에 각각 위치된다.
- [0179] 예를 들어, 각각의 제1 스캔 라인(150)은 교대로 접속되는 제1 부분들(151) 및 제2 부분들(152)을 포함하고; 제2 부분(152)은 링 구조체이고; 제1 방향 D1에서, 제2 부분(152)의 크기는 제1 부분(151)의 크기 초과이다. 유사하게, 각각의 제2 스캔 라인(160)은 교대로 접속되는 제1 부분들(161) 및 제2 부분들(162)을 포함하고; 제2 부분(162)은 링 구조체이고; 제1 방향 D1에서, 제2 부분(162)의 크기는 제1 부분(161)의 크기 초과이다.
- [0180] 예를 들어, 디스플레이 기판은 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들을 포함하고; 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 일부는 베이스 기판에 수직인 방향에서 제1 스캔 라인의 제1 부분과 중첩되고; 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 다른 것들은 베이스 기판에 수직인 방향에서 제1 스캔 라인의 제2 부분과 중첩되고; 베이스 기판에 수직인 방향에서, 제1 스캔 라인의 제2 부분과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도는 제1 스캔 라인의 제1 부분과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도 초과이다.
- [0181] 링 구조체를 갖는 제2 부분의 응력이 스트립 구조체를 갖는 제1 부분의 응력보다 더 집중되기 때문에, 전술한 배열은 응력 완화 효과를 개선할 수 있다.
- [0182] 예를 들어, 제1 중첩 면적은 베이스 기판 상의 복수의 제1 표면 미세구조체들 또는 제2 표면 미세구조체들 각각의 직교 투영의 면적 초과이고; 제2 중첩 면적은 베이스 기판 상의 복수의 제1 표면 미세구조체들 또는 제2 표면 미세구조체들 각각의 직교 투영의 면적 초과이다.
- [0183] 해제 구조체의 면적이 너무 크면, 응력이 과-해제되어, 패널 결함들로 이어질 가능성이 있고; 표면 미세구조체의 면적이 중첩 면적 미만인 경우, 영역에서의 응력이 완전히 해제되어 영역에서의 패널의 안정성을 보장할 수 있다.
- [0184] 본 개시내용에서의 표면 미세구조체들의 분포 밀도는 기판의 단위 면적에 분포되는 표면 미세구조체들의 수를 지칭한다는 점이 주목되어야 한다.
- [0185] 예를 들어, 디스플레이 기판(10)은 제1 방향 D1을 따라 연장되는 복수의 신호 라인들을 추가로 포함한다. 예를 들어, 신호 라인들은 데이터 라인들, 전력 라인들, 보조 전극 라인들 등일 수 있다. 도 3a에 도시되는 바와 같이, 각각의 제2 부분(152)은 베이스 기판(101)에 수직인 방향에서 적어도 하나의 데이터 라인과 교차하고, 그렇게 함으로써 제2 방향 D2를 따라 배열되는 복수의 제1 중공 영역들 H1을 정의하고; 각각의 제2 부분(162)은 베이스 기판(101)에 수직인 방향에서 적어도 하나의 데이터 라인과 교차하고, 그렇게 함으로써 제2 방향 D2를 따라 배열되는 복수의 제2 중공 영역들 H2를 정의한다.
- [0186] 스캔 라인의, 신호 라인과 교차하는, 부분을 링 구조체, 즉, 이중-채널 구조체로 설정하는 것에 의해, 디바이스의 수율이 효과적으로 개선될 수 있다. 예를 들어, 신호 라인들이 서로 교차하는 위치는 기생 용량으로 인한 정전 파괴에 의한 단락 결함을 야기할 가능성이 있고; 검출 프로세스 동안, 링 구조체의 하나의 채널이 단락 결함을 갖는 것으로 검출되는 경우, 채널은 (예를 들어, 레이저 절단에 의해) 절단될 수 있고, 회로 구조체는 다른 채널을 통해 정상적으로 여전히 작동할 수 있다.
- [0187] 예를 들어, 도 3a에 도시되는 바와 같이, 복수의 신호 라인들은 복수의 데이터 라인들 DL을 포함하고; 복수의 데이터 라인들 DL은 서브-픽셀 어레이에서의 서브-픽셀들의 각각의 열과 일-대-일 대응으로 접속되어 서브-픽셀들에 데이터 신호들을 공급한다. 픽셀 행에 대해, 복수의 데이터 라인들은 픽셀 행에서의 복수의 픽셀 유닛들과 일-대-일 대응으로 복수의 데이터 라인 그룹들로 분할되고, 도 3a에 도시되는 바와 같이, 각각의 데이터 라인 그룹은 제1 서브-픽셀 P1과 접속되는 제1 데이터 라인 DL1, 제2 서브-픽셀 P2와 접속되는 제2 데이터 라인 DL2, 제3 서브-픽셀 P3과 접속되는 제3 데이터 라인 DL3, 및 제4 서브-픽셀 P4와 접속되는 제4 데이터 라인 DL4을 포함한다. 각각의 픽셀 유닛에 대해, 픽셀 유닛과 대응하는 접속에 있는 데이터 라인들 DL1 내지 DL4는 모두 제1 서브-픽셀 P1과 제3 서브-픽셀 P3 사이에 위치된다. 이러한 배열은 검출 라인들 및 전력 라인들을 장착하기 위한 공간을 제공할 수 있다.
- [0188] 예를 들어, 도 3a에 도시되는 바와 같이, 디스플레이 기판(10)은 제1 방향 D1을 따라 연장되는 복수의 검출 라인들(230)을 추가로 포함하고; 검출 라인들(230)은 서브-픽셀(100)에서의 검출 서브-회로(예를 들어, 제3 트랜지스터 T3)와 접속되도록, 그리고, 검출 서브-회로를 외부 검출 회로에 연결하도록 구성된다. 예를 들어, 서브

-픽셀들의 적어도 하나의 열이 각각의 검출 라인(230)과 복수의 데이터 라인들 DL 중 어느 하나 사이에 제공된다; 즉, 검출 라인(230)은 어떠한 데이터 라인 DL에도 직접 인접하지 않는다. 예를 들어, 도 3a에 도시되는 바와 같이, 각각의 픽셀 유닛에 대해, 제1 데이터 라인 DL1 및 제4 데이터 라인 DL4는 제1 서브-픽셀 P1과 제4 서브-픽셀 P4 사이에 위치되고; 제2 데이터 라인 DL2 및 제3 데이터 라인 DL3은 제2 서브-픽셀 P2와 제3 서브-픽셀 P3 사이에 위치되고; 검출 라인(230)은 제4 서브-픽셀 P4와 제2 서브-픽셀 P2 사이에 위치된다.

[0189] 이러한 배열은 데이터 라인이 검출 라인에 직접 인접하는 것을 방지하여 데이터 라인 상의 신호 지연으로 이어지는 저항-커패시턴스 부하를 야기하고, 지연에 의해 야기되는 디스플레이 불균일성을 추가로 회피한다. 또한, 데이터 라인 DL 상에서 송신되는 신호는 일반적으로 고주파 신호이기 때문에, 검출 라인(230)과 데이터 라인 DL을 서로 직접 인접하지 않도록 설정하는 것은, 샘플링 정확도에 영향을 미치는, 외부 보상 충전 샘플링 프로세스 동안 검출 라인(230)이 고주파 신호 크로스토크를 수신하는 것을 방지할 수 있다.

[0190] 예를 들어, 도 3a에 도시되는 바와 같이, 픽셀 유닛에서의 4개의 서브-픽셀들은 하나의 검출 라인(230)을 공유하고; 검출 라인(230)은 제2 방향 D2에서 연장되는 검출 부분(231)을 통해 4개의 서브-픽셀들에서의 제3 트랜지스터들 T3의 제2 전극들 T3d와 각각 전기적으로 접속된다. 검출 라인(230)은 비아 홀을 통해 검출 부분(231)과 전기적으로 접속되고; 검출 부분(231)은 비아 홀 No. 10을 통해 제3 트랜지스터 T3의 제2 전극 T3d와 전기적으로 접속된다. 제3 트랜지스터 T3의 제1 전극 T3s는 비아 홀 No. 6을 통해 제3 트랜지스터 T3의 제1 전극 접촉 영역 T3a1과 전기적으로 접속되고; 제3 트랜지스터 T3의 제2 전극 T3d는 비아 홀 No. 5를 통해 제3 트랜지스터 T3의 제2 전극 접촉 영역 T3a2와 전기적으로 접속된다.

[0191] 예를 들어, 제3 트랜지스터 T3 및 제2 커패시터 전극 Cb는 동일한 층에 배열되고 일체형 구조체로서 접속된다.

[0192] 예를 들어, 도 3a에 도시되는 바와 같이, 디스플레이 기관(10)은 제1 방향 D1을 따라 연장되는 복수의 전력 라인들(240)을 추가로 포함하고; 복수의 전력 라인들(240)은 복수의 서브-픽셀들에 제1 전원 전압을 공급하도록 구성되고; 전원 전압은, 예를 들어, 높은 전원 전압 VDD이다. 전력 라인(240)은, 예를 들어, 제3 도전 층(503)에 위치된다. 도 3a에 도시되는 바와 같이, 복수의 전력 라인들(240) 각각과 복수의 데이터 라인들 중 어느 하나 사이에 적어도 하나의 픽셀 열이 존재한다; 즉, 전력 라인(240)은 어떠한 데이터 라인 DL에도 직접 인접하지 않는다. 이러한 배열은 데이터 라인이 전력 라인에 직접 인접하는 것을 방지하여 데이터 라인 상의 신호 지연으로 이어지는 저항-커패시턴스 부하를 야기하고, 지연에 의해 야기되는 컬러 시프트 및 디스플레이 불균일성과 같은 결함들을 추가로 회피한다.

[0193] 예를 들어, 어느 하나의 전력 라인(240)은 베이스 기관(101)에 수직인 방향에서 검출 부분(231)과 중첩되지 않는다, 즉, 전력 라인(240)은 인접한 검출 부분들(231)에 대응하는 간격으로 제공된다. 이러한 배열은 신호 라인들의 중첩을 감소시키고, 그렇게 함으로써 신호 라인들 사이의 기생 용량 및 그렇게 함으로써 야기되는 신호 지연을 효과적으로 감소시킨다.

[0194] 예를 들어, 도 3b에 도시되는 바와 같이, 전력 라인(240)은 비아 홀 No. 3을 통해 직접 인접한 서브-픽셀(예를 들어, 제1 서브-픽셀 P1)의 제1 트랜지스터 T1의 제2 전극 T1d와 전기적으로 접속되고, 예를 들어, 전력 라인 및 제1 트랜지스터 T1의 제2 전극 T1d는 일체형 구조체이다. 예를 들어, 전력 라인(240)은 접속 전극(241)을 통해 전력 라인(240)에 직접 인접하지 않은 서브-픽셀의 제1 트랜지스터 T1의 제2 전극 T1d와 전기적으로 접속된다. 예를 들어, 접속 전극(241)은 비아 홀 No. 11을 통해 제2 서브-픽셀 또는 제4 서브-픽셀의 제1 트랜지스터 T1의 제2 전극 T1d와 전기적으로 접속된다.

[0195] 예를 들어, 디스플레이 기관은 복수의 제1 표면 미세구조체들(11) 및 복수의 제2 표면 미세구조체들(12)을 포함하고; 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 일부는 복수의 데이터 라인들 DL 상에 분포되고, 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 다른 것들은 복수의 전력 라인들 상에 분포되고; 복수의 데이터 라인들 상의 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들의 분포 밀도는 복수의 전력 라인들 상의 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들의 분포 밀도 초과이다.

[0196] 동적 전압으로 인가되는, 데이터 라인은 응력에 더 민감하기 때문에, 데이터 라인들 상의 표면 미세구조체들의 분포 밀도를 더 높게 설정하는 것은 패널의 안정성을 개선하는 것을 돕는다.

[0197] 예를 들어, 접속 전극(241) 및 검출 부분(231)은 양자 모두 제1 도전 층(501)에 위치된다.

[0198] 예를 들어, 베이스 기관에 수직인 방향에서, 접속 전극(241)과 검출 라인(230)은 서로 중첩되지 않는다. 도 3b에 도시되는 바와 같이, 접속 전극(241)은 검출 라인(230)과 중첩되지 않도록 검출 라인(230)에 대응하는 위치

에서 접속해제되고, 이는 기생 용량을 감소시킬 수 있다.

- [0199] 예를 들어, 본 개시내용에서의 제1 표면 미세구조체들 및 제2 표면 미세구조체들은 본 개시내용에 의해 제공되는 전술된 디스플레이 기관에서의 임의의 신호 라인 또는 임의의 도전성 구조체에 제공될 수 있고, 예를 들어, 신호 라인 또는 도전성 구조체에 대응하는 비아 홀에서 설정되는 일부를 가질 수 있어, 비아 홀에서의 신호 라인 또는 도전성 구조체의 응력을 해제하는 것을 돕고, 그렇게 함으로써 접속해제의 위험을 감소시킨다.
- [0200] 예를 들어, 제1 표면 미세구조체와 제2 표면 미세구조체 사이의 거리는 하나의 서브-픽셀의 크기의 1/10 미만이다. 이러한 설정은 픽셀 크기 범위 내에서 응력을 효과적으로 완화할 수 있다.
- [0201] 예를 들어, 제1 방향 및 제2 방향에서의 베이스 기관 상의 제1 표면 미세구조체의 직교 투영과 베이스 기관 상의 제2 표면 미세구조체의 직교 투영 사이의 중심 거리의 성분들은 각각 제1 방향 및 제2 방향에서의 복수의 서브-픽셀들 각각의 평균 크기들 미만이다.
- [0202] 예를 들어, 서브-픽셀의 크기는 그에 직접 인접하는 그리고 양쪽 측면들 상에 각각 위치되는 신호 라인들에 의해 정의된다. 예를 들어, 도 3b에 도시되는 바와 같이, 제1 방향에서의 각각의 서브-픽셀의 평균 크기(길이)는 제1 스캔 라인(150)과 그에 대응하는 제2 스캔 라인(160) 사이의 평균 분리 거리이고; 제2 방향에서의 각각의 서브-픽셀의 평균 크기(폭)는 데이터 라인 DL과 그에 대응하는 검출 라인(230)/전력 라인(240) 사이의 평균 분리 거리이다.
- [0203] 예를 들어, 서브-픽셀의 길이 및 폭은 각각 100 마이크로미터 내지 500 마이크로미터이고, 베이스 기관 상의 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)의 직교 투영들 사이의 중심 거리는 5 마이크로미터 내지 20 마이크로미터이다.
- [0204] 예를 들어, 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)는 제1 방향 D1을 따라 배열되고, 예를 들어, 제1 방향 D1을 따라 연장되는 신호 라인들(예를 들어, 데이터 라인들, 전력 라인들, 검출 라인들 등) 상에 위치된다. 예를 들어, 도 3a에 도시되는 바와 같이, 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)는 동일한 전력 라인(240) 상에 위치되고; 제1 표면 미세구조체(11)는 제1 오목 구조체를 포함하고; 제2 표면 미세구조체(12)는 제2 오목 구조체를 포함하고; 제1 오목 구조체 및 제2 오목 구조체는 동일한 컬러의 서브-픽셀들과 대면하고, 예를 들어, 베이스 기관 상의 제1 오목 구조체 및 제2 오목 구조체의 법선들의 직교 투영들과 제1 방향 D1 사이의 끼인각들은 양자 모두 예각 끼인각들이다, 즉, 제1 오목 구조체 및 제2 오목 구조체는 서브-픽셀들의 동일한 열을 포인팅한다.
- [0205] 예를 들어, 각각의 픽셀 열의 서브-픽셀들(즉, 동일한 열에 위치되는 서브-픽셀들)은 동일한 컬러의 광을 방출한다. 발광 엘리먼트에 의해 방출되는 광이 오목 구조체에 비스듬히 입사할 때, 오목 구조체는 광을 발광 엘리먼트(예를 들어, 발광 엘리먼트의 캐소드)에 다시 방출할 수 있고; 전술한 배열은, 상이한 연장 방향들을 갖는 서브-픽셀들의 광 크로스토크를 회피하기 위해, 오목 구조체가 광을 광과 동일한 컬러의 서브-픽셀들로 다시 반사하는 것을 가능하게 할 수 있다.
- [0206] 이하에서, 본 개시내용에 의해 제공되는 디스플레이 기관은 제2 트랜지스터 T2의 제1 전극 T2s를 본 개시내용의 제1 도전성 구조체로서 취하는 것에 의해 예시적으로 설명될 것이지만; 그러나, 본 개시내용의 실시예가 그에 제한되는 것은 아니다.
- [0207] 예를 들어, 제1 표면 미세구조체(11)는 베이스 기관에 대해 경사진 제2 트랜지스터 T2의 제1 전극 T2s의 표면 상에 위치되고, 예를 들어, 제2 트랜지스터 T2의 제1 전극 T2s의 제1 부분, 제2 부분, 및 제3 부분 중 적어도 하나 상에 위치되고; 제2 표면 미세구조체(12)는 베이스 기관에 평행한 제2 트랜지스터 T2의 제1 전극 T2s의 표면 상에 위치되고, 예를 들어, 제2 트랜지스터 T2의 제2 전극 T2의 제1 부분, 제2 부분, 및 제3 부분 중 적어도 하나 상에 위치된다.
- [0208] 예를 들어, 도 3a 내지 도 3b에 도시되는 바와 같이, 제1 표면 미세구조체(11)는 제2 트랜지스터 T2의 제1 전극 T2s의 제3 부분 S3에 위치되고; 제3 부분 S3은 비아 홀(800)(또는 제2 홈 V2) 내로 채워지는 것으로 인해 베이스 기관에 대해 2개의 경사진 표면들(본 개시내용의 제1 도전성 구조체의 제1 표면의 예)을 갖고; 제1 표면 미세구조체(11)는 2개의 경사진 표면들 중 적어도 하나에 위치된다. 예를 들어, 도 3b에 도시되는 바와 같이, 제1 표면 미세구조체(11)는 제3 트랜지스터 T3에 가까운 경사진 표면 상에 위치된다.
- [0209] 예를 들어, 일부 다른 예들에서, 제1 표면 미세구조체(11)는 제2 트랜지스터 T2의 제2 전극 T2의 제1 부분 S1에 위치될 수 있고; 제1 부분 S1은 비아 홀(800) 내로 채워지는 것으로 인해 베이스 기관에 대해 경사진 표면(본

개시내용의 제1 도전성 구조체의 제1 표면의 예)을 갖고; 제1 표면 미세구조체(11)는 경사진 표면 상에 위치된다.

- [0210] 예를 들어, 도 3b에 도시되는 바와 같이, 제2 표면 미세구조체는, 제3 부분 S3이 제2 홈 내에 채워짐에 따라 형성되는 베이스 기관의 표면에 평행한 표면의 일부분 상에 위치된다. 도전성 구조체가 홈에서 더 큰 응력을 겪기 때문에, 홈 내로 채워지는 제3 부분 S3의 부분에서 표면 미세구조체를 제공하는 것은 응력을 완화하는 것을 도울 수 있다.
- [0211] 다른 예들에서, 제2 표면 미세구조체(12)는 베이스 기관의 표면에 평행한 제2 트랜지스터 T2의 제2 전극 T2의 제1 부분 S1, 제2 부분 S2, 및 제3 부분 S3의 표면들(본 개시내용의 제1 도전성 구조체의 제2 표면의 몇몇 예들) 상에 각각 제공된다. 예를 들어, 제2 트랜지스터 T2의 제2 전극 T2의 제1 부분 S1은 비아 홀(800)에 위치되는 그리고 반도체 층(104)과 직접 접촉하는 부분을 포함하고, 제2 표면 미세구조체(12)는 응력을 완화하기 위해 부분의 상부 표면 상에 제공될 수 있다.
- [0212] 예시의 용이함을 위해, 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)의 오목 구조체들은 도 3b에서 블랭크로 도시된다는 점이 주목되어야 하지만; 실제 구조체에서, 오목 구조체는 주변 절연 층에 의해 적어도 채워질 수 있다, 예를 들어, 제4 절연 층(204)에 의해 완전히 채워질 수 있다.
- [0213] 비아 홀(800)의 비교적 큰 크기로 인해, 제2 트랜지스터 T2의 제2 전극 T2s 상에 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)를 배열하는 것은 제2 트랜지스터 T2의 제2 전극 T2s 상의 응력을 효과적으로 완화할 수 있고, 그렇게 함으로써 결함들의 위험을 감소시킨다.
- [0214] 예를 들어, 제1 방향에서의 제1 표면 미세구조체의 크기는 제1 방향에서의 제3 부분 S3의 최대 크기의 1/10 미만이다.
- [0215] 예를 들어, 제1 방향 D1에서의 제1 표면 미세구조체(11) 또는 제2 표면 미세구조체(12)의 크기(즉, 도 3b의 단면 라인 I-I'를 따른 크기)는 제1 방향 D1에서의 베이스 기관(101) 상의 비아 홀(800)의 직교 투영의 최대 크기의 1/10 미만, 예를 들어, 2% 내지 5%이다.
- [0216] 예를 들어, 도 3a 내지 도 3b를 참조하면, 각각의 서브-픽셀은 발광 엘리먼트(125)를 추가로 포함하고, 예를 들어, 발광 엘리먼트는 유기 발광 다이오드이고, 순차적으로 적층되는 제1 전극(123), 발광 층(124), 및 제2 전극(122)을 포함한다. 예를 들어, 발광 엘리먼트(125)는 상부 방출 구조체를 갖고; 제1 전극은 반사성이고; 제2 전극(122)은 투과성 또는 반-투과성이다. 예를 들어, 제1 전극은 애노드로서 작용하는 높은 일 함수 재료이고, 예를 들어, 이것은 ITO/Ag/ITO 적층 구조체이고; 제2 전극(122)은 캐소드로서 작용하는 낮은 일 함수 재료, 예를 들어, 반-투과성 금속 또는 금속 합금 재료, 예를 들어, Ag/Mg 합금 재료이다.
- [0217] 예를 들어, 디스플레이 기관(10)은 제3 도전 층(503)과 발광 엘리먼트의 제1 전극(123) 사이에 위치되는 제4 절연 층(204) 및 제5 절연 층(205)을 추가로 포함한다. 예를 들어, 제4 절연 층(204)은, 예를 들어, 패시베이션 층, 예를 들어, 실리콘 산화물과 같은 실리콘의 산화물들, 실리콘 질화물, 및 실리콘 산질화물, 실리콘의 질화물들, 또는 실리콘의 질소 산화물들로 이루어지는 무기 절연 층이고; 제5 절연 층(205)은 유기 절연 재료, 예를 들어, PI(polyimide), 아크릴레이트, 에폭시 수지, 및 PMMA(polymethyl methacrylate)와 같은 유기 절연 재료로 이루어진다. 예를 들어, 제5 절연 층(205)은 평탄화 층이다.
- [0218] 예를 들어, 디스플레이 기관(10)은 발광 엘리먼트(125)의 제1 전극(123) 상에 위치되는 픽셀 정의 층(206)을 추가로 포함하고; 픽셀 정의 층(206)은 유기 절연 재료, 예를 들어, PI(polyimide), 아크릴레이트, 에폭시 수지, 및 PMMA(polymethyl methacrylate)와 같은 유기 절연 재료로 이루어진다. 발광 엘리먼트(125)의 제1 전극(123)은 비아 홀(700)(즉, 도 3a에서의 비아 홀 No. 8)을 통해 제1 트랜지스터 T1의 제1 전극 T1s 및 제2 커패시터 전극 Cb와 전기적으로 접속되고; 비아 홀(700)은, 예를 들어, 제4 절연 층(204) 및 제5 절연 층(205)을 관통한다.
- [0219] 예를 들어, 도 3a 내지 도 3b에 도시되는 바와 같이, 발광 엘리먼트의 제1 전극(123)은 제1 방향 D1에서 순차적으로 접속되는 제1 전극 부분(123a), 제2 전극 부분(123b), 및 제3 전극 부분(123c)을 포함하고; 제1 전극 부분(123a)은 대응하는 제1 트랜지스터 T1의 제1 전극 T1s와 전기적으로 접속되도록 구성되도록 그리고 베이스 기관(101)에 수직인 방향에서 대응하는 제1 트랜지스터 T1의 제1 전극 T1s와 중첩되도록 구성된다. 제3 전극 부분(123c)은 발광 층(124)과 직접 접촉하도록, 그리고 베이스 기관에 수직인 방향에서 발광 엘리먼트의 개구 영역(도시되지 않음)과 중첩되도록 구성되고, 즉, 제3 전극 부분(123c)은 발광 엘리먼트의 유효 발광 영역에 대응하고; 제3 전극 부분(123c)은 베이스 기관에 수직인 방향에서 비아 홀(700)과 중첩되지 않으며, 이는 비아 홀

(700)에서의 계면이 발광 재료의 발광 효율에 불리하게 영향을 미치는 것을 방지한다. 제2 전극 부분(123b)은 제1 전극 부분(123a)과 제3 전극 부분(123c)을 접속한다. 예를 들어, 발광 엘리먼트의 개구 영역은 발광 엘리먼트에 대응하는 픽셀 정의 층(206)에서의 개구 영역이고, 개구 영역은 발광 엘리먼트의 제1 전극(123)을 노출시키고 발광 엘리먼트의 발광 층의 적어도 일부분을 수용한다.

[0220] 도 3a에 도시되는 바와 같이, 발광 엘리먼트의 제1 전극(123)의 제2 전극 부분(123b)의 제2 방향 D2에서의 평균 크기는, 제1 전극 부분(123a)의 제2 방향 D2에서의 평균 크기 미만이고, 또한 제3 전극 부분(123c)의 제2 방향 D2에서의 평균 크기 미만이다.

[0221] 예를 들어, 제1 방향을 따른 제1 전극 부분의 최대 크기와 제2 방향을 따른 최대 크기의 합은 제1 방향을 따른 제3 전극 부분의 최대 크기와 제2 방향을 따른 최대 크기의 합 미만이고; 제1 방향을 따른 제2 전극 부분의 최대 크기와 제2 방향을 따른 최대 크기의 합은 제1 방향을 따른 제3 전극 부분의 최대 크기와 제2 방향을 따른 최대 크기의 합 미만이다.

[0222] 예를 들어, 디스플레이 기판은 복수의 제1 표면 미세구조체들(11) 및 복수의 제2 표면 미세구조체들(12)을 포함하고; 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 일부는 베이스 기판에 수직인 방향에서 제1 전극 부분과 중첩되고, 복수의 제1 표면 미세구조체들 및 복수의 제2 표면 미세구조체들 중 다른 것들은 베이스 기판에 수직인 방향에서 제3 전극 부분과 중첩되고; 제1 전극 부분과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도는 제3 전극 부분과 중첩되는 제1 표면 미세구조체들 및 제2 표면 미세구조체들의 분포 밀도 초과이다.

[0223] 제1 전극 부분은 픽셀 구동 영역에 가깝기 때문에, 예를 들어, 베이스 기판에 수직인 방향에서 제1 트랜지스터 T1과 적어도 부분적으로 중첩되고, 픽셀 구동 영역에서의 응력이 더 집중되기 때문에, 전술한 배열은 구동 영역에서의 응력을 효과적으로 해제할 수 있고, 디스플레이 기판의 성능을 개선할 수 있다.

[0224] 도 3a에 도시되는 바와 같이, 제1 방향 D1에서, 제1 스캔 라인(150)은 제1 전극 부분(123a)과 제3 전극 부분(123c) 사이에 위치되고; 제2 전극 부분(123b)은 베이스 기판에 수직인 방향에서 제1 스캔 라인(150)과 중첩되고; 제2 방향 D2로 제2 전극 부분(123b)의 크기를 감소시키는 것은 제2 전극 부분(123b)과 제1 스캔 라인(150) 사이의 중첩 면적을 감소시키는 것을 돕고, 그렇게 함으로써 기생 용량을 감소시킨다.

[0225] 예를 들어, 제2 전극 부분(123b)은 베이스 기판(101)에 수직인 방향에서 제1 스캔 라인(150)의 제1 부분(151)과 중첩되고, 베이스 기판(101)에 수직인 방향에서 제1 스캔 라인(150)의 제2 부분(152)과 중첩되지 않는다.

[0226] 제1 스캔 라인(150)의 제2 부분(152)이 제1 방향 D1을 따라 신호 라인(예를 들어, 전력 라인, 검출 라인, 데이터 라인 등)과 중첩되기 때문에, 제2 부분(152)은 단락 회로와 같은 결함들에 취약하고, 수리 프로세스에서 수리될 필요가 있다. 발광 엘리먼트의 제1 전극을 제1 스캔 라인(150)의 제2 부분(152)과 중첩되지 않도록 설정하는 것은 제2 부분(152)에서의 수리에서의 어려움을 감소시킬 수 있다.

[0227] 도 3a에 도시되는 바와 같이, 제1 서브-픽셀 P1은 제2 방향 D2에서 서로 대향하는 제1 측면 및 제2 측면을 갖고; 제1 측면에는 전력 라인(240)이 제공되고; 제2 측면에는 데이터 라인 DL(제1 데이터 라인 DL1 및 제4 데이터 라인 DL4)이 제공되고; 제2 전극 부분(123b)은 제1 전극 부분(123a) 및 제3 전극 부분(123c)에 대해 제1 측면을 향해 오목하다, 즉, 제2 측면으로부터 멀어지는 방향에서 오목하다; 즉, 제2 전극 부분(123b)은 데이터 라인보다 전력 라인에 더 가깝다.

[0228] 전력 라인(240)에 정전압이 송신되고, 데이터 라인 DL에 고주파 신호가 송신되기 때문에, 전력 라인에 더 가까운 제2 전극 부분(123b)을 제공하는 것에 의해, 데이터 라인 DL의 고주파 신호가 발광 엘리먼트의 제1 전극의 전위에 영향을 미치고, 그렇게 함으로써 디스플레이 그레이 스케일에 영향을 주는 것을 방지할 수 있다.

[0229] 제2 서브-픽셀, 제3 서브-픽셀, 및 제4 서브-픽셀에 대해 유사한 설정들이 존재한다. 예를 들어, 도 3a에 도시되는 바와 같이, 제2 서브-픽셀 P2는 제3 서브-픽셀 P3에 직접 인접하고; 제3 서브-픽셀 P3은 제2 방향에서 서로 대향하는 제1 측면 및 제2 측면을 갖고; 제2 데이터 라인 DL2 및 제3 데이터 라인 DL3은 제3 서브-픽셀 P3의 제1 측면 상에 위치되고 제2 서브-픽셀 P2와 제3 서브-픽셀 P3 사이에 위치되고; 검출 라인(230)은 제3 서브-픽셀 P3의 제2 측면 상에 위치된다. 제3 서브-픽셀의 발광 엘리먼트의 제1 전극의 제2 전극 부분은 제3 서브-픽셀의 제2 측면으로부터 멀어지는 방향에서 그 제1 전극 부분 및 제3 전극 부분에 대해 오목하다, 즉, 제2 전극 부분은 데이터 라인보다 검출 라인(230)에 더 가깝다.

[0230] 검출 라인(230) 상에서 저주파 검출 신호가 송신되고, 데이터 라인 DL 상에서 고주파 신호가 송신되기 때문에,

검출 라인에 더 가까운 제2 전극 부분을 제공하는 것에 의해, 데이터 라인 DL의 고주파 신호가 발광 엘리먼트의 제1 전극의 전위에 영향을 미치고, 그렇게 함으로써 디스플레이 그레이 스케일에 영향을 주는 것을 방지할 수 있다.

[0231] 예를 들어, 각각의 서브-픽셀에서의 발광 엘리먼트 OLED는 백색 광을 방출하도록 구성되고; 디스플레이 기관(10)은 컬러 필터 층을 추가로 포함하고; 백색 광이 컬러 필터 층을 투과하여 풀-컬러 디스플레이를 실현한다. 예를 들어, 발광 층(124)은, FMM(Fine Metal Mask)으로 발광 층 상에 패터닝 프로세스를 수행하는 것을 회피하기 위해, 증착 프로세스와 조합되는 Open Mask에 의해 전체 표면 상에 형성될 수 있고, 그렇게 함으로써 FMM의 제한된 정확도가 디스플레이 기관의 해상도를 제한하는 것을 방지한다.

[0232] 예를 들어, 본 개시내용의 일부 실시예들에 의해 제공되는 디스플레이 기관(10)의 발광 엘리먼트는 하부 방출 구조체를 채택할 수 있다. 예를 들어, 도 3a 내지 도 3b에 도시되는 바와 같이, 컬러 필터 층은 베이스 기관(101)에 가까운 발광 엘리먼트의 제1 전극의 측면 상에 위치된다. 예를 들어, 제4 절연 층(204)과 제5 절연 층(205) 사이에 위치된다. 컬러 필터 층은 백색 서브-픽셀을 제외한 복수의 서브-픽셀들에 각각 대응하는 복수의 컬러 필터 부분들(190)을 포함한다. 즉, 제1 서브-픽셀 P1, 제2 서브-픽셀 P2, 및 제3 서브-픽셀 P3은 컬러 필터 부분(190)에 각각 대응하고; 제1 서브-픽셀 P1, 제2 서브-픽셀 P2, 및 제3 서브-픽셀 P3의 발광 엘리먼트들에 의해 방출되는 광은 컬러 필터 부분(90)을 통해 방출되어 디스플레이 광을 형성한다. 백색 서브-픽셀의 광은 컬러 필터 층을 통과할 필요가 없어, 제4 서브-픽셀 P4에는 대응하여 컬러 필터 부분이 제공되지 않는다.

[0233] 예를 들어, 인접한 컬러 필터 부분들은 베이스 기관에 수직인 방향에서 서로 중첩되고; 제1 표면 미세구조체 또는 제2 표면 미세구조체는 중첩 위치에 대응하여 제공된다. 컬러 필터 부분들의 중첩에 의해 야기되는 응력 불균일성으로 인해, 표면 미세구조체들은 영역에서의 응력을 효과적으로 해제할 수 있다.

[0234] 예를 들어, 베이스 기관에 수직인 방향에서, 제1 서브-픽셀에 대응하는 컬러 필터 부분, 제2 서브-픽셀에 대응하는 컬러 필터 부분, 및 제2 표면 미세구조체는 베이스 기관에 수직인 방향에서 서로 중첩된다.

[0235] 도 3a 내지 도 3b를 조합하여 참조하면, 각각의 컬러 필터 부분(190)은 대응하는 서브-픽셀의 발광 엘리먼트의 제1 전극의 제1 전극 부분(123a)과 중첩되고, 발광 엘리먼트의 제1 전극의 제3 전극 부분(123c)과 중첩되지 않고; 이러한 것은 컬러 필터 층이 발광 엘리먼트의 발광 층에 대응하여 제공되지만 하면 되기 때문이다. 도 3b에 도시되는 바와 같이, 베이스 기관에 수직인 방향에서, 발광 엘리먼트의 제1 전극의 제3 전극 부분(123c), 발광 층(124), 및 컬러 필터 부분(190)은 서로 중첩된다.

[0236] 예를 들어, 도 3a 내지 도 3b에 도시되는 바와 같이, 베이스 기관(101)에 수직인 방향에서, 제1 스캔 라인(150)과 중첩되는 제1 서브-픽셀 P1의 발광 엘리먼트의 제1 전극의 제2 전극 부분(123b)의 일부분은 제1 서브-픽셀 P1에 대응하는 컬러 필터 부분(190)과 또한 중첩된다. 베이스 기관에 수직인 방향에서, 컬러 필터 부분(190)이 제1 스캔 라인(150)과 발광 엘리먼트의 제1 전극(123) 사이에 위치되기 때문에, 그리고 컬러 필터 부분(190) 상의 제5 절연 층(205)이 평탄화 층이기 때문에, 컬러 필터 부분(190)의 형성은 베이스 기관에 대해 컬러 필터 부분에서의 제5 절연 층(205)의 높이에 영향을 미치지 않는다. 즉, 발광 엘리먼트의 제1 전극과 제1 스캔 라인(150) 사이의 거리를 변경하지 않지만; 그러나, 컬러 필터 부분(190)의 유전률은 제5 절연 층(205)의 유전률보다 낮고; 따라서, 제2 전극 부분(123b)과 제1 스캔 라인(150) 사이에 제2 전극 부분(123b) 및 제1 스캔 라인(150)과 중첩되도록 컬러 필터 부분(190)을 형성하는 것은 발광 엘리먼트의 제1 전극과 제1 스캔 라인 사이의 기생 용량을 추가로 감소시키는 것을 돕는다.

[0237] 본 발명자는, 복수의 제1 중공 영역들 H1 또는 제2 중공 영역들 H2가 제2 방향 D2를 따라 규칙적으로 배열되어 특정한 규칙적인 연속성을 생성하는 경우, 주기적인 회절 현상이 발생하여, 중공 영역들 및 비-중공 영역들의 금속 와이어들의 위치들로 하여금 주변 광을 반사함에 있어서 명백한 차이를 갖게 하여, 디스플레이 불균일성을 초래한다는 점을 발견했다.

[0238] 한편, 도 3a에 도시되는 바와 같이, 픽셀 유닛에서, 복수의 제1 중공 영역들 H1의 기하학적 중심은 직선 상에 있지 않고, 이는 동일한 방향에서 배열되는 제1 중공 영역의 규칙성을 감소시키는 것 및 주기적인 회절에 의해 야기되는 디스플레이 불균일성을 완화하는 것을 돕는다.

[0239] 다른 한편, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관은 컬러 필터 층을 사용하여 동일한 행에 위치되고 하나의 픽셀 유닛에 대응하는 복수의 중공 영역을 선택적으로 차폐하고, 그렇게 함으로써 픽셀 유닛에서의 중공 영역들의 배열 규칙성을 파괴하고 회절 효과를 약화시켜 디스플레이 균일성을 개선한다.

[0240] 도 3a에 도시되는 바와 같이, 제1 방향 D1에서, 하나의 픽셀 행(제1 픽셀 행)에 대응하는 컬러 필터 부분은 픽

셀 행에 대응하는 제1 스캔 라인(150)과 그에 직접 인접하는 다음 픽셀 행(제2 픽셀 행)에 대응하는 제2 스캔 라인(160) 사이에 위치된다.

- [0241] 예를 들어, 제2 픽셀 행은 제2 방향 D2를 따라 순차적으로 배열되는 제5 서브-픽셀 P5, 제6 서브-픽셀 P6, 및 제7 서브-픽셀 P7을 포함하고; 제5 서브-픽셀 P5와 제1 서브-픽셀 P1은 동일한 열에 위치되고; 제6 서브-픽셀 P6과 제2 서브-픽셀 P2는 동일한 열에 위치되고; 제7 서브-픽셀 P7과 제3 서브-픽셀 P3은 동일한 열에 위치된다. 예를 들어, 동일한 열에 위치되는 서브-픽셀들은 동일한 컬러의 광을 방출한다.
- [0242] 예를 들어, 도 3b에 도시되는 바와 같이, 각각의 서브-픽셀의 발광 엘리먼트의 제1 전극은 또한 제1 방향 D1에서 연장되어 베이스 기판에 수직인 방향에서 그에 인접한 다음 픽셀 행에서의 서브-픽셀의 제2 커패시터 전극 Cb와 중첩된다. 정상 상태에서는, 발광 엘리먼트의 제1 전극과 다음 행의 서브-픽셀의 제2 커패시터 전극 Cb 사이에 제4 절연 층(204) 및 제5 절연 층(205)이 존재하고; 서브-픽셀의 픽셀 회로가 결함이 있을 때, 발광 엘리먼트의 제1 전극과 다음 행의 서브-픽셀의 제2 커패시터 전극 Cb 사이에 수리 홀이 형성될 수 있지만, 예를 들어, 제4 절연 층(204)을 제거하고 발광 엘리먼트의 제1 전극이 수리 홀 내로 채워지고 다음 행의 서브-픽셀의 제2 커패시터 전극 Cb와 전기적으로 접속되는 것을 허용하기 위해 레이저가 사용되지만; 그러나, 제2 커패시터 전극 Cb는 그것이 속하는 서브-픽셀의 발광 엘리먼트의 제1 전극과 전기적으로 접속되어, 결함 서브-픽셀의 발광 엘리먼트의 제1 전극은 다음 행의 서브-픽셀의 발광 엘리먼트의 제1 전극과 전기적 접속을 형성하여, 결함 서브-픽셀이 수리된다. 도 3a는 비아 홀 No. 9를 갖는 수리 홀의 위치를 도시한다.
- [0243] 예를 들어, 제1 픽셀 행에 대응하는 컬러 필터 부분들(190) 각각은 제2 픽셀 행에 가까운 측면 에지를 갖는다, 예를 들어, 측면 에지는 선형이고 제2 방향 D2에 평행하다.
- [0244] 예를 들어, 베이스 기판에 수직인 방향에서, 제1 서브-픽셀 P1에 대응하는 컬러 필터 부분(190)은 복수의 제1 중공 영역들 H 중 적어도 하나와 중첩되고; 제2 서브-픽셀 P2에 대응하는 컬러 필터 부분(190)은 복수의 제1 중공 영역들 H1 중 어느 것과도 중첩되지 않는다.
- [0245] 예를 들어, 베이스 기판에 수직인 방향에서, 제1 서브-픽셀 P1에 대응하는 컬러 필터 부분은 복수의 제1 중공 영역들 H1 중 하나와 중첩되고 제1 중첩 면적을 갖고; 제2 서브-픽셀 P2에 대응하는 컬러 필터 부분은 복수의 제1 중공 영역들 H1 중 다른 하나와 중첩되고 제2 중첩 면적을 갖고; 제1 중첩 면적은 제2 중첩 면적과 상이하다.
- [0246] 예를 들어, 제1 중첩 면적과 제2 중첩 면적 사이의 차이의 절대값은 $(n \cdot \lambda)^2$ 초과이고(즉, 파장의 정수배의 제곱), 여기서, λ 는 제1 서브-픽셀 P1 및 제2 서브-픽셀 P2에 의해 방출되는 광의 파장들의 더 큰 값이다. 제1 중첩 면적과 제2 중첩 면적 사이의 차이의 절대값이 더 클수록, 디스플레이 효과에 대한 광 회절의 영향이 더 작다.
- [0247] 도 3a에 도시되는 바와 같이, 베이스 기판에 수직인 방향에서, 제1 서브-픽셀 P1에 대응하는 컬러 필터 부분(190)은 복수의 제1 중공 영역들 H1 중 하나와 중첩되고; 제2 서브-픽셀 P2에 대응하는 컬러 필터 부분 및 제3 서브-픽셀 P3(190)에 대응하는 컬러 필터 부분(190)은 복수의 제1 중공 영역들 H1 중 어느 것과도 중첩되지 않는다.
- [0248] 도 3a에 도시되는 바와 같이, 제2 픽셀 행에 대응하는 제2 스캔 라인(160)의 제2 부분(162)은 베이스 기판에 수직인 방향에서 전력 라인(240), 데이터 라인 DL, 및 검출 라인(230)과 중첩되어, 제2 방향 D2로 순차적으로 배열되는 복수의 제2 중공 영역들 H2를 정의한다.
- [0249] 도 3a에 도시되는 바와 같이, 베이스 기판에 수직인 방향에서, 제1 서브-픽셀 P1에 대응하는 컬러 필터 부분은 제3 중첩 면적 A3을 갖는 복수의 제2 중공 영역들 H2 중 하나의 제2 중공 영역과 중첩되고; 제2 서브-픽셀 P2에 대응하는 컬러 필터 부분은 제4 중첩 면적 A4를 갖는 복수의 제2 중공 영역들 H2 중 다른 제2 중공 영역과 중첩되고; 제3 서브-픽셀 P3은 제5 중첩 면적 A5를 갖는 복수의 제2 중공 영역들 H2 중 또 다른 제2 중공 영역과 중첩되고; 제3 중첩 면적 A3, 제4 중첩 면적 A4 및 제5 중첩 면적 A5는 모두 서로 상이하다. 예를 들어, 도 3b에 도시되는 바와 같이, $A3 > A4 > A5$ 이다.
- [0250] 도 3a에 도시되는 바와 같이, 복수의 제1 중공 영역들 H1 중 제4 서브-픽셀 P4에 가까운 제1 중공 영역 H1' 중 어느 것도 베이스 기판에 수직인 방향에서 컬러 필터 층과 중첩되지 않고; 복수의 제2 중공 영역들 H2 중 제4 서브-픽셀 P4에 가까운 제2 중공 영역 H2' 중 어느 것도 베이스 기판에 수직인 방향에서 컬러 필터 층과 중첩되지 않는다.

- [0251] 도 3a에 도시되는 바와 같이, 제2 방향 D2에서 제1 중공 영역 H1'에 직접 인접하는 제1 중공 영역 H1"은 베이스 기판에 수직인 방향에서 컬러 필터 층과 중첩되지 않고; 제2 방향 D2에서 제2 중공 영역 H2'에 직접 인접하는 제2 중공 영역 H2"은 베이스 기판에 수직인 방향에서 컬러 필터 층과 중첩되지 않는다.
- [0252] 제4 서브-픽셀 P4는 백색 광을 방출하고, 백색 광의 회절은 더 적은 디스플레이 균일성을 갖기 때문에, 제4 서브-픽셀 P4에 가까운 중공 영역은 차폐되지 않을 수 있다.
- [0253] 예를 들어, 도 3b에 도시되는 바와 같이, 베이스 기판에 수직인 방향에서, 제1 데이터 라인 DL1, 제2 데이터 라인 DL2, 및 제3 데이터 라인 DL3은 모두 컬러 필터 층과 중첩된다. 이러한 배열은 데이터 라인이 광을 반사하여 디스플레이 불균일성을 야기하는 것을 방지할 수 있다.
- [0254] 예를 들어, 제4 데이터 라인 DL4는 컬러 필터 층과 중첩되지 않는다.
- [0255] 도 3b에 도시되는 바와 같이, 베이스 기판에 수직인 방향에서, 검출 라인(230)은 컬러 필터 층과 중첩되고, 그 중첩 면적은 제1 데이터 라인 DL1, 제2 데이터 라인 DL2, 및 제3 데이터 라인 DL3 중 어느 하나의 데이터 라인과 컬러 필터 층 사이의 중첩 면적 미만이다.
- [0256] 제4 데이터 라인 DL4 및 검출 라인(230)은 제1 데이터 라인 DL1, 제2 데이터 라인 DL2, 및 제3 데이터 라인 DL3 중에서 제4 서브-픽셀 P4에 가장 가깝기 때문에, 제4 서브-픽셀 P4는 백색 광을 방출하고, 백색 광의 회절은 디스플레이 균일성에 덜 영향을 미치고, 제4 데이터 라인 DL4 및 검출 라인(230)은 제1 서브-픽셀 P4에 의해 방출되는 광의 반사에 덜 영향을 미치고; 제4 데이터 라인 및 검출 라인은 차폐되지 않을 수 있다.
- [0257] 다른 예에서, 도 3c에 도시되는 바와 같이, 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)는 동일한 전력 라인(240) 상에 위치되며, 즉, 전력 라인(240)은 제1 도전성 구조체로서 역할을 하고; 제1 표면 미세구조체(11)는 베이스 기판에 수직인 방향에서 전력 라인(240)에 대응하는 제2 중공 영역 H2와 적어도 부분적으로 중첩된다.
- [0258] 전력 라인(240)이 제2 중공 영역 H2에서 경사를 갖고 응력이 비교적 크기 때문에, 제2 중공 영역 H2에 대응하는 전력 라인(240)의 위치 상에 제1 표면 미세구조체(12)를 배열하는 것은 응력을 완화하고 수율을 개선하는 것을 돕는다.
- [0259] 또 다른 예들에서, 도 3d에 도시되는 바와 같이, 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)는 제3 트랜지스터 T3의 제2 전극 T3d 상에 위치되고, 즉, 제3 트랜지스터 T3의 제2 전극 T3d는 제1 도전성 구조체로서 역할을 하고; 제1 표면 미세구조체는 베이스 기판에 수직인 방향에서 비아 홀 No. 10(본 개시내용에서 제4 비아 홀의 예)과 적어도 부분적으로 중첩된다.
- [0260] 또 다른 예들에서, 도 3e에 도시되는 바와 같이, 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)는 제3 트랜지스터 T3의 제1 전극 T3s 상에 위치되고, 즉, 제3 트랜지스터 T3의 제1 전극 T3s는 제1 도전성 구조체로서 역할을 하고; 제1 표면 미세구조체는 베이스 기판에 수직인 방향에서 비아 홀 No. 6과 적어도 부분적으로 중첩된다.
- [0261] 명확성을 위해, 제1 표면 미세구조체(11) 및 제2 표면 미세구조체(12)는 도 3d 및 도 3e 양자 모두에서 흑색 점들에 의해 도시된다. 비아 홀의 제1 위치에서의 도전성 구조체는 더 큰 경사를 갖고, 응력이 더 크기 때문에, 비아 홀에 대응하는 제1 도전성 구조체의 위치에 제1 표면 미세구조체를 배열하는 것은 응력을 해제하는 것을 도울 수 있다.
- [0262] 본 개시내용의 적어도 하나의 실시예는 전술한 디스플레이 기판의 제조 방법을 추가로 제공한다. 본 개시내용의 실시예에 의해 제공되는 디스플레이 기판의 제조 방법은 서브-픽셀을 예로서 취하는 것에 의해 도 3a 내지 도 3b 및 도 4a 내지 도 4d와 관련하여 아래에 예시적으로 설명될 것이지만; 그러나, 본 개시내용의 실시예가 그에 제한되는 것은 아니다. 도 4a 내지 도 4d는 하나의 서브-픽셀(예를 들어, 제1 서브-픽셀 P1)에서의 제1 도전 층, 반도체 층, 제2 도전 층, 및 제3 도전 층의 패턴을 각각 도시한다.
- [0263] 제조 방법은 단계 S61 내지 S65를 포함한다.
- [0264] 단계 S61: 제1 도전성 재료 층을 형성하고, 제1 도전성 재료 층 상에 패터닝 프로세스를 수행하여, 도 4a에 도시되는 바와 같이 제1 도전 층(501), 즉, 저장 커패시터 Cst의 제3 커패시터 전극 Cc 및 광 차폐 층(170)을 형성함. 패터닝 프로세스는 서로 절연되는 검출 부분(231) 및 접속 전극(241)을 또한 형성한다.
- [0265] 단계 S62: 도 4b에 도시되는 바와 같이, 제1 도전 층(501) 상에 제1 절연 층(201)을 형성하고 제1 절연 층 상에

반도체 재료 층을 형성하고, 반도체 재료 층 상에 패터닝 프로세스를 수행하여 반도체 층(104)을 형성함, 즉, 서로 이격된 제1 트랜지스터 T1의 활성 층 T1a, 제2 트랜지스터 T2의 활성 층 T2a, 및 제3 트랜지스터 T3의 활성 층 T3a를 형성함.

- [0266] 단계 S63: 도 4c에 도시되는 바와 같이, 반도체 층(104) 상에 제2 절연 층(202)을 형성하고, 제2 절연 층 상에 제2 도전성 재료 층을 형성하고, 제2 도전성 재료 층 상에 패터닝 프로세스를 수행하여 제2 도전 층(502)을 형성함, 즉, 서로 절연되는 제1 트랜지스터 T1의 게이트 전극 T1g, 제2 트랜지스터 T2의 게이트 전극 T2g, 및 제3 트랜지스터 T3의 게이트 전극 T3g를 형성함. 도 4c는 연장 부분(180)을 또한 도시한다.
- [0267] 예를 들어, 도 4c에 도시되는 바와 같이, 제2 도전 층(502)은 서로 절연되는 제1 스캔 라인(150) 및 제2 스캔 라인(160)을 추가로 포함한다.
- [0268] 예를 들어, 제1 스캔 라인(150) 및 제2 스캔 라인(160)의 라인 폭은 5 마이크로미터 내지 15 마이크로미터의 범위이다.
- [0269] 예를 들어, 제1 스캔 라인(150) 및 서브-픽셀들의 대응하는 행의 제2 트랜지스터들 T2의 게이트 전극들 T2g는 일체형 구조체이고; 제2 스캔 라인(160)은 일체형 구조체로서 서브-픽셀들의 대응하는 행의 제2 트랜지스터들 T2의 게이트 전극들 T2g와 각각 집적된다.
- [0270] 단계 S64: 제2 도전 층(502)을 마스크로 하여, 자기 정렬 프로세스를 채택하는 것에 의해 반도체 층(204)에 대해 도전 처리(예를 들어, 도핑 처리)를 수행하여, 제2 도전 층(502)에 의해 커버되지 않은 반도체 층(204)의 일부분이 도전성이 되게 하여, 제1 커패시터 전극 Ca를 획득하고, 채널 영역의 양쪽 측면들 상에 위치되는 각각의 트랜지스터들의 활성 층들의 부분들이 도전성이 되는 것을 가능하게 하여 각각 제1 전극 접촉 영역 및 제2 전극 접촉 영역을 형성함; 제1 전극 접촉 영역 및 제2 전극 접촉 영역은 각각 트랜지스터의 제1 전극 및 제2 전극과 전기적으로 접속되도록 구성된다. 도 4b는 제1 트랜지스터 T1의 활성 층 T1a의 제1 전극 접촉 영역 T1a1 및 제2 전극 접촉 영역 T1a2, 제2 트랜지스터 T2의 활성 층 T2a의 제1 전극 접촉 영역 T2a1 및 제2 전극 접촉 영역 T2a2, 및 제3 트랜지스터 T3의 활성 층 T3a의 제1 전극 접촉 영역 T3a1 및 제2 전극 접촉 영역 T3a2를 도시한다. 도 4b는 접속 부분(720)을 또한 도시한다.
- [0271] 예를 들어, 제2 절연 층(202)은 반도체 층(104) 상에 도통을 수행하기 전에 에칭되어, 제2 도전 층(502)에 의해 커버되지 않은 제2 절연 층(202)의 영역이 완전히 에칭된다, 즉, 제2 절연 층(202)은 베이스 기판(101)에 수직인 방향에서 제2 도전 층(502)과 일치한다. 이러한 방식으로, 제2 도전 층(502)에 의해 커버되지 않은 반도체 층(204)의 영역이 이온 주입에 의해 도통될 때, 주입된 이온은 제2 절연 층(202)에 의해 차단되지 않을 수 있다.
- [0272] 단계 S65: 도 4d에 도시되는 바와 같이, 제2 도전 층(502) 상에 제3 절연 층(203)을 형성하고, 제3 절연 층(203) 상에 제3 도전성 재료 층을 형성하고, 제3 도전성 재료 층 상에 패터닝 프로세스를 수행하여 제3 도전 층(503)을 형성함, 즉, 제1 트랜지스터 T1의 제1 전극 T1s 및 제2 전극 T1d, 제2 트랜지스터 T2의 제1 전극 T2s 및 제2 전극 T2d, 및 제3 트랜지스터 T3의 제1 전극 T3s 및 제2 전극 T3d를 형성함.
- [0273] 예를 들어, 제3 도전 층(503)은 서로 절연되는 데이터 라인 DL, 검출 라인(230) 및 전력 라인(240)을 추가로 포함한다.
- [0274] 예를 들어, 데이터 라인 DL의 라인 폭은 5 마이크로미터 내지 15 마이크로미터의 범위이고; 검출 라인(230)의 라인 폭은 5 마이크로미터 내지 30 마이크로미터의 범위이고; 전력 라인(240)의 라인 폭은 5 마이크로미터 내지 30 마이크로미터의 범위이다.
- [0275] 예를 들어, 도 4d에 도시되는 바와 같이, 전력 라인(240) 및 그에 직접 인접하는(가장 가까운) 서브-픽셀에서의 제1 트랜지스터 T1의 제2 전극 T1d는 일체형 구조체이다. 예를 들어, 각각의 데이터 라인(110) 및 그와 접속되는 서브-픽셀에서의 제2 트랜지스터 T2의 제2 전극 T2d는 일체형 구조체이다.
- [0276] 예를 들어, 반도체 재료 층의 재료는 실리콘-계 재료들(a-Si(amorphous silicon), p-Si(polysilicon) 등), 금속 산화물 반도체들(IGZO, ZnO, AZO, IZTO 등) 및 유기 재료들(헥사티오펜, 폴리티오펜 등)을 포함하지만 이에 제한되지 않는다.
- [0277] 예를 들어, 전술한 제1 도전성 재료 층은 광-차폐 도전성 재료, 예를 들어, 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 마그네슘(Mg), 텅스텐(W), 및 위 금속들의 조합으로 조성되는 합금 재료들이다. 예를 들어, 제1 도전성 재료 층은, 예를 들어, 50 나노미터 내지 100 나노미터의 두께를 갖는 몰리브덴-티타늄 합금

일 수 있다.

- [0278] 예를 들어, 제2 도전성 재료 층 및 제3 도전성 재료 층의 재료들은 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 마그네슘(Mg), 텅스텐(W) 및 위 금속들의 조합으로 조성되는 합금 재료들; 또는 도전성 금속 산화물 재료들, 예를 들어, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 아연 산화물(ZnO), 아연 알루미늄 산화물(AZO) 등을 포함할 수 있다.
- [0279] 예를 들어, 제2 도전성 재료 층은 몰리브덴-티타늄 합금과 구리의 적층 구조체이고, 예를 들어, 몰리브덴-티타늄 합금의 두께는 30 나노미터 내지 50 나노미터이고, 구리의 두께는 300 나노미터 내지 400 나노미터이다.
- [0280] 예를 들어, 제3 도전성 재료 층은 몰리브덴-티타늄 합금과 구리의 적층 구조체이고, 예를 들어, 몰리브덴-티타늄 합금의 두께는 30 나노미터 내지 50 나노미터이고, 구리의 두께는 400 나노미터 내지 700 나노미터이다.
- [0281] 예를 들어, 반도체 재료 층의 재료는 실리콘-계 재료들(a-Si(amorphous silicon), p-Si(polysilicon) 등), 금속 산화물 반도체들(IGZO, ZnO, AZO, IZTO 등) 및 유기 재료들(헥사티오펜, 폴리티오펜 등)을 포함하지만 이에 제한되지 않는다.
- [0282] 예를 들어, 반도체 재료 층은 인듐 갈륨 아연 산화물로 이루어지고, 30 나노미터 내지 50 나노미터의 두께를 갖는다.
- [0283] 예를 들어, 제1 절연 층(201), 제2 절연 층(202), 및 제3 절연 층(203)은, 예를 들어, 무기 절연 층들, 예를 들어, 실리콘 산화물과 같은 실리콘의 산화물들, 실리콘 질화물, 및 실리콘 산질화물, 실리콘의 질화물들, 또는 실리콘의 질소 산화물들이고; 절연 재료들은 알루미늄 산화물, 티타늄 질화물 등과 같은 금속 산질화물들을 포함한다. 예를 들어, 이러한 절연 층들은 또한 유기 재료들, 예를 들어, PI(polyimide), 아크릴레이트, 에폭시 수지, 및 PMMA(polymethyl methacrylate) 등일 수 있으며, 이는 본 개시내용의 실시예에서 제한되지 않을 것이다.
- [0284] 예를 들어, 제1 절연 층(201)은 실리콘 산화물로 이루어지고, 300 나노미터 내지 500 나노미터의 두께를 갖는다. 예를 들어, 제2 절연 층(202)은 실리콘 산화물로 이루어지고, 100 나노미터 내지 160 나노미터의 두께를 갖는다. 예를 들어, 제3 절연 층은 실리콘 산화물로 이루어지고, 400 나노미터 내지 600 나노미터의 두께를 갖는다.
- [0285] 예를 들어, 도 3b를 참조하면, 제4 절연 층(204), 컬러 필터 층, 및 제5 절연 층(205)이 또한 제3 도전 층(503) 상에 순차적으로 형성될 수 있고; 발광 엘리먼트의 제1 전극(123)이 제5 절연 층(205)(123) 상에 형성되고; 다음으로 픽셀 정의 층(206)이 제1 전극(123) 상에 형성되고; 발광 층(124) 및 제2 전극(122)이 순차적으로 형성되어, 도 3a에 도시되는 바와 같이 디스플레이 기관(10)을 형성한다.
- [0286] 예를 들어, 컬러 필터 층을 형성하는 것은, 적색 컬러 필터 층을 먼저 형성하고 적색 컬러 필터 층 상에 패터닝 프로세스를 수행하여 적색 서브-픽셀에 대응하는 컬러 필터 부분을 형성하는 것, 다음으로 녹색 컬러 필터 층을 형성하고 녹색 컬러 필터 층 상에 패터닝 프로세스를 수행하여 녹색 서브-픽셀에 대응하는 컬러 필터 부분을 형성하는 것, 및 다음으로 청색 컬러 필터 층을 형성하고 청색 컬러 필터 층 상에 패터닝 프로세스를 수행하여 청색 서브-픽셀에 대응하는 컬러 필터 부분을 형성하는 것을 포함할 수 있다.
- [0287] 예를 들어, 적색 컬러 필터 층, 녹색 컬러 필터 층 및 청색 컬러 필터 층의 두께는 각각 2,000 나노미터 내지 3,000 나노미터이며, 즉, 각각의 컬러 필터 부분의 두께는 2,000 나노미터 내지 3,000 나노미터이다.
- [0288] 예를 들어, 컬러 크로스토크를 회피하기 위해 인접한 서브-픽셀들 사이에 컬러 필터 부분들을 중첩하는 것에 의해 광 차폐 부분이 형성될 수 있다.
- [0289] 예를 들어, 디스플레이 기관에서의 도전성 구조체 또는 신호 라인이 에칭되어 오목 구조체를 형성할 수 있거나; 또는 도전성 구조체 또는 신호 라인의 표면이 플라즈마 처리를 겪어 전술한 바와 같은 제1 표면 미세구조체 및 제2 표면 미세구조체를 형성할 수 있다.
- [0290] 본 개시내용의 적어도 하나의 실시예는, 위 디스플레이 기관들(10) 중 어느 하나를 포함하는, 디스플레이 패널을 추가로 제공한다. 본 개시내용의 적어도 하나의 실시예에 의해 제공되는 전술한 디스플레이 기관(10)은 발광 엘리먼트(125)를 포함할 수 있거나 또는 그렇지 않을 수 있다, 즉, 발광 엘리먼트(125)는 디스플레이 기관(10)이 완성된 후에 패널 공장에서 형성될 수 있다는 점이 주목되어야 한다. 디스플레이 기관(10) 자체가 발광 엘리먼트(125)를 포함하지 않는 경우, 본 개시내용의 실시예에 의해 제공되는 디스플레이 패널은 디스플레이 기

관(10) 외에도 발광 엘리먼트(125)를 추가로 포함한다.

[0291] 예를 들어, 디스플레이 패널은 OLED 디스플레이 패널이고, 대응하여, 그 안에 포함되는 디스플레이 기관(10)은 OLED 디스플레이 기관이다. 도 5a에 도시되는 바와 같이, 예를 들어, 디스플레이 패널(20)은 디스플레이 기관(10) 상에 제공되는 캡슐화 층(801) 및 커버 플레이트(802)를 추가로 포함하고; 캡슐화 층(801)은 디스플레이 기관(10) 상의 발광 엘리먼트를 밀봉하여 외부 수분 및 산소가 발광 엘리먼트 및 구동 회로 내로 침투하여 디바이스에 손상을 야기하는 것을 방지하도록 구성된다. 예를 들어, 캡슐화 층(801)은 유기 박막 또는 유기 박막과 무기 박막이 교대로 적층되는 구조체를 포함한다. 예를 들어, 물 흡수 층(도시되지 않음)이 캡슐화 층(801)과 디스플레이 기관(10) 사이에 추가로 제공될 수 있고, 발광 엘리먼트의 예비 제조 프로세스에서 잔류 수증기 또는 졸(sol)을 흡수하도록 구성될 수 있다. 커버 플레이트(802)는, 예를 들어, 유리 커버 플레이트이다. 예를 들어, 커버 플레이트(802) 및 캡슐화 층(801)은 일체형 구조체일 수 있다.

[0292] 다른 예들에서, 도 5b에 도시되는 바와 같이, 디스플레이 패널은 디스플레이 기관(10) 상에 제공되는 접촉 층(901) 및 금속 캡슐화 층(902)을 포함한다. 캡슐화 기능 외에도, 금속 캡슐화 층(902)은 또한 디스플레이 기관(10)을 지지하고 고정할 수 있고, 예를 들어, 대형 애플리케이션들에서, 디스플레이 기관(10)을 지지하여 디스플레이 기관(10)에 대한 응력 충격을 감소시킬 수 있다. 예를 들어, 디스플레이 기관(10)은 하부 방출 구조체를 갖고, 금속 캡슐화 층(902)은 디스플레이 광을 차단하지 않을 것이다.

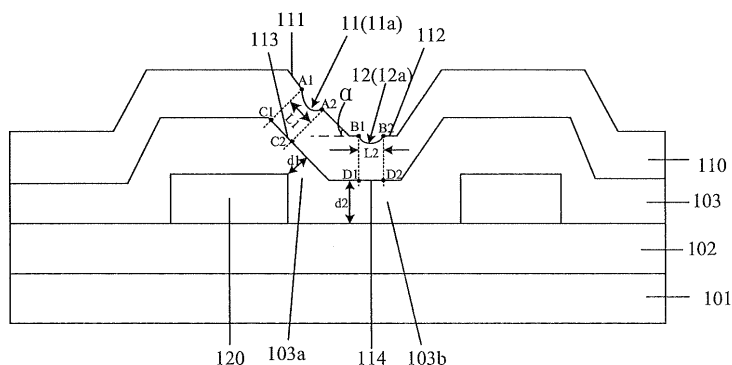
[0293] 본 개시내용의 적어도 하나의 실시예는 디스플레이 장치(30)를 추가로 제공하고; 도 6에 도시되는 바와 같이, 이러한 디스플레이 장치(30)는 전술한 바와 같은 디스플레이 기관(10) 또는 디스플레이 패널(20) 중 어느 하나를 포함하고; 이러한 실시예에 따른 디스플레이 장치는, 모니터, OLED 패널, OLED 텔레비전, 전자 종이, 모바일 폰, 태블릿 개인용 컴퓨터, 랩톱, 디지털 포토 프레임, 내비게이터, 및 디스플레이 기능을 갖는 임의의 다른 제품 또는 컴포넌트일 수 있다.

[0294] 예를 들어, 전술한 패터닝 프로세스는, 예를 들어, 포토레지스트 코팅, 노출, 현상, 건조, 및 에칭의 단계들을 포함하는 종래의 포토에칭 프로세스를 채택할 수 있다.

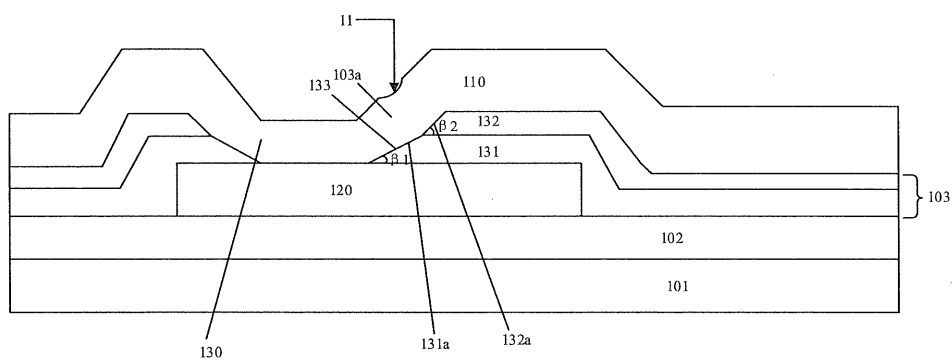
[0295] 전술된 것은 단지 본 개시내용의 예시적인 실시예들이고, 본 개시내용의 범위를 정의하도록 의도되지 않으며, 본 개시내용의 범위는 첨부된 청구항들에 의해 결정된다.

도면

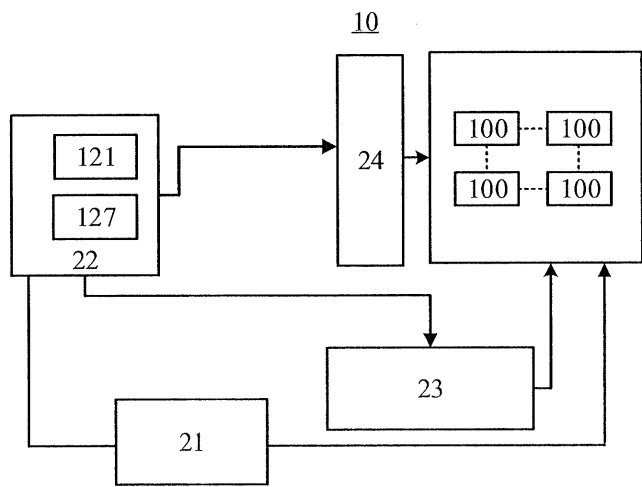
도면 1a



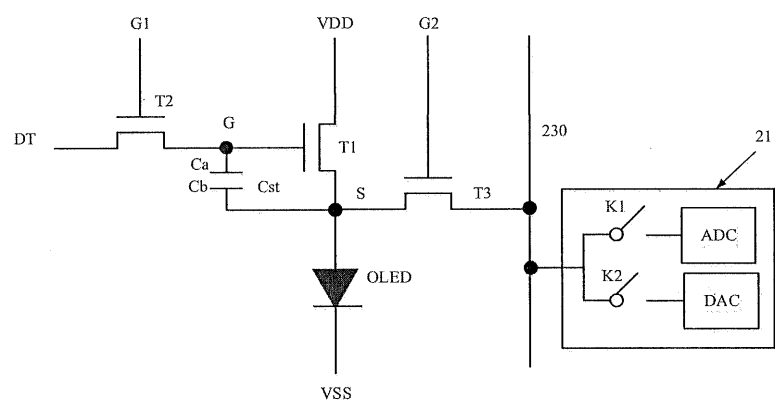
도면1b



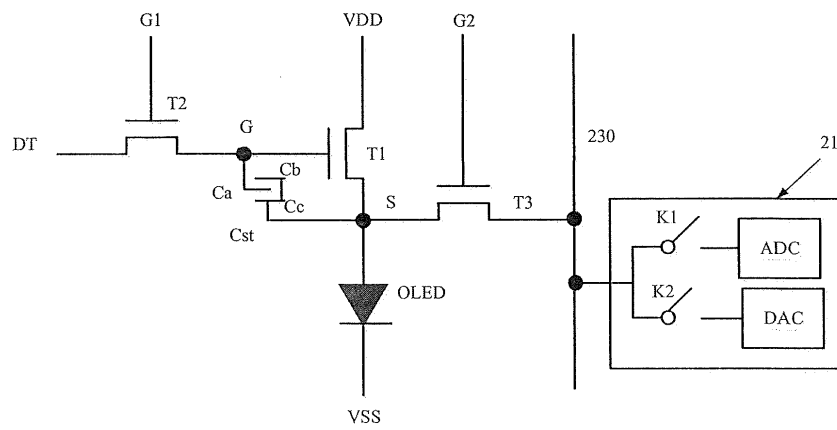
도면2a



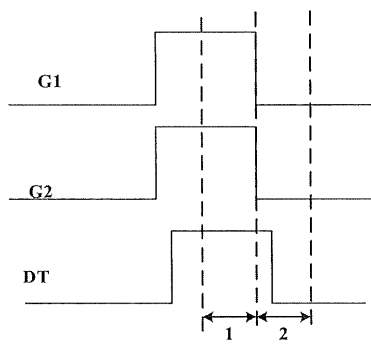
도면2b



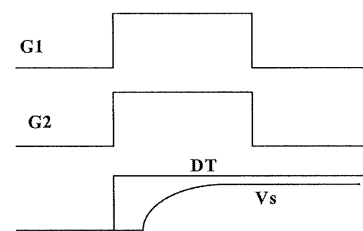
도면2c



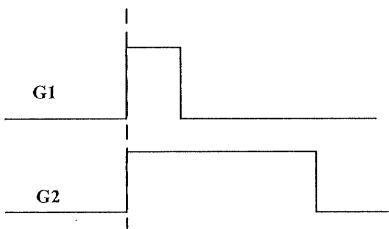
도면 2d



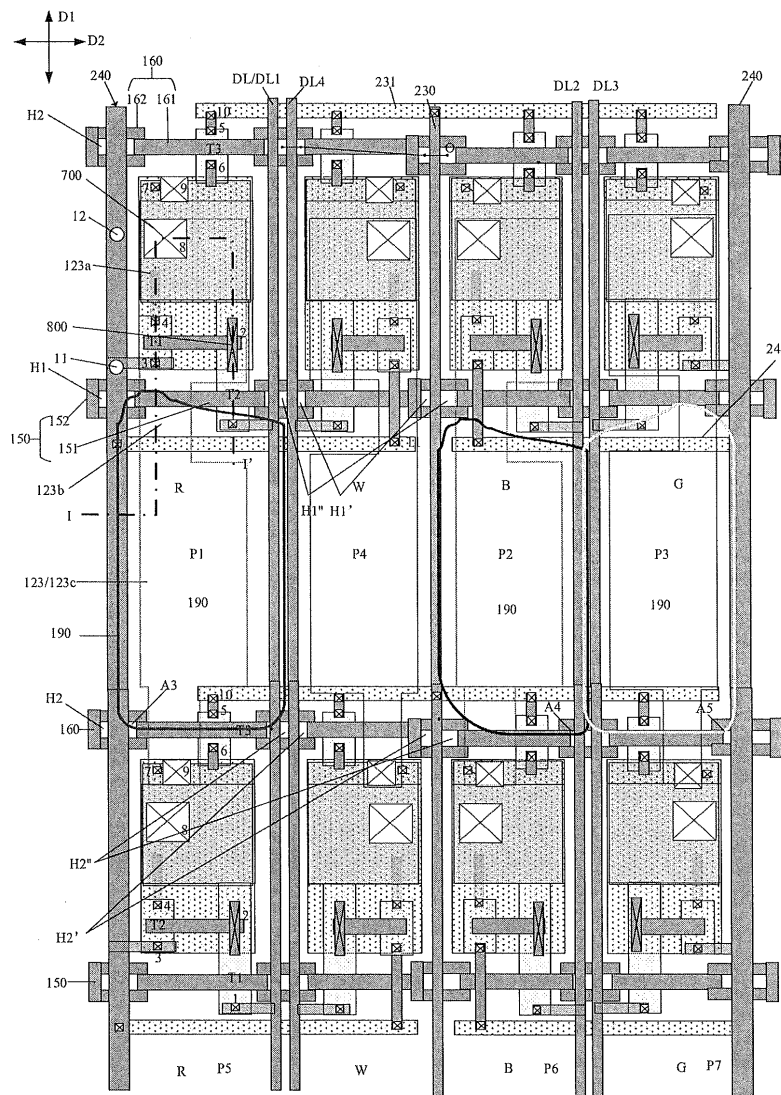
도면 2e



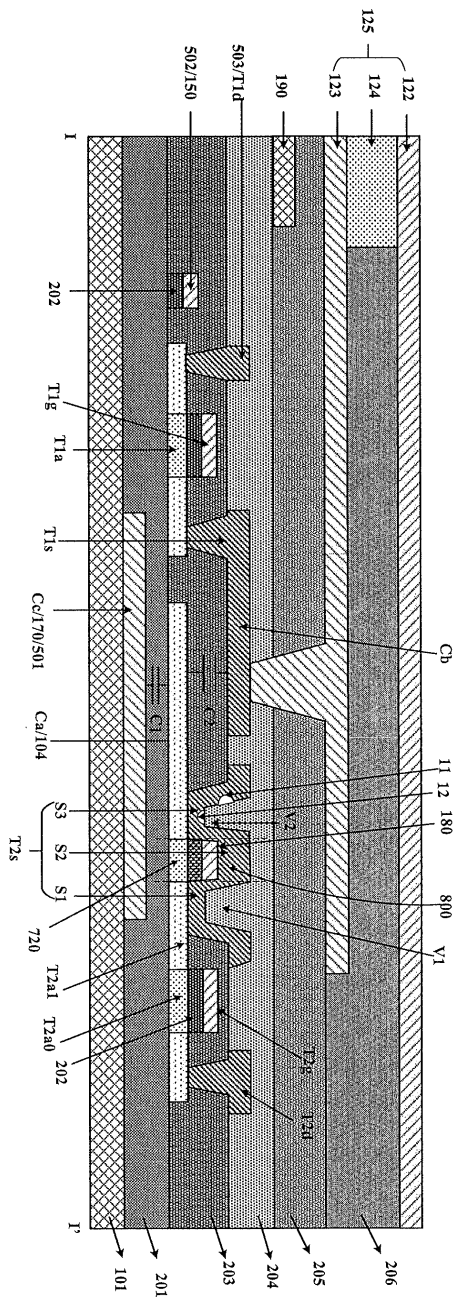
도면 2f



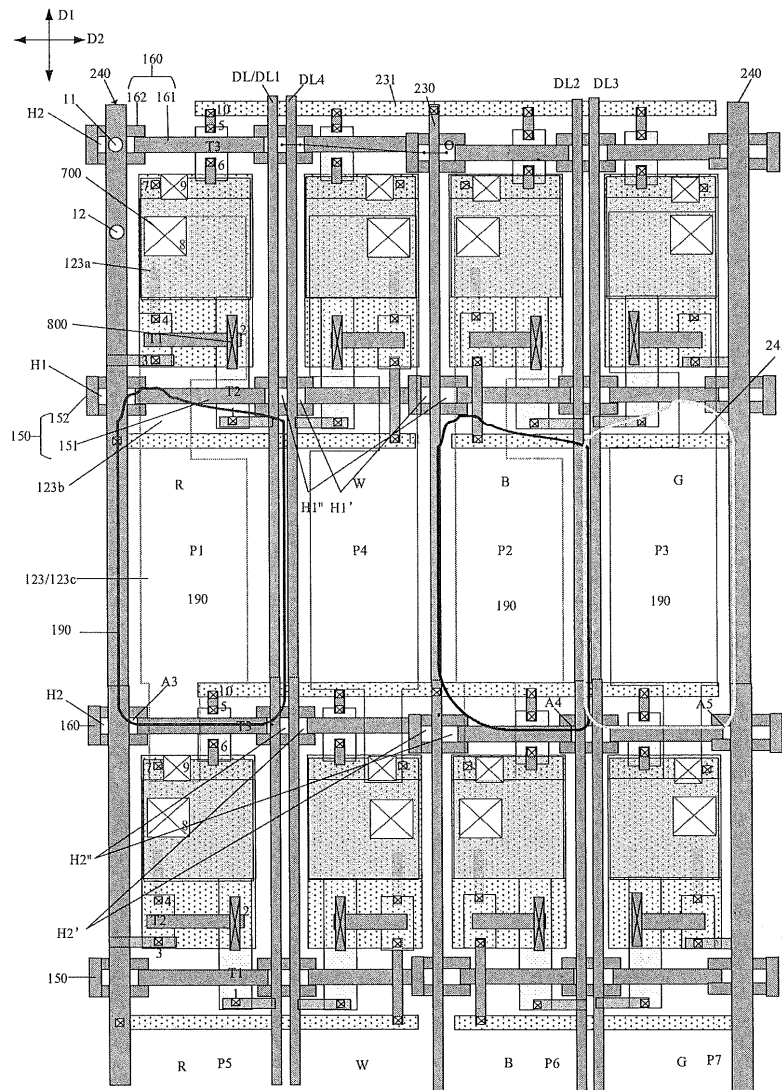
도면3a



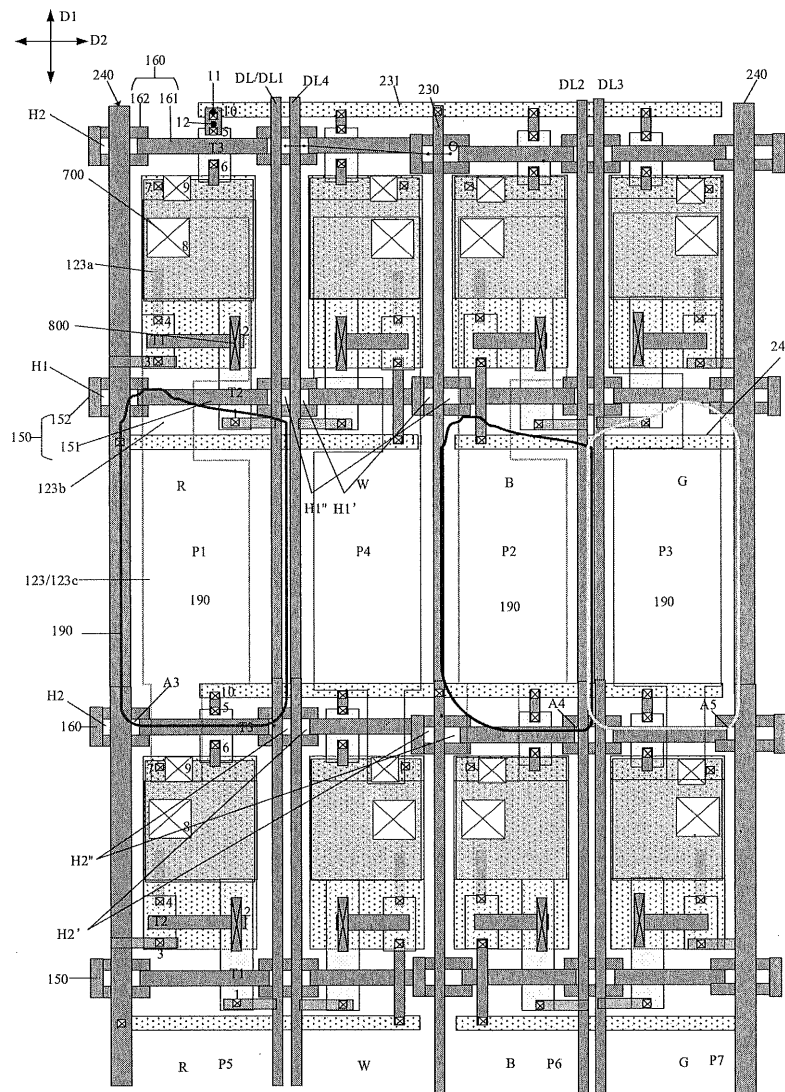
도면 3b



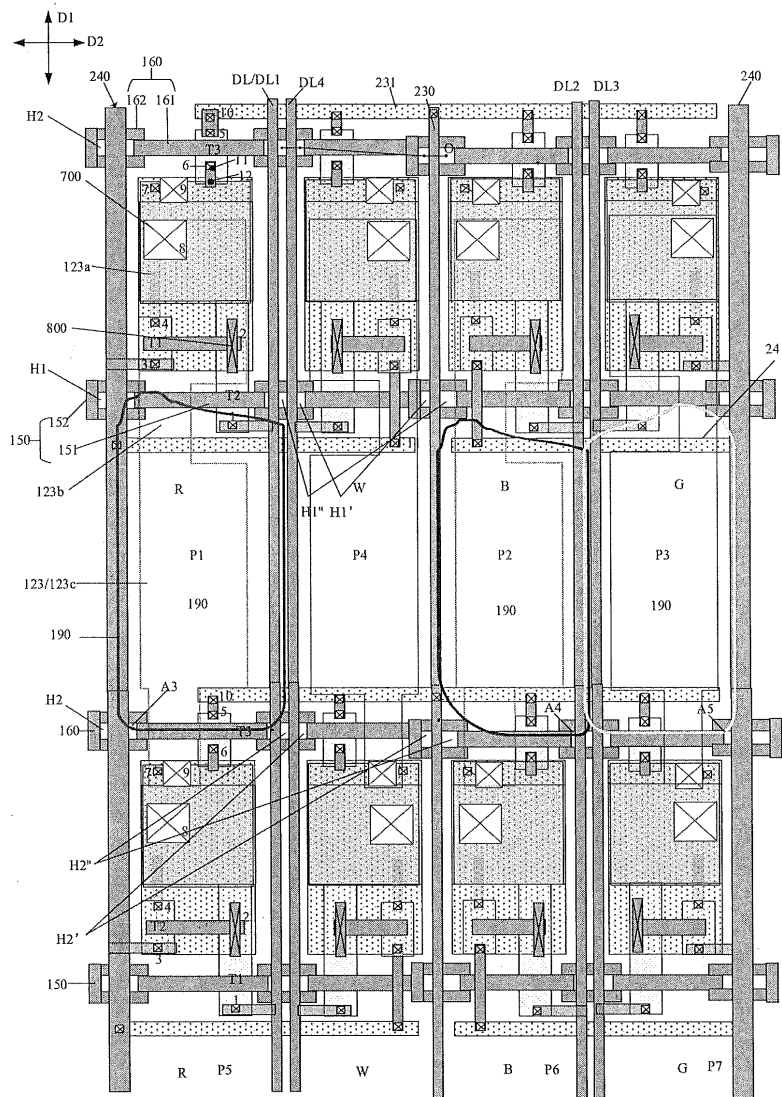
도면3c



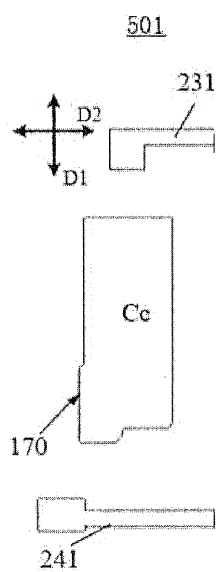
도면3d



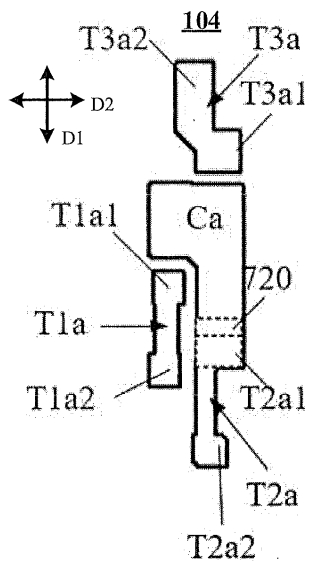
도면3e



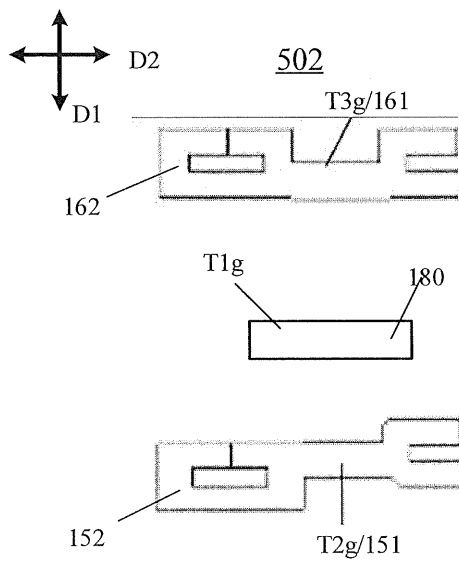
도면4a



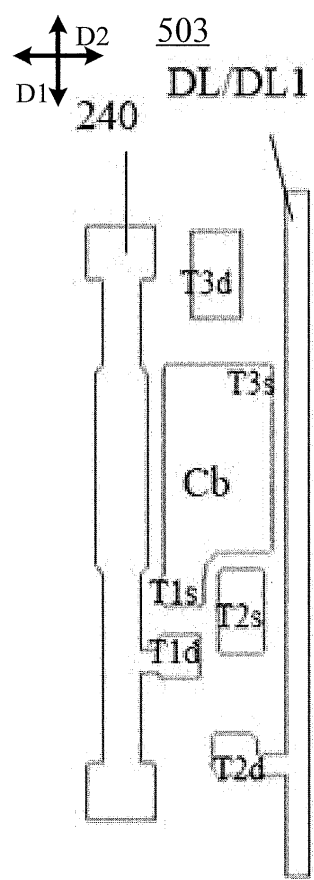
도면4b



도면4c



도면4d



도면5a

20

802
801
10

도면5b

20

902
901
10

도면6

