

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4065671号
(P4065671)

(45) 発行日 平成20年3月26日 (2008. 3. 26)

(24) 登録日 平成20年1月11日 (2008. 1. 11)

(51) Int. Cl.

F I

H O 1 L 21/8247 (2006. 01)

H O 1 L 27/10 4 3 4

H O 1 L 27/115 (2006. 01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006. 01)

H O 1 L 29/792 (2006. 01)

請求項の数 17 (全 22 頁)

(21) 出願番号 特願2001-264158 (P2001-264158)
 (22) 出願日 平成13年8月31日 (2001. 8. 31)
 (65) 公開番号 特開2003-78042 (P2003-78042A)
 (43) 公開日 平成15年3月14日 (2003. 3. 14)
 審査請求日 平成16年6月18日 (2004. 6. 18)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100065248
 弁理士 野河 信太郎
 (72) 発明者 杉田 靖博
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 山内 祥光
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 瀧内 健夫

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置、その製造方法及びその動作方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板の表面層に形成されたドレイン拡散領域及びソース拡散領域と、前記ソース及びドレイン拡散領域間に形成された第1絶縁膜と、前記第1絶縁膜上に形成された浮遊ゲートと、前記浮遊ゲート上に形成された第2絶縁膜と、前記第2絶縁膜上に形成された第1制御ゲートと、前記第1制御ゲート上とその側壁及び前記浮遊ゲートの側壁に形成された第3絶縁膜と、前記第1制御ゲート上に前記第3絶縁膜を介して形成された第2制御ゲートとからなるセルを有し、

前記セルが、チャンネル長方向及びチャンネル幅方向に複数位置し、

チャンネル幅方向に隣接するセルを構成する前記第1制御ゲートが、1本の第1制御ゲート線として共有され、前記第1制御ゲート線に対して直交する方向に連続する一列のセルの前記第2制御ゲートが、1本の第2制御ゲート線として共有され、

一のセルの前記ソース拡散領域と、一のセルに対してチャンネル長方向に隣接する他のセルの前記ドレイン拡散領域とが、1本のビット線として共有され、

チャンネル幅方向に隣接するセルを構成する前記ドレイン拡散領域及びソース拡散領域が、それぞれ1本のビット線として共有されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記第1制御ゲートと前記第2制御ゲートとが、列デコーダーと行デコーダーとにそれぞれ接続され、前記浮遊ゲートと前記第1及び第2制御ゲートとが容量結合していること

10

20

を特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記ドレイン拡散領域とソース拡散領域とが、互いに対称な構造を有することを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

(a) 半導体基板上に第 1 絶縁膜と第 1 導体膜とをこの順で積層し、前記第 1 導体膜を加工して浮遊ゲートを形成する工程と、

(b) 前記浮遊ゲート上に第 2 絶縁膜と第 2 導体膜とをこの順で積層し、前記第 2 導体膜を加工して第 1 制御ゲートを形成する工程と、

(c) 前記第 1 制御ゲートをマスクとして、前記半導体基板の表面層に不純物を注入してドレイン拡散領域及びソース拡散領域を形成する工程と、

(d) 前記第 1 制御ゲート上とその側壁及び前記浮遊ゲートの側壁に第 3 絶縁膜を形成する工程と、

(e) 前記第 3 絶縁膜上に第 3 導体膜を積層し、前記第 3 導体膜をサイドウォールスペーサーを備えたマスクを用いて加工して前記第 1 制御ゲート上に第 3 絶縁膜を介して第 2 制御ゲートを形成する工程とを含むことでセルを形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 5】

前記第 2 絶縁膜及び／又は第 3 絶縁膜が、ONO 膜であることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 6】

チャネル幅方向に複数のセルを有し、工程 (a) の後、工程 (b) の前に、STI 法により前記浮遊ゲート間の前記半導体基板に素子分離領域を形成する工程と、工程 (b) の後、工程 (c) の前に、隣接するセルを構成する前記ソース拡散領域とドレイン拡散領域とをそれぞれ 1 本のビット線として共有するように、前記素子分離領域の一部を除去する工程とを含むことを特徴とする請求項 4 又は 5 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 7】

請求項 1 に記載の不揮発性半導体記憶装置の書き込み方法であって、所定の正電圧を選択するセルの第 1 制御ゲート線と第 2 制御ゲート線に印加し、前記半導体基板を接地することで、前記半導体基板から前記浮遊ゲートへ電子を注入し、又は所定の負電圧を選択するセルの第 1 制御ゲート線と第 2 制御ゲート線に印加し、前記半導体基板を接地することで、前記浮遊ゲートから前記半導体基板へ電子を注入して書き込みを行うことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 8】

請求項 1 に記載の不揮発性半導体記憶装置の書き込み方法であって、所定の正電圧を選択するセルの第 1 制御ゲート線と第 2 制御ゲート線に印加し、前記正電圧より低い電圧を前記半導体基板に印加し、前記選択するセルのビット線に前記半導体基板への電圧と同程度の電圧を印加するか開放状態とすることで、前記半導体基板から前記浮遊ゲートへ電子を注入し、又は所定の負電圧を選択するセルの第 1 制御ゲート線と第 2 制御ゲート線に印加し、前記負電圧より高い電圧を前記半導体基板に印加し、前記選択するセルのビット線に前記半導体基板への電圧と同程度の電圧を印加するか開放状態とすることで、前記浮遊ゲートから前記半導体基板へ電子を注入して書き込みを行うことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 9】

請求項 1 に記載の不揮発性半導体記憶装置の消去方法であって、所定の負電圧を選択するセルの第 1 制御ゲート線に印加し、前記半導体基板を接地することで、前記浮遊ゲートから前記半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第 1 制御ゲート線に印加し、前記半導体基板を接地することで、前記半導体基板から前記浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法。

【請求項 1 0】

請求項 1 に記載の不揮発性半導体記憶装置の消去方法であって、所定の負電圧を選択するセルの第 1 制御ゲート線に印加し、前記負電圧より高い電圧を前記半導体基板に印加し、前記選択するセルのビット線に前記半導体基板への電圧と同程度の電圧を印加するか開放状態とすることで、前記浮遊ゲートから前記半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第 1 制御ゲート線に印加し、前記正電圧より低い電圧を基板に印加し、前記選択するセルのビット線に前記半導体基板への電圧と同程度の電圧を印加するか開放状態とすることで、前記半導体基板から前記浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法。

【請求項 1 1】

10

請求項 1 に記載の不揮発性半導体記憶装置の消去方法であって、所定の負電圧を選択するセルの第 2 制御ゲート線に印加し、前記半導体基板を接地することで、前記浮遊ゲートから前記半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第 2 制御ゲート線に印加し、前記半導体基板を接地することで、前記半導体基板から前記浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法。

【請求項 1 2】

請求項 1 に記載の不揮発性半導体記憶装置の消去方法であって、所定の負電圧を選択するセルの第 2 制御ゲート線に印加し、前記負電圧より高い電圧を前記半導体基板に印加し、前記選択するセルのビット線に前記半導体基板への電圧と同程度の電圧を印加するか開放状態とすることで、前記浮遊ゲートから前記半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第 2 制御ゲート線に印加し、前記正電圧より低い電圧を前記半導体基板に印加し、前記選択するセルのビット線に前記半導体基板への電圧と同程度の電圧を印加するか開放状態とすることで、前記半導体基板から前記浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法。

20

【請求項 1 3】

請求項 1 に記載の不揮発性半導体記憶装置の消去方法であって、所定の負電圧を選択するセルの第 1 制御ゲート線と第 2 制御ゲート線に印加し、前記半導体基板を接地することで、前記浮遊ゲートから前記半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第 1 制御ゲート線と第 2 制御ゲート線に印加し、前記半導体基板を接地することで、前記半導体基板から前記浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法。

30

【請求項 1 4】

請求項 1 に記載の不揮発性半導体記憶装置の消去方法であって、所定の負電圧を選択するセルの第 1 制御ゲート線と第 2 制御ゲート線に印加し、前記負電圧より高い電圧を前記半導体基板に印加し、前記選択するセルのビット線に前記半導体基板への電圧と同程度の電圧を印加するか開放状態とすることで、前記浮遊ゲートから前記半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第 1 制御ゲート線と第 2 制御ゲート線に印加し、前記正電圧より低い電圧を前記半導体基板に印加し、前記選択するセルのビット線に前記半導体基板への電圧と同程度の電圧を印加するか開放状態とすることで、前記半導体基板から前記浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法。

40

【請求項 1 5】

請求項 1 に記載の不揮発性半導体記憶装置の読み出し方法であって、所定の正電圧を選択するセルの第 2 制御ゲート線と前記ソース拡散領域に対応するビット線に印加し、前記選択するセルのドレイン拡散領域に対応するビット線を接地することで、読み出しを行うことを特徴とする不揮発性半導体記憶装置の読み出し方法。

【請求項 1 6】

請求項 1 に記載の不揮発性半導体記憶装置の読み出し方法であって、所定の正電圧を選択するセルの第 1 制御ゲート線と前記第 2 制御ゲート線と前記ソース拡散領域に対応するビット線に印加し、前記選択するセルのドレイン拡散領域に対応するビット線を接地する

50

ことで、読み出しを行うことを特徴とする不揮発性半導体記憶装置の読み出し方法。

【請求項17】

請求項1に記載の不揮発性半導体記憶装置の読み出し方法であって、所定の正電圧を選択するセルの第2制御ゲート線に印加し、奇数番目の第1制御ゲート線と奇数番目のドレイン拡散領域に対応するビット線に正電圧を印加し、偶数番目の第1制御ゲート線と偶数番目のソース拡散領域に対応するビット線を接地することにより、奇数番目のセルを読み出し、続けて所定の正電圧を前記選択するセルの第2制御ゲート線に印加したまま、前記偶数番目の第1制御ゲート線と偶数番目のドレイン拡散領域に対応するビット線に正電圧を印加し、前記奇数番目の第1制御ゲート線と奇数番目のソース拡散領域に対応するビット線を接地することにより、偶数番目のセルを読み出すことを特徴とする不揮発性半導体記憶装置の読み出し方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置、その製造方法及びその動作方法に関する。更に詳しくは、本発明は、浮遊ゲートを有し、電氣的に書き換え可能な不揮発性半導体記憶装置、その製造方法及びその動作方法に関するものである。

【0002】

【従来の技術】

従来技術として、図1(A)及び(B)に示すような構成(シングルソースドレイン構成)が知られている。図中、1は半導体基板、2Aはドレイン拡散領域、2Bはソース拡散領域、4は浮遊ゲート、5は素子分離用の酸化膜、7Aは制御ゲート線、BLはビット線、WLはワード線を意味する。この構成では、チャネル長方向に隣接するセル毎に一对の不純物領域が必要であるため、セルの面積が大きくなるという課題があった。

20

上記課題から、仮想接地型のアレイ構造を用いた、ACT (Asymmetrical Contactless Transistor) 型フラッシュメモリと呼ばれる不揮発性半導体記憶装置が提案されている(米国特許第5,877,054号)。そのメモリセルの断面図及びアレイ構成図を図2(A)及び(B)に示す。

【0003】

ACT型メモリセルは、不純物濃度の薄いソース拡散領域 $2B_1$ 及び $2B_2$ と不純物濃度の濃いドレイン拡散領域 $2A_1$ 及び $2A_2$ と、浮遊ゲート4を有するnチャンネルトランジスタ構造をもち、浮遊ゲート4上にはワード線として機能する制御ゲート線7Aをもつ。アレイ構成は、図2(B)の構成図に示されるように、ソース拡散領域 $2B_1$ 及びドレイン拡散領域 $2A_1$ を1本の不純物拡散層として共有する仮想接地構造となっている。このソースとドレイン拡散領域の非対称な不純物濃度分布が、書き込みと消去の両方でFNトンネル現象を用いるシンプルな仮想接地構造を可能にしている。また、メモリセルは、隣り合うワード線間をボロン注入のPN分離のみで素子分離されているため、フィールド酸化膜が不要であり、高集積化に向いている。図中、6はONO積層膜を意味する。

30

【0004】

次に、ACT型メモリセルの動作原理を示す。書き込みは、まず、ドレインサイドのFNトンネル現象により、浮遊ゲートからドレイン拡散領域に電子を引き抜き、閾値電圧を下げる。例えば、選択セルの書き込みは、選択制御ゲート線に $-12V$ 、ドレイン拡散領域に $+4V$ を印加して、閾値を $1V$ から $2V$ の間に下げる。この時、非選択の隣接セルのn-ソース拡散領域側のトンネル酸化膜に印加される電界は、n+領域のドレイン拡散領域側のトンネル酸化膜に印加される電界に比べて、小さくなる。これは、n-領域を有するソース拡散領域側のトンネル酸化膜直下に、空乏層が存在するためである。よって、同一制御ゲート線上の隣接する非選択セルは、書き込みが起こらない。これが、FNトンネル現象を用いて書き込みを行い、かつ仮想接地構造を実現できる理由である。

40

【0005】

消去は、選択制御ゲート線に $+10V$ 、半導体基板・不純物拡散層にそれぞれ $-8V$ を印

50

加することにより、チャンネル領域のF Nトンネル現象により、半導体基板から浮遊ゲートに電子を注入し、閾値電圧を4 V以上に上げる。消去は、ブロック単位、制御ゲート線単位で可能である。

読み出し動作は、制御ゲート線の電圧を+3 V、ドレイン電圧を+1 V、ソース電圧を0 Vとし、セル電流が流れるか流れないかで、選択セルが書き込み状態か消去状態かを判定する。

【0006】

【発明が解決しようとする課題】

図2 (A) 及び (B) では、非対称ソースドレイン構造のため、ビット線の不純物濃度をn-領域とn+領域に分ける必要があり、シングルソースドレイン構成に比べ製造が困難である。

10

書き込み時、F Nトンネル現象を用いて、浮遊ゲートからドレイン拡散領域側に電子を引き抜く時、バンド間トンネル現象により電子・正孔対が発生する。次いで、半導体基板に流れ込む正孔の一部が空乏層で加速されて大きなエネルギーを得て、縦方向の電界（浮遊ゲートの負電位）に引かれてトンネル酸化膜に捕獲される。この捕獲により、トンネル酸化膜が劣化し、エンデュランス耐性やデータ保持特性の信頼性を劣化させることとなる。よって、高速書き込み時に高信頼性を維持できないという課題があった。

【0007】

更に、読み出し特性が、隣接セルを通しての横方向リーク電流に大きく影響されるので、タイトな閾値分布を得るのが難しく、多値化が困難であるという課題もあった。

20

また、図3 (A) 及び (B) に示すように、他の不揮発性半導体記憶装置として、ワード線としての制御ゲートを2つに分け浮遊ゲート上に並列に配置する構成（図中、7A₁及び7A₂に対応）が提案されている（特開平7-312394号公報）。しかし、2つの制御ゲートが浮遊ゲート上に第2ゲート絶縁膜を介して並んで配置されているため、セル面積が大きくなり高集積化が困難であるという課題もあった。

【0008】

【課題を解決するための手段】

かくして本発明によれば、半導体基板の表面層に形成されたドレイン拡散領域及びソース拡散領域と、前記ソース及びドレイン拡散領域間に形成された第1絶縁膜と、前記第1絶縁膜上に形成された浮遊ゲートと、前記浮遊ゲート上に形成された第2絶縁膜と、前記第2絶縁膜上に形成された第1制御ゲートと、前記第1制御ゲート上とその側壁及び前記浮遊ゲートの側壁に形成された第3絶縁膜と、前記第1制御ゲート上に第3絶縁膜を介して形成された第2制御ゲートとからなるセルを有し、

30

前記セルが、チャンネル長方向及びチャンネル幅方向に複数位置し、

チャンネル幅方向に隣接するセルを構成する前記第1制御ゲートが、1本の第1制御ゲート線として共有され、前記第1制御ゲート線に対して直交する方向に連続する一列のセルの前記第2制御ゲートが、1本の第2制御ゲート線として共有され、

一のセルの前記ソース拡散領域と、一のセルに対してチャンネル長方向に隣接する他のセルの前記ドレイン拡散領域とが、1本のビット線として共有され、

チャンネル幅方向に隣接するセルを構成する前記ドレイン拡散領域及びソース拡散領域が、それぞれ1本のビット線として共有されていることを特徴とする不揮発性半導体記憶装置が提供される。

40

【0009】

また、本発明によれば、(a) 半導体基板上に第1絶縁膜と第1導体膜とをこの順で積層し、前記第1導体膜を加工して浮遊ゲートを形成する工程と、

(b) 前記浮遊ゲート上に第2絶縁膜と第2導体膜とをこの順で積層し、前記第2導体膜を加工して第1制御ゲートを形成する工程と、

(c) 前記第1制御ゲートをマスクとして、前記半導体基板の表面層に不純物を注入してドレイン拡散領域及びソース拡散領域を形成する工程と、

(d) 前記第1制御ゲート上とその側壁及び前記浮遊ゲートの側壁に第3絶縁膜を形成す

50

る工程と、

(e) 前記第3絶縁膜上に第3導体膜を積層し、前記第3導体膜をサイドウォールスペーサーを備えたマスクを用いて加工して前記第1制御ゲート上に第3絶縁膜を介して第2制御ゲートを形成する工程とを含むことでセルを形成することを特徴とする不揮発性半導体記憶装置の製造方法が提供される。

【0010】

更に、本発明によれば、上記不揮発性半導体記憶装置の動作方法であって、

【0011】

(A) 所定の正電圧を選択するセルの第1制御ゲート線と第2制御ゲート線に印加し、半導体基板を接地することで、半導体基板から浮遊ゲートへ電子を注入し、又は所定の負電圧を選択するセルの第1制御ゲート線と第2制御ゲート線に印加し、半導体基板を接地することで、浮遊ゲートから半導体基板へ電子を注入して書き込みを行うことを特徴とする不揮発性半導体記憶装置の書き込み方法

10

【0012】

(B) 所定の正電圧を選択するセルの第1制御ゲート線と第2制御ゲート線に印加し、前記正電圧より低い電圧を基板に印加し、選択するセルのビット線に基板への電圧と同程度の電圧を印加するか開放状態とすることで、半導体基板から浮遊ゲートへ電子を注入し、又は所定の負電圧を選択するセルの第1制御ゲート線と第2制御ゲート線に印加し、前記負電圧より高い電圧を基板に印加し、選択するセルのビット線に基板への電圧と同程度の電圧を印加するか開放状態とすることで、浮遊ゲートから半導体基板へ電子を注入して書き込みを行うことを特徴とする不揮発性半導体記憶装置の書き込み方法；

20

【0013】

(C) 所定の負電圧を選択するセルの第1制御ゲート線に印加し、半導体基板を接地することで、浮遊ゲートから半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第1制御ゲート線に印加し、半導体基板を接地することで、半導体基板から浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法；

【0014】

(D) 所定の負電圧を選択するセルの第1制御ゲート線に印加し、前記負電圧より高い電圧を基板に印加し、選択するセルのビット線に基板への電圧と同程度の電圧を印加するか開放状態とすることで、浮遊ゲートから半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第1制御ゲート線に印加し、前記正電圧より低い電圧を基板に印加し、選択するセルのビット線に基板への電圧と同程度の電圧を印加するか開放状態とすることで、半導体基板から浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法；

30

【0015】

(E) 所定の負電圧を選択するセルの第2制御ゲート線に印加し、半導体基板を接地することで、浮遊ゲートから半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第2制御ゲート線に印加し、半導体基板を接地することで、半導体基板から浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法；

【0016】

(F) 所定の負電圧を選択するセルの第2制御ゲート線に印加し、前記負電圧より高い電圧を基板に印加し、選択するセルのビット線に基板への電圧と同程度の電圧を印加するか開放状態とすることで、浮遊ゲートから半導体基板へ電子を注入し、又は所定の正電圧を選択するセルの第2制御ゲート線に印加し、前記正電圧より低い電圧を基板に印加し、選択するセルのビット線に基板への電圧と同程度の電圧を印加するか開放状態とすることで、半導体基板から浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法；

40

【0017】

(G) 所定の負電圧を選択するセルの第1制御ゲート線と第2制御ゲート線に印加し、半導体基板を接地することで、浮遊ゲートから半導体基板へ電子を注入し、又は所定の正電

50

圧を選択するセルの第1制御ゲート線と第2制御ゲート線に印加し、半導体基板を接地することで、半導体基板から浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法；

【0018】

(H) 所定の負電圧を選択するセルの第1制御ゲート線と第2制御ゲート線に印加し、前記負電圧より高い電圧を基板に印加し、選択するセルのビット線に基板への電圧と同程度の電圧を印加するか開放状態とすることで、浮遊ゲートから半導体基板へ電子を注入し、又は所定の負電圧を選択するセルの第1制御ゲート線と第2制御ゲート線に印加し、前記負電圧より高い電圧を基板に印加し、選択するセルのビット線に基板への電圧と同程度の電圧を印加するか開放状態とすることで、半導体基板から浮遊ゲートへ電子を注入して消去を行うことを特徴とする不揮発性半導体記憶装置の消去方法；

10

【0019】

(I) 所定の正電圧を選択するセルの第2制御ゲート線とソース拡散領域に対応するビット線に印加し、選択するセルのドレイン拡散領域に対応するビット線を接地することで、読み出しを行うことを特徴とする不揮発性半導体記憶装置の読み出し方法；

【0020】

(J) 所定の正電圧を選択するセルの第1制御ゲート線と第2制御ゲート線とソース拡散領域に対応するビット線に印加し、選択するセルのドレイン拡散領域に対応するビット線を接地することで、読み出しを行うことを特徴とする不揮発性半導体記憶装置の読み出し方法；

20

【0021】

(K) 所定の正電圧を選択するセルの第2制御ゲート線に印加し、奇数番目の第1制御ゲート線と奇数番目のドレイン拡散領域に対応するビット線に正電圧を印加し、偶数番目の第1制御ゲート線と偶数番目のソース拡散領域に対応するビット線を接地することにより、奇数番目のセルを読み出し、続けて所定の正電圧を選択するセルの第2制御ゲート線に印加したまま、偶数番目の第1制御ゲート線と偶数番目のドレイン拡散領域に対応するビット線に正電圧を印加し、奇数番目の第1制御ゲート線と奇数番目のソース拡散領域に対応するビット線を接地することにより、偶数番目のセルを読み出すことを特徴とする不揮発性半導体記憶装置の読み出し方法

が提供される。

30

【0022】

【発明の実施の形態】

本発明の不揮発性半導体記憶装置の構成を、その製造方法を参照しつつ説明する。

まず、(a) 半導体基板上に第1絶縁膜と第1導体膜とをこの順で積層し、第1導体膜を加工して浮遊ゲートを形成する。

半導体基板には、通常シリコン基板が使用される。半導体基板はP又はN型の導電性を有していてもよい。半導体基板上に形成される第1絶縁膜は、通常シリコン酸化膜からなり、基板がシリコン基板の場合、熱酸化法により形成することができる。また、CVD法やスパッタ法により形成してもよい。なお、この第1絶縁膜はトンネル絶縁膜として機能する。

40

【0023】

第1導体膜には、例えば、ポリシリコン、シリサイド等のシリコン膜、アルミニウム、銅等の金属膜を使用することができる。この第1導体膜は、例えば、ウェットやドライエッチングのような公知の方法で加工することにより、浮遊ゲートとなる。

次に、(b) 浮遊ゲート上に第2絶縁膜及び第2導体膜とをこの順で積層し、第2導体膜を加工して第1制御ゲートを形成する。

【0024】

第2絶縁膜は、シリコン酸化膜、シリコン窒化膜及びその積層膜を使用できる。更に、シリコン酸化膜—シリコン窒化膜—シリコン酸化膜からなるONO膜を使用してもよい。

第2絶縁膜の形成方法は、特に限定されず。熱酸化法、CVD法、スパッタ法等が挙げら

50

れる。

第2導体膜には、例えば、ポリシリコン、シリサイド等のシリコン系膜、アルミニウム、銅等の金属膜を使用することができる。この第2導体膜は、例えば、ウェットやドライエッチングのような公知の方法で加工することにより、第1制御ゲートとなる。

【0025】

次いで、(c)第1制御ゲートをマスクとして、半導体基板の表面層に不純物を注入してドレイン拡散領域及びソース拡散領域を形成する。本発明では、従来のACIT型の不揮発性半導体記憶装置のように、濃度の異なる2領域に拡散領域を分ける必要はない。

注入される不純物としては、リン、砒素等のN型不純物、ホウ素のようなP型不純物が挙げられる。注入の条件は、使用する不純物の種類により相違する。

また、ドレイン拡散領域とソース拡散領域とは、互に対称な構造を有していてもよい。次に、(d)第1制御ゲート上とその側壁及び浮遊ゲートの側壁に第3絶縁膜を形成する。

【0026】

第3絶縁膜は、シリコン酸化膜、シリコン窒化膜及びその積層膜を使用できる。更に、シリコン酸化膜—シリコン窒化膜—シリコン酸化膜からなるONO膜を使用してもよい。

第3絶縁膜の形成方法は、特に限定されず、CVD法、スパッタ法等が挙げられる。

更に、(e)第3絶縁膜上に第3導体膜を積層し、第3導体膜を加工して第1制御ゲート上に第3絶縁膜を介して第2制御ゲートを形成する。

【0027】

第3導体膜には、例えば、ポリシリコン、シリサイド等のシリコン系膜、アルミニウム、銅等の金属膜を使用することができる。この第3導体膜は、例えば、ウェットやドライエッチングのような公知の方法で加工することにより、第2制御ゲートとなる。

なお、第3導電膜の第2制御ゲートへの加工を、サイドウォールスペーサーを備えたマスクを用いて行うことが好ましい。これによりアクティブ領域と第2制御ゲートとのミスマイメントマージンを広げることができる。

以上の工程により、本発明の基本的なセルを形成することができる。

【0028】

上記セルにおいて、第1制御ゲートと第2制御ゲートとが、列デコーダーと行デコーダーとにそれぞれ接続され、浮遊ゲートと第1及び第2制御ゲートとが容量結合していることが好ましい。

更に、上記セルは、チャンネル長方向及び／又は幅方向に複数配置されていてもよい。例えば、チャンネル長方向に複数のセルを有し、一のセルのソース拡散領域と、一のセルに対してチャンネル長方向に隣接する他のセルのドレイン拡散領域とが1本のビット線として共有させることができる。また、チャンネル長方向及び幅方向に複数のセルを有し、チャンネル長方向又は幅方向に連続する一列のセルの第1制御ゲートが、1本の第1制御ゲート線として共有され、第1制御ゲート線に対して直交する方向に連続する一列のセルの第2制御ゲートが、1本の第2制御ゲート線として共有させることもできる。

【0029】

なお、チャンネル幅方向に複数のセルを有する場合、工程(a)の後、工程(b)の前に、シャロートレンチ分離(STI)法により浮遊ゲート間の半導体基板に素子分離領域を形成する工程と、工程(b)の後、工程(c)の前に、隣接するセルを構成するソース拡散領域とドレイン拡散領域とをそれぞれ1本のビット線として共有しうるように、素子分離領域を除去する工程とを含むことが好ましい。

【0030】

本発明の不揮発性半導体記憶装置の書き込みは、第1制御ゲート、第2制御ゲート、ソース拡散領域、ドレイン拡散領域及び基板に印加する電圧を適宜調整して、基板から浮遊ゲートへ電子を注入する又は、浮遊ゲートから基板へ電子を注入することにより行うことができる。

一方、消去は、第1制御ゲート、第2制御ゲート、ソース拡散領域、ドレイン拡散領域及

10

20

30

40

50

び基板に印加する電圧を適宜調整して、書き込みが基板から浮遊ゲートへ電子を注入することにより行う場合、浮遊ゲートから基板へ電子を注入することにより又は、書き込みが浮遊ゲートから基板へ電子を注入することにより行う場合、基板から浮遊ゲートへ電子を注入することにより行うことができる。

【0031】

また、読み出しは、第1制御ゲート、第2制御ゲート、ソース拡散領域、ドレイン拡散領域及び基板に印加する電圧を適宜調整して、セルに電流が流れるか流れないかを調べることで行うことができる。

上記書き込み、消去及び読み出し方法からなる動作方法については、下記の実施例で具体的に説明する。

【0032】

【実施例】

以下、本発明を図面を参照しつつ説明する。

本発明の不揮発性半導体記憶装置の一例のレイアウト図を図4に、行デコーダーにつながる第1制御ゲートに沿った方向(X方向)のX-X'断面図を図5(A)に、列デコーダーにつながる第2制御ゲートに沿った方向(Y方向)のY-Y'断面図を図5(B)に示す。図中、2は不純物拡散領域、4は浮遊ゲート、5は埋め込み酸化膜、6はONO積層膜、7は第2制御ゲート、8は第1制御ゲート、9はシリコン窒化膜を意味する。

【0033】

本発明の不揮発性半導体記憶装置の製造方法について、図6に示すように、X1-X1'方向のライン部断面図である図7(A)～図22(A)、X2-X2'方向のスペース部断面図である図7(B)～図22(B)、Y1-Y1'方向のライン部断面図である図7(C)～図22(C)、Y2-Y2'方向のスペース部断面図である図7(D)～図22(D)を用いて説明する。

以下の実施例において、半導体基板としてシリコン基板、第1絶縁膜としてトンネル酸化膜、浮遊ゲートとして第1ポリシリコン層、第2絶縁膜としてONO膜、第1制御ゲートとして第2ポリシリコン層、第3絶縁膜としてONO膜、第2制御ゲートとして第3ポリシリコン層を使用している。

【0034】

まず、図7(A)～(D)に示すように、第1導電型のシリコン基板11に熱酸化を行い、トンネル酸化膜12を10nm程度の膜厚に形成した後、第1ポリシリコン層13(膜厚50nm)、シリコン窒化膜14(膜厚250nm)を順次積層する。

次に、図8(A)～(D)に示すように、リソグラフィー技術を用いたパターンニングによりレジストパターン15を形成する。

次いで、図9(A)～(D)に示すように、シリコン窒化膜14/第1ポリシリコン層13/トンネル酸化膜12/シリコン基板11を合計深さが275nmとなるようにエッチング除去した後、レジストパターン15を剥離する。この工程で、図9(C)及び(D)のY-Y'方向の断面図に示されるように、STI領域を形成するための溝を形成する。第1ポリシリコン層13は、Y方向に走っている。

【0035】

次いで、図10(A)～(D)に示すように、溝にシリコン酸化膜16を埋め込み、第1ポリシリコン層13が完全に露出するまでエッチバックを行う。図10(C)及び(D)のY-Y'方向の断面図に示されるように、シャロートレンチ分離領域が形成される。ここで、シリコン窒化膜14は、浮遊ゲートを保護するために用いられている。

次いで、図11(A)～(D)に示すように、シリコン窒化膜14を除去したのち、シリコン酸化膜17(膜厚4～5nm)、シリコン窒化膜18(5～10nm)、シリコン酸化膜19(5～10nm)のONO膜を積層する。その後、第2ポリシリコン層20を50nm程度の膜厚で堆積する。

【0036】

次いで、図12(A)～(D)に示すように、リソグラフィー技術によりパターンニング

10

20

30

40

50

してレジストパターン21 (CG) を形成した後、第2ポリシリコン層20/ONO膜19、18、17/第1ポリシリコン層13/トンネル酸化膜12をエッチング除去する。図12 (A) 及び(B)のX-X' 方向の断面図に示されるように、浮遊ゲートと同じ方向のY方向に走る第1制御ゲートが形成される。

次いで、図13 (A) ~ (D) に示すように、シャロートレンチ領域の埋め込みシリコン酸化膜16をエッチング除去し、 As^+ を15 keV、 $5 \times 10^{14} \text{ cm}^{-2}$ の注入条件でイオン注入を行う。図13 (C) 及び(D) のY-Y' 方向の断面図に示されるように、拡散層がつながるようにイオン注入される。

【0037】

次いで、図14 (A) ~ (D) に示すように、レジストパターン21を剥離した後、注入領域の結晶性回復及び注入不純物の活性化のため、 $800^\circ\text{C}/30 \text{ min}$ でアニールを行う。図14 (C) 及び(D) のY-Y' 方向の断面図に示されるように、ビット線22が形成される。

次いで、図15 (A) ~ (D) に示すように、再度、シャロートレンチ領域を埋め込むために、HDP酸化膜23を500~800 nmの膜厚で堆積する。図15 (C) 及び(D) のY-Y' 方向の断面図に示されるように、シャロートレンチ領域が埋め込まれる。

【0038】

次いで、図16 (A) ~ (D) に示すように、HDP酸化膜23をシリコン基板11が露出するまで、エッチバックを行い、平坦化する。

次いで、図17 (A) ~ (D) に示すように、シリコン酸化膜24 (膜厚4~5 nm)、シリコン窒化膜25 (5~10 nm)、シリコン酸化膜26 (5~10 nm) のONO膜を積層する。その後、第3ポリシリコン層27 (150 nm)、タングステンシリサイド膜28 (150 nm) を堆積する。

次いで、図18 (A) ~ (D) に示すように、シリコン窒化膜29を10~20 nmの膜厚に堆積する。

【0039】

次いで、図19 (A) ~ (D) に示すように、リソグラフィー技術を用いてパターンニングしてレジストパターン30を形成した後、シリコン窒化膜29をエッチング除去する。

次いで、図20 (A) ~ (D) に示すように、レジストパターン30を剥離した後、シリコン窒化膜31を5~10 nmの膜厚に堆積し、RIE (Reactive Ion Etching) を行う。図20 (C) 及び(D)のY-Y' 方向の断面図に示されるように、サイドウォールスペーサーが形成される。これは、第2制御ゲート線とアクティブ領域のミスアライメントマージンを広げるためである。

【0040】

次いで、図21 (A) ~ (D) に示すように、このサイドウォールスペーサー31を用いて、タングステンシリサイド膜28/第3ポリシリコン層27をエッチング除去する。図21 (C) 及び(D) のY-Y' 方向の断面図に示されるように、第2制御ゲートが形成される。

次いで、図22 (A) ~ (D) に示すように、最後に、BPSG (Boron Phosphorus Silicate Glass) 保護膜32を1000 nm程度の膜厚に堆積する。

その後は、通常の工程に従って、コンタクトホールを形成し、アルミ電極等を形成して、本発明の不揮発性半導体記憶装置が提供される。

【0041】

本発明の不揮発性半導体記憶装置の書き込み、消去及び読み出し方法の一例を図23を用いて説明する。表1に動作電圧条件を示す。ここでは、第1制御ゲートを制御ゲート(CG)、第2制御ゲートをワード線(WL)と呼ぶことにする。以下では、書き込み及び消去にチャネルFN現象を利用した、チャネルFN現象とは、浮遊ゲートと基板との間で電子のやり取りを行う現象を意味する。

【0042】

【表 1】

	Pgm1	Pgm2	Ers1	Ers2	Ers3	Ers4	Ers5	Ers6	Read1	Read2
CG0	0V/F	0V/F	<u>+15V</u>	<u>+10V</u>	<u>+30V</u>	<u>+15V</u>	0V/F	0V/F	0V	0V
CG1	0V/F	0V/F	<u>+15V</u>	<u>+10V</u>	<u>+30V</u>	<u>+15V</u>	0V/F	0V/F	0V	0V
CG2	<u>-15V</u>	<u>-10V</u>	<u>+15V</u>	<u>+10V</u>	<u>+30V</u>	<u>+15V</u>	0V/F	0V/F	<u>+3V</u>	0V
CG3	0V/F	0V/F	<u>+15V</u>	<u>+10V</u>	<u>+30V</u>	<u>+15V</u>	0V/F	0V/F	0V	0V
WL0	<u>-15V</u>	<u>-10V</u>	<u>+15V</u>	<u>+10V</u>	0V/F	0V/F	<u>+30V</u>	<u>+15V</u>	<u>+3V</u>	<u>+6V</u>
WLn	0V/F	0V/F	<u>+15V</u>	<u>+10V</u>	0V/F	0V/F	<u>+30V</u>	<u>+15V</u>	0V	0V
MBL0	0V/F	+5V/F	0V/F	<u>-5V/F</u>	0V/F	<u>-8V/F</u>	0V/F	<u>-8V/F</u>	<u>+1V</u>	<u>+1V</u>
MBL1	0V/F	+5V/F	0V/F	<u>-5V/F</u>	0V/F	<u>-8V/F</u>	0V/F	<u>-8V/F</u>	0V	<u>+1V</u>
MBL2	0V/F	+5V/F	0V/F	<u>-5V/F</u>	0V/F	<u>-8V/F</u>	0V/F	<u>-8V/F</u>	<u>+1V</u>	<u>+1V</u>
MBL3	0V/F	+5V/F	0V/F	<u>-5V/F</u>	0V/F	<u>-8V/F</u>	0V/F	<u>-8V/F</u>	0V	0V
MBL4	0V/F	+5V/F	0V/F	<u>-5V/F</u>	0V/F	<u>-8V/F</u>	0V/F	<u>-8V/F</u>	<u>+1V</u>	0V
Sub	0V	<u>+5V</u>	0V	<u>-5V</u>	0V	<u>-8V</u>	0V	<u>-8V</u>	0V	0V
SG0	0V	+5/0V	0V	0V/-5V	0V	0V/-8V	0V	0V/-8V	<u>+3V</u>	<u>+3V</u>
SG1	0V	+5/0V	0V	0V/-5V	0V	0V/-8V	0V	0V/-8V	<u>+3V</u>	<u>+3V</u>

(F=0V フローティング)

【0043】

<チャンネルFN書き込み>

ブロック内のセルは、消去状態となっており、全て閾値電圧が4V以上に分布している。よって、書き込みとは書き込みたいセルのみ選択的に浮遊ゲートから電子を放出し、閾値電圧を1V～2Vにすることである。図23において、メモリセル20（M20）に書き込みを行う場合を考える。

制御ゲート2（CG2）に-15Vを、ワード線0（WL0）に-15Vを印加する。非選択の制御ゲート及び非選択のワード線、メインビット線0～4（MBL0～4）はそれぞれ0Vあるいは0Vフローティングを印加し、基板電圧と選択ゲート0及び1（SG0及びSG1）にはそれぞれ0Vを印加する。このとき、容量結合により、浮遊ゲートは-10V以上に印加される（GCR（Gate Coupling Ratio）=0.66で-10.0V）。結果として、浮遊ゲートとシリコン基板間のトンネル酸化膜に高電圧が印加され、FNトンネル現象により、電子が浮遊ゲートからシリコン基板へ放出され、選択セル（M20）の閾値電圧を1～2Vの書き込み状態に下げる。

【0044】

選択された制御ゲート及びワード線につながる非選択セルは（図23では、M00、10、30、2n）、浮遊ゲートに-10V以下の電位（GCR=0.66で-5.0V）しか印加されないため、FNトンネル現象による電子放出は起こらない。よって、選択制御ゲートと選択ワード線の交点にある選択セルのみに書き込むことができる（表1のPgm1参照）。

また、書き込み時に基板電圧を+5Vの正電圧を印加しながら書き込むこともできる。この場合、選択制御ゲート電圧及び選択ワード線電圧は-10Vとなり、書き込み印加電圧

10

20

30

40

50

の低電圧化が可能となる（表1のPg m2参照）。なお、非選択の制御ゲート及び非選択のワード線にはそれぞれ0 Vあるいは0 Vフローティングを印加し、メインビット線0～4（MBL0～4）と選択ゲート0及び1（SG0及び1）にはそれぞれ+5 Vと+5 V、あるいはそれぞれ0 Vフローティングと0 Vを印加する。

【0045】

＜チャンネルFN消去＞

ここでいう消去とは基板から浮遊ゲートに電子を注入し、閾値電圧を4 V以上にするものである。図23において、セルM00、10、20、30、0n、1n、2n、3nに消去を行う場合を考える。

制御ゲート（CG0～4）にそれぞれ+15 Vを、ワード線（WL0～n）にそれぞれ+15 Vを印加する。メインビット線（MBL0～4）は0 Vあるいは0 Vフローティングに印加し、基板電圧と選択ゲート（SG0及び1）はそれぞれ0 Vを印加する。この時、容量結合により、浮遊ゲートは+10 V以上に印加される（GCR=0.66で+10.0 V）。結果として、浮遊ゲートとシリコン基板間のトンネル酸化膜に高電圧が印加され、FNトンネル現象により、電子がシリコン基板から浮遊ゲートに注入され、セルの閾値電圧を4 V以上の消去状態に上げる（表1のErs1参照）。

この消去方法の最小の消去範囲は、ビット単位となる。

【0046】

また、消去時に基板電圧を-5 Vの負電圧を印加しながら消去することもできる。この場合、選択制御ゲート電圧及び選択ワード線電圧は+10 Vとなり、消去印加電圧の低電圧が可能となる。なお、メインビット線0～4（MBL0～4）と選択ゲート0及び1（SG0及び1）にはそれぞれ-5 Vと0 V、あるいはそれぞれ0 Vフローティングと-5 Vを印加する（表1のErs2参照）。

また、制御ゲート（CG0～4）にそれぞれ+30 Vを印加する。ワード線（WL0～n）とメインビット線（MBL0～4）にはそれぞれ0 Vあるいは0 Vフローティングを印加し、基板電圧と選択ゲート（SG0及び1）にはそれぞれ0 Vを印加する。この時、容量結合により浮遊ゲートは+10 Vに印加される（GCR=0.66で+10.0 V）。結果として、浮遊ゲートとシリコン基板間のトンネル酸化膜に高電圧が印加され、FNトンネル現象により、電子がシリコン基板から浮遊ゲートに注入され、セルの閾値電圧を4 V以上の消去状態に上げる（表1のErs3参照）。

この消去方法の最小の消去範囲は、制御ゲート線単位となる。

【0047】

また、消去時に基板電圧を-8 Vの負電圧を印加しながら消去することもできる。この場合、選択制御ゲート電圧は+15 Vとなり、消去印加電圧の低電圧化が可能となる（表1のErs4参照）。なお、ワード線には、それぞれ0 Vあるいは0 Vフローティングを印加し、メインビット線0～4（MBL0～4）と選択ゲート0及び1（SG0及び1）には、それぞれ-8 Vと0 V、あるいはそれぞれ0 Vフローティングと-8 Vを印加する。また、ワード線（WL0～n）にそれぞれ+30 Vを印加する。制御ゲート（CG0～4）とメインビット線（MBL0～4）にはそれぞれ0 Vあるいは0 Vフローティングを印加し、基板電圧と選択ゲート（SG0及び1）にはそれぞれ0 Vを印加する。この時、容量結合により浮遊ゲートは+10 Vに印加される（GCR=0.66で+10.0 V）。結果として、浮遊ゲートとシリコン基板間のトンネル酸化膜に高電圧が印加され、FNトンネル現象により、電子がシリコン基板から浮遊ゲートに注入され、セルの閾値電圧を4 V以上の消去状態に上げる（表1のErs5参照）。

この消去方法の最小の消去範囲は、ワード線単位となる。

【0048】

また、消去時に基板電圧を-8 Vの負電圧を印加しながら消去することもできる。この場合、選択ワード線電圧は+15 Vとなり、消去印加電圧の低電圧化が可能となる（表1のErs6参照）。なお、制御ゲートには、それぞれ0 Vあるいは0 Vフローティングを印加し、メインビット線0～4（MBL0～4）と選択ゲート0及び1（SG0及び1）に

10

20

30

40

50

は、それぞれ -8 V と 0 V 、あるいはそれぞれ 0 V フローティングと -8 V を印加する。以上、本発明の不揮発性半導体記憶装置の書き換え（書き込みと消去）方法よりわかるように、電子注入／放出ともにビットを選択できる。つまり、本発明では、基板から浮遊ゲートへの電子放出を書き込み、電子注入を消去としたが、電子放出を消去、電子注入を書き込みとすることも可能である。

【0049】

<読み出し>

セルM00と20を同時に読み出す場合を考える。メインビット線MBL1及び3に 0 V 、メインビット線MBL0, 2, 4に 1 V を印加し、制御ゲート0及び2（CG0及び2）に $+3\text{ V}$ を印加して、ワード線0（WL0）の電圧を $+3\text{ V}$ とし、セルに電流が流れるか流れないか、すなわち、MBL0, 2, 4の電位が 1 V から 0 V に下がるか下がるか

10

かで、選択セル（M00, 20）が書込状態か消去状態かを判定する。また、メインビット線MBL1, 2及び3に 1 V フローティング、メインビット線MBL3及び4に 0 V を印加し、ワード線0（WL0）の電圧を $+6\text{ V}$ とし、セルに電流が流れるか流れないかで、選択セル（M20）が書込状態か消去状態かを判定する（表1のRead2参照）。

ここで、図24（A）に従来の仮想接地アレイでの8サイクル読み出し方法を、図24（B）に本発明の2サイクル読み出し方法を示す。

【0050】

従来方法では、選択セルを読み出す場合、ワード線を $+3\text{ V}$ 、選択ビット線（SBL5）を $+1\text{ V}$ にプリチャージ（ $+1\text{ V}$ になったらOFFに）し、SBL0, 6～8を 0 V 、SBL1, 2, 4, 9, 10を 1 V フローティング、SBL3, 11を 1 V に設定し、選択ビット線SBL5からSBL6に流れる読み出し電流（Iread）を判定し、読み出しを行う。従来の仮想接地アレイ構造では、隣接セルとビット線を共有しているため、非選択セル（M1～5）の閾値電圧が 3 V 以下の場合、非選択セルがオン状態となり、横方向の隣接セル間に電流が流れてしまう。よって、横方向のリーク電流を防ぐためにワード線上のセルを8回に分けて読む8サイクル読み出しを採用し、さらに、選択ビット線 1 V （SBL5）から逆側のGND線（SBL0）にリーク電流が流れないように（図中点線13）、選択ビット線 1 V （SBL5）と逆側のGND線（SBL0）との間に 1 V フォースのビット線（SBL3）を挿入している。この場合、非選択セル（M1～5やM9～11）が書き込み状態で閾値電圧が低ければ、ワード線電圧によりオン状態となり、 1 V フォース（読み出しの間は常時 1 V を印加している）のビット線（SBL3）から選択ビット線 1 V （SBL5）に電流が流れ込んだり（図中点線矢印I1）、 1 V フォースのビット線（SBL3, 11）からコモンソース線（SBL0, 8）のGNDに電流が流れ込んで（図中点線矢印I2）、コモンソース線が浮き上がったたりして、読み出しセル電流が他の非選択セルの影響を受け、読み出し精度が悪化する。

20

30

【0051】

一方、本発明の読み出し方法（図24（B））では、選択された第1制御ゲート（CG1, 3, 5, 7, 9）と選択された第2制御ゲート（ワード線（WL））の2本に 3 V を印加して、選択セル（M2, 4, 6, 8, 10）を同時に読み出す。結合容量の関係から、非選択セル（M1, 3, 5, 7, 9, 11）には約 1.5 V の電圧しか印加されないが、非選択セルが書き込み状態で閾値電圧が低くても横方向のリーク電流は大幅に低減され、かつワード線上のセルを2回に分けて読む2サイクル読み出しが可能となる。よって、前者から読み出し精度が向上し、多値化が容易となり、さらに後者から読み出し速度を高速化できる。

40

【0052】

【発明の効果】

1つのメモリセルの浮遊ゲート電圧を、制御ゲート電圧とワード線電圧で制御することにより、チャネルFN現象によって書き込み・消去動作を行うことができる。よって、非対称ソースドレイン構造が不要となり、微細化が容易である。シングルソースドレインを用

50

いることにより、セル面積 $4F^2$ を実現できる。

チャンネルFN現象によって書き込み・消去動作を行うことにより、バンド間トンネル電流の発生がなくなり、信頼性が向上する。よって、高速書き込みと高信頼性を実現できる。読み出し時、2本の制御ゲートにより浮遊ゲート電圧を制御することにより、横方向リーク電流を抑制でき、読み出し特性の精度が向上する。よって、多値化が容易になり、セル面積 $2F^2$ (4値) 以下を実現できる。更に、1本の第2制御ゲートにつながるセルを読み出す時の読み出し回数を、従来の8サイクルから2サイクルに減らすことができ、読み出し時間を短縮できる。

【0053】

1つのメモリセルの浮遊ゲート電圧を、制御ゲート電圧とワード線電圧で制御することにより、ビット単位で書き換えができる。つまり、低い閾値電圧側に書き込みを行うことができる。これは、従来のNOR型チャンネルFN書き換えフラッシュメモリが、高い閾値電圧側にしか書き込みを行えなかったため、ペリファイなしの消去側の閾値分布が広いため、読み出し電圧が高かったという欠点を解決し、読み出し時の消費電力を低減するという効果がある。

【図面の簡単な説明】

【図1】従来の不揮発性半導体記憶装置の概略図である。

【図2】従来の不揮発性半導体記憶装置の概略図である。

【図3】従来の不揮発性半導体記憶装置の概略図である。

【図4】本発明の不揮発性半導体記憶装置の概略平面図である。

【図5】図4の装置の概略断面図である。

【図6】本発明の不揮発性半導体記憶装置の概略平面図である。

【図7】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図8】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図9】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図10】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図11】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図12】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図13】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図14】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図15】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図16】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図17】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図18】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図19】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図20】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図21】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図22】本発明の不揮発性半導体記憶装置の概略工程断面図である。

【図23】本発明の不揮発性半導体記憶装置の等価回路図である。

【図24】不揮発性半導体記憶装置の動作方法を説明するための図である。

【符号の説明】

1 半導体基板

2 不純物拡散領域

2A、2A₁、2A₂ ドレイン拡散領域

2B、2B₁、2B₂ ソース拡散領域

4 浮遊ゲート

5 酸化膜

6 ONO積層膜

7 第2制御ゲート

7A 制御ゲート線

10

20

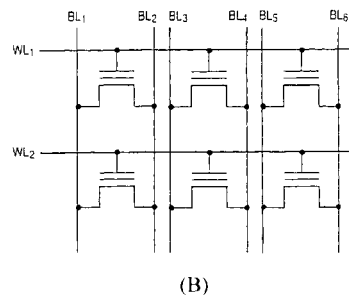
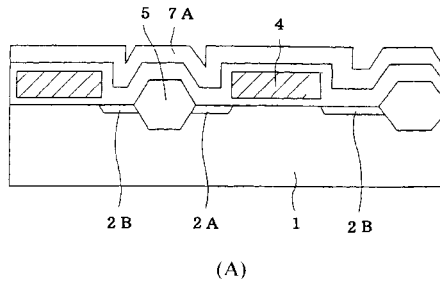
30

40

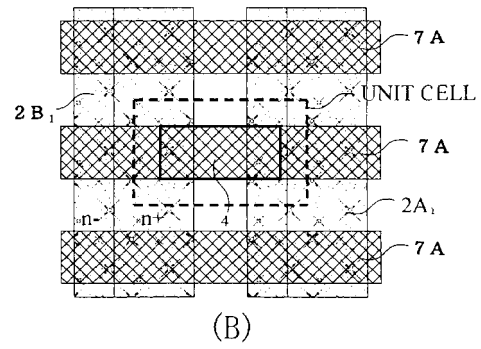
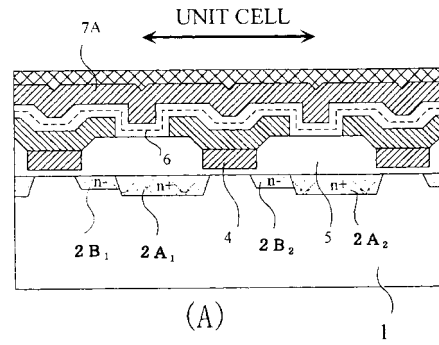
50

7 A ₁ 、7 A ₂ 制御ゲート	
8 第1制御ゲート	
9、14、18、25、29、31 シリコン窒化膜	
11 シリコン基板	
12 トンネル酸化膜	
13 第1ポリシリコン層	
15 レジストパターン (FG)	
16、17、19、24、26 シリコン酸化膜	
20 第2ポリシリコン層	
21 レジストパターン (CG)	10
22 ビット線	
23 HDP酸化膜	
27 第3ポリシリコン層	
28 タングステンシリサイド膜	
30 レジストパターン (WL)	
32 BPSG保護膜	
BL ビット線	
CG 制御ゲート	
I リーク電流	
I read 読み出し電流	20
M メモリセル	
MBL メインビット線	
SBL 選択ビット線	
SG 選択ゲート	
ST 選択トランジスタ	
WL ワード線	

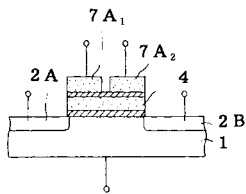
【図 1】



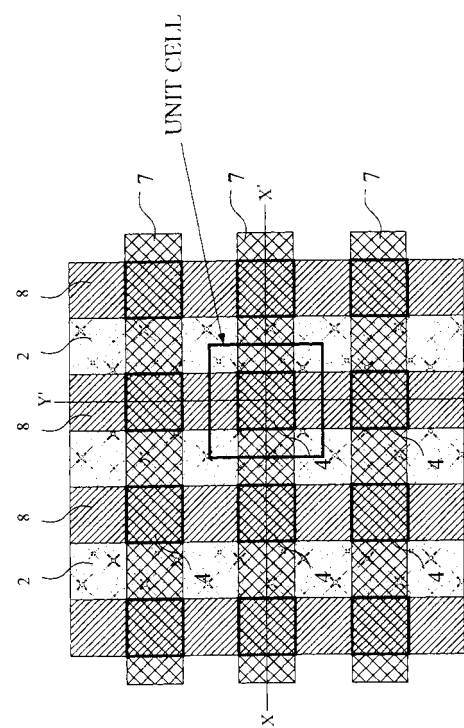
【図 2】



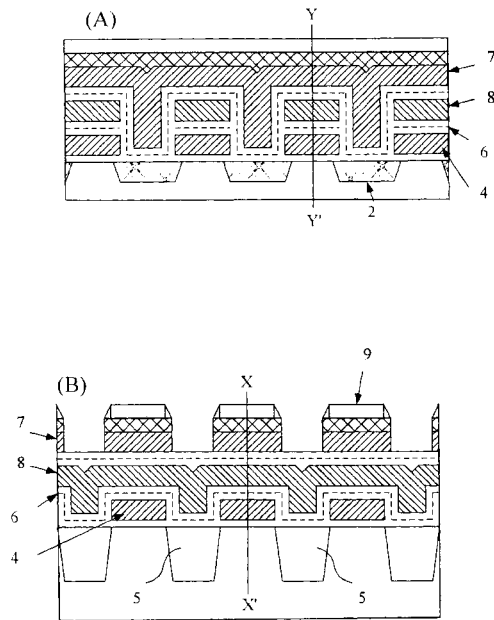
【図 3】



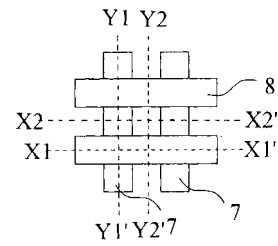
【図 4】



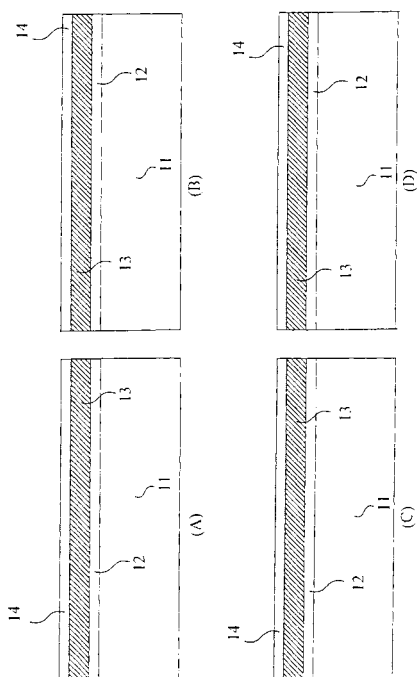
【図 5】



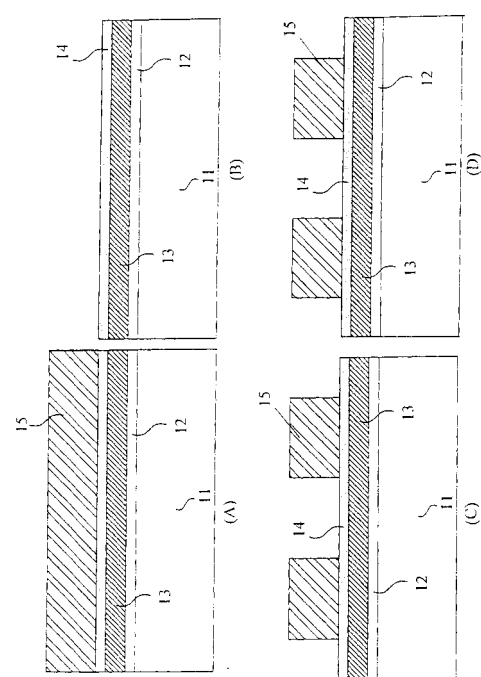
【図 6】



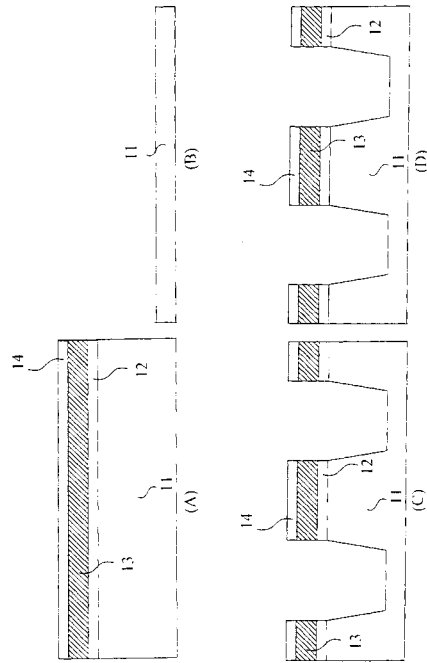
【図 7】



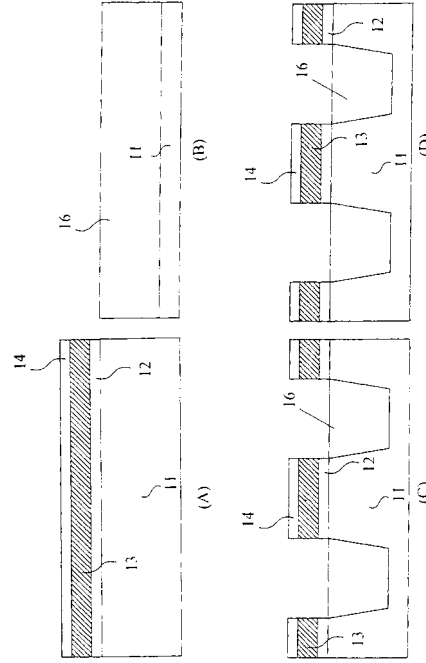
【図 8】



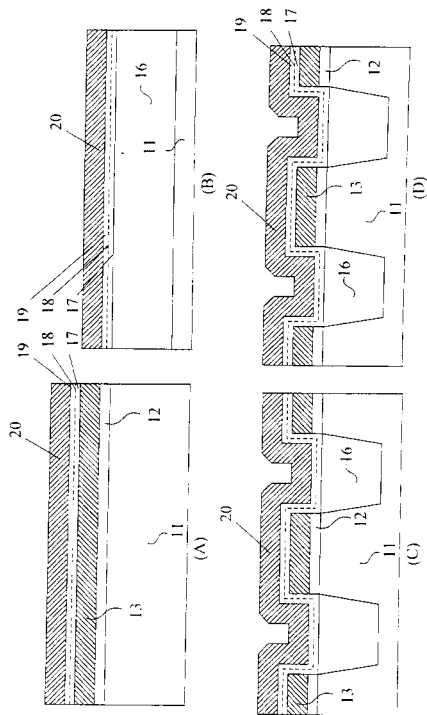
【図 9】



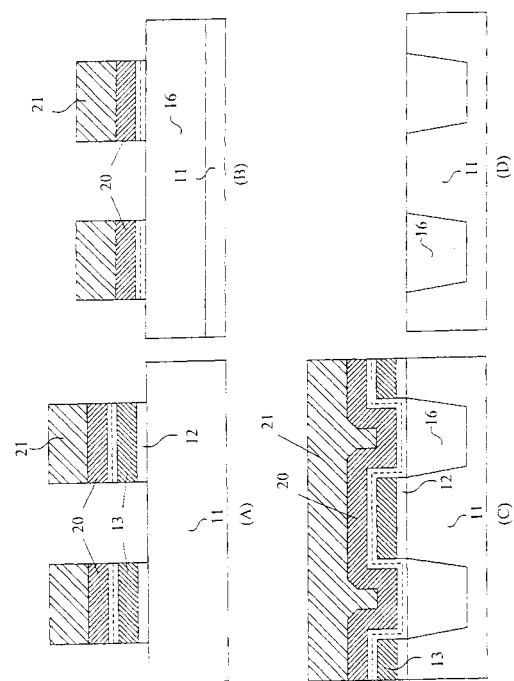
【図 10】



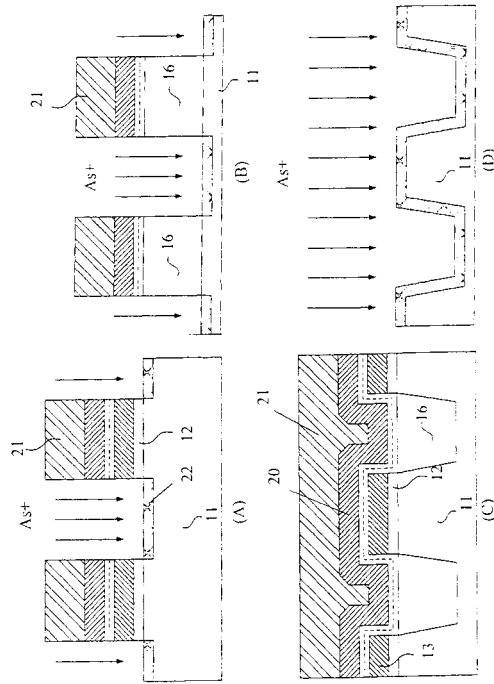
【図 11】



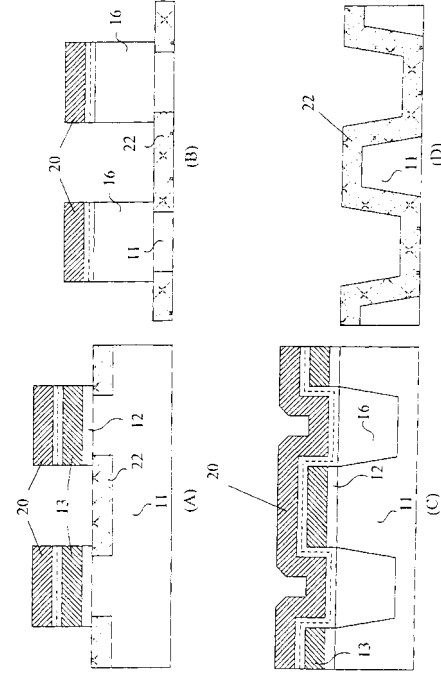
【図 12】



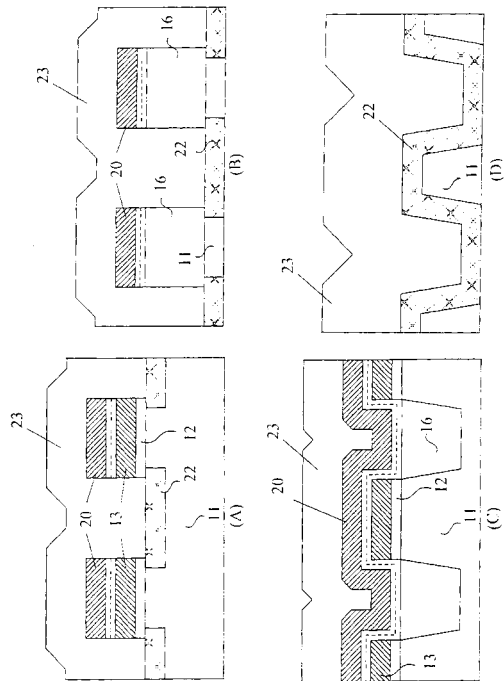
【図 13】



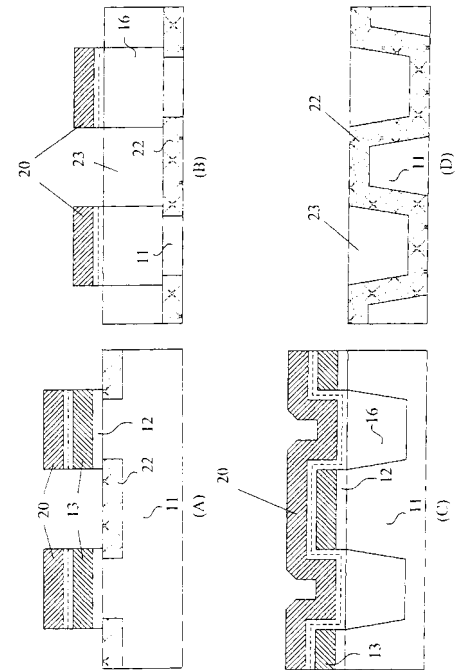
【図 14】



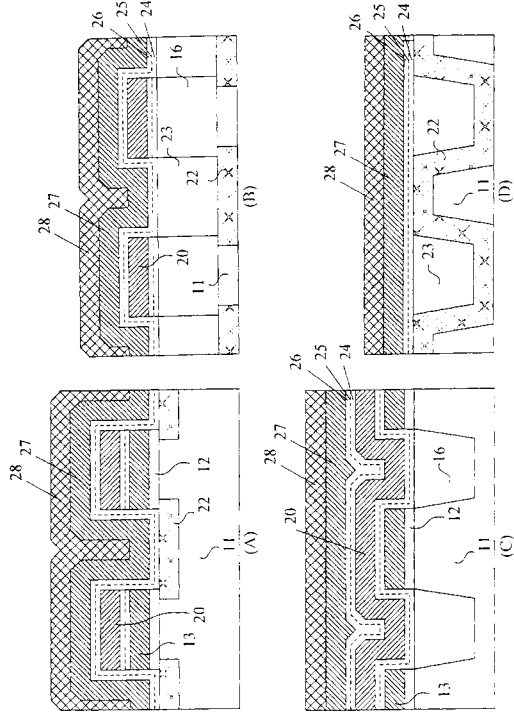
【図 15】



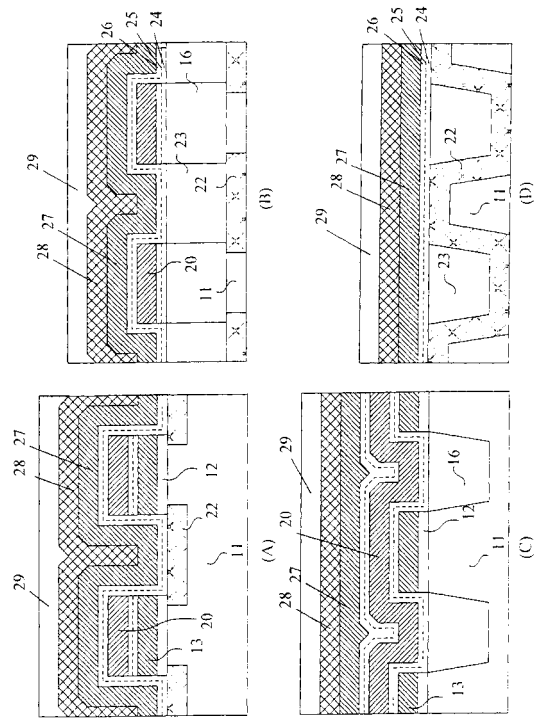
【図 16】



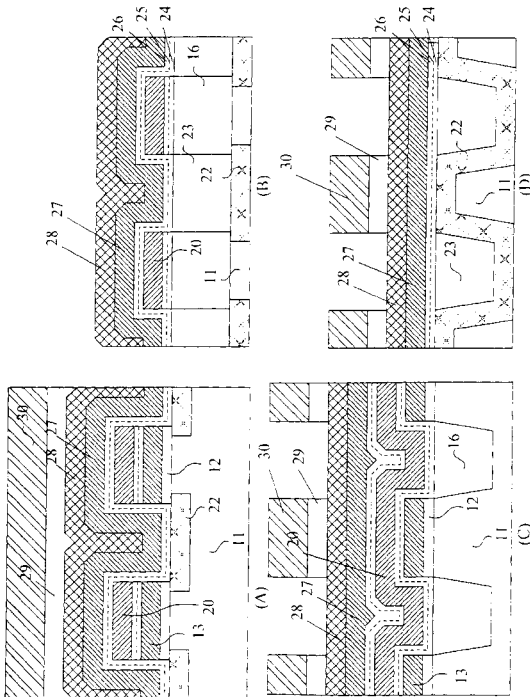
【図 17】



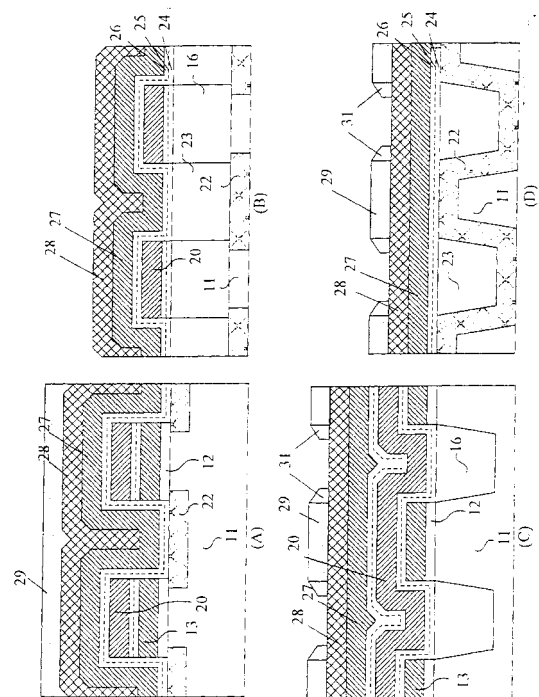
【図 18】



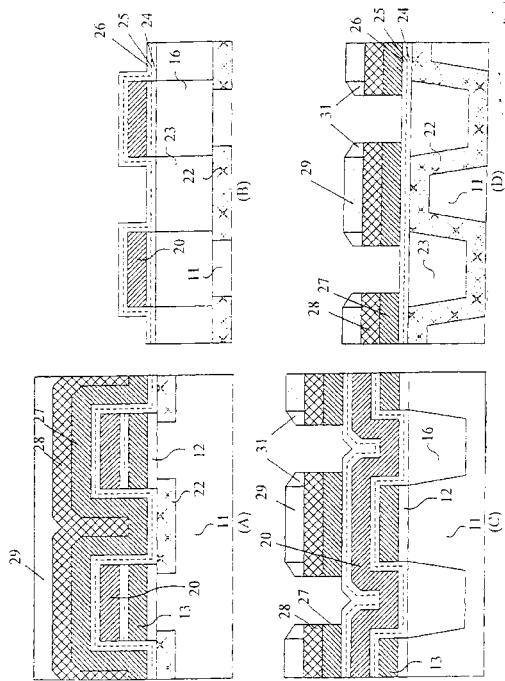
【図 19】



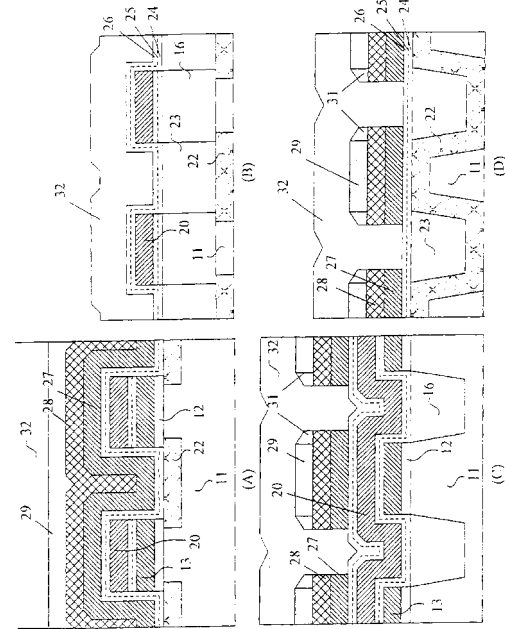
【図 20】



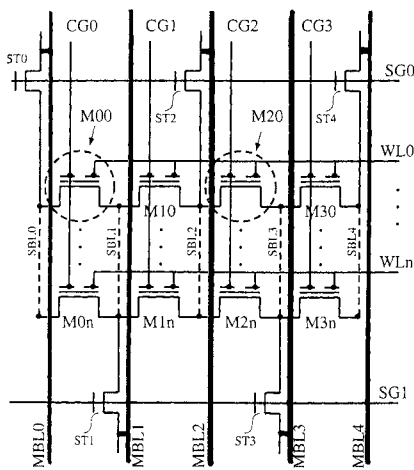
【図 2 1】



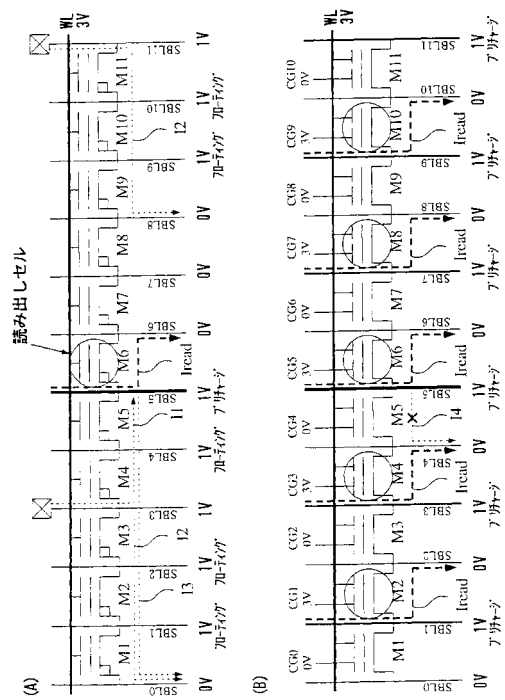
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

- (56)参考文献 特開2000-049245 (JP, A)
特開平05-275706 (JP, A)
特開平11-031396 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792