

(19) **日本国特許庁(JP)**

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2010-34281

(P2010-34281A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 21/336 (2006.01)

H01 L 29/78 658H

HO 1 L 29/78 (2006.01)

HO 1 L 29/78 655A

H O 1 L 29/739 (2006.01)

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願2008-194701 (P2008-194701)

(22) 出願日 平成20年7月29日 (2008. 7. 29)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目7番3号

(74) 代理人 100113077

弁理士 高橋 省吾

(74) 代理人 100112210

弁理士 稲葉 忠彦

(74) 代理人 100108431

弁理士 村上 加奈子

(74) 代理人 100128060

弁理士 中鶴 一隆

(72) 発明者 引地 敏彰

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

[最終頁に続く](#)

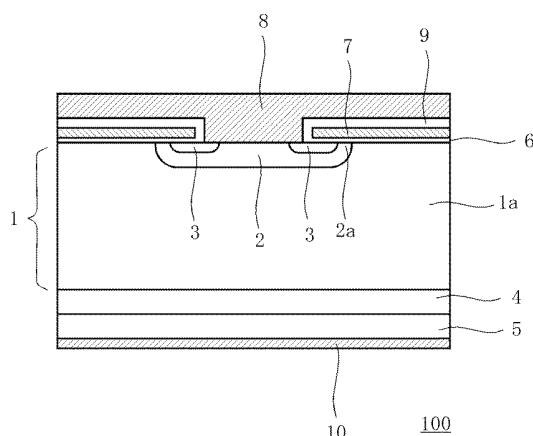
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 絶縁ゲート型バイポーラ半導体装置において、クロスコンタミネーションの惧れがなく、接合特性やゲート絶縁膜の絶縁特性への悪影響はなく、高エネルギーイオン照射後の加工処理にも自由度が確保できるとともに、オン状態損失とターンオフ損失との適切なバランスを得ることを図る。

【解決手段】 第１導電型の半導体基板５と、半導体基板５の一方の主面上に形成された第２導電型のドリフト層１と、ドリフト層１の一方の主面に形成された第１導電型のベース領域２と、ベース領域２内に形成された第２導電型のエミッタ領域３とを備えた半導体装置において、半導体基板５にはあらかじめライフタイムキラーとしての炭素原子が $2 \times 10^{16} \text{ cm}^{-3}$ 以上かつ $3.2 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度で導入されていることを特徴とする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板と、
前記半導体基板の一方の主面上に形成された第 2 導電型のドリフト層と、
前記ドリフト層の一方の主面に形成された第 1 導電型のベース領域と、
前記ベース領域内に形成された第 2 導電型のエミッタ領域
前記ドリフト層の一方の主面上にゲート絶縁膜を介して設けられたゲート電極と、
を備え、
前記半導体基板にはライフタイムキラーとしての炭素原子が $2 \times 10^{16} \text{ cm}^{-3}$ 以上かつ $3 \cdot 2 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度で導入されていることを特徴とする半導体装置。

10

【請求項 2】

ライフタイムキラーとしての炭素原子が $2 \times 10^{16} \text{ cm}^{-3}$ 以上かつ $3 \cdot 2 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度で含む第 1 導電型の半導体基板を用意する工程と、
前記半導体基板の一方の主面上に第 2 導電型のドリフト層を形成する工程と、
前記ドリフト層の一方の主面上にゲート絶縁膜を介してゲート電極を形成する工程と、
前記ドリフト層内に第 1 導電型のベース領域及び第 2 導電型のエミッタ領域を形成する工程と、
を含む半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

この発明は、絶縁ゲート型バイポーラ半導体装置及びその製造方法に係り、特にオン状態損失及びターンオフ損失の低減に関するものである。

【背景技術】

【0002】

数百 V を超える電圧を制御する高耐圧半導体装置の分野では、その取扱う電流も大きなことから、使用する素子には電力損失を抑えた特性が要求される。また、そのような素子を制御する駆動方式としては、駆動回路が小さく駆動損失の小さな電圧駆動方式が望ましい。このような理由から、この分野では、電圧駆動が可能で損失の少ない素子として、絶縁ゲートバイポーラトランジスタ (IGBT) が主流となってきている。

30

【0003】

IGBT の構造は、MOS トランジスタのドレインの不純物濃度を低くして必要な耐圧を確保するとともに、ドレイン抵抗を低くするためにドレイン側をダイオードとしたものとみなすことができる。電圧駆動素子である IGBT は、そのコレクタ電極とエミッタ電極との間に数百 V の電圧が印加され、その電圧が 0 V ~ 20 V 程度のゲート電圧によって制御される。ゲート電極に所定の電圧が印加されると、IGBT はオン状態となり、コレクタ・エミッタ間には大きな電流が流れ、コレクタ・エミッタ間の電圧は小さく保たれる。ゲート電極に印加されるゲート電圧が 0 又は負の値となると、IGBT はオフ状態となり、電流は流れないがコレクタ・エミッタ間の電圧は高くなる。通常は上記のようなモードで IGBT の動作が行なわれるため、損失は、オン状態での電流・電圧積であるオン状態損失と、オン状態とオフ状態とが切替わる過渡時のスイッチング損失とに分けられ、スイッチング損失はさらに、オフ状態からオン状態に切替わる時のターンオン損失と、オン状態からオフ状態に切替わる時のターンオフ損失とに分けられる。

40

【0004】

上述したように IGBT は、その構造にダイオードを含むことにより、少数キャリアが電気伝導に関与、すなわちバイポーラ動作を行なっているため、ターンオフ損失の低減にはライフタイム制御が欠かせないものとなっている。このような IGBT のライフタイム制御の方法はいくつか提案されている。例えば特許文献 1 では、ライフタイムキラーとしての金原子をシリコン基板中に拡散することによりライフタイム制御を行なっている。また特許文献 2 では、炭素原子の加速電圧 3 MeV の高エネルギーイオン照射により

50

ライフタイムキラーとしての結晶欠陥をシリコン基板中に導入することによりライフタイム制御を行なっている。

【 0 0 0 5 】

【特許文献 1】特開平 1 - 2 5 3 2 8 0 号公報 (第 1 図)

【特許文献 2】特開平 3 - 2 5 9 5 3 7 号公報 (第 2 図)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、上述した 2 つのライフタイム制御方法は、それぞれ以下のような問題点を持っている。すなわち、金のような重金属をライフタイムキラーとして利用する場合には、拡散される重金属原子が素子のゲート特性や接合特性等の素子特性に悪影響を与えるため、素子特性が損なわれることがある。また、製造装置を介して他の素子へのクロスコンタミネーションの恐れもある。高エネルギーイオン照射により導入された結晶欠陥をライフタイムキラーとして利用する場合には、打ち込まれた高エネルギーイオンによりゲート絶縁膜も損傷を受け、ゲート絶縁膜の絶縁特性に悪影響を与える。また、結晶欠陥導入後の熱処理条件によっては、結晶欠陥が回復し所望のライフタイムが得られなくなるため、結晶欠陥導入後のプロセス条件に制約を受けることとなる。

【 0 0 0 7 】

この発明は、上述のような課題を解決するためになされたもので、その目的は、絶縁ゲート型バイポーラ半導体装置において、素子特性に悪影響を与えず、他の素子へのクロスコンタミネーションの恐れもなく、プロセス条件に制約を与えず、基板に一樣にライフタイムキラーを導入した半導体装置を提供しようとするものである。

【課題を解決するための手段】

【 0 0 0 8 】

前記の目的を達成するために、本発明に係る半導体装置は、第 1 導電型の半導体基板と、前記半導体基板の一方の主面上に形成された第 2 導電型のドリフト層と、前記ドリフト層の一方の主面に形成された第 1 導電型のベース領域と、前記ベース領域内に形成された第 2 導電型のエミッタ領域とを備えた半導体装置において、前記半導体基板にはあらかじめライフタイムキラーとしての炭素原子が $2 \times 10^{16} \text{ cm}^{-3}$ 以上かつ $3.2 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度で導入されていることを特徴とする。

【発明の効果】

【 0 0 0 9 】

上記のような構成としたため、上記半導体装置は、クロスコンタミネーションの惧がなく、接合特性やゲート絶縁膜の絶縁特性への悪影響はなく、高エネルギーイオン照射後の加工処理にも自由度が確保できるとともに、オン状態損失とターンオフ損失との適切なバランスを得ることが可能となるという効果を奏する。

【発明を実施するための最良の形態】

【 0 0 1 0 】

< 実施の形態 >

以下、本発明の実施の形態を図に基づいて説明する。図 1 は本発明に係る半導体装置の実施の形態を示す図であり、さらに詳述すると該半導体装置に使用される IGBT 素子 100 の単位セルを示す断面図である。

【 0 0 1 1 】

図 1 において、半導体基板 5 は、チョクラルスキー法 (CZ 法) により作製された p 型 (第 1 導電型) の不純物を含むシリコン基板である。本実施の形態においては、この p 型の不純物は硼素原子であり、その不純物濃度は $7 \times 10^{18} \text{ cm}^{-3}$ である。半導体基板 5 の一方の主面上には、n 型 (第 2 導電型) の不純物を含むバッファ層 4 がエピタキシャル成長により形成されている。バッファ層 4 は、半導体基板 5 に含まれる p 型の不純物濃度よりも低い濃度の n 型の不純物、例えば燐原子を含んでいる。本実施の形態においては、バッファ層 4 を形成している n 型の不純物の濃度は $9 \times 10^{16} \text{ cm}^{-3}$ 程度である。

【 0 0 1 2 】

バッファ層 4 の一方の主面上に n 型の不純物を含むドリフト層 1 がやはりエピタキシャル成長により形成されている。ドリフト層 1 は、バッファ層 4 に含まれる n 型の不純物濃度よりも低い濃度の n 型の不純物、例えば燐原子を含んでいる。本実施の形態においては、ドリフト層 1 を形成している n 型の不純物の濃度は $1 \times 10^{14} \text{ cm}^{-3}$ 程度である。

【 0 0 1 3 】

ドリフト層 1 は、その一方の主面から内部に向かって p 型の不純物を導入することによって形成されたベース領域 2 を有している。ベース領域 2 は、ドリフト層 1 に含まれる n 型の不純物濃度よりも高い濃度の p 型の不純物、例えば硼素原子を一方の主面から熱拡散で半導体基板 1 内に導入することにより形成されるので、その導電型は p 型に反転している。本実施の形態においては、上記ベース領域 2 を形成している p 型の不純物の濃度は最大値で $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。

【 0 0 1 4 】

ドリフト層 1 は、さらにその一方の主面から内部に向かって n 型の不純物、例えば砒素原子を導入することによって形成されたエミッタ領域 3 を有している。エミッタ領域 3 は、ベース領域 2 内に設けられ、ベース領域 2 に含まれる p 型の不純物濃度よりも高い濃度の n 型の不純物を一方の主面から熱拡散でベース領域 2 内に導入することにより形成されるので、その導電型は n 型に反転している。本実施の形態においては、一方の主面における上記エミッタ領域 3 を形成している n 型の不純物の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。

【 0 0 1 5 】

ドリフト層 1 の内、ベース領域 2 及びエミッタ領域 3 を除いた部分をドリフト領域 1 a と呼ぶことにする。また、ドリフト領域 1 a とエミッタ領域 3 とに挟まれ、ドリフト層 1 の一方の主面に露出したベース領域 2 の部分は一般にチャネル領域 2 a と呼ばれる。

【 0 0 1 6 】

ドリフト層 1 の一方の主面には、少なくともチャネル領域 2 a を覆うように、二酸化シリコンからなるゲート絶縁膜 6 を介して多結晶シリコンからなるゲート電極 7 が設けられている。ドリフト層 1 の一方の主面には、ゲート電極 7 を覆うようにかつベース領域 2 及びエミッタ領域 3 と電氣的接触を確保できるように、さらにアルミニウム等の金属膜からなるエミッタ電極 8 が設けられている。ゲート電極 7 とエミッタ電極 8 との間には、電氣的絶縁のため層間絶縁膜 9 が設けられている。半導体基板 1 の他方の主面には、半導体基板 1 と電氣的接触を確保できるようにアルミニウム等を含む多層金属膜からなるコレクタ電極 10 が設けられている。

【 0 0 1 7 】

半導体基板 5 内には、p 型の不純物とは別に炭素原子が不純物として導入されている。炭素原子の濃度は $2 \times 10^{16} \text{ cm}^{-3}$ 以上かつ $3.2 \times 10^{17} \text{ cm}^{-3}$ 以下の範囲内であり、本実施の形態では $7.8 \times 10^{16} \text{ cm}^{-3}$ である。また、ドリフト層 1 内には、n 型の不純物とは別に半導体基板 5 内から拡散された炭素原子が不純物として導入されている。

【 0 0 1 8 】

以上説明したのは IGBT 素子 100 の単位セルの構造であるが、IGBT 素子 100 は、複数個並置させたこのような単位セルと、その周囲を取り囲む終端処理領域と、さらに外部に電流を取り出すための複数のパッド領域とで構成されているが、図示は省略する。

【 0 0 1 9 】

このような IGBT 素子 100 の製造方法を図 2 に従って説明する。まず、炭素原子が $2 \times 10^{16} \text{ cm}^{-3}$ 以上かつ $3.2 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度であらかじめ導入された半導体基板 5 を用意する (図 2 (a) 参照)。この半導体基板 1 が CZ 法で作製されていることは前述したが、炭素原子の導入は、例えば CZ 法での作製工程におけるシリコン融液に所定量の炭素粉を投入することによって実現できる。半導体基板 5 の厚みは 52

10

20

30

40

50

5 μm である。

【0020】

次に、この半導体基板5の一方の主面上にエピタキシャル成長により所定の不純物を含むバッファ層4を約10 μm の厚みで形成する。このバッファ層4の一方の主面上にエピタキシャル成長により所定の不純物を含むドリフト層1を約120 μm の厚みで形成する(図2(b)参照)。

【0021】

次に、このドリフト層1の一方の主面上に公知の方法で二酸化シリコンからなるゲート絶縁膜6及び多結晶シリコンからなるゲート電極7を形成する(図2(c)参照)。次に、一方の主面から例えば熱拡散のような公知の方法により所定の不純物を導入して、このドリフト層1内にベース領域2及びエミッタ領域3を形成する。上記のような熱拡散を行なうと、半導体基板5内に導入されている炭素原子は、同時にドリフト層1内にも拡散される。さらに公知の方法でこのドリフト層1の一方の主面上に層間絶縁膜9とエミッタ電極8を形成する(図2(d)参照)。

【0022】

最後に、この半導体基板5の他方の主面を研磨することにより所定の厚み(本実施の形態では250 μm)まで半導体基板5を薄くし、この研磨面の上にコレクタ電極10を形成する。以上で図1のようなIGBT素子100が完成する。

【0023】

次にIGBT素子100の動作について説明する。図1において、コレクタ電極10とエミッタ電極8との間に所定の正の電圧(例えば600V)を印加した状態で、ゲート電極7とエミッタ電極8との間に閾値電圧以上の電圧(例えば15V)を印加すると、ゲート電極7直下のチャンネル領域2aの導電型が反転しチャンネル領域2aにn型のチャンネルが形成される。このn型のチャンネルを経由してエミッタ領域3からドリフト領域1aに電子が多数キャリアとして供給される。それと同時に半導体基板5からドリフト領域1aに正孔が少数キャリアとして注入される。

【0024】

ドリフト領域1aに少数キャリアが注入されると、ドリフト領域1aは伝導度変調をおこし、その導通抵抗は大幅に低下する。このためコレクタ電極10とエミッタ電極8の間には大きな電流が流れ、IGBT素子100はターンオンしオン状態に遷移する。この伝導度変調の効果は、ドリフト領域1aの少数キャリアのライフタイムに依存しており、このライフタイムが長いほどIGBT素子100の飽和電圧が小さくなり、オン状態損失を小さくすることができる。

【0025】

導通状態にあるIGBT素子100において、ゲート電極7とエミッタ電極8との間の電圧を閾値電圧以下(例えば-15V)とすると、ゲート電極7直下のチャンネル領域2aに形成されていたn型のチャンネルは消滅し、エミッタ領域3からドリフト領域1aへの電子(多数キャリア)の供給が止まるため、同時に半導体基板5からドリフト領域1aへの正孔(少数キャリア)の注入も停止する。

【0026】

ドリフト領域1aへの少数キャリアの注入が停止すると、ドリフト領域1aに残留している少数キャリアは、一部はベース領域2に掃き出され、残部はドリフト領域1aの多数キャリアと再結合して消滅する。ドリフト領域1aに残留している少数キャリアが全て消滅すると、コレクタ電極10からエミッタ電極8に流れる電流は停止し、IGBT素子100はターンオフしオフ状態に遷移する。このオフ状態に遷移するまでの時間をターンオフ時間というが、ターンオフ時間を短縮することがターンオフ損失を低下させるにつながる。このターンオフ時間の短縮は、少数キャリアを如何に速やかに消滅できるかにかかっており、それはすなわちドリフト領域1aにおける少数キャリアのライフタイムを如何に短縮できるかに依存している。

【0027】

以上述べたように I G B T の 2 つの損失（オン状態損失，ターンオフ損失）はいずれも少数キャリアのライフタイムと深くかかわっており、しかも少数キャリアのライフタイムが長くなればオン状態損失は減少するがターンオフ損失は増加するというトレードオフの関係にある。このためオン状態損失とターンオフ損失の適切なバランスをとり所望の素子特性を得るためには、ドリフト領域 1 a における少数キャリアのライフタイムの適切な制御が不可欠である。

【 0 0 2 8 】

少数キャリアのライフタイムの制御には、従来からドリフト領域 1 a に再結合中心を有するライフタイムキラーを導入することにより、少数キャリアと多数キャリアの再結合を促進するという手法が用いられている。本実施の形態では、ドリフト領域 1 a に導入するライフタイムキラーとして炭素原子を用いている。図 3 は本実施の形態に係る I G B T 素子において、半導体基板 5 に導入された炭素原子の濃度を变化させた場合の、コレクタ電流が 1 0 0 A である時の I G B T 素子の飽和電圧（横軸）とターンオフ損失（縦軸）との関係を示したグラフである。系列 1（○）は炭素原子の濃度が $2 \times 10^{16} \text{ cm}^{-3}$ の場合であり、系列 2（■）は炭素原子の濃度が $7.8 \times 10^{16} \text{ cm}^{-3}$ の場合であり、系列 3（▲）は炭素原子の濃度が $1.28 \times 10^{17} \text{ cm}^{-3}$ の場合である。

10

【 0 0 2 9 】

図 3 から理解できるように、炭素原子をその濃度にして $2 \times 10^{16} \text{ cm}^{-3}$ 以上半導体基板 5 に導入しておけば、I G B T 素子作製の際の熱処理により炭素原子がドリフト領域 1 a に拡散され、その炭素原子はドリフト領域 1 a の少数キャリアのライフタイムに影響を与えることが可能である、いいかえればライフタイムキラーとしての役割を果たすことができる。また、炭素原子のシリコン基板中への固溶限界は $3.2 \times 10^{17} \text{ cm}^{-3}$ であるので、炭素原子を $2 \times 10^{16} \text{ cm}^{-3}$ 以上かつ $3.2 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度範囲の適切な値で半導体基板 5 に導入しておけば、オン状態損失とターンオフ損失との適切なバランスを得ることが可能となる。

20

【 0 0 3 0 】

もちろんこのようなことは、従来から用いられている、重金属の拡散又は高エネルギーイオン照射による結晶欠陥によるライフタイムキラーの導入という手法でも実現できる。しかしながら、重金属の拡散によるライフタイムキラーの導入という手法では、導入された重金属が半導体基板中で析出物を形成しやすく、この析出物がベース領域とドリフト領域 1 a との間の P N 接合近傍に発生した場合には、リーク電流の増加のような接合特性に悪影響を与えることとなる。また、重金属拡散は、製造装置を介した他の素子への汚染、いわゆるクロスコンタミネーションの恐れがあり、重金属汚染を嫌うウエハプロセスラインにとって特別の管理を必要とし、これを排除できればライン管理上のメリットも大きい。

30

【 0 0 3 1 】

本実施の形態のようにあらかじめ炭素原子をライフタイムキラーとして半導体基板内に導入しておき、熱処理によりドリフト層に導入するという手法であれば、上記のようなリーク電流の増加による接合特性への悪影響はなく、クロスコンタミネーションの恐れもない。半導体基板中に導入されている炭素原子が、素子製造工程における熱処理の際に、半導体基板外に放出されることは考えられるが、この場合半導体基板外に出た炭素原子は二酸化炭素となって熱処理雰囲気と共に排出されるので、他の素子に悪影響を与えることはない。

40

【 0 0 3 2 】

また、高エネルギーイオン照射による結晶欠陥によるライフタイムキラーの導入という手法では、照射された高エネルギーイオンが I G B T 素子のゲート絶縁膜にも欠陥を与え、この欠陥がゲート絶縁膜の絶縁特性に悪影響を与えることとなる。また、高エネルギーイオン照射により導入された結晶欠陥は、その後の熱処理により徐々に回復していくため、高エネルギーイオン照射後の加工処理に大きな制約を与えることになる。さらには、このような高エネルギーイオン照射のためには、付加的なおおがかりな照射設備を必要とし

50

、製造コストの大きな上昇要因となっている。

【 0 0 3 3 】

本実施の形態のようにあらかじめ炭素原子をライフタイムキラーとして半導体基板内に導入しておき、熱処理によりドリフト層に導入するという手法であれば、上記のようなゲート絶縁膜に欠陥を発生させることによるゲート絶縁膜の絶縁特性への悪影響はなく、高エネルギーイオン照射後の加工処理にも自由度が確保されている。また、付加的な設備も不要である。

【 0 0 3 4 】

以上、図面に基づき本発明の具体的な実施の形態を説明したが、本発明はこれらに限らず種々の改変が可能であり、そのような構成であっても同様の効果を奏することはいうまでも無いことである。例えば、上記実施の形態においては、半導体基板はCZ法で作成されたシリコン基板であるが、フローティング・ゾーン法（FZ法）又はMCZ法で作製されたシリコン基板であっても良い。ドリフト層の形成にはエピタキシャル成長を用いているが、基板貼り合わせ技術を用いてもよい。IGBT素子構造に関し、バッファ領域を有するパンチスルー型もしくはライトパンチスルー型で説明を行ったが、バッファ領域のないノンパンチスルー型であっても同様である。半導体基板内の導電型に関し、第1導電型をp型、第2導電型をn型として説明したが、第1導電型をn型、第2導電型をp型であっても同様である。

【図面の簡単な説明】

【 0 0 3 5 】

【図1】本発明に係る半導体装置の実施の形態を示す図であり、該半導体装置に使用されるIGBT素子100の単位セルを示す断面図である。

【図2】本発明に係る半導体装置の製造工程を示すフローチャートである。

【図3】本実施の形態に係るIGBT素子において、基板領域に導入された炭素原子の濃度を変化させた場合の、IGBT素子の飽和電圧（横軸）とターンオフ損失（縦軸）との関係を示したグラフである。

【符号の説明】

【 0 0 3 6 】

- 1 ドリフト層、
- 1 a ドリフト領域、
- 2 ベース領域、
- 2 a チャネル領域、
- 3 エミッタ領域、
- 4 バッファ層、
- 5 半導体基板、
- 6 ゲート絶縁膜、
- 7 ゲート電極、
- 8 エミッタ電極。
- 9 層間絶縁膜
- 10 コレクタ電極

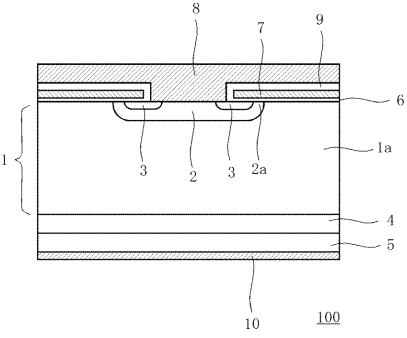
10

20

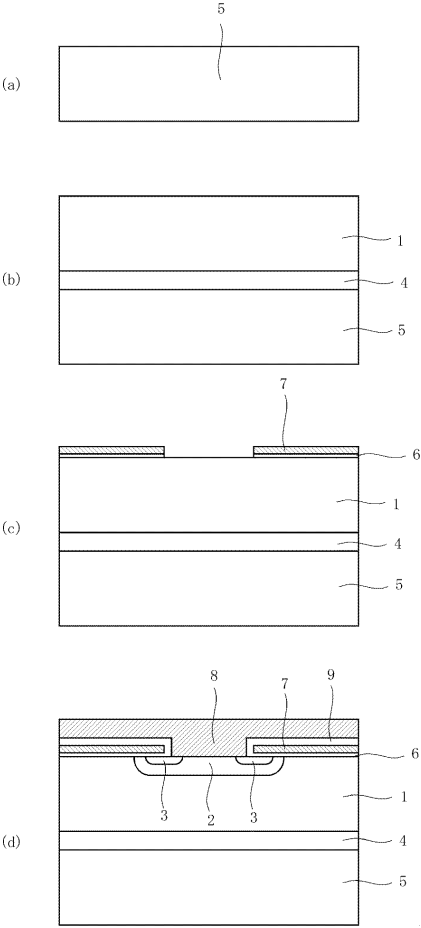
30

40

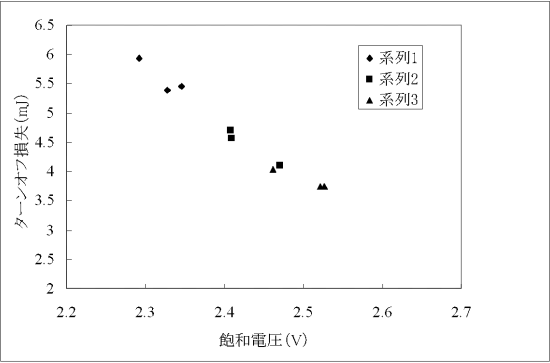
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

(72)発明者 友松 佳史

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内