

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6220526号
(P6220526)

(45) 発行日 平成29年10月25日(2017.10.25)

(24) 登録日 平成29年10月6日(2017.10.6)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 L
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 6 K
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 6 V
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 8 B
請求項の数 1 (全 43 頁) 最終頁に続く	

(21) 出願番号	特願2013-35484 (P2013-35484)	(73) 特許権者	000153878
(22) 出願日	平成25年2月26日(2013.2.26)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-211538 (P2013-211538A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年10月10日(2013.10.10)	(72) 発明者	磯部 敦生
審査請求日	平成27年11月10日(2015.11.10)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-44266 (P2012-44266)		半導体エネルギー研究所内
(32) 優先日	平成24年2月29日(2012.2.29)	(72) 発明者	手塚 祐朗
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
前置審査			半導体エネルギー研究所内
		(72) 発明者	大野 普司
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	川原 光司
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

酸化物半導体層を形成し、
 前記酸化物半導体層上に、ゲート絶縁層を形成し、
 前記ゲート絶縁層を介して、前記酸化物半導体層と重畳する、ゲート電極層を形成し、
 前記酸化物半導体層、前記ゲート絶縁層及び前記ゲート電極層を覆うように、第1の絶縁層を形成し、
 前記第1の絶縁層上から、元素を導入して、前記酸化物半導体層に第1の領域及び第2の領域を形成し、
 前記第1の絶縁層上に、第2の絶縁層を形成し、
 前記第1の絶縁層及び前記第2の絶縁層をエッチングして、前記ゲート電極層の側面に接する側壁絶縁層を形成し、
 前記側壁絶縁層を用いて、前記ゲート絶縁層をエッチングして、前記第1の領域及び前記第2の領域を露出させ、
 前記第1の領域及び前記第2の領域と接する、導電膜を形成し、
 前記導電膜を覆って、第3の絶縁層を形成し、
 前記第3の絶縁層及び前記導電膜を研磨して、前記ゲート電極層の表面を露出させて、前記導電膜からソース電極層及びドレイン電極層を形成する、半導体装置の作製方法であって、
 前記元素は、希ガス、リン、砒素、アンチモン、ホウ素、アルミニウム、タングステン

10

20

、モリブデン、窒素、フッ素、塩素、チタン、炭素、又は亜鉛であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体装置及び半導体装置の作製方法に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

10

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような半導体電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、酸化物半導体として、酸化亜鉛、又はIn-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1及び特許文献2参照）。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

近年、VLSI等の集積回路はますます微細化の一途を辿る傾向にあり、半導体装置の高速応答、高速駆動の実現には、微細化されたトランジスタのオン特性（例えば、オン電流や電界効果移動度）の向上が望まれる。また、トランジスタの微細化には、チャネル長Lを短くする必要がある。しかしながら、チャネル長Lを短くすると、ソースとチャネル間の抵抗、ドレインとチャネル間の抵抗、及びコンタクト抵抗を合計した寄生抵抗がオン電流特性に与える影響が増大する。従って、オン電流の低下の抑制のためには寄生抵抗値の低減が要求される。

30

【0007】

上記を鑑み、本発明の一態様では、寄生抵抗値を低減し、オン電流の低下を抑制した半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0008】

本明細書等で開示する発明では、酸化物半導体層のチャネル形成領域に接して、酸素欠損を生成する不純物を含有する一対の不純物領域を設ける。また、不純物元素は、酸化物半導体層上のゲート電極層を覆う絶縁層上から酸化物半導体層へと導入する。ゲート電極層を覆う絶縁層は、該ゲート電極層側面と接する領域においては、その他の領域と比較して膜厚が大きくなるため、当該領域と重畳する酸化物半導体層へは不純物元素が導入されにくくなる。従って、上述の不純物導入処理を行うことで、酸化物半導体層において含有される不純物濃度は、領域毎に濃度差が形成される。より具体的には、例えば以下の作製方法によって半導体装置を作製する。

40

【0009】

本発明の一態様は、酸化物半導体層を形成し、酸化物半導体層上にゲート絶縁層を形成し

50

、ゲート絶縁層を介して酸化物半導体層と重畳するゲート電極層を形成し、ゲート絶縁層及びゲート電極層を覆うように第1の絶縁層を形成し、第1の絶縁層上から不純物元素を導入して、酸化物半導体層に一对の不純物領域を形成し、第1の絶縁層上に第2の絶縁層を形成し、第1の絶縁層及び第2の絶縁層を異方性エッチングして、ゲート電極層の側面に接する側壁絶縁層を形成し、一对の不純物領域と接するソース電極層及びドレイン電極層を形成する、半導体装置の作製方法である。

【0010】

また、本発明の一態様は、酸化物半導体層を形成し、酸化物半導体層上にゲート絶縁層を形成し、ゲート絶縁層を介して酸化物半導体層と重畳するゲート電極層を形成し、ゲート絶縁層及びゲート電極層を覆う第1の絶縁層を形成し、第1の絶縁層上から不純物元素を導入して、酸化物半導体層に一对の不純物領域を形成し、第1の絶縁層上に第2の絶縁層を形成し、第1の絶縁層及び第2の絶縁層を異方性エッチングして、ゲート電極層の側面に接する側壁絶縁層を形成し、酸化物半導体層、側壁絶縁層及びゲート電極層を覆う導電層を形成し、ゲート電極層と重畳する領域の導電層を除去して、ソース電極層及びドレイン電極層を形成する、半導体装置の作製方法である。

10

【0011】

また、上記の半導体装置の作製方法において、導電層の除去方法として、化学的機械研磨処理を用いることができる。

【0012】

また、上記の半導体装置の作製方法において、第2の絶縁層の膜厚は、第1の絶縁層の膜厚よりも大きいことが好ましい。

20

【0013】

また、本発明の他の一態様は、不純物元素を含有する一对の不純物領域と、一对の不純物領域の間のチャンネル形成領域と、を含む酸化物半導体層と、酸化物半導体層上のゲート電極層と、ゲート電極層の側面に接し、且つ不純物元素を含有する側壁絶縁層と、一对の不純物領域の一方において、酸化物半導体層と接するソース電極層と、一对の不純物領域の他方において、酸化物半導体層と接するドレイン電極層と、を有し、酸化物半導体層において、ソース電極層又はドレイン電極層と接する領域に含まれる不純物濃度は、側壁絶縁層と重畳する領域に含まれる不純物濃度よりも高い半導体装置である。

【0014】

また、上記の半導体装置において、酸化物半導体層は、化学量論的組成よりも過剰に酸素を含有する領域を有する下地絶縁層上に設けられることが好ましい。

30

【0015】

酸化物半導体において酸素欠損はキャリア生成の要因となる。よって、該不純物領域は、チャンネル形成領域と比較して低抵抗な領域となり、トランジスタのソース領域又はドレイン領域として機能する。不純物領域を設けることで、トランジスタのソースとドレイン間の抵抗を低減することができ、且つ、該不純物領域においてソース電極層又はドレイン電極層と接することで、コンタクト抵抗を低減することができる。

【0016】

また、酸化物半導体における酸素欠損はキャリア生成の要因となるため、トランジスタのチャンネル形成領域に酸素欠損が多く存在すると、チャンネル形成領域中にキャリアである電子を生じさせてしまい、トランジスタのしきい値電圧をマイナス方向に変動させる要因となる。よって、トランジスタの信頼性向上のためには、不純物領域を設けるにあたって、チャンネル形成領域での酸素欠損の発生を可能な限り低減させることが重要である。

40

【0017】

本発明の一態様に係るトランジスタでは、チャンネル形成領域近傍（より具体的には、側壁絶縁層と重畳する領域）においては、不純物元素を含有しない、又は、ソース電極層及びドレイン電極層と接する領域の酸化物半導体層と比較して低濃度の不純物元素を含有する。これによって、チャンネル形成領域への不純物の導入を効果的に抑制することが可能となる。

50

【発明の効果】

【0018】

本発明の一態様により、オン電流の低減を抑制した半導体装置を提供することができる。

【図面の簡単な説明】

【0019】

【図1】半導体装置の一態様を説明する平面図及び断面図。

【図2】半導体装置の作製方法の一例を説明する断面図。

【図3】半導体装置の作製方法の一例を説明する断面図。

【図4】半導体装置の一態様を説明する平面図及び断面図。

【図5】半導体装置の作製方法の一例を説明する断面図。

10

【図6】半導体装置の一態様を説明する平面図、断面図及び回路図。

【図7】半導体装置の一態様を説明する斜視図。

【図8】半導体装置の一態様を説明する断面図。

【図9】半導体装置の一態様を説明するブロック図及びその一部の回路図。

【図10】電子機器を説明する図。

【図11】電子機器を説明する図。

【図12】電子機器を説明する図。

【図13】実施例で作製したトランジスタの電気特性評価結果。

【図14】実施例で作製したトランジスタの電気特性評価結果。

【図15】実施例の注入条件における深さ方向の不純物元素の注入量の計算結果。

20

【図16】寄生抵抗に対するオン電流の低下率を算出したグラフ。

【発明を実施するための形態】

【0020】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。但し、本明細書に開示する発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す本発明の構成において、同一部分又は同様の機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

30

【0021】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0022】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一態様を、図1乃至図3を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体層を有するトランジスタを示す。

【0023】

図1にトランジスタ420の構成例を示す。図1(A)は、トランジスタ420の平面図であり、図1(B)は、図1(A)のX1-Y1における断面図であり、図1(C)は、図1(A)のV1-W1における断面図である。なお、図1(A)では、煩雑になることを避けるため、トランジスタ420の構成要素の一部(例えば、絶縁層407等)を省略して図示している。

40

【0024】

図1に示すトランジスタ420は、基板400上に設けられ、一対の不純物領域403a、403b及びチャネル形成領域403cを含む酸化物半導体層403と、酸化物半導体層403上のゲート絶縁層402と、ゲート絶縁層402を介してチャネル形成領域403cと重畳するゲート電極層401と、ゲート電極層401の側面に接する側壁絶縁層412と、ソース電極層405aと、ドレイン電極層405bと、を有する。酸化物半導体

50

層 4 0 3 において、チャネル形成領域 4 0 3 c は、不純物領域 4 0 3 a と不純物領域 4 0 3 b の間に設けられている。また、ソース電極層 4 0 5 a は、不純物領域 4 0 3 a において、酸化物半導体層 4 0 3 と電氣的に接し、ドレイン電極層 4 0 5 b は、不純物領域 4 0 3 b において、酸化物半導体層 4 0 3 と電氣的に接する。

【 0 0 2 5 】

酸化物半導体層 4 0 3 において、不純物領域 4 0 3 a 及び不純物領域 4 0 3 b は、酸化物半導体層 4 0 3 に酸素欠損を生成する不純物元素を導入された領域である。酸化物半導体にとって酸素欠損はキャリア生成の要因となる。よって、意図的に酸素欠損を生成された不純物領域 4 0 3 a 及び不純物領域 4 0 3 b は、チャネル形成領域 4 0 3 c と比較して低抵抗な領域であり、ソース領域又はドレイン領域として機能する。不純物領域 4 0 3 a 及び不純物領域 4 0 3 b を有することで、ソースとドレイン間の抵抗を低減させることができるため、トランジスタ 4 2 0 の電氣的特性（例えば、オン電流特性）を向上させることができる。

10

【 0 0 2 6 】

酸化物半導体層 4 0 3 において、ソース電極層 4 0 5 a 又はドレイン電極層 4 0 5 b と接する領域には、側壁絶縁層 4 1 2 と重畳する領域（即ち、チャネル形成領域 4 0 3 c と隣接する領域）よりも高い濃度で不純物元素を含有する。また、側壁絶縁層 4 1 2 は、不純物領域 4 0 3 a 、 4 0 3 b に含まれる不純物元素と同じ不純物元素を含有する領域を有する。

【 0 0 2 7 】

20

また、基板 4 0 0 上に設けられた下地絶縁層 4 3 6 、及び / 又は絶縁層 4 0 7 を、トランジスタ 4 2 0 の構成要素としてもよい。

【 0 0 2 8 】

下地絶縁層 4 3 6 において、酸化物半導体層 4 0 3 のチャネル形成領域 4 0 3 c と接する領域は、化学量論的組成よりも過剰に酸素を含む領域（以下、酸素過剰領域とも表記する）を含むことが好ましい。チャネル形成領域 4 0 3 c と接する下地絶縁層 4 3 6 が酸素過剰領域を含むことで、チャネル形成領域 4 0 3 c へ酸素を供給することが可能となる。よって、チャネル形成領域 4 0 3 c からの酸素の脱離を防止するとともに当該領域の酸素欠損を補填することが可能となる。

【 0 0 2 9 】

30

また、下地絶縁層 4 3 6 において不純物領域 4 0 3 a 及び不純物領域 4 0 3 b と接する領域は、不純物領域 4 0 3 a 及び不純物領域 4 0 3 b への不純物の導入処理において、同時に不純物が導入されうる。

【 0 0 3 0 】

酸化物半導体層 4 0 3 は、例えば非単結晶を有していてもよい。非単結晶は、例えば、C A A C (C A x i s A l i g n e d C r y s t a l) 、多結晶、微結晶、非晶質部を含む。

【 0 0 3 1 】

非晶質部は、微結晶及び C A A C よりも欠陥準位密度が高い。また、微結晶は、C A A C よりも欠陥準位密度が高い。なお、C A A C を有する酸化物半導体を、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) と呼ぶ。酸化物半導体層は、例えば C A A C - O S を有していてもよい。C A A C - O S は、例えば、c 軸配向し、a 軸または / および b 軸はマクロに揃っていない。

40

【 0 0 3 2 】

酸化物半導体層 4 0 3 は、例えば微結晶を有していてもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1 n m 以上 1 0 n m 未満のサイズの微結晶（ナノ結晶ともいう。）を膜中に含む。

【 0 0 3 3 】

酸化物半導体層 4 0 3 は、例えば、非晶質部を有していてもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子

50

配列が無秩序であり、結晶成分を有さない。又は、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

【0034】

なお、酸化物半導体層403は、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体膜の領域と、CAAC-OSの領域との積層構造を有していてもよい。

【0035】

なお、酸化物半導体層403は、例えば、単結晶を有していてもよい。

10

【0036】

酸化物半導体層403のチャネル形成領域403cは、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。そのような酸化物半導体層の一例としては、CAAC-OS膜がある。すなわち、酸化物半導体層403のチャネル形成領域403cは、CAAC-OS膜であることが好ましい。

【0037】

CAAC-OS膜は、結晶部を有している。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる、結晶部と結晶部との境界は明確でない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

20

【0038】

CAAC-OS膜に含まれる結晶部は、例えば、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、且つ、ab面に垂直な方向から見て金属原子が三角形または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

30

【0039】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0040】

40

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部のc軸は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【0041】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0042】

50

トランジスタ 4 2 0 の作製方法の一例を、図 2 及び図 3 を用いて以下に説明する。

【 0 0 4 3 】

絶縁表面を有する基板 4 0 0 上に下地絶縁層 4 3 6 を形成する。

【 0 0 4 4 】

絶縁表面を有する基板 4 0 0 に使用することができる基板に大きな制限はないが、少なくとも後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 4 0 0 として用いてもよい。

10

【 0 0 4 5 】

また、基板 4 0 0 として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体層 4 0 3 を含むトランジスタ 4 2 0 を直接作製してもよいし、他の作製基板上に酸化物半導体層 4 0 3 を含むトランジスタ 4 2 0 を作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体層を含むトランジスタ 4 2 0 との間に剥離層を設けるとよい。

【 0 0 4 6 】

下地絶縁層 4 3 6 としては、プラズマ C V D 法又はスパッタリング法等により形成することができ、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を含む膜の単層又は積層構造とすることができる。但し、下地絶縁層 4 3 6 は、酸化物絶縁層を含む単層又は積層構造として、該酸化物絶縁層が後に形成される酸化物半導体層 4 0 3 と接する構造とすることが好ましい。なお、下地絶縁層 4 3 6 は、必ずしも設けなくともよい。

20

【 0 0 4 7 】

下地絶縁層 4 3 6 は酸素過剰領域を有すると、下地絶縁層 4 3 6 に含まれる過剰な酸素によって、後に形成される酸化物半導体層 4 0 3 のチャネル形成領域 4 0 3 c の酸素欠損を補填することが可能であるため好ましい。下地絶縁層 4 3 6 が積層構造の場合は、少なくとも酸化物半導体層 4 0 3 と接する層（好ましくは酸化物絶縁層）において酸素過剰領域を有することが好ましい。下地絶縁層 4 3 6 に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて下地絶縁層 4 3 6 を成膜すればよい。又は、成膜後の下地絶縁層 4 3 6 に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

30

【 0 0 4 8 】

また、下地絶縁層 4 3 6 は、酸素過剰領域を有する層の下側に接して、窒化シリコン膜、窒化酸化シリコン膜又は酸化アルミニウム膜を有することが好ましい。下地絶縁層 4 3 6 が窒化シリコン膜、窒化酸化シリコン膜又は酸化アルミニウム膜を有することで、酸化物半導体層 4 0 3 への不純物の拡散を防止することができる。

40

【 0 0 4 9 】

下地絶縁層 4 3 6 において酸化物半導体層 4 0 3 が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理（例えば、化学的機械研磨法）、ドライエッチング処理、プラズマ処理を用いることができる。

【 0 0 5 0 】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。

50

なお、アルゴン雰囲気にて代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、下地絶縁層 436 の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【0051】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、下地絶縁層 436 表面の凹凸状態に合わせて適宜設定すればよい。

【0052】

また、下地絶縁層 436 を水素（水や水酸基を含む）などの不純物が低減され、かつ酸素過剰な状態とするために、下地絶縁層 436 に水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理（脱水化または脱水素化処理）及び／又は酸素ドーブ処理を行ってもよい。脱水化または脱水素化処理と、酸素ドーブ処理は複数回行ってよく、両方を繰り返し行ってもよい。

10

【0053】

次に、下地絶縁層 436 上に酸化物半導体層を成膜し、島状に加工して酸化物半導体層 403 を形成する（図 2（A）参照）。酸化物半導体層 403 の膜厚は、例えば、1 nm 乃至 30 nm、好ましくは 5 nm 乃至 10 nm とする。

【0054】

酸化物半導体層は、単層構造であってもよいし、積層構造であってもよい。また、非晶質構造であってもよいし、結晶性であってもよい。酸化物半導体層を非晶質構造とする場合には、後の作製工程において、酸化物半導体層に熱処理を行うことによって、結晶性酸化物半導体層としてもよい。非晶質酸化物半導体層を結晶化させる熱処理の温度は、250 以上 700 以下、好ましくは、400 以上、より好ましくは 500 以上、さらに好ましくは 550 以上とする。なお、当該熱処理は、作製工程における他の熱処理を兼ねることも可能である。

20

【0055】

酸化物半導体層の成膜方法は、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD 法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。

【0056】

酸化物半導体層を成膜する際、できる限り酸化物半導体層に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、例えば、スパッタリング法を用いて成膜を行う場合には、スパッタリング装置の成膜室内に供給する雰囲気ガスとして、水素、水、水酸基又は水素化合物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、及び希ガスと酸素との混合ガスを適宜用いる。

30

【0057】

また、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入して成膜を行うことで、成膜された酸化物半導体層の水素濃度を低減させることができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプは、例えば、水素分子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等の排気能力が高いため、クライオポンプを用いて排気した成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

40

【0058】

また、酸化物半導体層をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度（充填率）は 90 % 以上 100 % 以下、好ましくは 95 % 以上 99.9 % 以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

【0059】

50

また、基板 400 を高温に保持した状態で酸化物半導体層を形成することも、酸化物半導体層中に含まれうる不純物濃度を低減するのに有効である。基板 400 を加熱する温度としては、150 以上 450 以下とすればよく、好ましくは基板温度が 200 以上 350 以下とすればよい。また、成膜時に基板を高温で加熱することで、結晶性酸化物半導体層を形成することができる。

【0060】

酸化物半導体層 403 として C A A C - O S 膜を適用する場合、該 C A A C - O S 膜を得る方法としては、例えば、成膜温度を 200 以上 450 以下として酸化物半導体層の成膜を行い、表面に概略垂直に c 軸配向させる方法がある。または、酸化物半導体層を薄い膜厚で成膜した後、200 以上 700 以下の熱処理を行い、表面に概略垂直に c 軸配向させてもよい。または、一層目として薄い膜厚で成膜した後、200 以上 700 以下の熱処理を行い、二層目の成膜を行い、表面に概略垂直に c 軸配向させる方法もある。

10

【0061】

酸化物半導体層 403 に用いる酸化物半導体としては、少なくともインジウム (In) を含む。特に、インジウムと亜鉛 (Zn) を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、ジルコニウム (Zr) のいずれか一種または複数種を有することが好ましい。

20

【0062】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を有してもよい。

【0063】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物 (IGZO とも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

30

【0064】

例えば、In - Ga - Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

40

【0065】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn および Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0066】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Ga} : \text{Z}$

50

$n = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$)、あるいは $In : Ga : Zn = 3 : 1 : 2$ ($= 1/2 : 1/6 : 1/3$) の原子数比の $In - Ga - Zn$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Sn : Zn = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $In : Sn : Zn = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子数比の $In - Sn - Zn$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0067】

しかし、インジウムを含む酸化物半導体を用いたトランジスタは、これらに限られず、必要とする電気的特性（電界効果移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする電気的特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとする

10

【0068】

例えば、 $In - Sn - Zn$ 系酸化物半導体を用いたトランジスタでは比較的容易に高い電界効果移動度が得られる。しかしながら、 $In - Ga - Zn$ 系酸化物半導体を用いたトランジスタでも、バルク内欠陥密度を低くすることにより電界効果移動度を上げることができる。

【0069】

なお、例えば、 In 、 Ga 、 Zn の原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$) である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、 0.05 とすればよい。他の酸化物でも同様である。

20

【0070】

本実施の形態において、酸化物半導体層 403 は単層構造を有する。但し、酸化物半導体層 403 は、複数の酸化物半導体層が積層された構造としてもよい。例えば、酸化物半導体層 403 を、第 1 の酸化物半導体層と第 2 の酸化物半導体層の積層として、第 1 の酸化物半導体層と第 2 の酸化物半導体層に、異なる組成の金属酸化物を用いてもよい。例えば、第 1 の酸化物半導体層に三元系金属の酸化物を用い、第 2 の酸化物半導体層に二元系金属の酸化物を用いてもよい。また、例えば、第 1 の酸化物半導体層と第 2 の酸化物半導体層を、どちらも三元系金属の酸化物としてもよい。

30

【0071】

また、第 1 の酸化物半導体層と第 2 の酸化物半導体層の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第 1 の酸化物半導体層の原子数比を $In : Ga : Zn = 1 : 1 : 1$ とし、第 2 の酸化物半導体層の原子数比を $In : Ga : Zn = 3 : 1 : 2$ としてもよい。また、第 1 の酸化物半導体層の原子数比を $In : Ga : Zn = 1 : 3 : 2$ とし、第 2 の酸化物半導体層の原子数比を $In : Ga : Zn = 2 : 1 : 3$ としてもよい。

【0072】

この時、第 1 の酸化物半導体層と第 2 の酸化物半導体層のうち、ゲート電極に近い側（チャネル側）の酸化物半導体層の In と Ga の含有率を $In > Ga$ とするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物半導体層の In と Ga の含有率を $In < Ga$ とするとよい。

40

【0073】

酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、 In の含有率を多くすることにより s 軌道のオーバーラップが多くなる傾向があるため、 $In > Ga$ の組成となる酸化物は $In - Ga$ の組成となる酸化物と比較して高い移動度を備える。また、 Ga は In と比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、 $In - Ga$ の組成となる酸化物は $In > Ga$ の組成となる酸化物と比較して安定した特性を備える。

【0074】

50

チャネル側に $\text{In} > \text{Ga}$ の組成となる酸化物半導体を適用し、バックチャネル側に $\text{In} < \text{Ga}$ の組成となる酸化物半導体を適用することで、トランジスタの移動度および信頼性をさらに高めることが可能となる。

【0075】

また、第1の酸化物半導体層と第2の酸化物半導体層に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、または CAAC-OS を適宜組み合わせた構成としてもよい。また、第1の酸化物半導体層と第2の酸化物半導体層の少なくともどちらか一方に非晶質酸化物半導体を適用すると、酸化物半導体層403の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

10

【0076】

一方で、非晶質酸化物半導体は水素などの不純物を吸収しやすく、また、酸素欠損が生じやすいため n 型化されやすい。このため、チャネル側の酸化物半導体層は、 CAAC-OS などの結晶性を有する酸化物半導体を適用することが好ましい。

【0077】

また、酸化物半導体層403に、当該酸化物半導体層403に含まれる過剰な水素（水や水酸基を含む）を除去（脱水化又は脱水素化）するための熱処理を行うことが好ましい。熱処理の温度は、300 以上700 以下、又は基板の歪み点未満とする。熱処理は減圧下又は窒素雰囲気下などで行うことができる。

【0078】

20

この熱処理によって、 n 型の導電性を付与する不純物である水素を酸化物半導体から除去することができる。例えば、脱水化又は脱水素化処理後の酸化物半導体層403に含まれる水素濃度を、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下とすることができる。

【0079】

なお、脱水化又は脱水素化のための熱処理は、酸化物半導体層の成膜後であればトランジスタ420の作製工程においてどのタイミングで行ってもよい。また、脱水化又は脱水素化のための熱処理は、複数回行ってもよく、他の熱処理と兼ねてもよい。

【0080】

なお、下地絶縁層436として酸素を含む絶縁層を設ける場合、脱水化又は脱水素化のための熱処理を、酸化物半導体層を島状に加工する前に行うと、下地絶縁層436に含まれる酸素が熱処理によって放出されるのを防止することができるため好ましい。

30

【0081】

熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0082】

また、熱処理で酸化物半導体層403を加熱した後、加熱温度を維持、又はその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア（CRDS（キャピティリングダウンレーザ分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入してもよい。酸素ガス又は一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する酸素ガス又は一酸化二窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガス又は一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層403を高純度化及び i 型（真性）化す

40

50

ることができる。

【0083】

また、脱水化又は脱水素化処理によって、酸化物半導体を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがあるため、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。

【0084】

脱水化又は脱水素化処理を行った酸化物半導体層に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体層を高純度化、及びi型（真性）化することができる。高純度化し、i型（真性）化した酸化物半導体を有するトランジスタは、電気特性変動が抑制されており、電氣的に安定である。

10

【0085】

酸化物半導体層に酸素導入する場合、酸化物半導体層403に直接導入してもよいし、後に形成されるゲート絶縁層402や絶縁層407などの他の膜を通過して酸化物半導体層403へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いればよい。露出された酸化物半導体層403へ直接酸素を導入する場合は、上記の方法に加えてプラズマ処理なども用いることができる。

【0086】

酸素の供給ガスとしては、Oを含有するガスを用いればよく、例えば、O₂ガス、N₂Oガス、CO₂ガス、COガス、NO₂ガス等を用いることができる。なお、酸素の供給ガスに希ガス（例えばAr）を含有させてもよい。

20

【0087】

例えば、イオン注入法で酸化物半導体層403へ酸素イオンの注入を行う場合、ドーズ量を $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0088】

または、酸化物半導体層403と接する絶縁層を、酸素過剰領域を含む層とし、該絶縁層と酸化物半導体層403とが接した状態で熱処理を行うことにより、絶縁層に過剰に含まれる酸素を酸化物半導体層403へ拡散させ、酸化物半導体層403へ酸素を供給してもよい。該熱処理は、トランジスタ420の作製工程における他の熱処理と兼ねることもできる。

30

【0089】

酸化物半導体層への酸素の供給は酸化物半導体層の成膜後であれば、そのタイミングは特に限定されない。また、酸化物半導体層への酸素の導入は複数回行ってよい。また、酸化物半導体層を複数層の積層構造とする場合には、脱水化又は脱水素化のための熱処理及び/又は酸素の供給は、各酸化物半導体層に対して別々に行ってもよいし、積層構造を形成した後の酸化物半導体層403に対して行ってもよい。

【0090】

下地絶縁層436と酸化物半導体層403とを大気に曝露せずに連続的に形成することが好ましい。下地絶縁層436と酸化物半導体層403とを大気に曝露せずに連続して形成すると、下地絶縁層436表面に水素や水分などの不純物が吸着することを防止することができる。

40

【0091】

酸化物半導体層403は、膜状の酸化物半導体層をフォトリソグラフィ工程により島状の酸化物半導体層に加工して形成することができる。島状の酸化物半導体層403を形成するためのレジストマスクはインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減することができる。

【0092】

次いで、酸化物半導体層403上にゲート絶縁層402を形成する。ゲート絶縁層402

50

は、1 nm以上20 nm以下の膜厚で、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いて形成することができる。

【0093】

なお、ゲート絶縁層402の被覆性を向上させるために、酸化物半導体層403表面にも上記平坦化処理を行ってもよい。特にゲート絶縁層402として膜厚の薄い絶縁層を用いる場合、酸化物半導体層403表面の平坦性が良好であることが好ましい。

【0094】

ゲート絶縁層402の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。ゲート絶縁層402は、酸化物半導体層403と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁層402は、膜中（バルク中）に少なくとも化学量的組成を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁層402として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 >0 ）とする。さらに、ゲート絶縁層402は、作製するトランジスタのサイズやゲート絶縁層402の段差被覆性を考慮して形成することが好ましい。

【0095】

また、ゲート絶縁層402の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、窒素が添加されたハフニウムシリケート、ハフニウムアルミネート（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））、酸化ランタンなどの材料を用いてもよい。さらに、ゲート絶縁層402は、単層構造としても良いし、積層構造としても良い。

【0096】

ゲート絶縁層402を水素（水や水酸基を含む）などの不純物が低減され、かつ酸素過剰な状態とするために、ゲート絶縁層402に水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理（脱水化または脱水素化処理）及び／又は酸素ドーピング処理を行ってもよい。脱水化または脱水素化処理と、酸素ドーピング処理は複数回行ってもよく、両方を繰り返して行ってもよい。

【0097】

次にゲート絶縁層402上に導電膜を形成し、該導電膜をエッチングして、ゲート電極層401を形成する。その後、ゲート電極層401を覆うように、ゲート絶縁層402上に絶縁層412aを形成する（図2（B）参照）。

【0098】

ゲート電極層401の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層401としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層401は、単層構造としてもよいし、積層構造としてもよい。

【0099】

また、ゲート電極層401の材料は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0100】

また、ゲート絶縁層402と接するゲート電極層401の一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜（InN、SnNなど）を用いることができる。これらの膜は5 eV（電子ボルト）以上、好ましくは5.5 eV（電子ボルト）以

10

20

30

40

50

上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0101】

絶縁層412aとしては、例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜等を用いることができる。絶縁層412aは単層構造又は積層構造とすることができ、膜厚を20nm以上50nm以下とすることが好ましい。また、絶縁層412aは、LPCVD法、プラズマCVD法等のCVD法を用いて形成することが好ましい。本実施の形態では、絶縁層412aとしてプラズマCVD法を用いて酸化シリコン膜を成膜する。プラズマCVD法は、成膜時に膜へゴミなどが付着、混入しにくい上、比較的早い成膜速度で成膜することができるので、絶縁層412aの厚膜化が可能であり、生産性に有利である。

10

【0102】

ここで、絶縁層412aは、酸化物半導体層403及びゲート絶縁層402と比較して膜厚の大きいゲート電極層401を覆うため、絶縁層412aにおいてゲート電極層401の側面と隣接する領域100では、その他の領域と比較して膜厚が大きくなる。より具体的には、図2(B)において、絶縁層412aの膜厚をdとした場合、ゲート電極層401側面からの距離がd以下の領域100においては、絶縁層412aの膜厚が最大でゲート電極層401の膜厚分大きくなる。

【0103】

次いで、絶縁層412a上から、ゲート電極層401をマスクとして酸化物半導体層403へ不純物元素431を導入する。これによって、不純物領域403a及び不純物領域403bが自己整合的に形成される(図2(C)参照)。また、不純物領域403aと不純物領域403bとの間にチャネル形成領域403cが形成される。

20

【0104】

不純物元素431は、酸化物半導体層403へ酸素欠損を生成するために導入される。具体的には、希ガス等の、導入処理時に酸化物半導体層403へ物理的にダメージを与えることで酸素欠損を生成する元素や、導入処理後に酸化物半導体層403中の酸素と結合することによって酸素欠損を生成する元素(例えば、リン(P)、砒素(As)、アンチモン(Sb)、ホウ素(B)、アルミニウム(Al)、タングステン(W)、モリブデン(Mo)、窒素(N)、フッ素(F)、塩素(Cl)、チタン(Ti)、炭素(C)、及び亜鉛(Zn)のいずれかから選択される一以上)を用いることができる。

30

【0105】

酸化物半導体において酸素欠損はキャリア生成の要因となる。よって、酸化物半導体の酸素欠損を生成するための不純物元素を導入された不純物領域403a、403bは、チャネル形成領域403cと比較して低抵抗な領域となり、トランジスタのソース領域又はドレイン領域として機能する。不純物領域403a、403bを設けることで、トランジスタ420のソースとドレイン間の抵抗を低減することができる。

【0106】

また、絶縁層412aは、ゲート電極層401の側面と隣接する領域100は、その他の領域よりも大きな膜厚を有するため、酸化物半導体層403において領域100と重畳する領域102では、不純物元素431が導入されにくい。一方、絶縁層412aの領域100には不純物元素431が含まれる。従って、領域102は、不純物領域403a、403bの一部であって、且つ、ゲート電極層401及び領域100のいずれとも重畳しない領域(領域104)よりも低濃度に不純物元素を含有する領域となる。又は、不純物元素の導入条件によっては領域102には不純物元素が導入されずに、所謂オフセット領域となる場合もある。

40

【0107】

いずれにせよ、不純物元素の導入処理によって、酸化物半導体層403において、絶縁層412aの領域100と重畳する領域102は、ゲート電極層401及び領域100のいずれとも重畳しない領域(領域104)よりも含有する不純物元素の濃度が低い。チャネ

50

ル形成領域 4 0 3 c に隣接して、不純物濃度が低い、又は不純物元素を含有しない領域を設けることで、ソースとドレイン間の電界集中を低減させ、ホットキャリア劣化を抑制することができる。よって、トランジスタ 4 2 0 の信頼性を向上させることができる。

【 0 1 0 8 】

また、膜厚差を有する絶縁層 4 1 2 a 上から不純物元素 4 3 1 を導入することで、チャネル形成領域 4 0 3 c への意図しない不純物元素 4 3 1 の混入を抑制することができる。よって、チャネル形成領域 4 0 3 c での酸素欠損の生成を防止し、トランジスタ 4 2 0 の信頼性を向上させることが可能となる。膜厚差を有する絶縁層 4 1 2 a 上から不純物元素 4 3 1 を導入する処理は、トランジスタが微細化され、チャネル長が短い場合に特に効果的である。

10

【 0 1 0 9 】

なお、不純物元素 4 3 1 の導入条件によっては、酸化物半導体層 4 0 3 の領域 1 0 4 と重畳する下地絶縁層 4 3 6 及び / 又はゲート絶縁層 4 0 2 にも不純物元素が含有される場合がある。同様に、酸化物半導体層 4 0 3 の領域 1 0 2 と重畳するゲート絶縁層 4 0 2 にも不純物元素が含有される場合がある。従って、トランジスタ 4 2 0 に含まれる下地絶縁層 4 3 6 及び / 又はゲート絶縁層 4 0 2 も不純物元素 4 3 1 を含有し、且つ濃度差を有することがある。例えば、酸化物半導体層 4 0 3 の領域 1 0 4 に濃度プロファイルのピークを有するように不純物元素 4 3 1 を導入する場合、領域 1 0 4 と重畳する領域の下地絶縁層 4 3 6 及びゲート絶縁層 4 0 2 にも不純物元素 4 3 1 が導入され、当該領域の下地絶縁層 4 3 6 及びゲート絶縁層 4 0 2 は、領域 1 0 2 と重畳する領域の下地絶縁層 4 3 6 及びゲート絶縁層 4 0 2 よりも含有する不純物元素の濃度が高いことがある。

20

【 0 1 1 0 】

また、領域 1 0 4 と領域 1 0 2 との境界付近では、含有される不純物元素の深さ方向（膜厚方向）の濃度プロファイルが、領域 1 0 2 に近づく程浅い位置にピークを有する場合がある。なお、不純物元素 4 3 1 を導入後の酸化物半導体層 4 0 3 の各領域に含まれる深さ方向の不純物濃度プロファイルは、S I M S (S e c o n d a r y I o n M a s s S p e c t r o m e t r y) などの方法を用いて分析することができる。

【 0 1 1 1 】

次いで、絶縁層 4 1 2 a 上に絶縁層 4 1 2 b を形成する（図 3 (A) 参照）。絶縁層 4 1 2 b の膜厚は、少なくとも絶縁層 4 1 2 a の膜厚よりも大きいものとし、2 0 0 n m 以上 5 0 0 n m 以下の膜厚とするのが好ましい。絶縁層 4 1 2 b は、絶縁層 4 1 2 a と同様の材料及び同様の作製方法を適宜選択して形成することができ、絶縁層 4 1 2 a と同じ材料を用いて形成することが好ましい。

30

【 0 1 1 2 】

本実施の形態では、絶縁層 4 1 2 b として、絶縁層 4 1 2 a と同様にプラズマ C V D 法を用いて酸化シリコン膜を成膜する。なお、絶縁層 4 1 2 a と絶縁層 4 1 2 b を同じ材料を用いて形成した場合、絶縁層 4 1 2 a と絶縁層 4 1 2 b との界面が不明確（不明瞭）となる場合がある。図 3 (A) では、当該界面が不明確（不明瞭）であることを模式的に点線で図示している。但し、以降の工程図及びトランジスタの断面図においては、当該界面を省略して図示するものとする。なお、界面が不明確（不明瞭）とは、高分解能透過型電子顕微鏡を用いた断面観察（T E M 像）において、連続的な境界が確認できない場合を指す。

40

【 0 1 1 3 】

絶縁層 4 1 2 a 及び絶縁層 4 1 2 b は、積層され異方性エッチングを施されることによって、側壁絶縁層を形成する絶縁層である。不純物の導入処理後に膜厚の大きい絶縁層 4 1 2 b を積層させることで、絶縁層 4 1 2 a 及び絶縁層 4 1 2 b の積層構造を加工した側壁絶縁層が、側壁絶縁層として機能できる程度に膜厚や形状を調節することが可能となる。

【 0 1 1 4 】

次いで、絶縁層 4 1 2 a 及び絶縁層 4 1 2 b を異方性エッチングして、ゲート電極層 4 0 1 の側面に側壁絶縁層 4 1 2 を形成する（図 3 (B) 参照）。側壁絶縁層 4 1 2 は、絶縁

50

層 4 1 2 a の領域 1 0 0 を含むため、該側壁絶縁層 4 1 2 には不純物元素 4 3 1 が含有されている。

【 0 1 1 5 】

次いで、ゲート絶縁層 4 0 2、側壁絶縁層 4 1 2 及びゲート電極層 4 0 1 上に絶縁層 4 0 7 を形成し、該絶縁層 4 0 7 に開口部を設けた後、開口部を介して酸化物半導体層 4 0 3 と電氣的に接続するソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b を形成する（図 3（C）参照）。

【 0 1 1 6 】

絶縁層 4 0 7 としては、プラズマ C V D 法、スパッタリング法、又は蒸着法等により成膜した、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ガリウム膜、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜等の無機絶縁膜を単層で又は積層構造で用いることができる。または、絶縁層 4 0 7 として、トランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよく、無機絶縁膜と平坦化絶縁膜を積層させてもよい。平坦化絶縁膜としては、ポリイミド系樹脂、アクリル系樹脂、ベンゾシクロブテン系樹脂等の有機材料と用いることができる。又は、上記有機材料の他に、低誘電率材料（low - k 材料）等を用いることができる。

【 0 1 1 7 】

ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、Al、Cu などの金属膜の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としてもよい。また、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b に用いる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ ）、酸化インジウム酸化亜鉛（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【 0 1 1 8 】

例えば、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b として、モリブデン膜の単層、窒化タンタル膜と銅膜との積層、又は窒化タンタル膜とタングステン膜との積層などを用いることができる。

【 0 1 1 9 】

ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b は、それぞれ酸化物半導体層 4 0 3 の不純物領域 4 0 3 a 及び不純物領域 4 0 3 b と接する。ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b が低抵抗領域である不純物領域 4 0 3 a 及び不純物領域 4 0 3 b と接する構成とすることで、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b と、のコンタクト抵抗を低減することができる。

【 0 1 2 0 】

以上の工程で、本実施の形態のトランジスタ 4 2 0 を有する半導体装置を作製することができる。

【 0 1 2 1 】

本実施の形態で示す半導体装置の作製方法は、酸化物半導体層のチャネル形成領域に接して、酸素欠損を生成する不純物元素を含有する一対の不純物領域を設ける際に、酸化物半導体層 4 0 3 上のゲート電極層 4 0 1 を覆う絶縁層 4 1 2 a 上から酸化物半導体層 4 0 3 へと導入する。ゲート電極層 4 0 1 を覆う絶縁層 4 1 2 a は、該ゲート電極層 4 0 1 側面と接する領域においては、その他の領域と比較して膜厚が大きくなるため、当該領域と重畳する酸化物半導体層 4 0 3 へは不純物元素が導入されにくくなる。

【 0 1 2 2 】

本実施の形態で示す作製方法を適用することで、チャネル形成領域への不純物元素の混入を効果的に抑制しつつ、チャネル形成領域を挟む一対の低抵抗領域を形成してソースとドレイン間の抵抗を低減することができる。また、当該不純物元素を含む領域（不純物領域）において、ソース電極層及びドレイン電極層と接することで、コンタクト抵抗を低減することができる。よって、トランジスタ４２０において寄生抵抗を低減することができるため、オン特性（例えばオン電流）の良好なトランジスタを提供することが可能となる。

【０１２３】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【０１２４】

10

（実施の形態２）

本実施の形態では、実施の形態１と異なる構成の半導体装置及びその作製方法について図４及び図５を用いて説明する。なお、上記実施の形態と同一部分又は同様の機能を有する部分及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また、同じ箇所の詳細な説明は省略する。

【０１２５】

図４にトランジスタ４２２の構成例を示す。図４（Ａ）は、トランジスタ４２２の平面図であり、図４（Ｂ）は図４（Ａ）のＸ２－Ｙ２における断面図であり、図４（Ｃ）は、図４（Ａ）のＶ２－Ｗ２における断面図である。なお、図４（Ａ）では、煩雑になることを避けるため、トランジスタ４２２の構成要素の一部（例えば、絶縁層４１４等）を省略して図示している。

20

【０１２６】

図４に示すトランジスタ４２２は、基板４００上に設けられ、一対の不純物領域４０３ａ、４０３ｂと、不純物領域４０３ａと不純物領域４０３ｂの間のチャネル形成領域４０３ｃと、を含む酸化物半導体層４０３と、酸化物半導体層４０３上に設けられたゲート絶縁層４０２と、ゲート絶縁層４０２を介してチャネル形成領域４０３ｃと重畳するゲート電極層４０１と、ゲート電極層４０１の側面に接する側壁絶縁層４１２と、酸化物半導体層４０３の上面の一部、ゲート絶縁層４０２の側面及び側壁絶縁層４１２に接するソース電極層４０５ａ又はドレイン電極層４０５ｂと、を有する。

【０１２７】

30

また、トランジスタ４２２において、下地絶縁層４３６、絶縁層４０７、絶縁層４１４、ソース配線層４１５ａ、及びドレイン配線層４１５ｂを構成要素に含めてもよい。ソース配線層４１５ａは、絶縁層４１４及び絶縁層４０７に設けられた開口を介してソース電極層４０５ａと電氣的に接続する。また、ドレイン配線層４１５ｂは、絶縁層４１４及び絶縁層４０７に設けられた開口を介してドレイン電極層４０５ｂと電氣的に接続する。

【０１２８】

トランジスタ４２２の作製方法の一例を、図５を用いて以下に説明する。

【０１２９】

図２（Ａ）乃至図３（Ｂ）と同様の工程によって、基板４００上に、ゲート電極層４０１の側面に側壁絶縁層４１２を形成した後、側壁絶縁層４１２をマスクとしてゲート絶縁層４０２をエッチングすることで、酸化物半導体層４０３の一部（不純物領域４０３ａ及び不純物領域４０３ｂ）を露出させる（図５（Ａ）参照）。

40

【０１３０】

次いで、露出した酸化物半導体層４０３、側壁絶縁層４１２及びゲート電極層４０１を覆うように、導電膜を形成し、該導電膜をフォトリソグラフィ工程を用いたレジストマスクによって選択的にエッチングして、導電膜４０５とする。ここで、導電膜４０５は、ゲート電極層４０１と重畳する領域を有する。その後、導電膜４０５上に絶縁層４０７を形成する（図５（Ｂ）参照）。

【０１３１】

導電膜４０５は、実施の形態１で示したソース電極層４０５ａ及びドレイン電極層４０５

50

bの材料と同様の材料を用いることができる。

【0132】

なお、酸化物半導体層403への不純物元素の導入は、少なくともゲート電極層401を覆う絶縁層412a上から一度行えばよく、ゲート電極層401の形成後であればトランジスタの作製工程において、複数回行ってよい。例えば、導電膜405を形成後にさらに不純物元素431を導入してもよい。導電膜405を形成後にさらに不純物元素を導入することで、酸化物半導体層403における不純物元素の濃度差がより大きくなる。

【0133】

次いで、絶縁層407及び導電膜405に研磨（切削、研削）処理を行い、ゲート電極層401と重畳する領域の導電膜405を除去することによって、ソース電極層405a及びドレイン電極層405bを形成する。研磨処理によってゲート電極層401と重畳する領域の導電膜405を除去することで、導電膜405のチャネル長方向の分断を、レジストマスクを用いることなく行うことができるため、トランジスタ422が微細なチャネル長を有する場合であっても精度よくソース電極層405a及びドレイン電極層405bを形成することができる（図5（C）参照）。

10

【0134】

研磨（切削、研削）方法としては化学的機械研磨（Chemical Mechanical Polishing：CMP）処理を好適に用いることができる。本実施の形態では、CMP処理によってゲート電極層401と重畳する領域の導電膜405を除去する。

【0135】

なお、CMP処理は、1回のみ行ってよいし、複数回行ってよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、生産性及び表面の平坦性をより向上させることができる。

20

【0136】

なお、本実施の形態では、ゲート電極層401と重畳する領域の導電膜405の除去にCMP処理を用いたが、他の研磨（研削、切削）処理を用いてもよい。又は、CMP処理等の研磨処理と、エッチング（ドライエッチング、ウェットエッチング）処理や、プラズマ処理などを組み合わせてもよい。例えば、CMP処理後、ドライエッチング処理やプラズマ処理（逆スパッタリングなど）を行い、処理表面の平坦性向上を図ってもよい。研磨処理に、エッチング処理、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、導電膜405の材料、膜厚、及び表面の凹凸状態に合わせて適宜設定すればよい。

30

【0137】

なお、本実施の形態においては、ソース電極層405a及びドレイン電極層405bの上端部は、ゲート電極層401の上端部と概略一致している。但し、ソース電極層405a及びドレイン電極層405bの形状は導電膜405の一部を除去するための研磨処理の条件によって異なる。例えば、ソース電極層405a又はドレイン電極層405bは、ゲート電極層401の表面より膜厚方向に後退した形状となる場合がある。

【0138】

その後、絶縁層407上に絶縁層414を形成し、絶縁層414及び絶縁層407にソース電極層405a又はドレイン電極層405bに達する開口を形成する。該開口にソース電極層405aと電氣的に接続するソース配線層415a、及びドレイン電極層405bと電氣的に接続するドレイン配線層415bを形成する（図5（D）参照）。

40

【0139】

以上の工程で、本実施の形態で示すトランジスタ422を有する半導体装置を作製することができる。

【0140】

本実施の形態で示すトランジスタは、ソース電極層405aと酸化物半導体層403が接する領域（ソース側コンタクト領域）と、ゲート電極層401との距離、及び、ドレイン電極層405bと酸化物半導体層403が接する領域（ドレイン側コンタクト領域）とゲ

50

ート電極層 401 との距離を縮小することができる。よって、ソース側コンタクト領域又はドレイン側コンタクト領域と、ゲート電極層 401 との間の抵抗を減少させることができ、オン特性をより向上させることができる。

【0141】

また、本実施の形態で示すトランジスタにおいて、側壁絶縁層 412 は、ソース電極層 405a 又はドレイン電極層 405b と、ゲート電極層 401 との間に寄生チャネルが形成されることを抑制する機能を有する。

【0142】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

10

【0143】

(実施の形態3)

本実施の形態では、本明細書に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を、図面を用いて説明する。

【0144】

図6は、半導体装置の構成の一例である。図6(A)に、半導体装置の断面図を、図6(B)に半導体装置の平面図を、図6(C)に半導体装置の回路図をそれぞれ示す。ここで、図6(A)は、図6(B)のC1-C2、及びD1-D2における断面に相当する。

【0145】

20

図6(A)及び図6(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。トランジスタ162は、実施の形態2で示すトランジスタ422の構造を適用する例である。

【0146】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

30

【0147】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態1又は2に示すようなトランジスタを用いる他は、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0148】

図6(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板185に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属間化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極層110と、を有する。なお、図において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。

40

【0149】

基板185上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を囲むように絶縁層128、130が設けられている。

【0150】

50

単結晶半導体基板を用いたトランジスタ160は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ162および容量素子164の形成前の処理として、トランジスタ160を覆う絶縁層にCMP処理を施して、絶縁層128、130を平坦化すると同時にトランジスタ160のゲート電極層の上面を露出させる。

【0151】

図6(A)に示すトランジスタ162は、酸化物半導体をチャネル形成領域に用いたトップゲート型トランジスタである。ここで、トランジスタ162は、チャネル形成領域への不純物元素の混入を抑制し、酸化物半導体層144を高純度化、及びi型(真性)化した酸化物半導体を有する。よって、トランジスタ162は、極めて優れたオフ特性を有する。また、本実施の形態で示すトランジスタ162において、側壁絶縁層146は、電極層142a又は電極層142bと、ゲート電極層145との間に寄生チャネルが形成されることを抑制することができる。

10

【0152】

トランジスタ162は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0153】

トランジスタ162上には、絶縁層150が単層又は積層で設けられている。また、絶縁層150を介して、トランジスタ162の電極層142aと重畳する領域には、導電層148が設けられており、電極層142aと、絶縁層150と、導電層148とによって、容量素子164が構成される。すなわち、トランジスタ162の電極層142aは、容量素子164の一方の電極として機能し、導電層148は、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてもよい。

20

【0154】

トランジスタ162および容量素子164の上には絶縁層152が設けられている。そして、絶縁層152上には配線156が設けられている。配線156はトランジスタ162と、他のトランジスタを接続するための配線である。図6(A)には図示しないが、配線156は、絶縁層152及び絶縁層150などに形成された開口に形成された電極層を介して電極層142bと電氣的に接続される。

30

【0155】

図6(A)及び図6(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域又はドレイン領域と酸化物半導体層144の一部が重畳するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくとも一部と重畳するように設けられている。例えば、容量素子164の導電層148は、トランジスタ160のゲート電極層110と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

40

【0156】

次に、図6(A)及び図6(B)に対応する回路構成の一例を図6(C)に示す。

【0157】

図6(C)において、第1の配線(1st Line)とトランジスタ160のソース電極層とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極層とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極層又はドレイン電極層の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極層とは、電氣的に接続されている。そして、トランジスタ160のゲート電極層と、トランジスタ162

50

のソース電極層又はドレイン電極層の他方は、容量素子164の電極の一方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。

【0158】

図6(C)に示す半導体装置では、トランジスタ160のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0159】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極層、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極層には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極層に与えられた電荷が保持される(保持)。

【0160】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極層の電荷は長時間にわたって保持される。

【0161】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極層に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極層にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極層にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ160のゲート電極層に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0(>V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0(<V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0162】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。又は、ゲート電極層の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0163】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、又は、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合(ただし、電位は固定されていることが望ましい)であっても、長期にわたって記憶内容を保持することが可能である。

【0164】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0165】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

10

【0166】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0167】

(実施の形態4)

本実施の形態では、実施の形態3とは異なる記憶装置の構造の一形態について説明する。

【0168】

図7は、記憶装置の斜視図である。図7に示す記憶装置は上部に記憶回路としてメモリセルを複数含む、メモリセルアレイ(メモリセルアレイ3400(1)乃至メモリセルアレイ3400(n) nは2以上の整数)を複数層有し、下部にメモリセルアレイ3400(1)乃至メモリセルアレイ3400(n)を動作させるために必要な論理回路3004を有する。

20

【0169】

図8では、論理回路3004、メモリセルアレイ3400(1)及びメモリセルアレイ3400(2)を図示しており、メモリセルアレイ3400(1)又はメモリセルアレイ3400(2)に含まれる複数のメモリセルのうち、メモリセル3170aと、メモリセル3170bを代表で示す。メモリセル3170a及びメモリセル3170bとしては、例えば、上記実施の形態において説明した回路構成と同様の構成とすることもできる。

【0170】

30

なお、図8に、メモリセル3170aに含まれるトランジスタ3171aを代表で示す。また、メモリセル3170bに含まれるトランジスタ3171bを代表で示す。トランジスタ3171a及びトランジスタ3171bは、酸化物半導体層にチャネル形成領域を有する。酸化物半導体層にチャネル形成領域が形成されるトランジスタの構成については、実施の形態1又は2において説明した構成と同様であるため、説明は省略する。

【0171】

トランジスタ3171aのソース電極層又はドレイン電極層と同じ層に形成された電極層3501aは、電極層3502aによって、電極層3003aと電気的に接続されている。トランジスタ3171bのソース電極層又はドレイン電極層と同じ層に形成された電極層3501cは、電極層3502cによって、電極層3003cと電気的に接続されている。

40

【0172】

また、論理回路3004は、酸化物半導体以外の半導体材料をチャネル形成領域として用いたトランジスタ3001を有する。トランジスタ3001は、半導体材料(例えば、シリコンなど)を含む基板3000に素子分離絶縁層3106を設け、素子分離絶縁層3106に囲まれた領域にチャネル形成領域となる領域を形成することによって得られるトランジスタとすることができる。なお、トランジスタ3001は、絶縁表面上に形成された多結晶シリコン膜等の半導体膜や、SOI基板のシリコン膜にチャネル形成領域が形成されるトランジスタであってもよい。トランジスタ3001の構成については、公知の構成を用いることが可能であるため、説明は省略する。

50

【0173】

トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間には、配線3100a及び配線3100bが形成されている。配線3100aとトランジスタ3001が形成された層との間には、絶縁層3140aが設けられ、配線3100aと配線3100bとの間には、絶縁層3141aが設けられ、配線3100bとトランジスタ3171aが形成された層との間には、絶縁層3142aが設けられている。

【0174】

同様に、トランジスタ3171bが形成された層と、トランジスタ3171aが形成された層との間には、配線3100c及び配線3100dが形成されている。配線3100cとトランジスタ3171aが形成された層との間には、絶縁層3140bが設けられ、配線3100cと配線3100dとの間には、絶縁層3141bが設けられ、配線3100dとトランジスタ3171bが形成された層との間には、絶縁層3142bが設けられている。

10

【0175】

絶縁層3140a、絶縁層3141a、絶縁層3142a、絶縁層3140b、絶縁層3141b、絶縁層3142bは、層間絶縁層として機能し、その表面は平坦化された構成とすることができる。

【0176】

配線3100a、配線3100b、配線3100c、配線3100dによって、メモリセル間の電氣的接続や、論理回路3004とメモリセルとの電氣的接続等を行うことができる。

20

【0177】

論理回路3004に含まれる電極層3303は、上部に設けられた回路と電氣的に接続することができる。

【0178】

例えば、図8に示すように、電極層3505によって電極層3303は配線3100aと電氣的に接続することができる。配線3100aは、電極層3503aによって、トランジスタ3171aの電極層3501bと電氣的に接続することができる。こうして、配線3100a及び電極層3303を、トランジスタ3171aのソースまたはドレインと電氣的に接続することができる。また、トランジスタ3171aのソースまたはドレインである電極層3501bは、電極層3502bによって電極層3003bと電氣的に接続することができる。電極層3003bは、電極層3503bによって配線3100cと電氣的に接続することができる。

30

【0179】

図8では、電極層3303とトランジスタ3171aとの電氣的接続は、配線3100aを介して行われる例を示したがこれに限定されない。電極層3303とトランジスタ3171aとの電氣的接続は、配線3100bを介して行われてもよいし、配線3100aと配線3100bの両方を介して行われてもよい。または、配線3100aも配線3100bも介さず、他の電極層を用いて行われてもよい。

【0180】

また、図8では、トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間には、配線3100aが形成された配線層と、配線3100bが形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

40

【0181】

また、図8では、トランジスタ3171bが形成された層と、トランジスタ3171aが形成された層との間には、配線3100cが形成された配線層と、配線3100dが形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ3171bが形成された層と、トランジスタ3171aが形成された層との間に

50

、１つの配線層が設けられていてもよいし、３つ以上の配線層が設けられていてもよい。

【０１８２】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【０１８３】

（実施の形態５）

本実施の形態では、半導体装置の一例として、上記実施の形態１又は２に開示したトランジスタを少なくとも一部に用いたＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）について説明する。

【０１８４】

図９（Ａ）は、ＣＰＵの具体的な構成を示すブロック図である。図９（Ａ）に示すＣＰＵは、基板１１９０上に、ＡＬＵ１１９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ、演算回路）、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、タイミングコントローラ１１９５、レジスタ１１９６、レジスタコントローラ１１９７、バスインターフェース１１９８（Ｂｕｓ　Ｉ／Ｆ）、書き換え可能なＲＯＭ１１９９、及びＲＯＭインターフェース１１８９（ＲＯＭ　Ｉ／Ｆ）を有している。基板１１９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。ＲＯＭ１１９９及びＲＯＭインターフェース１１８９は、別チップに設けてもよい。もちろん、図９（Ａ）に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。

【０１８５】

バスインターフェース１１９８を介してＣＰＵに入力された命令は、インストラクションデコーダ１１９３に入力され、デコードされた後、ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５に入力される。

【０１８６】

ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５は、デコードされた命令に基づき、各種制御を行なう。具体的にＡＬＵコントローラ１１９２は、ＡＬＵ１１９１の動作を制御するための信号を生成する。また、インタラプトコントローラ１１９４は、ＣＰＵのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ１１９７は、レジスタ１１９６のアドレスを生成し、ＣＰＵの状態に応じてレジスタ１１９６の読み出しや書き込みを行なう。

【０１８７】

また、タイミングコントローラ１１９５は、ＡＬＵ１１９１、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、及びレジスタコントローラ１１９７の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ１１９５は、基準クロック信号ＣＬＫ１を元に、内部クロック信号ＣＬＫ２を生成する内部クロック生成部を備えており、内部クロック信号ＣＬＫ２を上記各種回路に供給する。

【０１８８】

図９（Ａ）に示すＣＰＵでは、レジスタ１１９６に、メモリセルが設けられている。レジスタ１１９６のメモリセルには、上記実施の形態３又は４に開示したメモリセルを用いることができる。

【０１８９】

図９（Ａ）に示すＣＰＵにおいて、レジスタコントローラ１１９７は、ＡＬＵ１１９１からの指示に従い、レジスタ１１９６における保持動作の選択を行う。すなわち、レジスタ１１９６が有するメモリセルにおいて、論理（値）を反転させる論理素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。論理（値）を反転させる論理素子によるデータの保持が選択されている場合、レジスタ１１９６内のメモリセ

10

20

30

40

50

ルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

【0190】

電源停止に関しては、図 9 (B) または図 9 (C) に示すように、メモリセル群と、電源電位 VDD または電源電位 VSS の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 9 (B) 及び図 9 (C) の回路の説明を行う。

【0191】

図 9 (B) 及び図 9 (C) では、メモリセルへの電源電位の供給を制御するスイッチング素子に、上記実施の形態 1 又は 2 に開示したトランジスタを含む記憶回路の構成の一例を示す。

10

【0192】

図 9 (B) に示す記憶装置は、スイッチング素子 1141 と、メモリセル 1142 を複数有するメモリセル群 1143 とを有している。具体的に、各メモリセル 1142 には、実施の形態 3 又は 4 に記載されているメモリセルを用いることができる。メモリセル群 1143 が有する各メモリセル 1142 には、スイッチング素子 1141 を介して、ハイレベルの電源電位 VDD が供給されている。さらに、メモリセル群 1143 が有する各メモリセル 1142 には、信号 IN の電位と、ローレベルの電源電位 VSS の電位が与えられている。

【0193】

20

図 9 (B) では、スイッチング素子 1141 として、上記実施の形態 1 又は 2 に開示したトランジスタを用いており、該トランジスタは、そのゲート電極層に与えられる信号 SigA によりスイッチングが制御される。

【0194】

なお、図 9 (B) では、スイッチング素子 1141 がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子 1141 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わせられて接続されていてもよい。

【0195】

30

また、図 9 (B) では、スイッチング素子 1141 により、メモリセル群 1143 が有する各メモリセル 1142 への、ハイレベルの電源電位 VDD の供給が制御されているが、スイッチング素子 1141 により、ローレベルの電源電位 VSS の供給が制御されていてもよい。

【0196】

また、図 9 (C) には、メモリセル群 1143 が有する各メモリセル 1142 に、スイッチング素子 1141 を介して、ローレベルの電源電位 VSS が供給されている、記憶装置の一例を示す。スイッチング素子 1141 により、メモリセル群 1143 が有する各メモリセル 1142 への、ローレベルの電源電位 VSS の供給を制御することができる。

【0197】

40

メモリセル群と、電源電位 VDD または電源電位 VSS の与えられているノード間に、スイッチング素子を設け、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPU の動作を停止することができ、それにより消費電力を低減することができる。

【0198】

ここでは、CPU を例に挙げて説明したが、DSP (Digital Signal Processor)、カスタム LSI、FPGA (Field Programmable Gate Array) 等の LSI にも応用可能である。

50

【 0 1 9 9 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 2 0 0 】

また、スピントロニクスデバイスとして知られるスピン M R A M (スピン注入磁化反転型 M R A M) と、酸化物半導体を用いたメモリの比較表を表 1 に示す。

【 0 2 0 1 】

【 表 1 】

	スピントロニクス(磁性)	酸化物半導体/Si
1) 耐熱性	温度に弱い	非常に安定(～150℃)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性のスピンの向きを変える	FET のスイッチの on/off
4) Si LSI	バイポーラ LSI 向き (バイポーラは高集積化には不向きなため、高集積化回路では MOS の方が好ましい。ただし、W が大きくなる。)	MOSLSI 向き
5) オーバーヘッドの電力	大きい ジュール熱が必要	寄生容量の充放電 2～3 桁以上少ない
6) 不揮発性	スピンを利用	Ioff が小さいことを利用
7) 読み出し回数	無限回可能	無限回可能
8) 3D 化	難(やっても 2 層まで)	容易(何層でも可)
9) 集積化度(F ²)	15F ²	3D 化の程度で決まる
10) 材料	希土類磁性(戦略材料)	酸化物半導体材料
11) 磁界耐性	弱い	強い

10

20

30

40

【 0 2 0 2 】

酸化物半導体を用いたトランジスタとシリコンを用いたトランジスタを組み合わせるメモリは、表 1 に示したように、スピントロニクスデバイスと比べて、駆動方式、書き込み原理、材料などが大きく異なっている。

【 0 2 0 3 】

また、酸化物半導体を用いたトランジスタとシリコンを用いたトランジスタを組み合わせるメモリは、表 1 に示したように、スピントロニクスデバイスに比べて、耐熱性、3D 化(3 層以上の積層構造化)、磁界耐性など多くの点で有利である。なお、表 1 にあるオーバーヘッドの電力とは、プロセッサ内のメモリ部などに書き込む電力など、所謂オーバーヘッドに消費される電力のことである。

50

【 0 2 0 4 】

このように、スピントロニクスデバイスに比べて有利な点の多い酸化物半導体を用いたメモリを利用することで、CPUの省電力化が実現可能となる。

【 0 2 0 5 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【 0 2 0 6 】

(実施の形態6)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型
10
orいはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD(Digital Versatile Disc)などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、煙感知器、放射線測定器、透析装置等の医療機器、などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用
20
ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電気機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車(EV)、内燃機関と電動機を併せ持ったハイブリッド車(HEV)、プラグインハイブリッド車(PHEV)、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。これらの電子機器の具体例を図10に示す。

【 0 2 0 7 】

図10(A)は、表示部を有するテーブル9000を示している。テーブル9000は、
30
筐体9001に表示部9003が組み込まれており、表示部9003により映像を表示することが可能である。なお、4本の脚部9002により筐体9001を支持した構成を示している。また、電力供給のための電源コード9005を筐体9001に有している。

【 0 2 0 8 】

実施の形態1又は2に示すトランジスタは、表示部9003に用いることが可能であり、電子機器に高い信頼性を付与することができる。

【 0 2 0 9 】

表示部9003は、タッチ入力機能を有しており、テーブル9000の表示部9003に表示された表示ボタン9004を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、又は制御を可能とすることで、画面
40
操作により他の家電製品をコントロールする制御装置としてもよい。例えば、イメージセンサ機能を有する半導体装置を用いれば、表示部9003にタッチ入力機能を持たせることができる。

【 0 2 1 0 】

また、筐体9001に設けられたヒンジによって、表示部9003の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【 0 2 1 1 】

図10(B)は、携帯音楽プレーヤであり、本体3021には表示部3023と、耳に装
50

着するための固定部 3022 と、スピーカ、操作ボタン 3024、外部メモリスロット 3025 等が設けられている。実施の形態 1 又は 2 のトランジスタ、または実施の形態 3 又は 4 に示したメモリを本体 3021 に内蔵されているメモリや CPU などに応用することにより、より省電力化された携帯音楽プレイヤー (PDA) とすることができる。

【0212】

さらに、図 10 (B) に示す携帯音楽プレーヤにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車などを運転しながらワイヤレスによるハンズフリーでの会話も可能である。

【0213】

図 10 (C) はコンピュータであり、CPU を含む本体 9201、筐体 9202、表示部 9203、キーボード 9204、外部接続ポート 9205、ポインティングデバイス 9206 等を含む。コンピュータは、本発明の一態様を用いて作製される半導体装置をその表示部 9203 に用いることにより作製される。実施の形態 5 に示した CPU を利用すれば、省電力化されたコンピュータとすることが可能となる。

【0214】

図 11 (A) 及び図 11 (B) は 2 つ折り可能なタブレット型端末である。図 11 (A) は、開いた状態であり、タブレット型端末は、筐体 9630、表示部 9631a、表示部 9631b、表示モード切り替えスイッチ 9034、電源スイッチ 9035、省電力モード切り替えスイッチ 9036、留め具 9033、操作スイッチ 9038、を有する。

【0215】

図 11 (A) 及び図 11 (B) に示すような携帯機器においては、画像データの一時記憶などにメモリとして SRAM または DRAM が使用されている。例えば、実施の形態 3 又は 4 に説明した半導体装置をメモリとして使用することができる。先の実施の形態で説明した半導体装置をメモリに採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0216】

また、表示部 9631a は、一部をタッチパネルの領域 9632a とすることができ、表示された操作キー 9638 にふれることでデータ入力を行うことができる。なお、表示部 9631a においては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部 9631a の全ての領域がタッチパネルの機能を有する構成としても良い。例えば、表示部 9631a の全面をキーボードボタン表示させてタッチパネルとし、表示部 9631b を表示画面として用いることができる。

【0217】

また、表示部 9631b においても表示部 9631a と同様に、表示部 9631b の一部をタッチパネルの領域 9632b とすることができる。また、タッチパネルのキーボード表示切り替えボタン 9639 が表示されている位置に指やスタイラスなどでふれることで表示部 9631b にキーボードボタン表示することができる。

【0218】

また、タッチパネルの領域 9632a とタッチパネルの領域 9632b に対して同時にタッチ入力することもできる。

【0219】

また、表示モード切り替えスイッチ 9034 は、縦表示又は横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ 9036 は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。

【0220】

また、図 11 (A) では表示部 9631b と表示部 9631a の表示面積が同じ例を示し

10

20

30

40

50

ているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示の品質も異なってもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

【0221】

図11(B)は、閉じた状態であり、タブレット型端末は、筐体9630、太陽電池9633、充放電制御回路9634、バッテリー9635、DCDCコンバータ9636を有する。なお、図11(B)では充放電制御回路9634の一例としてバッテリー9635、DCDCコンバータ9636を有する構成について示している。

【0222】

なお、タブレット型端末は2つ折り可能なため、未使用時に筐体9630を閉じた状態にすることができる。従って、表示部9631a、表示部9631bを保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

【0223】

また、この他にも図11(A)及び図11(B)に示したタブレット型端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作又は編集するタッチ入力機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。

【0224】

タブレット型端末の表面に装着された太陽電池9633によって、電力をタッチパネル、表示部、又は映像信号処理部等に供給することができる。なお、太陽電池9633は、筐体9630片面又は両面に設けることができ、バッテリー9635の充電を効率的に行う構成とすることができる。なおバッテリー9635としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

【0225】

また、図11(B)に示す充放電制御回路9634の構成、及び動作について図11(C)にブロック図を示し説明する。図11(C)には、太陽電池9633、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表示部9631について示しており、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3が、図11(B)に示す充放電制御回路9634に対応する箇所となる。

【0226】

まず外光により太陽電池9633により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー9635を充電するための電圧となるようDCDCコンバータ9636で昇圧又は降圧がなされる。そして、表示部9631の動作に太陽電池9633からの電力が用いられる際にはスイッチSW1をオンにし、コンバータ9637で表示部9631に必要な電圧に昇圧又は降圧をすることとなる。また、表示部9631での表示を行わない際には、SW1をオフにし、SW2をオンにしてバッテリー9635の充電を行う構成とすればよい。

【0227】

なお太陽電池9633については、発電手段の一例として示したが、特に限定されず、圧電素子(ピエゾ素子)や熱電変換素子(ペルティエ素子)などの他の発電手段によるバッテリー9635の充電を行う構成であってもよい。例えば、無線(非接触)で電力を送受信して充電する無接点電力伝送モジュールや、また他の充電手段を組み合わせる構成としてもよい。

【0228】

図12(A)において、テレビジョン装置8000は、筐体8001に表示部8002が組み込まれており、表示部8002により映像を表示し、スピーカ部8003から音声を出力することが可能である。実施の形態1又は2に示すトランジスタを用いて表示部8002に用いることが可能である。

10

20

30

40

50

【0229】

表示部8002は、液晶表示装置、有機EL素子などの発光素子を各画素に備えた発光装置、電気泳動表示装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)などの、半導体表示装置を用いることができる。

【0230】

テレビジョン装置8000は、受信機やモデムなどを備えていてもよい。テレビジョン装置8000は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向(送信者から受信者)又は双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

10

【0231】

また、テレビジョン装置8000は、情報通信を行うためのCPUや、メモリを備えていてもよい。テレビジョン装置8000は、実施の形態3乃至5のいずれかに示すメモリやCPUを用いることが可能である。

【0232】

図12(A)において、室内機8200及び室外機8204を有するエアコンディショナーは、実施の形態5のCPUを用いた電気機器の一例である。具体的に、室内機8200は、筐体8201、送風口8202、CPU8203等を有する。図12(A)において、CPU8203が、室内機8200に設けられている場合を例示しているが、CPU8203は室外機8204に設けられていてもよい。或いは、室内機8200と室外機8204の両方に、CPU8203が設けられていてもよい。実施の形態5に示したCPUは、酸化物半導体を用いたCPUであるため、耐熱性に優れており、信頼性の高いエアコンディショナーを実現できる。

20

【0233】

図12(A)において、電気冷凍冷蔵庫8300は、酸化物半導体を用いたCPUを備える電気機器の一例である。具体的に、電気冷凍冷蔵庫8300は、筐体8301、冷蔵庫用扉8302、冷凍室用扉8303、CPU8304等を有する。図12(A)では、CPU8304が、筐体8301の内部に設けられている。実施の形態5に示したCPUを電気冷凍冷蔵庫8300のCPU8304に用いることによって省電力化が図れる。

30

【0234】

図12(B)において、電気機器の一例である電気自動車の例を示す。電気自動車9700には、二次電池9701が搭載されている(図12(C))。二次電池9701の電力は、制御回路9702により出力が調整されて、駆動装置9703に供給される。制御回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。実施の形態5に示したCPUを電気自動車9700のCPUに用いることによって省電力化が図れる。

【0235】

駆動装置9703は、直流電動機若しくは交流電動機単体、又は電動機と内燃機関と、を組み合わせ構成される。処理装置9704は、電気自動車9700の運転者の操作情報(加速、減速、停止など)や走行時の情報(上り坂や下り坂等の情報、駆動輪にかかる負荷情報など)の入力情報に基づき、制御回路9702に制御信号を出力する。制御回路9702は、処理装置9704の制御信号により、二次電池9701から供給される電気エネルギーを調整して駆動装置9703の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

40

【0236】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【実施例】

【0237】

50

本実施例では、実施の形態 2 に示すトランジスタを作製し、電気特性の評価を行った。

【0238】

以下に、本実施例に用いたトランジスタの作製方法を示す。本実施例においては、実施の形態 2 で示したトランジスタ 422 と同様の構成を有するトランジスタを作製した。

【0239】

はじめにシリコン基板をスパッタリング装置内に搬入し、アルゴン雰囲気下（アルゴンガス流量 50 sccm）で、圧力 0.6 Pa、電源電力（電源出力）200 W とし 3 分間逆スパッタリングを行い、表面を平坦化させた。その後、大気開放せずに連続的に、下地絶縁層として膜厚 1000 nm の酸化シリコン膜を、スパッタリング法によって成膜した。酸化シリコン膜の成膜条件は、酸素雰囲気下（流量 50 sccm）で、圧力 0.4 Pa、電源電力（電源出力）1.5 kW とし、シリコン基板とターゲットとの間の距離を 60 mm、基板温度 100 °C とした。

10

【0240】

次に、下地絶縁層を CMP 処理することで表面を平坦化させた。CMP 処理の条件は、CMP 研磨パッドとしてポリウレタン系研磨布を用い、スラリーとしては NP8020（ニッタ・ハース株式会社製）の原液（シリカ粒径 60 nm ~ 80 nm）を用い、スラリー温度を室温とし、研磨圧 0.01 MPa、基板を固定している側のスピンドル回転数は 60 rpm、研磨布が固定されているテーブル回転数は 56 rpm とし、2 分間処理した。

【0241】

次いで、下地絶縁層上に酸化物半導体層として In : Ga : Zn = 3 : 1 : 2 [原子数比] の酸化物ターゲットを用いたスパッタリング法により、膜厚 20 nm の IGZO 膜を形成した。成膜条件は、アルゴン及び酸素（アルゴン : 酸素 = 30 sccm : 15 sccm）雰囲気下、圧力 0.4 Pa、電源電力 0.5 kW、基板温度 200 °C とした。

20

【0242】

次いで、酸化物半導体層へイオン注入法を用いて酸素イオンを注入した。酸素イオンの注入条件は、加速電圧を 50 kV、ドーズ量を 2.0×10^{16} ions/cm²、チルト角を 7 °、ツイスト角を 72 ° とした。

【0243】

次いで、酸化物半導体層を ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法により、エッチングし、島状に加工した。エッチング条件は、エッチングガスとして三塩化ホウ素と塩素の混合ガスを用い（BCl₃ : Cl₂ = 60 sccm : 20 sccm）、電源電力 450 W、バイアス電力 100 W、圧力 1.9 Pa とした。

30

【0244】

次いで、島状の酸化物半導体層上に、ゲート絶縁層として CVD 法によって酸化窒化シリコン膜を膜厚 20 nm で成膜した。

【0245】

ゲート絶縁層上に、スパッタリング法により膜厚 30 nm の窒化タンタル膜と膜厚 70 nm のタングステン膜の積層を成膜し、エッチング法によって加工してゲート電極層を形成した。窒化タンタル膜の成膜条件は、アルゴン及び窒素（Ar : N₂ = 50 sccm : 10 sccm）雰囲気下、圧力 0.6 Pa、電源電力 1 kW とした。また、タングステン膜の成膜条件は、アルゴン雰囲気下（流量 100 sccm）、圧力 2.0 Pa、電源電力 4 kW とし、基板を加熱するために、加熱したアルゴンガスを流量 10 sccm で流した。

40

【0246】

また、窒化タンタル膜とタングステン膜のエッチング条件は、第 1 エッチング条件として、エッチングガスとして塩素、四フッ化メタン及び酸素の混合ガス（Cl₂ : CF₄ : O₂ = 45 sccm : 55 sccm : 55 sccm）を用い、電源電力 3 kW、バイアス電力 110 W、圧力 0.67 Pa、基板温度 40 °C とし、タングステン膜をエッチングした。その後、第 2 エッチング条件として、エッチングガスとして塩素ガス（Cl₂ = 100 sccm）を用い、電源電力 2 kW、バイアス電力 50 W とし、窒化タンタル膜をエッチ

50

ングした。

【0247】

次いで、ゲート電極層を覆うようにゲート絶縁層上に、第1の絶縁層としてCVD法によって酸化窒化シリコン膜を膜厚50nmで成膜した。

【0248】

次いで、ゲート電極層をマスクとして、第1の絶縁層上からイオン注入法により酸化物半導体層に、リン(P)イオンを注入して、不純物領域及びチャネル形成領域を自己整合的に形成した。リン(P)イオンの注入条件は加速電圧70kV、ドーズ量を $3.0 \times 10^{15} \text{ ions/cm}^2$ 、チルト角を7°、ツイスト角を72°とした。

【0249】

次いで、第2の絶縁層としてCVD法によって酸化窒化シリコン膜を膜厚410nmで成膜した。

【0250】

ゲート電極層上の酸化窒化シリコン膜を100nmCMP処理によって除去した後、酸化窒化シリコン膜をエッチングしてゲート電極層の側面に側壁絶縁層を形成した。CMP処理の条件は、CMP研磨パッドとしてポリウレタン系研磨布を用い、スラリーとしてはNP8020(ニッタ・ハース株式会社製)の原液(シリカ粒径60nm~80nm)を用い、スラリー温度を室温とし、研磨圧0.08MPa、基板を固定している側のスピンドル回転数は51rpm、研磨布が固定されているテーブル回転数は50rpmとして、0.8分間処理した。

【0251】

また、酸化窒化シリコン膜のエッチングにはICPEッチング法を用いた。エッチング条件は、エッチングガスとして三フッ化メタンとヘリウムとメタンの混合ガスを用い($\text{CHF}_3 : \text{He} : \text{CH}_4 = 22.5 \text{ sccm} : 127.5 \text{ sccm} : 5 \text{ sccm}$)、電源電力475W、バイアス電力300W、圧力3.5Paとした。

【0252】

次いで、ソース電極層及びドレイン電極層となる導電膜としてタングステン膜を膜厚30nmで形成した。タングステン膜の成膜条件は、アルゴン雰囲気下(流量80sccm)、圧力0.8Pa、電源電力1kWとし、基板を加熱するために、加熱したアルゴンガスを流量10sccmで流した。

【0253】

その後、タングステン膜のゲート電極層と重畳する領域以外を選択的にエッチングした。タングステン膜のエッチング条件は、エッチングガスとして塩素、四フッ化メタン及び酸素の混合ガス($\text{Cl}_2 : \text{CF}_4 : \text{O}_2 = 45 \text{ sccm} : 55 \text{ sccm} : 50 \text{ sccm}$)を用い、電源電力3000W、バイアス電力110W、圧力0.67Pa、基板温度40とした。

【0254】

導電膜上に絶縁層として膜厚70nmの酸化アルミニウム膜と、膜厚460nmの酸化窒化シリコン膜を積層させた。酸化アルミニウム膜はスパッタリング法で成膜し、成膜条件は、アルゴン及び酸素($\text{Ar} : \text{O}_2 = 25 \text{ sccm} : 25 \text{ sccm}$)で、圧力0.4Pa、電源電力(電源出力)2.5kWとし、基板とターゲットとの間の距離を60mm、基板温度250とした。また、酸化窒化シリコン膜はCVD法によって成膜した。

【0255】

CMP処理によって、ゲート電極層と重畳する領域のタングステン膜を除去し、ソース電極層及びドレイン電極層を形成した。CMP処理の条件は、CMP研磨パッドとしてポリウレタン系研磨布を用い、スラリーとしてはNP8020(ニッタ・ハース株式会社製)の原液(シリカ粒径60nm~80nm)を用い、スラリー温度を室温とし、研磨圧0.08MPa、基板を固定している側のスピンドル回転数は51rpm、研磨布が固定されているテーブル回転数は50rpmとして、2分間処理した。

【0256】

ソース電極層及びドレイン電極層上に、CVD法によって膜厚400nmの酸化窒化シリコン膜を形成した。

【0257】

酸素雰囲気下、400℃で1時間熱処理を行った後、酸化物半導体層の不純物領域に達する開口を形成し、該開口にスパッタリング法により膜厚50nmのチタン膜、膜厚300nmのアルミニウム膜、及び膜厚50nmのチタン膜を形成し、エッチングにより加工して、配線層を形成した。チタン膜の成膜条件は、アルゴン雰囲気下(Ar=20sccm)で、圧力0.1Pa、電源電力1kWとした。また、アルミニウム膜の成膜条件は、アルゴン雰囲気下(Ar=50sccm)で、圧力0.4Pa、電源電力1kWとした。また、エッチング条件は、エッチングガスとして三塩化ホウ素及び塩素の混合ガスを用い(BCl₃:Cl₂=60sccm:20sccm)、電源電力450W、バイアス電力100W、圧力1.9Paとした。

10

【0258】

その後、ポリイミド膜を1.5μmの膜厚で塗布法によって成膜し、大気雰囲気下、300℃で1時間の熱処理を行った。

【0259】

以上によって、本実施例のトランジスタA(トランジスタA1、A2、A3)を作製した。本実施例ではトランジスタA1として、チャンネル長(L)が0.1μm、チャンネル幅(W)が10μmのトランジスタを作製し、トランジスタA2としてチャンネル長(L)が0.35μm、チャンネル幅(W)が10μmのトランジスタを作製し、トランジスタA3として、チャンネル長(L)が9.8μm、チャンネル幅(W)が10μmのトランジスタを作製した。

20

【0260】

また、比較例として、不純物の導入工程を行わず、酸化物半導体層に不純物領域を含まない比較例トランジスタB(トランジスタB1、B2、B3)を作製した。比較例トランジスタBにおいては、ゲート絶縁層を形成後、膜厚460nmの酸化窒化シリコン膜をCVD法によって成膜し、該酸化窒化シリコン膜を用いて側壁絶縁層を形成した。その他の作製方法は、トランジスタAと同様の工程を行った。本実施例では比較例トランジスタB1として、チャンネル長(L)が0.1μm、チャンネル幅(W)が10μmのトランジスタを作製し、比較例トランジスタB2としてチャンネル長(L)が0.35μm、チャンネル幅(W)が10μmのトランジスタを作製し、比較例トランジスタB3として、チャンネル長(L)が9.8μm、チャンネル幅(W)が10μmのトランジスタを作製した。

30

【0261】

図15に、本実施例の注入条件において不純物元素(ここではP)を注入した場合の深さ方向における不純物元素の注入量の計算結果を示す。なお、計算には、TRIM(Transport of Ion in Matter)と呼ばれるソフトを用いた。TRIMはモンテカルロ法によってイオン注入過程の計算を行うためのソフトである。

【0262】

なお、計算において、酸化窒化シリコン膜の膜密度は2.2g/cm³とした。

【0263】

図15(A)は、ゲート絶縁層上に設けられた第1の絶縁層の膜厚が50nmの領域における不純物元素の濃度プロファイルである。また、図15(B)は、ゲート電極層の側面近傍であって、ゲート絶縁層上に設けられた第1の絶縁層の膜厚が130nmの領域における不純物元素の濃度プロファイルである。また、図15(C)は、図15(B)よりもゲート電極層の側面に近く、ゲート絶縁層上に設けられた第1の絶縁層の膜厚が150nmの領域(ゲート電極層の膜厚分大きくなった領域)における不純物元素の濃度プロファイルである。

40

【0264】

図15より、膜厚差を有する第1の絶縁層上から不純物元素を導入することで、酸化物半導体層に含有される不純物濃度に濃度差が形成されることが確認される。本実施例におい

50

て酸化物半導体層に形成される不純物領域は、チャネル形成領域へ近づく程低濃度の不純物元素を含有し、その深さ方向の濃度プロファイルは、チャネル形成領域へ近づく程浅い位置にピークを有している。また、ゲート電極層の側面近傍の第1の絶縁層には不純物元素が導入されることが確認される。本実施例において、第1の絶縁層に含有される不純物濃度の最大濃度は、酸化物半導体層に含有される不純物濃度の最大濃度と同等の値であった。

【0265】

また、トランジスタAのソースとドレイン間の抵抗を測定したところ、 $4.4 \times 10^3 / \mu\text{m}$ であり、ソース電極層又はドレイン電極層と、酸化物半導体層とのコンタクト抵抗は、チャネル幅 $1 \mu\text{m}$ あたり 6.3×10^3 であった。一方、比較例トランジスタBのソースとドレイン間の抵抗を測定したところ、 $1.2 \times 10^{14} / \mu\text{m}$ であり、ソース電極層又はドレイン電極層と、酸化物半導体層とのコンタクト抵抗は、チャネル幅 $1 \mu\text{m}$ あたり 1.6×10^6 であった。従って、トランジスタAでは、不純物領域を有さない比較例トランジスタBよりも大幅に寄生抵抗値が低減されたトランジスタであることが確認された。

10

【0266】

図16に、チャネル幅 (W) を $1 \mu\text{m}$ 、半導体層の膜厚を 20 nm 、チャネル長 (L) を $0.1 \mu\text{m}$ 、 $0.35 \mu\text{m}$ 又は、 $1 \mu\text{m}$ 、ゲート電圧 (V_g) を 2.7 V 、ドレイン電圧 (V_d) を 1 V 、移動度を $20 \text{ cm}^2 / \text{Vs}$ と仮定して、寄生抵抗に対するオン電流の低下率を算出したグラフを図示する。図16において、寄生抵抗値 (R_{EXT}) は、ソースとドレイン間の抵抗 (R_{SD}) と、電極と半導体層とのコンタクト抵抗 (R_c) の合計を2倍して得られた値である。また、オン電流 (I_{on}) の低下率は、下記数式 (1) によって得られる。

20

【0267】

【数1】

$$I_{\text{on}} \text{低下率} = \left(1 - \frac{\text{寄生抵抗を仮定した場合の } I_{\text{on}}}{\text{寄生抵抗を仮定しない場合の } I_{\text{on}}} \right) \times 100$$

【0268】

一般に、実デバイスの寄生抵抗値は $20 \text{ k} \sim 600 \text{ k} / \mu\text{m}$ と予想されるため、要求される寄生抵抗値は、チャネル長 (L) が $0.1 \mu\text{m}$ の場合、 $2.0 \text{ k} / \mu\text{m}$ 以下、チャネル長 (L) が $0.35 \mu\text{m}$ の場合、 $7.0 \text{ k} / \mu\text{m}$ 以下、チャネル長 (L) が $1 \mu\text{m}$ の場合、 $21 \text{ k} / \mu\text{m}$ 以下となる。

30

【0269】

本実施例で示すトランジスタA1、A2及びA3は、上記の寄生抵抗値の要求値を十分に満たすため、本実施例のトランジスタは寄生抵抗値の低減されたトランジスタであることが示された。

【0270】

また、作製したトランジスタの電気特性の評価結果を図13及び図14に示す。

40

【0271】

図13(A)は、比較例トランジスタB1の電気特性の評価結果であり、図13(B)は、比較例トランジスタB2の電気特性の評価結果であり、図13(C)は、比較例トランジスタB3の電気特性の評価結果である。図13ではそれぞれドレイン電圧 (V_d) が 1 V 、または 0.1 V におけるゲート電圧 (V_g) - ドレイン電流 (I_d)、及びドレイン電圧 (V_d) が 0.1 V における電界効果移動度を示す。

【0272】

また、図14(A)は、トランジスタA1の電気特性の評価結果であり、図14(B)は、トランジスタA2の電気特性の評価結果であり、図14(C)は、トランジスタA3の電気特性の評価結果である。図14ではそれぞれドレイン電圧 (V_d) が 1 V 、または 0

50

、1 Vにおけるゲート電圧 (V_g) - ドレイン電流 (I_d)、及びドレイン電圧 (V_d) が0.1 Vにおける電界効果移動度を示す。

【0273】

比較例トランジスタBにおいて、ドレイン電圧を1 V、ゲート電圧を3 Vとした場合のオン電流の中央値 (n 数 = 13) は、トランジスタB1において、63 μA であり、トランジスタB2において、42 μA であり、トランジスタB3において、4.7 μA であった。一方、トランジスタAにおいて、ドレイン電圧を1 V、ゲート電圧を3 Vとした場合のオン電流の中央値 (n 数 = 13) は、トランジスタA1において、420 μA であり、トランジスタA2において、120 μA であり、トランジスタA3において、5.6 μA と高い値が得られた。

10

【0274】

また、ドレイン電圧が0.1 Vにおいて、比較例トランジスタBの電界効果移動度の中央値 (n 数 = 13) は、トランジスタB1において、2.6 cm^2/Vs であり、トランジスタB2において、3.5 cm^2/Vs であり、トランジスタB3において、20 cm^2/Vs であった。一方、ドレイン電圧が0.1 Vにおいて、トランジスタAの電界効果移動度の中央値 (n 数 = 13) は、トランジスタA1において、11 cm^2/Vs であり、トランジスタA2において、11 cm^2/Vs であり、トランジスタA3において、26 cm^2/Vs と高い値が得られた。

【0275】

以上より、本実施例のトランジスタは高い電気的特性を付与されたトランジスタであることが示された。

20

【符号の説明】

【0276】

100	領域
102	領域
104	領域
106	素子分離絶縁層
108	ゲート絶縁層
110	ゲート電極層
116	チャネル形成領域
120	不純物領域
124	金属間化合物領域
128	絶縁層
130	絶縁層
142a	電極層
142b	電極層
144	酸化物半導体層
145	ゲート電極層
146	側壁絶縁層
148	導電層
150	絶縁層
152	絶縁層
156	配線
160	トランジスタ
162	トランジスタ
164	容量素子
185	基板
400	基板
401	ゲート電極層
402	ゲート絶縁層

30

40

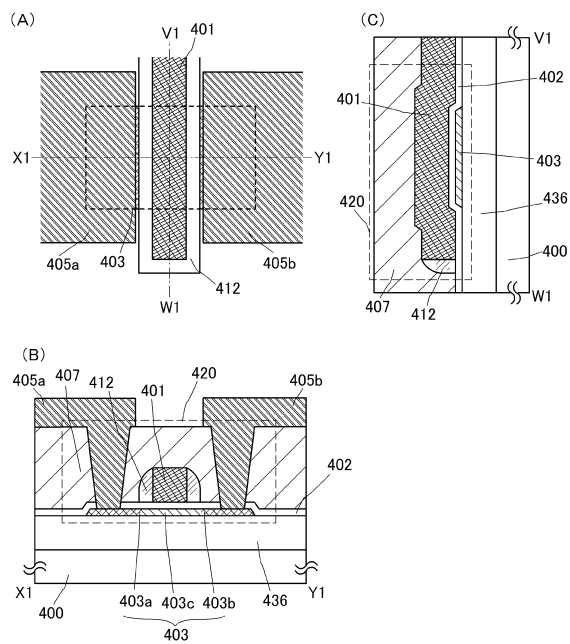
50

4 0 3	酸化物半導体層	
4 0 3 a	不純物領域	
4 0 3 b	不純物領域	
4 0 3 c	チャネル形成領域	
4 0 5	導電膜	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 7	絶縁層	
4 1 2	側壁絶縁層	
4 1 2 a	絶縁層	10
4 1 2 b	絶縁層	
4 1 4	絶縁層	
4 1 5 a	ソース配線層	
4 1 5 b	ドレイン配線層	
4 2 0	トランジスタ	
4 2 2	トランジスタ	
4 3 1	不純物元素	
4 3 6	下地絶縁層	
1 1 4 1	スイッチング素子	
1 1 4 2	メモリセル	20
1 1 4 3	メモリセル群	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	30
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
3 0 0 0	基板	
3 0 0 1	トランジスタ	
3 0 0 3 a	電極層	
3 0 0 3 b	電極層	
3 0 0 3 c	電極層	
3 0 0 4	論理回路	
3 0 2 1	本体	
3 0 2 2	固定部	40
3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部メモリスロット	
3 1 0 0 a	配線	
3 1 0 0 b	配線	
3 1 0 0 c	配線	
3 1 0 0 d	配線	
3 1 0 6	素子分離絶縁層	
3 1 4 0 a	絶縁層	
3 1 4 0 b	絶縁層	50

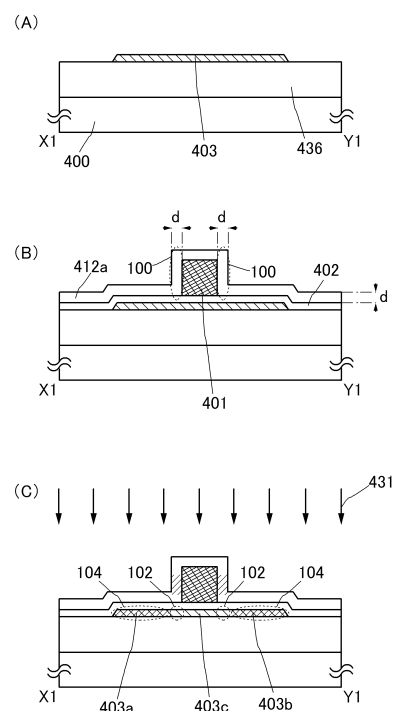
3 1 4 1 a	絶縁層	
3 1 4 1 b	絶縁層	
3 1 4 2 a	絶縁層	
3 1 4 2 b	絶縁層	
3 1 7 0 a	メモリセル	
3 1 7 0 b	メモリセル	
3 1 7 1 a	トランジスタ	
3 1 7 1 b	トランジスタ	
3 3 0 3	電極層	
3 4 0 0	メモリセルアレイ	10
3 5 0 1 a	電極層	
3 5 0 1 b	電極層	
3 5 0 1 c	電極層	
3 5 0 2 a	電極層	
3 5 0 2 b	電極層	
3 5 0 2 c	電極層	
3 5 0 3 a	電極層	
3 5 0 3 b	電極層	
3 5 0 5	電極層	
8 0 0 0	テレビジョン装置	20
8 0 0 1	筐体	
8 0 0 2	表示部	
8 0 0 3	スピーカ部	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	
8 2 0 3	C P U	
8 2 0 4	室外機	
8 3 0 0	電気冷凍冷蔵庫	
8 3 0 1	筐体	30
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	C P U	
9 0 0 0	テーブル	
9 0 0 1	筐体	
9 0 0 2	脚部	
9 0 0 3	表示部	
9 0 0 4	表示ボタン	
9 0 0 5	電源コード	
9 0 3 3	留め具	40
9 0 3 4	スイッチ	
9 0 3 5	電源スイッチ	
9 0 3 6	スイッチ	
9 0 3 8	操作スイッチ	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	
9 2 0 4	キーボード	
9 2 0 5	外部接続ポート	
9 2 0 6	ポインティングデバイス	50

9 6 3 0	筐体
9 6 3 1	表示部
9 6 3 1 a	表示部
9 6 3 1 b	表示部
9 6 3 2 a	領域
9 6 3 2 b	領域
9 6 3 3	太陽電池
9 6 3 4	充放電制御回路
9 6 3 5	バッテリー
9 6 3 6	D C D C コンバータ
9 6 3 7	コンバータ
9 6 3 8	操作キー
9 6 3 9	ボタン
9 7 0 0	電気自動車
9 7 0 1	二次電池
9 7 0 2	制御回路
9 7 0 3	駆動装置
9 7 0 4	処理装置

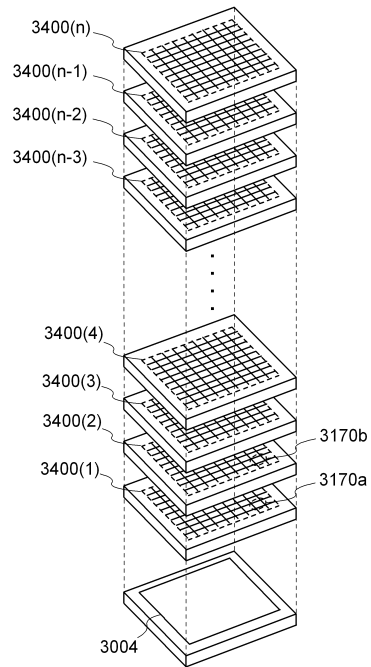
【図 1】



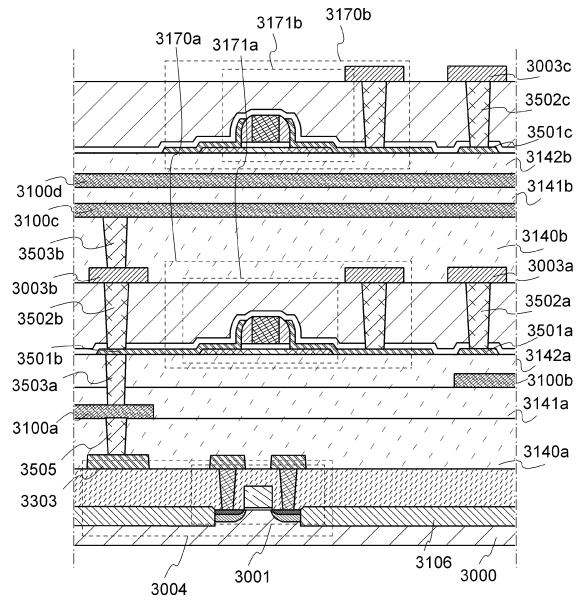
【図 2】



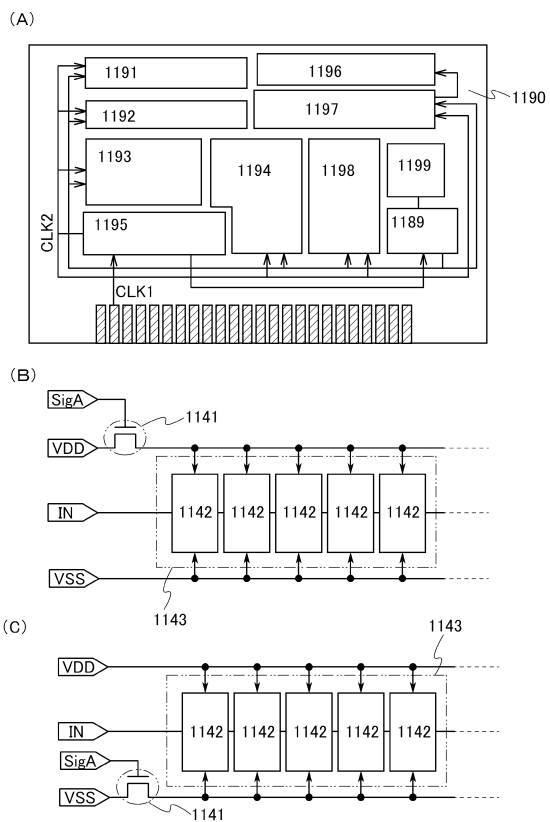
【図 7】



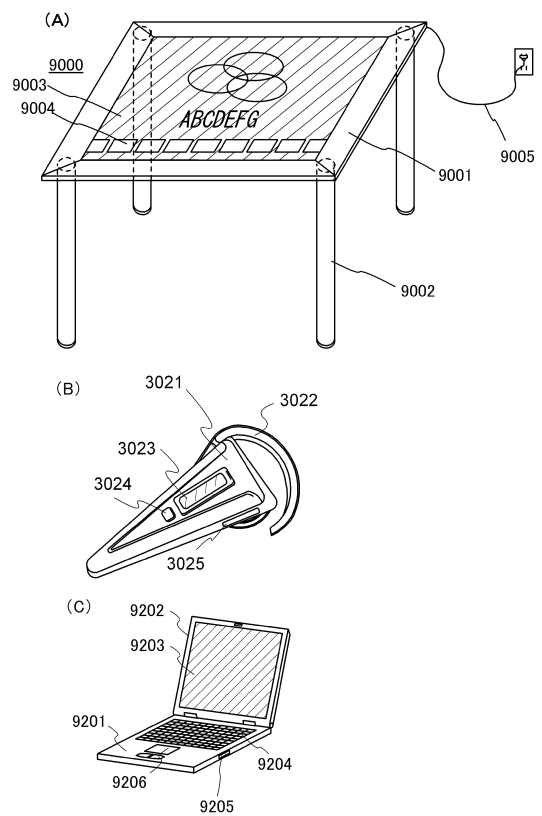
【図 8】



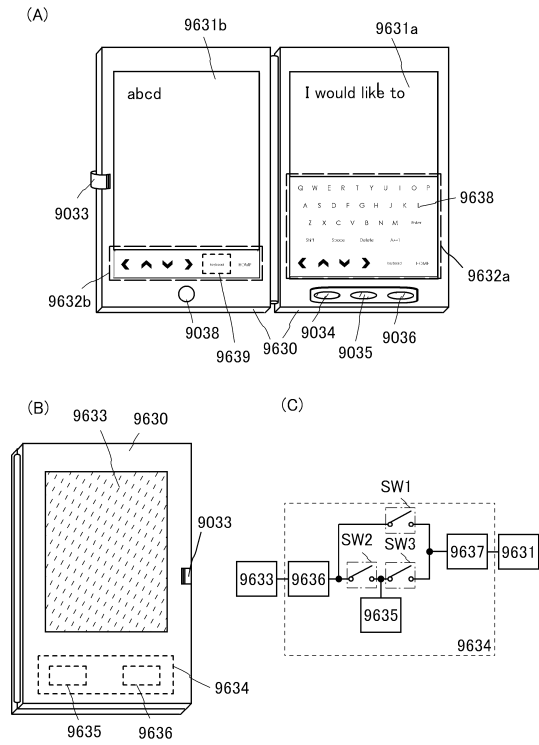
【図 9】



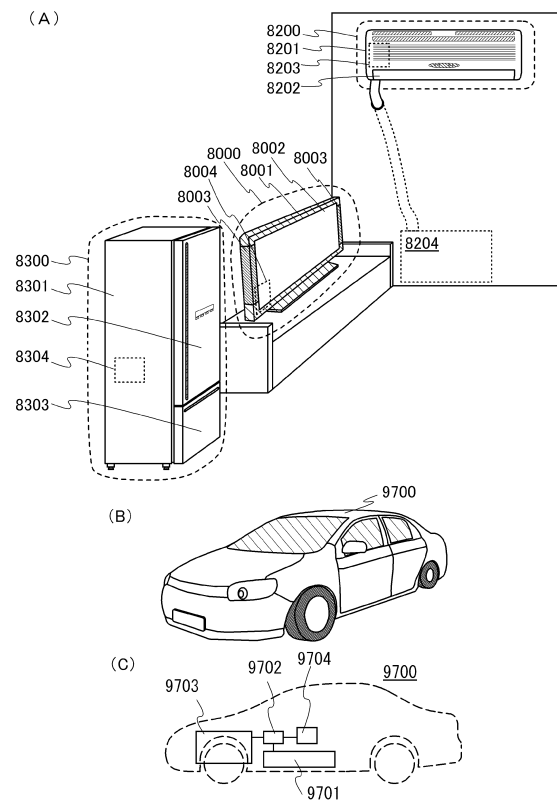
【図 10】



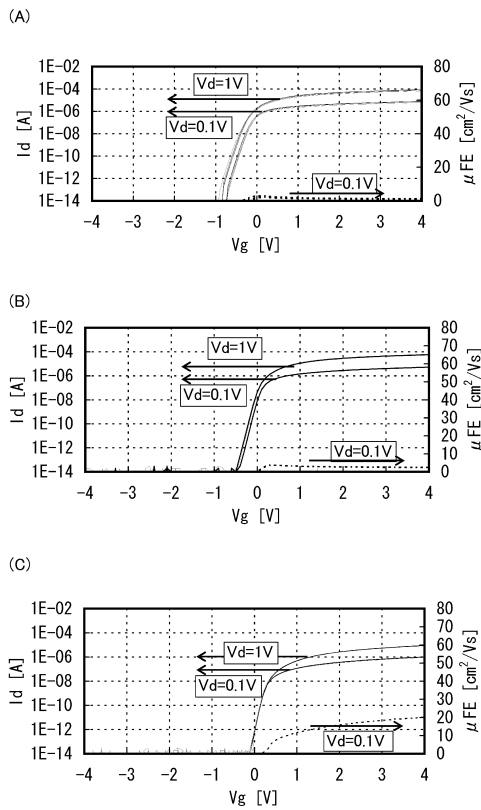
【図 1 1】



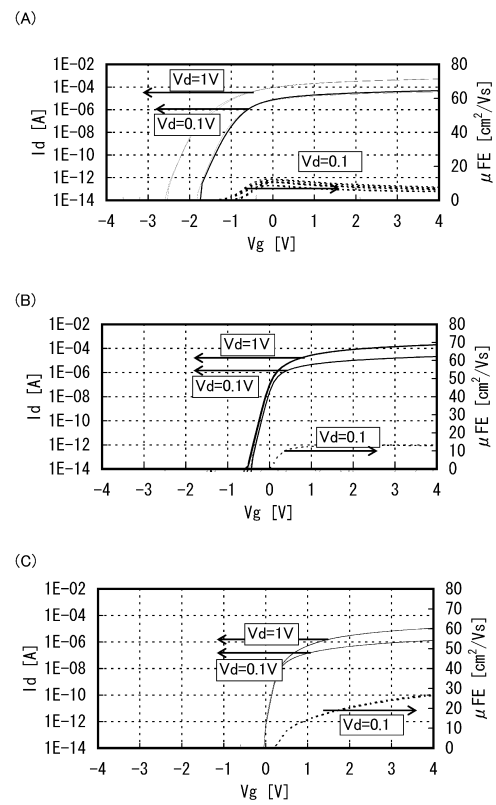
【図 1 2】



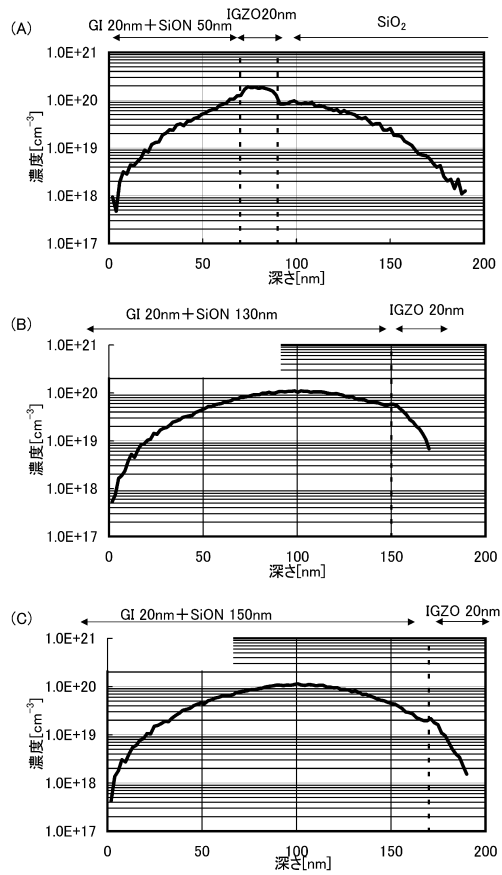
【図 1 3】



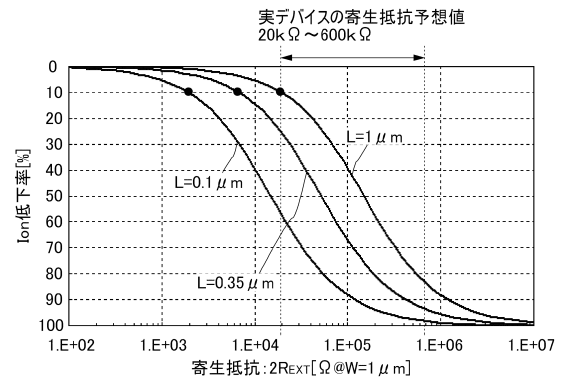
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	21/8239	(2006.01)	H 0 1 L	29/78	6 2 7 A
H 0 1 L	27/105	(2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/417	(2006.01)	H 0 1 L	27/108	3 2 1
H 0 1 L	29/788	(2006.01)	H 0 1 L	27/105	4 4 1
H 0 1 L	29/792	(2006.01)	H 0 1 L	29/50	M
			H 0 1 L	29/78	3 7 1

(56)参考文献 特開 2 0 1 1 - 1 4 6 6 9 4 (J P , A)
 特開平 0 7 - 3 2 1 3 3 8 (J P , A)
 特開 2 0 1 2 - 0 1 9 2 0 7 (J P , A)
 特開 2 0 0 7 - 2 2 0 8 1 6 (J P , A)
 特開 2 0 0 9 - 2 7 8 1 1 5 (J P , A)
 特開 2 0 1 0 - 0 9 3 0 7 0 (J P , A)
 特開 2 0 0 3 - 0 5 0 4 0 5 (J P , A)
 特開 2 0 1 2 - 0 2 3 3 5 2 (J P , A)
 特開 2 0 0 5 - 2 6 8 7 2 4 (J P , A)
 特開平 1 1 - 1 6 8 2 1 8 (J P , A)
 特開 2 0 0 4 - 3 2 7 6 1 7 (J P , A)
 特開平 1 0 - 2 6 1 7 9 3 (J P , A)
 特開平 0 9 - 2 1 9 5 1 7 (J P , A)
 特開平 0 6 - 0 8 5 2 5 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 3 9
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 7 / 1 0 5
 H 0 1 L 2 7 / 1 0 8
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2