

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6404697号
(P6404697)

(45) 発行日 平成30年10月10日(2018.10.10)

(24) 登録日 平成30年9月21日(2018.9.21)

(51) Int. Cl.	F I
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 O 1 S
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 V
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 W

請求項の数 11 (全 40 頁)

(21) 出願番号 特願2014-249833 (P2014-249833)
 (22) 出願日 平成26年12月10日(2014.12.10)
 (65) 公開番号 特開2016-111288 (P2016-111288A)
 (43) 公開日 平成28年6月20日(2016.6.20)
 審査請求日 平成29年5月19日(2017.5.19)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (74) 代理人 100113642
 弁理士 菅田 篤志
 (74) 代理人 100117008
 弁理士 筒井 章子
 (74) 代理人 100147430
 弁理士 坂次 哲也
 (72) 発明者 三宅 慎一
 茨城県ひたちなか市堀口751番地 ルネ
 サスセミコンダクタマニュファクチャリ
 ング株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板の上方に形成された第1窒化物半導体層と、
 前記第1窒化物半導体層上に形成された第2窒化物半導体層と、
 前記第2窒化物半導体層上に形成された第3窒化物半導体層と、
 前記第3窒化物半導体層を貫通し、前記第2窒化物半導体層の途中まで到達する第1開口部と、
 前記第1開口部内にゲート絶縁膜を介して配置されたゲート電極と、
 前記ゲート電極の両側の前記第3窒化物半導体層の上方にそれぞれ形成された第1電極および第2電極と、
 を有し、

前記第2窒化物半導体層の電子親和力は、前記第1窒化物半導体層と前記第3窒化物半導体層の電子親和力より大きく、

前記第1窒化物半導体層の電子親和力は、前記第3窒化物半導体層の電子親和力より大きく、

前記第1開口部の両側には、第1領域が配置され、

前記第1領域の前記第3窒化物半導体層の膜厚は、前記第1電極側の前記第1領域の端部と前記第1電極との間の第2領域の前記第3窒化物半導体層の膜厚より薄く、

前記第1電極側の前記第1領域の2次元電子ガスの濃度は、前記第2領域の2次元電子ガスの濃度より低く、かつ、前記第2電極側の前記第1領域の2次元電子ガスの濃度は、

前記第 2 電極側の前記第 1 領域の端部と前記第 1 電極との間の第 3 領域の 2 次元電子ガスの濃度より低く、

前記ゲート電極は、溝内に前記ゲート絶縁膜を介して配置され、

前記溝は、前記第 1 開口部と、前記第 3 窒化物半導体層の途中まで到達する第 2 開口部とを有し、

前記溝の底部は、前記第 1 開口部の底部と対応する第 1 底部と、前記第 1 底部の両側に位置し前記第 2 開口部の底部と対応する第 2 底部と、を有し、

前記第 1 領域は、前記第 2 底部の形成領域であり、

前記ゲート電極は、前記第 1 底部および前記第 2 底部を覆うように形成されている、半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 電極はソース電極である、半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記第 1 電極はドレイン電極である、半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、

前記第 1 窒化物半導体層は、p 型の不純物を含有する、半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、

前記第 2 領域の前記第 3 窒化物半導体層上に形成された絶縁膜を有する、半導体装置。

20

【請求項 6】

請求項 1 記載の半導体装置において、

前記第 2 領域の前記第 3 窒化物半導体層上に形成された絶縁膜を有し、

前記絶縁膜は、第 3 開口部を有し、前記第 3 開口部の端部は、前記第 2 開口部の端部より前記第 1 電極側または前記第 2 電極側に位置している、半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、

前記第 3 窒化物半導体層は、前記第 2 窒化物半導体層上に形成された第 1 膜と、前記第 1 膜上に形成された第 2 膜とを有し、

前記第 1 領域の前記第 3 窒化物半導体層は、前記第 1 膜のみからなり、

前記第 2 領域の前記第 3 窒化物半導体層は、前記第 1 膜と、前記第 2 膜とを有する、半導体装置。

30

【請求項 8】

請求項 7 記載の半導体装置において、

前記第 1 膜および前記第 2 膜は、それぞれ Al を含有し、

前記第 1 膜の Al 組成比は、前記第 2 膜の Al 組成比より低い、半導体装置。

【請求項 9】

請求項 1 記載の半導体装置において、

前記第 3 窒化物半導体層は、Al を含有し、

前記第 1 領域の前記第 3 窒化物半導体層の Al 組成比は、前記第 2 領域の前記第 3 窒化物半導体層の Al 組成比より低い、半導体装置。

40

【請求項 10】

請求項 1 記載の半導体装置において、

前記第 3 窒化物半導体層は、前記第 2 窒化物半導体層上に形成された第 1 膜と、前記第 1 膜上に形成された第 2 膜とを有し、

前記第 1 領域の前記第 3 窒化物半導体層は、前記第 1 膜と、前記第 2 膜とを有し、

前記第 2 領域の前記第 3 窒化物半導体層は、前記第 1 膜のみからなり、

前記第 1 膜は、Al を含有し、

50

前記第2膜のAl組成比は、前記第1膜のAl組成比より低い、半導体装置。

【請求項11】

- (a) 基板の上方に第1窒化物半導体層を形成する工程、
 - (b) 前記第1窒化物半導体層上に第2窒化物半導体層を形成する工程、
 - (c) 前記第2窒化物半導体層上に第3窒化物半導体層を形成する工程、
 - (d) 第1領域の前記第3窒化物半導体層を貫通し、前記第2窒化物半導体層の途中まで到達する第1開口部と、第2領域の前記第3窒化物半導体層の途中まで到達する第2開口部と、を有する溝を形成する工程、
 - (e) 前記溝内にゲート絶縁膜を介してゲート電極を形成する工程、
 - (f) 前記ゲート電極の一方の側の前記第3窒化物半導体層の上方に第1電極を形成し、前記ゲート電極の他方の側の前記第3窒化物半導体層の上方に第2電極を形成する工程、
- を有し、

前記第2窒化物半導体層の電子親和力は、前記第1窒化物半導体層と前記第3窒化物半導体層の電子親和力より大きく、

前記第1窒化物半導体層の電子親和力は、前記第3窒化物半導体層の電子親和力より大きく、

前記ゲート電極は、前記第1開口部および前記第1領域を覆うように形成される、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関し、例えば、窒化物半導体を用いた半導体装置に好適に利用できるものである。

【背景技術】

【0002】

近年、シリコン(Si)よりも大きなバンドギャップを有するIII-V族の化合物を用いた半導体装置が注目されている。その中でも、窒化ガリウム(GaN)を用いたMISFETは、1)絶縁破壊電界が大きい点、2)電子飽和速度が大きい点、3)熱伝導率が大きい点、4)AlGaNとGaNとの間に良好なヘテロ接合が形成できる点、および5)無毒であり安全性が高い材料である点などの利点を有している。

【0003】

例えば、特許文献1(特開2012-156164号公報)には、第1リセス部と、第1リセス部よりも浅い第2リセス部と、ゲート部とを有するヘテロ接合型の半導体装置が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-156164号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明者は、上記のような窒化物半導体を用いた半導体装置の研究開発に従事しており、その特性向上について、鋭意検討している。その過程において、窒化物半導体を用いた半導体装置の特性について、オン抵抗を低下させるため、障壁層のAl濃度を上昇させた場合、閾値が低下することが確認された。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 7 】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 0 8 】

本願において開示される一実施の形態に示される半導体装置は、基板の上方に順次形成された第1窒化物半導体層、第2窒化物半導体層および第3窒化物半導体層と、第1開口部内にゲート絶縁膜を介して配置されたゲート電極と、有する。第1開口部は、第3窒化物半導体層を貫通し、第2窒化物半導体層の途中まで到達し、第1開口部の両側には、第1領域が配置されている。そして、第1電極側の第1領域の2次元電子ガスの濃度は、第1電極側の第1領域の端部と第1電極との間の第2領域の2次元電子ガスの濃度より低い。

10

【 0 0 0 9 】

本願において開示される一実施の形態に示される半導体装置の製造方法は、基板の上方に第1窒化物半導体層、第2窒化物半導体層および第3窒化物半導体層を順次形成する工程を有する。そして、第1領域の第3窒化物半導体層を貫通し、第2窒化物半導体層の途中まで到達する第1開口部と、第2領域の第3窒化物半導体層の途中まで到達する第2開口部と、を有する溝を形成する工程を有する。そして、溝内にゲート絶縁膜を介してゲート電極を形成する工程を有する。

【 発明の効果 】

【 0 0 1 0 】

本願において開示される以下に示す代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。

20

【 0 0 1 1 】

本願において開示される以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 実施の形態 1 の半導体装置の構成を示す断面図である。

【 図 2 】 実施の形態 1 の半導体装置の構成を示す平面図である。

【 図 3 】 実施の形態 1 の半導体装置の構成を示す平面図である。

30

【 図 4 】 実施の形態 1 の半導体装置の製造工程を示す断面図である。

【 図 5 】 実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 4 に続く製造工程を示す断面図である。

【 図 6 】 実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 5 に続く製造工程を示す断面図である。

【 図 7 】 実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 6 に続く製造工程を示す断面図である。

【 図 8 】 実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 7 に続く製造工程を示す断面図である。

【 図 9 】 実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 8 に続く製造工程を示す断面図である。

40

【 図 1 0 】 実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 9 に続く製造工程を示す断面図である。

【 図 1 1 】 実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 1 0 に続く製造工程を示す断面図である。

【 図 1 2 】 実施の形態 1 の半導体装置の製造工程を示す断面図であって、図 1 1 に続く製造工程を示す断面図である。

【 図 1 3 】 障壁層の A 1 濃度と閾値との関係を示すグラフである。

【 図 1 4 】 N s と閾値との関係を示すグラフである。

【 図 1 5 】 チャネルの形成領域近傍のバンド図である。

50

【図 1 6】高 Al 濃度の障壁層を用いた場合の閾値低下の様子を示す模式図である。

【図 1 7】バッファ層と障壁層との Al 濃度の差と障壁層の膜厚との関係を示すグラフである。

【図 1 8】実施の形態 1 の応用例 1 の半導体装置の構成を示す断面図である。

【図 1 9】(a) は、比較例の半導体装置の断面図および溝部のバンド図であり、(b) は、実施の形態 1 の応用例 2 の半導体装置の断面図および溝部のバンド図である。

【図 2 0】実施の形態 2 の半導体装置の構成を示す断面図である。

【図 2 1】障壁層の Al 濃度と N_s との関係を示すグラフである。

【図 2 2】実施の形態 2 の半導体装置の製造工程を示す断面図である。

【図 2 3】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 2 に続く製造工程を示す断面図である。 10

【図 2 4】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 3 に続く製造工程を示す断面図である。

【図 2 5】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 4 に続く製造工程を示す断面図である。

【図 2 6】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 5 に続く製造工程を示す断面図である。

【図 2 7】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 6 に続く製造工程を示す断面図である。

【図 2 8】実施の形態 2 の半導体装置の製造工程を示す断面図であって、図 2 7 に続く製造工程を示す断面図である。 20

【図 2 9】実施の形態 3 の半導体装置の構成を示す断面図である。

【図 3 0】実施の形態 3 の半導体装置の製造工程を示す断面図である。

【図 3 1】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 3 0 に続く製造工程を示す断面図である。

【図 3 2】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 3 1 に続く製造工程を示す断面図である。

【図 3 3】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 3 2 に続く製造工程を示す断面図である。

【図 3 4】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 3 3 に続く製造工程を示す断面図である。 30

【図 3 5】実施の形態 3 の半導体装置の製造工程を示す断面図であって、図 3 4 に続く製造工程を示す断面図である。

【図 3 6】実施の形態 4 の応用例 A の半導体装置の構成を示す断面図である。

【図 3 7】実施の形態 4 の応用例 B の半導体装置の構成を示す断面図である。

【図 3 8】実施の形態 4 の応用例 C の半導体装置の構成を示す断面図である。

【図 3 9】実施の形態 4 の応用例 C の半導体装置の他の構成を示す断面図である。

【図 4 0】実施の形態 4 の応用例 D の半導体装置の構成を示す断面図である。

【図 4 1】実施の形態 4 の応用例 D の半導体装置の他の構成を示す断面図である。

【図 4 2】実施の形態 4 の応用例 E の半導体装置の構成を示す断面図である。 40

【図 4 3】実施の形態 4 の応用例 E の半導体装置の他の構成を示す断面図である。

【図 4 4】実施の形態 5 の半導体装置の構成を示す断面図である。

【図 4 5】実施の形態 5 の半導体装置の製造工程を示す断面図である。

【図 4 6】実施の形態 5 の半導体装置の製造工程を示す断面図であって、図 4 5 に続く製造工程を示す断面図である。

【図 4 7】実施の形態 5 の半導体装置の製造工程を示す断面図であって、図 4 6 に続く製造工程を示す断面図である。

【図 4 8】実施の形態 5 の半導体装置の製造工程を示す断面図であって、図 4 7 に続く製造工程を示す断面図である。

【図 4 9】実施の形態 6 の半導体装置の構成を示す断面図である。 50

【発明を実施するための形態】

【0013】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0014】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

【0015】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、複数の類似の部材（部位）が存在する場合には、総称の符号に記号を追加し個別または特定の部位を示す場合がある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0016】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0017】

また、断面図および平面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。また、断面図と平面図が対応する場合においても、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。

【0018】

（実施の形態1）

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

【0019】

[構造説明]

図1は、本実施の形態の半導体装置の構成を示す断面図である。図1に示す本実施の形態の半導体装置（半導体素子）は、窒化物半導体を用いたMIS（Metal Insulator Semiconductor）型の電界効果トランジスタ（FET；Field Effect Transistor）である。この半導体装置は、高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）型のパワートランジスタとして用いることができる。本実施の形態の半導体装置は、いわゆるリセスゲート型の半導体装置である。

【0020】

本実施の形態の半導体装置においては、基板S上に、核生成層NUC、歪緩和層STR、バッファ層BU、チャンネル層（電子走行層ともいう）CHおよび障壁層BAが順に形成されている。また、障壁層BA上には、絶縁膜IFが形成されている。

【0021】

ゲート電極GEは、開口部OA1および開口部OA2よりなる溝Tの内部および絶縁膜IF上にゲート絶縁膜GIを介して形成されている。この溝Tは、浅底部（浅溝部）SBと深底部（深溝部）DBとを有する。浅底部SBは、深底部DBの両側に形成される。なお、浅底部SBを深底部DBを囲むように形成してもよい（図2参照）。別の言い方をす

10

20

30

40

50

れば、ゲート電極 G E は、開口部 O A 2 および浅底部 S B (後述の領域 A S B) 上に形成されている。

【 0 0 2 2 】

また、開口部 O A 1 は、絶縁膜 I F を貫通し、障壁層 B A の途中まで到達する (図 6 参照) 。開口部 O A 1 の底面 (底部ともいう) は、浅底部 S B と対応する。この浅底部 S B は、障壁層 B A 中に位置する。言い換えれば、浅底部 S B からは、障壁層 B A が露出している。また、別の言い方をすれば、浅底部 S B 下には、障壁層 B A が残存している。また、開口部 O A 2 は、絶縁膜 I F および障壁層 B A を貫通し、チャンネル層 C H の途中まで到達する (図 7 参照) 。開口部 O A 2 の底面 (底部ともいう) は、深底部 D B と対応する。この深底部 D B は、チャンネル層 C H 中に位置する。言い換えれば、深底部 D B からは、チャンネル層 C H が露出している。上記浅底部 S B の形成領域を、領域 A S B とし、上記深底部 D B の形成領域を領域 A D B とする。また、溝 T が形成されていない領域 (障壁層 B A がエッチングされていない領域) を、領域 A F とする。

10

【 0 0 2 3 】

ここで、チャンネル層 C H と障壁層 B A との界面近傍のチャンネル層 C H 側に、2次元電子ガス 2 D E G が生成される。また、ゲート電極 G E に正の電位 (閾値電位) が印加された場合には、ゲート絶縁膜 G I とチャンネル層 C H との界面近傍には、チャンネルが形成される。上記 2次元電子ガス 2 D E G は次のメカニズムで形成される。チャンネル層 C H や障壁層 B A を構成する窒化物半導体 (ここでは、窒化ガリウム系の半導体) は、それぞれ、禁制帯幅 (バンドギャップ) や電子親和力が異なる。このため、これらの半導体の接合面に、井戸型ポテンシャルが生成される。この井戸型ポテンシャル内に電子が蓄積されることにより、チャンネル層 C H と障壁層 B A との界面近傍に、2次元電子ガス 2 D E G が生成される (図 1 参照) 。

20

【 0 0 2 4 】

そして、チャンネル層 C H と障壁層 B A との界面近傍に形成される、2次元電子ガス 2 D E G は、ゲート電極 G E が形成されている開口部 O A 2 により分断されている。このため、本実施の形態の半導体装置においては、ゲート電極 G E に正の電位 (閾値電位) が印加されていない状態においてオフ状態を維持でき、ゲート電極 G E に正の電位 (閾値電位) を印加した状態においてオン状態を維持できる。このように、ノーマリーオフ動作を行うことができる。

30

【 0 0 2 5 】

また、チャンネル層 C H の下に、バッファ層 B U を設けることで、チャンネル層 C H とバッファ層 B U との界面近傍のバッファ層 B U 側に、分極電荷 (負の固定電荷) P C が生じる。この分極電荷 P C により、コンダクションバンドが持ち上がり、閾値電位を正側に上昇させることができる (図 1 5 参照) 。これにより、ノーマリーオフ動作性の向上を図ることができる。

【 0 0 2 6 】

また、ゲート電極 G E の一方の側 (図 1 では左側) の障壁層 B A 上には、ソース電極 S E が設けられている。また、ゲート電極 G E の他方の側 (図 1 では右側) の障壁層 B A 上には、ドレイン電極 D E が設けられている。ソース電極 S E およびドレイン電極 D E は、層間絶縁膜 I L 1 中に形成されたコンタクトホール C 1 内およびその上部に配置されている。また、ソース電極 S E およびドレイン電極 D E は、層間絶縁膜 I L 2 で覆われている。

40

【 0 0 2 7 】

ここで、本実施の形態においては、深底部 D B (開口部 O A 1、チャンネルが誘起される領域、チャンネル領域) の両側の浅底部 S B において、薄い障壁層 B A を残存させる構成としたので、浅底部 S B の下方の 2次元電子ガス 2 D E G の濃度が低減する。このように、浅底部 S B の下方の 2次元電子ガス 2 D E G の濃度を低下させることにより、分極電荷 P C によるコンダクションバンドの持ち上げ効果の低下を防ぐことができる。これにより、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

50

【0028】

また、浅底部SBを設けることで、浅底部SBが形成されている領域ASBと、溝Tが形成されていない領域AFとの2次元電子ガス2DEGの濃度を個別に調整することが可能となる。このため、領域AFの2次元電子ガス2DEGを、例えば、障壁層のA1濃度を増やすなどして、高濃度化することが可能となり、オン抵抗（アクセス抵抗）を低減することができる。

【0029】

なお、これらの効果については、追って詳細に説明する（図13～図17参照）。

【0030】

また、浅底部SBにおいては、ゲート電極GEに閾値電位が印加された場合、チャンネルが誘起される。これにより、オン抵抗を低減することができる。

10

【0031】

また、浅底部SBを設けることで、ゲート電極GEの下方の電界集中箇所が2箇所に分散する（図1の破線で囲んだ丸い部分参照）。このため、電界集中が緩和され、ゲート耐圧が向上する。

【0032】

図1～図3を参照しながら、本実施の形態の半導体装置をさらに詳細に説明する。図2および図3は、本実施の形態の半導体装置の構成を示す平面図である。図2は、ゲート電極近傍の平面図であり、図3は、複数のゲート電極を配置する場合のレイアウトの一例である。例えば、図1は、図3のA-A部に対応する。

20

【0033】

図2に示すように、ゲート電極GEの上から見た平面形状（以下、「平面形状」という）は、Y方向に長辺を有する矩形形状（四角形状）である。前述したように、ゲート電極GEは、溝（開口部OA1、OA2）Tの内部および絶縁膜IF上にゲート絶縁膜GIを介して配置されている（図1参照）。この開口部OA2は、ゲート電極GEの形成領域（ゲート電極形成領域ともいう）内であって、ゲート電極GEの中央部に配置され、その平面形状はY方向に長辺を有する矩形形状である。また、開口部OA1は、ゲート電極GEの形成領域内であって、開口部OA2の形成領域を囲むように配置され、その平面形状はY方向に長辺を有する矩形形状である。

【0034】

また、ゲート電極GEの一方の側には、ソース電極SEが設けられている。ソース電極SEの平面形状は、例えば、Y方向に長辺を有する矩形形状である。また、ゲート電極GEの他方の側には、ドレイン電極DEが設けられている。ドレイン電極DEの平面形状は、例えば、Y方向に長辺を有する矩形形状である。

30

【0035】

上記ゲート電極GE、ソース電極SEおよびドレイン電極DEのレイアウトに制限はないが、これらの電極は、例えば、図3のように配置される。ゲート電極GE、ソース電極SEおよびドレイン電極DEは、X方向に長辺を有する矩形形状の活性領域AC上に配置されている。この活性領域ACは、素子分離領域ISOで囲まれ、区画されている。

【0036】

前述したように、ソース電極SEとドレイン電極DEは、例えば、Y方向に長辺を有する矩形形状である。ソース電極SEとドレイン電極DEは、交互にX方向に並んで配置される。そして、ソース電極SEとドレイン電極DEとの間にゲート電極GEが配置される。例えば、複数のゲート電極GEの一方の端部（図中上側）は、X方向に延在するゲート線GLに接続される。また、複数のゲート電極GEの一方の端部（図中下側）は、X方向に延在するゲート線GLに接続される。なお、2本のゲート線GLのうち、いずれかを省略し、ゲート電極GEおよびゲート線GLの総形状を櫛歯状としてもよい。また、複数のソース電極SEは、プラグ（接続部）PGを介してX方向に延在するソース線SLと接続されている。また、複数のドレイン電極DEは、プラグ（接続部）PGを介してX方向に延在するドレイン線DLと接続されている。なお、図1においては、層間絶縁膜IL2より

40

50

上の層、例えば、プラグ P G、ソース線 S L およびドレイン線 D L 等の図示を省略してある。

【 0 0 3 7 】

基板 S としては、例えば、シリコン (S i) からなる半導体基板を用いることができる。基板 S としては、上記シリコンの他、 G a N などの窒化物半導体からなる基板を用いてもよく、 A l N、 S i C やサファイアなどからなる基板を用いてもよい。

【 0 0 3 8 】

核生成層 N U C は、上部に形成される層が成長する際の結晶核を生成させるために形成する。また、上部に形成される層から基板 S に、上部に形成される層の構成元素 (例えば、 G a など) が拡散して、基板 S が変質することを防ぐために形成する。核生成層 N U C としては、例えば、窒化アルミニウム (A l N) 層を用いることができる。また、基板 S として、 G a N 基板などを用いる場合等には、核生成層 N U C を省略することができる。

【 0 0 3 9 】

歪緩和層 S T R は、基板 S に対する応力を緩和して、基板 S に反りやクラックが発生することを抑制するために形成する。歪緩和層 S T R としては、例えば、窒化ガリウム (G a N) 層と窒化アルミニウム (A l N) 層との積層膜 (A l N / G a N 膜) を、繰り返し積層した超格子構造体を用いることができる。

【 0 0 4 0 】

バッファ層 B U は、前述したように、チャネルの直下を分極させ、コンダクションバンドを持ち上げるために形成する。バッファ層 B U としては、例えば、 A l G a N 層を用いることができる。このバッファ層 B U 中には、意図的な不純物のドーピングは行われていない。バッファ層 B U としては、 A l G a N 層の他、 I n A l N 層などを用いることができる。

【 0 0 4 1 】

チャネル層 C H としては、例えば、 G a N 層を用いることができる。チャネル層 C H の材料としては、 G a N の他、 A l N、 I n N などを用いることができる。また、これらの窒化物半導体の混晶を用いてもよい。なお、本実施の形態においては、ノンドープのチャネル層 C H を用いたが、用途に応じて適宜不純物をドーピングしてもよい。ドーピング不純物としては、 n 型不純物や p 型不純物を用いることができる。

【 0 0 4 2 】

また、チャネル層 C H は、バッファ層 B U や障壁層 B A よりも電子親和力が大きい窒化物半導体を用いる必要がある。

【 0 0 4 3 】

障壁層 B A としては、例えば、 A l G a N 層を用いることができる。ここで、バッファ層 B U および障壁層 B A として、 A l G a N 層を用いた場合、 A l 濃度は、障壁層 B A の方が大きい。例えば、バッファ層 B U を $A l_x G a_{1-x} N$ と、障壁層 B A を $A l_z G a_{1-z} N$ と示した場合、 A l 濃度 (x、 z) の関係は $x < z$ となっている。バッファ層 B U は、障壁層 B A より電子親和力が大きい。障壁層 B A の材料としては、 A l G a N 層の他、 I n A l N 層などを用いることができる。また、 A l 濃度の異なる膜を積層し、多層構造の障壁層 B A を用いてもよい。また、障壁層 B A の材料としては、 G a N 層、 A l N 層、 I n N 層など、また、これらの混晶 (例えば、 G a N / A l N / I n N など) を用いることができる。

【 0 0 4 4 】

絶縁膜 I F としては、例えば、窒化シリコン膜を用いることができる。また、窒化シリコン膜以外の絶縁膜 (例えば、酸化シリコン膜や酸窒化シリコン膜など) を用いてもよい。

【 0 0 4 5 】

ゲート絶縁膜 G I としては、酸化アルミニウム ($A l_2 O_3$) 膜を用いることができる。ゲート絶縁膜 G I としては、酸化アルミニウム膜以外の絶縁膜を用いてもよい。また、数種類の絶縁膜の積層構造としてもよい。

10

20

30

40

50

【0046】

ゲート電極GEとしては、窒化チタン(TiN)膜を用いることができる。ゲート電極GEとしては、窒化チタン膜以外の導電性膜を用いてもよい。例えば、ホウ素(B)やリン(P)などの不純物をドーブした多結晶シリコン膜を用いてもよい。また、Ti、Al、Ni、Auなどからなる金属やこれらの金属とSiとの化合物膜(金属シリサイド膜)を用いてもよい。また、Ti、Al、Ni、Auなどからなる金属膜の窒化物を用いてもよい。

【0047】

層間絶縁膜IL1としては、例えば、酸化シリコン膜を用いることができる。また、酸化シリコン膜以外の絶縁膜を用いてもよい。また、数種類の絶縁膜の積層構造としてもよい。

10

【0048】

ソース電極SEおよびドレイン電極DEは、それぞれコンタクトホールC1内およびその上の導電性膜よりなる。ソース電極SEおよびドレイン電極DEとしては、TiN膜とその上のAl膜との積層膜を用いることができる。ソース電極SEおよびドレイン電極DEの材料としては、コンタクトホールC1の底部の窒化物半導体層(障壁層BA)と、オーミック接触する材料であればよい。ソース電極SEおよびドレイン電極DEを構成する材料としては、Ti、Al、Mo(モリブデン)、Nb(ニオブ)、V(バナジウム)などからなる金属膜を用いてもよい。また、これらの金属の混合物(合金)、また、これらの金属とSiとの化合物膜(金属シリサイド膜)、また、これらの金属の窒化物などを用いることができる。また、これらの材料の積層膜を用いてもよい。

20

【0049】

ソース電極SEまたはドレイン電極DE上の層間絶縁膜IL2としては、例えば、酸化シリコン膜を用いることができる。

【0050】

[製法説明]

次いで、図4~図12を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図4~図12は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0051】

図4に示すように、基板S上に、核生成層NUC、歪緩和層STRおよびバッファ層BUを順次形成する。基板Sとして、例えば、(111)面が露出しているシリコン(Si)からなる半導体基板を用い、その上部に、核生成層NUCとして、例えば、窒化アルミニウム(AlN)層を、有機金属気相成長(MOCVD: Metal Organic Chemical Vapor Deposition)法などを用いて、200nm程度の膜厚で、ヘテロエピタキシャル成長させる。

30

【0052】

なお、基板Sとしては、上記シリコンの他、SiCやサファイアなどからなる基板を用いてもよい。さらに通常、核生成層NUCおよびこの核生成層NUC以降の窒化物半導体層(III-V族の化合物半導体層)は、すべてIII族元素面成長(即ち、本件の場合、ガリウム面成長あるいはアルミニウム面成長)で形成する。

40

【0053】

次いで、核生成層NUC上に、歪緩和層STRとして、窒化ガリウム(GaN)層と窒化アルミニウム(AlN)層との積層膜(AlN/GaN膜)を、繰り返し積層した超格子構造体を形成する。例えば、20nm程度の膜厚の窒化ガリウム(GaN)層と、5nm程度の膜厚の窒化アルミニウム(AlN)層とを、交互に有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。例えば、上記積層膜を40層形成する。

【0054】

次いで、歪緩和層STR上に、バッファ層BUとして、例えば、AlGaN層を、有機金属気相成長法などを用いて、0.5μm以上の膜厚で、ヘテロエピタキシャル成長させ

50

る。AlGa_N層のAl濃度(Al組成比)は、例えば、0%~10%とする。なお、A~Bと表示した場合は、A以上B以下を示すものとする。

【0055】

次いで、バッファ層BU上に、チャンネル層CHを形成する。例えば、バッファ層BU上に、窒化ガリウム(GaN)層を、有機金属気相成長法などを用いてヘテロエピタキシャル成長させる。このチャンネル層CHの膜厚は、例えば、10nm~100nm程度である。

【0056】

次いで、チャンネル層CH上に、障壁層BAとして、例えば、AlGa_N層を、有機金属気相成長法などを用いて、5nm~20nmの膜厚で、ヘテロエピタキシャル成長させる。AlGa_N層のAl濃度は、例えば、20%~40%とし、障壁層BAのAlGa_N層のAl濃度を、バッファ層BUのAlGa_N層のAl濃度より大きくする。

10

【0057】

このようにして、バッファ層BU、チャンネル層CHおよび障壁層BAの積層体が形成される。この積層体のうち、チャンネル層CHと障壁層BAとの界面近傍には、2次元電子ガス(2DEG)が生成される。

【0058】

次いで、図5に示すように、障壁層BA上に、絶縁膜IFとして、窒化シリコン膜を、CVD法などを用いて、例えば、50nm~200nm程度の膜厚で堆積する。

【0059】

20

次いで、フォトリソグラフィ処理により、素子分離領域を開口するフォトレジスト膜(図示せず)を絶縁膜IF上に形成する。次いで、このフォトレジスト膜をマスクとして、窒素イオンを打ち込むことにより、素子分離領域(図示せず、図3参照)を形成する。このように、窒素(N)やホウ素(B)などのイオン種が打ち込まれることにより、結晶状態が変化し、高抵抗化する。この後、フォトレジスト膜を除去する。

【0060】

次いで、図6~図8に示すように、開口部(リセスともいう)OA1および開口部OA2よりなる溝Tを形成する。

【0061】

例えば、図6に示すように、絶縁膜IF上に、フォトレジスト膜PR1を形成し、フォトリソグラフィ処理により、ゲート電極形成領域(領域ASBおよび領域ADB)のフォトレジスト膜PR1を除去する。言い換えれば、絶縁膜IF上に、ゲート電極形成領域に開口部を有するフォトレジスト膜PR1を形成する。

30

【0062】

次いで、このフォトレジスト膜PR1をマスクとして、絶縁膜IFおよび障壁層BAをドライエッチングすることにより、絶縁膜IFを貫通して障壁層BAの途中まで達する開口部OA1を形成する。絶縁膜IFとして窒化シリコン膜を用いた場合、エッチングガスとして、例えば、SF₆などのフッ素系のガスを含むドライエッチングガスを用いる。また、障壁層BAのエッチングガスとしては、例えば、BCl₃などの塩素系のガスを含むドライエッチングガスを用いる。エッチングで除去された障壁層BAの厚さはT1である。この厚さT1は、開口部OA1の底面と障壁層BAの表面との高低差に対応する。開口部OA1の底面に残存する障壁層BAの厚さはT2である。この後、フォトレジスト膜PR1を除去する。

40

【0063】

次いで、図7に示すように、絶縁膜IFおよび障壁層BA上に、フォトレジスト膜PR2を形成し、フォトリソグラフィ処理により、領域ADBのフォトレジスト膜PR2を除去する。言い換えれば、絶縁膜IFおよび障壁層BA上に、領域ADBに開口部を有するフォトレジスト膜PR2を形成する。

【0064】

次いで、このフォトレジスト膜PR2をマスクとして、障壁層BAおよびチャンネル層C

50

Hをドライエッチングすることにより、絶縁膜IFおよび障壁層BAを貫通してチャンネル層CHの途中まで達する開口部OA2を形成する。エッチングガスとしては、例えば、 BCl_3 などの塩素系のガスを含むドライエッチングガスを用いる。エッチングで除去された障壁層BAおよびチャンネル層CHの厚さの和はT3である。この厚さT3は、開口部OA1の底面と開口部OA2の底面との高低差に対応する。この後、フォトレジスト膜PR2を除去する。

【0065】

これにより、図8に示すように、浅底部SBと深底部DBとを有する溝Tを形成することができる。浅底部SBは、開口部OA1の底面と対応し、深底部DBは、開口部OA2の底面と対応する。前述したように、開口部OA1は、開口部OA2を囲むように形成される(図2参照)。例えば、浅底部SBの幅は、 $0.2\mu m \sim 5\mu m$ 程度である。

10

【0066】

次いで、図9および図10に示すように、溝T内を含む絶縁膜IF上に、ゲート絶縁膜GIを介してゲート電極GEを形成する。例えば、図9に示すように、溝T内を含む絶縁膜IF上に、ゲート絶縁膜GIとして、酸化アルミニウム膜をALD(Atomic Layer Deposition)法などを用いて50nm程度の膜厚で堆積する。

【0067】

ゲート絶縁膜GIとして、酸化アルミニウム膜の他、酸化シリコン膜や、酸化シリコン膜よりも誘電率の高い高誘電率膜を用いてもよい。高誘電率膜として、SiN膜(窒化シリコン)、 HfO_2 膜(酸化ハフニウム膜)、ハフニウムアルミネート膜、 $HfON$ 膜(ハフニウムオキシナイトライド膜)、 $HfSiO$ 膜(ハフニウムシリケート膜)、 $HfSiON$ 膜(ハフニウムシリコンオキシナイトライド膜)、 $HfAlO$ 膜のようなハフニウム系絶縁膜を用いてもよい。

20

【0068】

次いで、例えば、ゲート絶縁膜GI上に、ゲート電極GEを構成する導電性膜として、例えば、TiN(窒化チタン)膜を、スパッタリング法などを用いて200nm程度の膜厚で堆積する。次いで、図10に示すように、フォトリソグラフィ技術を用いて、ゲート電極形成領域にフォトレジスト膜PR3を形成し、このフォトレジスト膜PR3をマスクとして、TiN膜をエッチングすることによりゲート電極GEを形成する。このエッチングの際、TiN膜の下層のゲート絶縁膜GIをエッチングしてもよい。例えば、TiN膜の加工の際には、 Cl_2 などの塩素系のガスを含むドライエッチングガスを用いたドライエッチングが行われ、酸化アルミニウム膜の加工の際には、 BCl_3 などの塩素系のガスを含むドライエッチングガスを用いたドライエッチングが行われる。

30

【0069】

また、このエッチングの際、ゲート電極GEを、一方向(図10中では右側、ドレイン電極DE側)に張り出した形状にパターニングする。この張り出し部は、フィールドプレート電極部と呼ばれる。このフィールドプレート電極部は、ドレイン電極DE側の溝Tの端部からドレイン電極DE側へ延在するゲート電極GEの一部の領域である。この後、フォトレジスト膜PR3を除去する。

【0070】

40

次いで、図11に示すように、ゲート電極GE上を含む絶縁膜IF上に、層間絶縁膜IL1として、例えば、酸化シリコン膜をCVD法などを用いて2000nm程度堆積する。次いで、フォトリソグラフィ技術およびエッチング技術を用いて、層間絶縁膜IL1および絶縁膜IF中に、コンタクトホールC1を形成する。コンタクトホールC1は、ソース電極形成領域およびドレイン電極形成領域にそれぞれ形成される。例えば、層間絶縁膜IL1上に、ソース電極接続領域およびドレイン電極接続領域にそれぞれ開口部を有するフォトレジスト膜(図示せず)を形成する。次いで、このフォトレジスト膜をマスクとして、層間絶縁膜IL1および絶縁膜IFをエッチングすることにより、コンタクトホールC1を形成する。この後、フォトレジスト膜を除去する。上記工程にて形成されたコンタクトホールC1の底面からは障壁層BAが露出する。

50

【 0 0 7 1 】

次いで、図 1 2 に示すように、ゲート電極 G E の両側の障壁層 B A 上に、ソース電極 S E およびドレイン電極 D E を形成する。例えば、コンタクトホール C 1 内を含む層間絶縁膜 I L 1 上に導電性膜を形成する。例えば、導電性膜として、窒化チタン (T i N) 膜と、その上部のアルミニウム (A l) 膜からなる積層膜 (A l / T i N) を、スパッタリング法などを用いて形成する。窒化チタン膜は、例えば、5 0 n m 程度の膜厚であり、アルミニウム膜は、例えば、1 0 0 0 n m 程度の膜厚である。

【 0 0 7 2 】

次いで、フォトリソグラフィ技術を用いて、ソース電極 S E およびドレイン電極 D E の形成領域にフォトレジスト膜 (図示せず) を形成し、このフォトレジスト膜 (図示せず) をマスクとして、導電性膜 (A l / T i N) をエッチングする。この工程により、ソース電極 S E およびドレイン電極 D E が形成される。

10

【 0 0 7 3 】

次いで、ソース電極 S E およびドレイン電極 D E 上を含む層間絶縁膜 I L 1 上に、層間絶縁膜 I L 2 として、例えば、酸化シリコン膜を C V D 法などを用いて堆積する。以降の工程の図示は省略するが、この後、例えば、プラグ (P G) や配線 (ソース線 S L やドレイン線 D L 等) を形成し、最上層の配線上に、保護膜 (絶縁膜、カバー膜、表面保護膜ともいう) を形成する。

【 0 0 7 4 】

以上の工程により、本実施の形態の半導体装置を形成することができる。なお、上記工程は、一例であり、上記工程以外の工程により、本実施の形態の半導体装置を製造してもよい。例えば、開口部 O A 1 と開口部 O A 2 は、どちらを先に形成してもよい。また、エッチング工程においては、ドライエッチングを用いてもよいし、ウエットエッチングを用いてもよい。

20

【 0 0 7 5 】

ここで、本実施の形態においては、深底部 D B の両側の浅底部 S B において、薄い障壁層 B A を残存させる構成としたので、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

【 0 0 7 6 】

本発明者の検討によれば、浅底部 S B の形成領域 (領域 A S B) において障壁層を薄くしていない比較例の半導体装置 (後述の図 1 6 参照) において、オン抵抗を低下させるため、障壁層の A l 濃度を、2 2 % から 3 0 % に上昇させた場合、閾値が低下することが確認された。図 1 3 は、障壁層の A l 濃度と閾値との関係を示すグラフである。障壁層の A l 濃度差が 1 0 % あるデバイス間の比較例の半導体装置について I V 特性を調べた。グラフの横軸は、ゲート電圧 V_g [a . u .] であり、縦軸は、ドレイン電流 I_d [a . u .] である。図 1 4 は、 N_s と閾値との関係を示すグラフである。後述するように、バッファ層 (A l G a N) と障壁層 (A l G a N) との A l 濃度の差や、障壁層 (A l G a N) の膜厚を調整することで、 N_s (シートキャリア密度) を調整することができる。グラフの横軸は、 N_s [cm^{-2}] であり、縦軸は、閾値 V_t [a . u .] である。

30

【 0 0 7 7 】

図 1 3 に示すように、障壁層の A l 濃度差が 1 0 % あるデバイス同士の特性を比較すると、A l 濃度が高い場合は、閾値が低下している。また、図 1 4 に示すように、 N_s の上昇に伴い、閾値が低下している。

40

【 0 0 7 8 】

これは、障壁層の A l 濃度を上昇させたことにより、2 次元電子ガスが高濃度化したため、チャンネル下の分極電荷の効果が弱まったためと考えられる。図 1 5 は、チャンネルの形成領域近傍のバンド図である。図 1 6 は、高 A l 濃度の障壁層を用いた場合の閾値低下の様子を示す模式図である。

【 0 0 7 9 】

例えば、図 1 5 に示すように、チャンネルが誘起されるゲート絶縁膜 (Al_2O_3) の下

50

において、チャネル層 (GaN) とバッファ層 (AlGaN) との界面近傍のバッファ層側に、分極電荷が生じる。この分極電荷により、コンダクションバンドが持ち上がり、閾値電位を正側に上昇させることができる。

【0080】

しかしながら、図16に示すように、浅底部SBの形成領域(領域ASB)において障壁層を薄くしていない比較例の半導体装置において、高Al濃度の障壁層を用いて2次元電子ガス2DEGを高濃度化させると、分極電荷PCの相対的な濃度(密度)が低下することとなり、分極電荷PCの効果が弱まる。このため、閾値が低下したと考えられる。

【0081】

これに対し、本実施の形態においては、浅底部SBにおいては、薄い障壁層BAしか積層されていないため、浅底部SBにおける2次元電子ガスの濃度を低下させることができる(図1参照)。

10

【0082】

言い換えれば、浅底部SB(領域ASB)における障壁層BAの膜厚は、溝Tが形成されていない領域(領域AF)における障壁層BAの膜厚より小さいため(薄いため)、浅底部SB(領域ASB)における2次元電子ガス2DEGの濃度は、溝Tが形成されていない領域(領域AF)における2次元電子ガス2DEGの濃度より小さくなる。このため、浅底部SBにおける2次元電子ガス2DEGの分極電荷PCに対する影響を緩和することができる。

【0083】

20

図17は、バッファ層と障壁層とのAl濃度の差と障壁層の膜厚との関係を示すグラフである。グラフの横軸は、バッファ層(AlGaN)と障壁層(AlGaN)とのAl濃度の差[%]であり、縦軸は、障壁層(AlGaN)の膜厚[nm]である。Ns[cm^{-2}]が、 $1 \times 10^{13} / \text{cm}^2$ 、 $5 \times 10^{12} / \text{cm}^2$ および $0 / \text{cm}^2$ の場合について、バッファ層(AlGaN)と障壁層(AlGaN)とのAl濃度の差と障壁層(AlGaN)の膜厚との関係を調べた。

【0084】

浅底部SB(領域ASB)における障壁層BAの膜厚は、設計したいNsに応じて、バッファ層による分極電荷の効果を妨げないような濃度が望ましい。例えば、浅底部SB(領域ASB)におけるNsを、 $0 \sim 5 \times 10^{12} / \text{cm}^2$ の範囲に設定したい場合には、図17から、バッファ層(AlGaN)と障壁層(AlGaN)とのAl濃度の差と障壁層(AlGaN)の膜厚の組み合わせを適宜選択すればよい。

30

【0085】

ここで、障壁層の膜厚は、2nm以上が好ましい。また、浅底部SB(領域ASB)の幅は $0.2 \mu\text{m}$ 以上であれば、分極電荷の効果の低減を回避することができる。また、溝Tが形成されていない領域(領域AF)においては、Nsを、 $5 \times 10^{12} / \text{cm}^2$ 以上の濃度となるように設定することが好ましい。例えば、所望のNsとなるように、図16からバッファ層(AlGaN)と障壁層(AlGaN)とのAl濃度の差と障壁層(AlGaN)の膜厚とを適宜設定すれば、オン抵抗の低減を図ることができる。

【0086】

40

このように、浅底部SBを設けることで、浅底部SBと、溝Tが形成されていない領域(領域AF)との2次元電子ガス2DEGの濃度を個別に調整することが可能となる。このため、溝Tが形成されていない領域(領域AF)の2次元電子ガス2DEGを高濃度とすることが可能となり、オン抵抗を低減することができる。

【0087】

例えば、浅底部SB(領域ASB)において、Al濃度25%で膜厚6nm程度の障壁層(AlGaN)が存在している場合、2次元電子ガス2DEGの濃度は $2 \times 10^{12} / \text{cm}^2$ 程度となり、閾値の低下を招くことのない濃度となっている。また、溝Tが形成されていない領域(障壁層BAがエッチングされていない領域)において、Al濃度25%で膜厚17nm程度の障壁層(AlGaN)が存在している場合、2次元電子ガス2DEGの

50

濃度は $7 \times 10^{12} / \text{cm}^2$ 程度となり、ドレイン - ゲート間およびソース - ゲート間のアクセス抵抗を十分に下げることができる。

【 0 0 8 8 】

(応用例 1)

図 1 に示す半導体装置においては、バッファ層中に、意図的な不純物のドーピングを行っていないが、例えば、バッファ層中に p 型の不純物が含まれていてもよい。

【 0 0 8 9 】

図 1 8 は、本実施の形態の応用例 1 の半導体装置の構成を示す断面図である。なお、バッファ層 P B U の構成以外は、図 1 の半導体装置の場合と同様であるため、同様な構成およびその製造工程についての説明を省略する。

10

【 0 0 9 0 】

本応用例 1 の半導体装置においては、バッファ層 B U として、例えば、p 型の A l G a N 層を用いている。p 型不純物としては、例えば、M g などを用いることができる。このようなバッファ層 P B U は、実施の形態 1 の場合と同様に、有機金属気相成長法などを用いて形成することができる。

【 0 0 9 1 】

このように、p 型の A l G a N をバッファ層 P B U として用いた場合でも、浅底部 S B の形成領域における 2 次元電子ガス 2 D E G の濃度を溝 T が形成されていない領域 (領域 A F) の 2 次元電子ガス 2 D E G の濃度より小さくすることによる、閾値の向上効果を得ることができる。

20

【 0 0 9 2 】

(応用例 2)

図 1 に示す半導体装置においては、バッファ層を用いたが、バッファ層を省略してもよい。

【 0 0 9 3 】

本実施の形態の応用例 2 の半導体装置は、バッファ層 B U を省略すること以外は、図 1 の半導体装置の場合と同様であるため、同様な構成およびその製造工程についての説明を省略する。

【 0 0 9 4 】

本応用例 2 の半導体装置においては、バッファ層 B U を省略し、例えば、歪緩和層 S T R 上に、チャンネル層 C H を形成する。

30

【 0 0 9 5 】

図 1 9 の (a) は、比較例の半導体装置の断面図およびリセス溝低部 (B - B ' 部) のバンド図でありコンダクションバンドのエネルギーレベルを示している。(b) は、本応用例 2 の半導体装置の断面図およびリセス溝低部 (B - B ' 部) のバンド図である。

【 0 0 9 6 】

図 1 9 に示すように、バッファ層を用いない場合でも、浅底部 S B を設けず、浅底部 S B の形成領域において障壁層を薄くしていない比較例の半導体装置 (a) と比較し、本応用例 2 の半導体装置 (b) においては、溝部に隣接する 2 次元電子ガスの濃度を低減させることでチャンネルのポテンシャルの低下を抑制することができる。これにより、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

40

【 0 0 9 7 】

(実施の形態 2)

本実施の形態においては、障壁層を A l 濃度の異なる 2 つの層で構成する。なお、障壁層の構成以外は、実施の形態 1 の半導体装置と同様であるため、対応する構成およびその製造工程については、詳細な説明を省略する。

【 0 0 9 8 】

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

【 0 0 9 9 】

[構造説明]

50

図20は、本実施の形態の半導体装置の構成を示す断面図である。図20に示す本実施の形態の半導体装置（半導体素子）は、窒化物半導体を用いたMIS型の電界効果トランジスタである。この半導体装置は、高電子移動度トランジスタ型のパワートランジスタとして用いることができる。本実施の形態の半導体装置は、いわゆるリセスゲート型の半導体装置である。

【0100】

本実施の形態の半導体装置においては、実施の形態1（図1）の場合と同様に、基板S上に、核生成層NUC、歪緩和層STR、バッファ層BU、チャネル層CHおよび障壁層BAが順に形成されている。また、障壁層BA上には、絶縁膜IFが形成されている。

【0101】

ここで、本実施の形態においては、障壁層BAが、チャネル層CH側（上側）に位置する低A1障壁層BA1と、絶縁膜IF側（下側）に位置する高A1障壁層BA2との2層で構成されている。低A1障壁層BA1は、高A1障壁層BA2よりA1濃度（A1組成比）が低い層である。

【0102】

ゲート電極GEは、開口部OA1および開口部OA2よりなる溝Tの内部および絶縁膜IF上にゲート絶縁膜GIを介して形成されている。この溝Tは、浅底部SBと深底部DBとを有する。浅底部SBは、深底部DBの両側に形成される。なお、浅底部SBを深底部DBを囲むように形成してもよい（図2参照）。

【0103】

また、開口部OA1は、絶縁膜IFを貫通し、高A1障壁層BA2の底面（言い換えれば、低A1障壁層BA1の表面）まで到達する（図23参照）。開口部OA1の底面は、浅底部SBと対応する。浅底部SBからは、低A1障壁層BA1の表面が露出している。また、別の言い方をすれば、浅底部SBの下には、低A1障壁層BA1が残存している。

【0104】

また、開口部OA2は、絶縁膜IFおよび障壁層BA（低A1障壁層BA1、高A1障壁層BA2）を貫通し、チャネル層CHの途中まで到達する（図24参照）。開口部OA2の底面は、深底部DBと対応する。この深底部DBは、チャネル層CH中に位置する。言い換えれば、深底部DBからは、チャネル層CHが露出している。上記浅底部SBの形成領域を、領域ASBとし、上記深底部DBの形成領域を領域ADBとする。また、溝Tが形成されていない領域（障壁層BAがエッチングされていない領域）を、領域AFとする。

【0105】

そして、本実施の形態においても、チャネル層CHと障壁層BAとの界面近傍に形成される、2次元電子ガス2DEGは、ゲート電極GEが形成されている開口部OA2により分断されている。このため、本実施の形態の半導体装置においては、ゲート電極GEに正の電位（閾値電位）が印加されていない状態においてオフ状態を維持でき、ゲート電極GEに正の電位（閾値電位）を印加した状態においてオン状態を維持できる。このように、ノーマリーオフ動作を行うことができる。

【0106】

また、チャネル層CHの下に、バッファ層BUを設けることで、チャネル層CHとバッファ層BUとの界面近傍のバッファ層BU側に、分極電荷（負の固定電荷）PCが生じる。この分極電荷PCにより、コンダクションバンドが持ち上がり、閾値電位を正側に上昇させることができる（図15参照）。これにより、ノーマリーオフ動作性の向上を図ることができる。

【0107】

また、ゲート電極GEの一方の側（図20では左側）の障壁層BA上には、ソース電極SEが設けられている。また、ゲート電極GEの他方の側（図20では右側）の障壁層BA上には、ドレイン電極DEが設けられている。ソース電極SEおよびドレイン電極DEは、層間絶縁膜IL1中に形成されたコンタクトホールC1内およびその上部に配置され

10

20

30

40

50

ている。また、ソース電極 S E およびドレイン電極 D E は、層間絶縁膜 I L 2 で覆われている。

【 0 1 0 8 】

本実施の形態においても、深底部 D B の両側の浅底部 S B において、低 A l 障壁層 B A 1 を残存させる構成としたので、実施の形態 1 で詳細に説明したように、浅底部 S B の下方の 2 次元電子ガス 2 D E G の濃度が低減する。このように、浅底部 S B の下方の 2 次元電子ガス 2 D E G の濃度を低下させることにより、分極電荷 P C によるコンダクションバンドの持ち上げ効果の低下を防ぐことができる。これにより、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

【 0 1 0 9 】

また、浅底部 S B を設けることで、浅底部 S B と、溝 T が形成されていない領域（領域 A F ）との 2 次元電子ガス 2 D E G の濃度を個別に調整することが可能となる。具体的には、溝（浅底部 S B ） T の両側においては、高 A l 障壁層 B A 2 が存在するため、2 次元電子ガス 2 D E G を高濃度化することが可能となる。これにより、オン抵抗を低減することができる。

【 0 1 1 0 】

また、浅底部 S B においては、ゲート電極 G E に閾値電位が印加された場合、チャンネルが誘起される。これにより、オン抵抗を低減することができる。

【 0 1 1 1 】

また、浅底部 S B を設けることで、ゲート電極 G E の下方の電界集中箇所が 2 箇所に分散する（図 1 の破線で囲んだ丸い部分参照）。このため、電界集中が緩和され、ゲート耐圧が向上する。

【 0 1 1 2 】

そして、さらに、本実施の形態においては、障壁層 B A を 2 層構造としたので、層ごとに A l 濃度の調整が可能となり、加工マージンを大きくすることができる。

【 0 1 1 3 】

図 2 1 は、障壁層の A l 濃度と N_s との関係を示すグラフである。障壁層（ A l G a N ）の A l 濃度が 1 5 % ~ 4 0 % の場合の N_s について調べた。パuffa 層としては、A l 濃度が 5 % の A l G a N を用いた。グラフの横軸は、A l G a N 障壁層の膜厚 [n m] であり、縦軸は、 N_s [$c m^{-2}$] である。 $1.5 E + 1 3$ は、 $1.5 \times 1 0^{13}$ を示す。

【 0 1 1 4 】

図 2 1 に示すように、高 A l 濃度の薄膜領域では膜厚の N_s 感度が非常に高くなっている。即ち、A l 濃度が 4 0 % の障壁層（ A l G a N ）を用いた場合、0 ~ 1 0 n m の膜厚の範囲で、急激に N_s が上昇している。よって、障壁層 B A を多層構造とし、低 A l 障壁層 B A 1 を設けることで、障壁層 B A のトータル膜厚を大きくすることができる。これにより、溝 T を形成する場合の加工マージンを大きく確保することが可能となる。

【 0 1 1 5 】

例えば、高 A l 障壁層 B A 2 を単層で障壁層 B A として用いた場合、浅底部 S B において、2 次元電子ガス 2 D E G を低くするためには、高 A l 障壁層 B A 2 を極力薄く残存させる必要がある。例えば、A l 濃度が 3 0 % の A l G a N 層を単層で障壁層 B A として用いた場合、浅底部 S B において、A l G a N 層を 6 n m 程度の膜厚までエッチングする必要がある。このため、高精度なエッチング制御が必要となる。さらに、図 2 1 を用いて説明したように、高 A l 濃度の薄膜領域では、 N_s 感度が非常に高いため、膜厚のばらつきが 2 次元電子ガス 2 D E G の濃度に大きく影響してしまう。よって、残存膜厚を薄く、均一にエッチングする、高精度なエッチング制御が必要となる。

【 0 1 1 6 】

これに対し、本実施の形態においては、障壁層 B A を多層構造としたので、下層を低 A l 障壁層 B A 1 で構成することで、浅底部 S B において残存させる低 A l 障壁層 B A 1 の膜厚を大きくすることができ、また、膜厚のばらつきによる 2 次元電子ガス 2 D E G の濃度ばらつきも低減することができる。

10

20

30

40

50

【0117】

本実施の形態の半導体装置の各部の平面レイアウトは、例えば、実施の形態1の場合（図2、図3参照）と同様のレイアウトとすることができる。

【0118】

また、本実施の形態の半導体装置の各部の構成材料としては、実施の形態1と同様の材料を用いることができる。また、本実施の形態の半導体装置の障壁層BA（低Al障壁層BA1、高Al障壁層BA2）としては、例えば、AlGa_{1-x}N層を用いることができる。例えば、高Al障壁層BA2のAl濃度は25%～50%であり、膜厚は2nm～20nm程度である。また、低Al障壁層BA1のAl濃度は10%～25%であり、膜厚は5nm～50nm程度である。それぞれの膜厚の上限は点欠陥の生成などで臨界膜厚として決まる。そして、Al濃度15%、膜厚22nmのAlGa_{1-x}Nを低Al障壁層BA1として用いた場合、2次元電子ガス2DEGの濃度は、 $2.5 \times 10^{12} / \text{cm}^2$ 程度となる。例えば、本実施の形態の半導体装置においては、上記2次元電子ガス2DEGの濃度は、閾値の低下を招くことのない濃度となっている。また、溝Tが形成されていない領域（障壁層BAがエッチングされていない領域）においては、高Al障壁層BA2（Al濃度40%、膜厚9nm）により障壁層BA1および障壁層BA2によって生成される2次元電子ガスは約 $1 \times 10^{13} / \text{cm}^2$ 程度となり、ドレイン-ゲート間およびソース-ゲート間のアクセス抵抗を十分に下げることができる。なお、障壁層BAとして、低Al障壁層BA1と高Al障壁層BA2の積層膜を用い、バッファ層BUをAl_xGa_{1-x}Nと、障壁層BA2をAl_yGa_{1-y}Nと、障壁層BA2をAl_zGa_{1-z}Nと示した場合、Al濃度（x、y、z）の関係は $x < y < z$ となっている。また、障壁層BAの材料としては、AlGa_{1-x}N層の他、InAlN層などを用いることができる。InAlN層を用いる場合も、低Al障壁層BA1と、高Al障壁層BA2との積層膜を障壁層BAとして用いればよい。

10

20

【0119】

[製法説明]

次いで、図22～図28を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図22～図28は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0120】

図22に示すように、基板S上に、核生成層NUC、歪緩和層STR、バッファ層BU、チャンネル層CH、障壁層BA1、BA2および絶縁膜IFを順次形成する。核生成層NUC、歪緩和層STR、バッファ層BUおよびチャンネル層CHは、実施の形態1で説明した材料を用い、実施の形態1と同様に形成することができる。次いで、チャンネル層CH上に、低Al障壁層BA1と高Al障壁層BA2よりなる障壁層BAを形成する。例えば、チャンネル層CH上に、低Al障壁層BA1として、AlGa_{1-x}N層を、有機金属気相成長法などを用いて、Al濃度、10%～25%、5nm～50nmの膜厚で、ヘテロエピタキシャル成長させる。そして、低Al障壁層BA1に、高Al障壁層BA2として、AlGa_{1-x}N層を、有機金属気相成長法などを用いて、Al濃度、25%～50%、2nm～20nmの膜厚で、ヘテロエピタキシャル成長させる。Al濃度は、有機金属気相成長法で用いるAlの原料ガスの流量を変えることにより調整することができる。次いで、実施の形態1の場合と同様にして、障壁層BA上に、絶縁膜IFとして、窒化シリコン膜を形成し、さらに、素子分離領域（図示せず、図3参照）を形成する。

30

40

【0121】

次いで、図23～図25に示すように、開口部OA1および開口部OA2よりなる溝Tを形成する。

【0122】

例えば、図23に示すように、絶縁膜IF上に、フォトリソグレイム膜PR1を形成し、フォトリソグラフィ処理により、ゲート電極形成領域（領域ASBおよび領域ADB）のフォトリソグレイム膜PR1を除去する。

50

【 0 1 2 3 】

次いで、このフォトレジスト膜 P R 1 をマスクとして、絶縁膜 I F および高 A 1 障壁層 B A 2 をドライエッチングすることにより、絶縁膜 I F および高 A 1 障壁層 B A 2 を貫通し、低 A 1 障壁層 B A 1 の表面を露出する開口部 O A 1 を形成する。別の言い方をすれば、厚さ T 1 の高 A 1 障壁層 B A 2 をエッチングで除去する。エッチングガスとしては、実施の形態 1 の場合と同様のガスを用いることができる。この際、開口部 O A 1 の底面には、厚さ T 2 の低 A 1 障壁層 B A 1 が残存する。なお、高 A 1 障壁層 B A 2 をエッチングした後、さらに、低 A 1 障壁層 B A 1 をその途中までエッチングしてもよい。この後、フォトレジスト膜 P R 1 を除去する。

【 0 1 2 4 】

次いで、図 2 4 に示すように、絶縁膜 I F および低 A 1 障壁層 B A 1 上に、フォトレジスト膜 P R 2 を形成し、フォトリソグラフィ処理により、領域 A D B のフォトレジスト膜 P R 2 を除去する。言い換えれば、絶縁膜 I F および低 A 1 障壁層 B A 1 上に、領域 A D B に開口部を有するフォトレジスト膜 P R 2 を形成する。

【 0 1 2 5 】

次いで、このフォトレジスト膜 P R 2 をマスクとして、低 A 1 障壁層 B A 1 およびチャネル層 C H をドライエッチングすることにより、絶縁膜 I F および障壁層 B A (低 A 1 障壁層 B A 1 、高 A 1 障壁層 B A 2) を貫通してチャネル層 C H の途中まで達する開口部 O A 2 を形成する。エッチングガスとしては、実施の形態 1 の場合と同様のガスを用いることができる。エッチングで除去された障壁層 B A およびチャネル層 C H の厚さの和は T 3 である。この厚さ T 3 は、開口部 O A 1 の底面と開口部 O A 2 の底面との高低差に対応する。この後、フォトレジスト膜 P R 2 を除去する。

【 0 1 2 6 】

これにより、図 2 5 に示すように、浅底部 S B と深底部 D B とを有する溝 T を形成することができる。浅底部 S B は、開口部 O A 1 の底面と対応し、深底部 D B は、開口部 O A 2 の底面と対応する。前述したように、開口部 O A 1 は、開口部 O A 2 を囲むように形成される(図 2 参照)。

【 0 1 2 7 】

次いで、図 2 6 および図 2 7 に示すように、溝 T 内を含む絶縁膜 I F 上に、ゲート絶縁膜 G I を介してゲート電極 G E を形成する。ゲート絶縁膜 G I およびゲート電極 G E は、実施の形態と同様にして形成することができる。例えば、図 2 6 に示すように、ゲート絶縁膜 G I の材料およびゲート電極 G E の材料を積層し、図 2 7 に示すように、フォトレジスト膜 P R 3 をマスクとしてこれらの材料をエッチングする。この後、フォトレジスト膜 P R 3 を除去する。

【 0 1 2 8 】

次いで、図 2 8 に示すように、ゲート電極 G E 上を含む絶縁膜 I F 上に、層間絶縁膜 I L 1 を形成し、さらに、ソース電極 S E およびドレイン電極 D E を形成する。次いで、ソース電極 S E およびドレイン電極 D E 上を含む層間絶縁膜 I L 1 上に、層間絶縁膜 I L 2 を形成する。層間絶縁膜 I L 1 、ソース電極 S E 、ドレイン電極 D E および層間絶縁膜 I L 2 は、実施の形態 1 で説明した材料を用い、実施の形態 1 と同様に形成することができる。この後、実施の形態 1 で説明したように、プラグ (P G) や配線 (ソース線 S L やドレイン線 D L 等) を形成し、最上層の配線上に、保護膜を形成してもよい。

【 0 1 2 9 】

以上の工程により、本実施の形態の半導体装置を形成することができる。なお、上記工程は、一例であり、上記工程以外の工程により、本実施の形態の半導体装置を製造してもよい。

【 0 1 3 0 】

また、本実施の形態においては、障壁層 B A を 2 層構造としたが、障壁層 B A を 3 層以上で構成してもよい。この場合、バッファ層 B U 側から順次 A 1 濃度を大きくすることが好ましい。

10

20

30

40

50

【 0 1 3 1 】

(実施の形態 3)

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

【 0 1 3 2 】

[構造説明]

図 29 は、本実施の形態の半導体装置の構成を示す断面図である。図 29 に示す本実施の形態の半導体装置 (半導体素子) は、窒化物半導体を用いた M I S 型の電界効果トランジスタである。この半導体装置は、高電子移動度トランジスタ型のパワートランジスタとして用いることができる。本実施の形態の半導体装置は、いわゆるリセスゲート型の半導体装置である。

10

【 0 1 3 3 】

本実施の形態の半導体装置においては、実施の形態 1 (図 1) の場合と同様に、基板 S 上に、核生成層 N U C、歪緩和層 S T R、バッファ層 B U およびチャネル層 C H が順に形成されている。また、チャネル層 C H 上には、障壁層 B A 1 が形成され、障壁層 B A 1 上には、絶縁膜 I F が形成されている。

【 0 1 3 4 】

ここで、本実施の形態においては、障壁層 B A 1 には、開口部 O A 2 が設けられ、絶縁膜 I F には、開口部 O A 1 が設けられている。そして、開口部 O A 2 の両側の障壁層 B A 1 上には、障壁層 B A 2 が形成されている。障壁層 B A 2 は、障壁層 B A 1 より電子親和力が大きい。例えば、開口部 O A 1 は、ゲート電極 G E の形成領域内であって、開口部 O A 2 の形成領域を囲むように配置される (図 2 参照)。

20

【 0 1 3 5 】

また、開口部 O A 1 は、絶縁膜 I F を貫通し、障壁層 B A 2 の表面まで到達する (図 3 参照)。開口部 O A 1 の底面は、障壁層 B A 2 の表面と対応する。また、開口部 O A 2 は、絶縁膜 I F および障壁層 B A 1、B A 2 を貫通し、チャネル層 C H の途中まで到達する (図 3 4 参照)。開口部 O A 2 の底面は、チャネル層 C H 中に位置する。言い換えれば、開口部 O A 2 の底面からは、チャネル層 C H が露出している。ここで、開口部 O A 2 の形成領域を領域 A D B と、開口部 O A 1 の端部と、開口部 O A 2 の端部との間の領域を領域 A B A 2 とする。また、溝 T が形成されていない領域を、領域 A F とする。なお、領域 A B A 2 は、障壁層 B A 2 の形成領域と対応する。

30

【 0 1 3 6 】

ゲート電極 G E は、開口部 O A 1 および開口部 O A 2 よりなる溝 T の内部および絶縁膜 I F 上にゲート絶縁膜 G I を介して形成されている。

【 0 1 3 7 】

そして、本実施の形態においても、チャネル層 C H と障壁層 B A 1 との界面近傍に形成される、2次元電子ガス 2 D E G は、ゲート電極 G E が形成されている開口部 O A 2 により分断されている。このため、本実施の形態の半導体装置においては、ゲート電極 G E に正の電位 (閾値電位) が印加されていない状態においてオフ状態を維持でき、ゲート電極 G E に正の電位 (閾値電位) を印加した状態においてオン状態を維持できる。このように、ノーマリーオフ動作を行うことができる。

40

【 0 1 3 8 】

また、チャネル層 C H の下に、バッファ層 B U を設けることで、チャネル層 C H とバッファ層 B U との界面近傍のバッファ層 B U 側に、分極電荷 (負の固定電荷) P C が生じる。この分極電荷 P C により、コンダクションバンドが持ち上がり、閾値電位を正側に上昇させることができる (図 1 5 参照)。これにより、ノーマリーオフ動作性の向上を図ることができる。

【 0 1 3 9 】

また、ゲート電極 G E の一方の側 (図 29 では左側) の障壁層 B A 1 上には、ソース電極 S E が設けられている。また、ゲート電極 G E の他方の側 (図 29 では右側) の障壁層 B A 上には、ドレイン電極 D E が設けられている。ソース電極 S E およびドレイン電極 D

50

Eは、層間絶縁膜IL1中に形成されたコンタクトホールC1内およびその上部に配置されている。また、ソース電極SEおよびドレイン電極DEは、層間絶縁膜IL2で覆われている。

【0140】

本実施の形態においては、開口部OA2の両側の領域(領域ABA2)において、障壁層BA1上に、障壁層BA1より電子親和力が大きい障壁層BA2を配置する構成としたので、この領域(領域ABA2)の2次元電子ガス2DEGの濃度を低減することができる。即ち、電子親和力が大きい障壁層BA2が下層の障壁層BA1のピエゾ分極効果を弱め、2次元電子ガス2DEGの濃度が低減する。このように、開口部OA2の両側の領域の2次元電子ガス2DEGの濃度を低下させることにより、分極電荷PCによるコンダクションバンドの持ち上げ効果の低下を防ぐことができる。これにより、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

10

【0141】

また、障壁層BA2を設けることで、開口部OA2の両側の領域(領域ABA2)と、開口部OA1の両側の領域(領域AF)との2次元電子ガス2DEGの濃度を個別に調整することが可能となる。具体的には、開口部OA1の両側の領域(領域AF)においては、障壁層BA2が形成されていないため、2次元電子ガス2DEGを、領域ABA2より高濃度とすることが可能となる。これにより、オン抵抗を低減することができる。

【0142】

また、開口部OA2の両側の領域(領域ABA2)において、ゲート電極GEに閾値電位が印加された場合、チャンネルが誘起される。これにより、オン抵抗を低減することができる。

20

【0143】

また、深さの異なる2つの開口部(OA1、OA2)を設けることで、ゲート電極GEの下方の電界集中箇所が2箇所に分散する(図29の破線で囲んだ丸い部分参照)。このため、電界集中が緩和され、ゲート耐圧が向上する。

【0144】

また、本実施の形態の半導体装置の障壁層BA1としては、例えば、AlGaIn層を用いることができ、障壁層BA2としては、例えば、GaIn層を用いることができる。例えば、バッファ層BUとして、Al濃度が5%のAlGaIn層を用い、チャンネル層CHとして、GaIn層を用い、障壁層BA1として、Al濃度が30%、膜厚12nm程度のAlGaIn層を用いた場合、開口部OA1の両側の領域(領域AF)の2次元電子ガス2DEGの濃度は、 $8E12/cm^2$ 程度となる。このように、ドレイン-ゲート間およびソース-ゲート間のアクセス抵抗を十分に下げることができる。また、障壁層BA2として、GaIn層を形成した領域(領域ABA2)においては、2次元電子ガスの濃度が低下し、例えば、その濃度が $1E12/cm^2 \sim 5E12/cm^2$ 程度となる。これは、閾値の低下を招くことのない濃度である。

30

【0145】

また、本実施の形態においては、後述の製法説明において明らかになるように、開口部OA2の両側の領域(領域ABA2)において、障壁層BA1を直接エッチングすることがないため、2次元電子ガスのばらつきを抑え、所望の2次元電子ガスの濃度を得やすくなる。

40

【0146】

本実施の形態の半導体装置の各部の平面レイアウトは、例えば、実施の形態1の場合(図2、図3参照)と同様のレイアウトとすることができる。

【0147】

また、本実施の形態の半導体装置の各部の構成材料としては、実施の形態1と同様の材料を用いることができる。

【0148】

[製法説明]

50

次いで、図30～図35を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図30～図35は、本実施の形態の半導体装置の製造工程を示す断面図である。

【0149】

図30に示すように、基板S上に、核生成層NUC、歪緩和層STR、バッファ層BU、チャンネル層CH、障壁層BA1および障壁層BA2を順次形成する。核生成層NUC、歪緩和層STR、バッファ層BUおよびチャンネル層CHは、実施の形態1で説明した材料を用い、実施の形態1と同様に形成することができる。次いで、チャンネル層CH上に、障壁層BA1および障壁層BA2を順次形成する。例えば、チャンネル層CH上に、障壁層BA1として、AlGaN層を、有機金属気相成長法などを用いて、Al濃度、25%～40%、5nm～30nmの膜厚で、ヘテロエピタキシャル成長させる。そして、障壁層BA1上に障壁層BA2として、GaN層を、有機金属気相成長法などを用いて、5nm～20nmの膜厚で、ヘテロエピタキシャル成長させる。例えば、開口部OA1の両側の領域(領域AF)の2次元電子ガスDEGの濃度が $5E12/cm^2 \sim 1E13/cm^2$ 程度となり、GaN層を形成した領域(領域ABA2)の2次元電子ガスDEGの濃度が $1E12/cm^2 \sim 5E12/cm^2$ 程度となるように設計する。

10

【0150】

次いで、図31に示すように、障壁層BA2上に、フォトリソグロフ処理により、領域ADBおよび領域ABA2にフォトリソグロフ膜PR41を残存させる。次いで、このフォトリソグロフ膜PR41をマスクとして、障壁層BA2をドライエッチングすることにより、領域ADBおよび領域ABA2に障壁層BA2を残存させる。エッチングガスとしては、実施の形態1において説明したGaN層のエッチングガスと同様のガスを用いることができる。この後、フォトリソグロフ膜PR41を除去する。

20

【0151】

次いで、図32に示すように、障壁層BA1および障壁層BA2上に、絶縁膜IFとして、例えば、窒化シリコン膜を、実施の形態1と同様に形成する。また、この後、実施の形態1の場合と同様に、素子分離領域(図示せず、図3参照)を形成する。

【0152】

次いで、図33および図34に示すように、開口部OA1および開口部OA2を形成する。例えば、開口部OA1は、開口部OA2を囲むように形成される(図2参照)。図33に示すように、絶縁膜IF上に、フォトリソグロフ膜PR42を形成し、フォトリソグロフ処理により、領域ABA2および領域ADBのフォトリソグロフ膜PR42を除去する。

30

【0153】

次いで、このフォトリソグロフ膜PR42をマスクとして、絶縁膜IFをドライエッチングすることにより、開口部OA1を形成する。開口部OA1の底面には障壁層BA2が露出する。エッチングガスとしては、実施の形態1の場合と同様のガスを用いることができる。この後、フォトリソグロフ膜PR42を除去する。なお、マスクずれやエッチングの寸法誤差などにより、障壁層BA2上に、0.1μm程度の幅の絶縁膜IFが残存していてもよく、また、障壁層BA1上の絶縁膜IFが0.1μm程度の幅でエッチングされていてもよい。

40

【0154】

次いで、図34に示すように、絶縁膜IFおよび障壁層BA2上に、フォトリソグロフ膜PR43を形成し、フォトリソグロフ処理により、領域ADBのフォトリソグロフ膜PR43を除去する。次いで、このフォトリソグロフ膜PR43をマスクとして、障壁層BA2、障壁層BA1およびチャンネル層CHをドライエッチングすることにより、障壁層BA2および障壁層BA1を貫通してチャンネル層CHの途中まで達する開口部OA2を形成する。エッチングガスとしては、実施の形態1において説明したGaN層やAlGaN層のエッチングガスと同様のガスを用いることができる。この後、フォトリソグロフ膜PR43を

50

除去する。例えば、障壁層 B A 2 の幅は、 $0.2 \mu\text{m} \sim 5 \mu\text{m}$ 程度である。

【0155】

次いで、開口部 O A 1 および開口部 O A 2 の内部を含む絶縁膜 I F 上に、ゲート絶縁膜 G I およびゲート電極 G E を形成する。ゲート絶縁膜 G I およびゲート電極 G E は、実施の形態と同様にして形成することができる。例えば、図 3 5 に示すように、ゲート絶縁膜 G I の材料およびゲート電極 G E の材料を積層し、これらの材料をエッチングする（図 2 9 参照）。

【0156】

次いで、図 2 9 に示すように、ゲート電極 G E 上を含む絶縁膜 I F 上に、層間絶縁膜 I L 1 を形成し、さらに、ソース電極 S E およびドレイン電極 D E を形成する。次いで、ソース電極 S E およびドレイン電極 D E 上を含む層間絶縁膜 I L 1 上に、層間絶縁膜 I L 2 を形成する。層間絶縁膜 I L 1、ソース電極 S E、ドレイン電極 D E および層間絶縁膜 I L 2 は、実施の形態 1 で説明した材料を用い、実施の形態 1 と同様に形成することができる。この後、実施の形態 1 で説明したように、プラグ（P G）や配線（ソース線 S L やドレイン線 D L 等）を形成し、最上層の配線上に、保護膜を形成してもよい。

10

【0157】

以上の工程により、本実施の形態の半導体装置を形成することができる。なお、上記工程は、一例であり、上記工程以外の工程により、本実施の形態の半導体装置を製造してもよい。

【0158】

（実施の形態 4）

本実施の形態においては、上記実施の形態の応用例について説明する。

20

【0159】

（応用例 A）

図 3 6 は、本実施の形態の応用例 A の半導体装置の構成を示す断面図である。図 3 6 に示すように、実施の形態 2（図 2 0）の半導体装置において、p 型の不純物を含有するバッファ層 P B U を用いてもよい。なお、バッファ層 P B U の構成以外は、実施の形態 2（図 2 0）の半導体装置の場合と同様であるため、同様な構成およびその製造工程についての説明を省略する。

【0160】

このように、p 型の不純物を含有するバッファ層 P B U、例えば、p 型の A l G a N または p 型 G a N を用いた場合も、領域 A S B における 2 次元電子ガス 2 D E G の濃度が、領域 A F の 2 次元電子ガス 2 D E G の濃度より小さくなり、閾値の向上効果を大きくすることができる。

30

【0161】

また、図示は省略するが、実施の形態 2（図 2 0）の半導体装置において、バッファ層 B U を省略してもよいし、もしくは p 型 G a N 層をバッファ層 P B U として用いてもよい。このように、バッファ層を用いない場合でも、領域 A S B における 2 次元電子ガス 2 D E G の濃度を、領域 A F の 2 次元電子ガス 2 D E G の濃度より小さくすることでチャネルのポテンシャルの低下を抑制することができる（実施の形態 1 の応用例 2 参照）。これにより、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

40

【0162】

（応用例 B）

図 3 7 は、本実施の形態の応用例 B の半導体装置の構成を示す断面図である。図 3 7 に示すように、実施の形態 3（図 2 9）の半導体装置において、p 型の不純物を含有するバッファ層 P B U を用いてもよい。なお、バッファ層 P B U の構成以外は、実施の形態 3（図 2 9）の半導体装置の場合と同様であるため、同様な構成およびその製造工程についての説明を省略する。

【0163】

50

このように、p型の不純物を含有するバッファ層PBU、例えば、p型のAlGaInまたはp型GaNを用いた場合も、領域ASBにおける2次元電子ガス2DEGの濃度が、領域AFの2次元電子ガス2DEGの濃度より小さくなり、閾値の向上効果を大きくすることができる。

【0164】

また、図示は省略するが、実施の形態3(図29)の半導体装置において、バッファ層BUを省略してもよいし、もしくはp型GaN層をバッファ層PBUとして用いてもよい。このように、バッファ層を用いない場合でも、領域ASBにおける2次元電子ガス2DEGの濃度を、領域AFの2次元電子ガス2DEGの濃度より小さくすることでチャンネルのポテンシャルの低下を抑制することができる(実施の形態1の応用例2参照)。これにより、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

10

【0165】

(応用例C)

図1に示す半導体装置においては、障壁層BA上に絶縁膜IFが形成されているが、この絶縁膜IFを省略してもよい。図38は、本実施の形態の応用例Cの半導体装置の構成を示す断面図である。

【0166】

本応用例の半導体装置は、絶縁膜IFを省略すること以外は、図1の半導体装置の場合と同様であるため、同様な構成およびその製造工程についての説明を省略する。

20

【0167】

このように、絶縁膜IFを省略しても、図1の半導体装置とほぼ同様の効果を得ることができる。また、絶縁膜IFを省略しても、浅底部SBと障壁層BAの表面とに起因する段差が生じるため、実施の形態1において詳細に説明したように、電界集中が緩和され、ゲート耐圧が向上する(図1参照)。

【0168】

図39は、本実施の形態の応用例Cの半導体装置の他の構成を示す断面図である。図39に示すように、図38に示す半導体装置のバッファ層BUに変えてp型のバッファ層PBUを用いてもよい。このように、p型のAlGaInバッファ層を用いた場合、実施の形態1の応用例1等と同様の閾値の向上効果を得ることができる。

30

【0169】

(応用例D)

図20に示す半導体装置においては、障壁層BA2上に絶縁膜IFが形成されているが、この絶縁膜IFを省略してもよい。図40は、本実施の形態の応用例Dの半導体装置の構成を示す断面図である。

【0170】

本応用例の半導体装置は、絶縁膜IFを省略すること以外は、図20の半導体装置の場合と同様であるため、同様な構成およびその製造工程についての説明を省略する。

【0171】

このように、絶縁膜IFを省略しても、図20の半導体装置とほぼ同様の効果を得ることができる。また、絶縁膜IFを省略しても、浅底部SBと障壁層BAの表面とに起因する段差が生じるため、実施の形態1において詳細に説明したように、電界集中が緩和され、ゲート耐圧が向上する。

40

【0172】

図41は、本実施の形態の応用例Dの半導体装置の他の構成を示す断面図である。図41に示すように、図40に示す半導体装置のバッファ層BUに変えてp型のバッファ層PBUを用いてもよい。このように、p型のバッファ層を用いた場合、実施の形態1の応用例1等で説明したように、閾値の向上効果を大きくすることができる。

【0173】

(応用例E)

50

図 29 に示す半導体装置においては、障壁層 B A 1 上に絶縁膜 I F が形成されているが、この絶縁膜 I F を省略してもよい。図 42 は、本実施の形態の応用例 E の半導体装置の構成を示す断面図である。

【 0174 】

本応用例の半導体装置は、絶縁膜 I F を省略すること以外は、図 29 の半導体装置の場合と同様であるため、同様な構成およびその製造工程についての説明を省略する。

【 0175 】

このように、絶縁膜 I F を省略しても、図 29 の半導体装置とほぼ同様の効果を得ることができる。また、絶縁膜 I F を省略しても、障壁層 B A 2 の表面と障壁層 B A 1 の表面との段差が生じるため、電界集中が緩和され、ゲート耐圧が向上する。

10

【 0176 】

図 43 は、本実施の形態の応用例 E の半導体装置の他の構成を示す断面図である。図 43 に示すように、図 42 に示す半導体装置のバッファ層 B U に変えて p 型のバッファ層 P B U を用いてもよい。このように、p 型のバッファ層を用いた場合、実施の形態 1 の応用例 1 等で説明したように、閾値の向上効果を大きくすることができる。

【 0177 】

(実施の形態 5)

実施の形態 1 (図 1、図 6) においては、開口部 O A 1 の側面 (側壁) から、絶縁膜 I F の側面および障壁層 B A の表面から厚さ T 1 分の側面が露出しているが、絶縁膜 I F の側面をソース電極 S E またはドレイン電極 D E 側に後退させてもよい。なお、絶縁膜 I F の側面の位置以外は、実施の形態 1 の半導体装置と同様であるため、対応する構成およびその製造工程については、詳細な説明を省略する。

20

【 0178 】

以下、図面を参照しながら本実施の形態の半導体装置について詳細に説明する。

【 0179 】

[構造説明]

図 44 は、本実施の形態の半導体装置の構成を示す断面図である。図 44 に示す本実施の形態の半導体装置 (半導体素子) は、窒化物半導体を用いた M I S 型の電界効果トランジスタである。この半導体装置は、高電子移動度トランジスタ型のパワートランジスタとして用いることができる。本実施の形態の半導体装置は、いわゆるリセスゲート型の半導体装置である。

30

【 0180 】

本実施の形態の半導体装置においては、実施の形態 1 (図 1) の場合と同様に、基板 S 上に、核生成層 N U C、歪緩和層 S T R、バッファ層 B U、チャネル層 C H および障壁層 B A が順に形成されている。また、障壁層 B A 上には、絶縁膜 I F が形成されている。

【 0181 】

ゲート電極 G E は、開口部 O A I F、開口部 O A 1 および開口部 O A 2 の内部および絶縁膜 I F 上にゲート絶縁膜 G I を介して形成されている。例えば、開口部 O A 1 は、開口部 O A 2 の形成領域を囲むように配置され (図 2 参照)、開口部 O A I F は、開口部 O A 1 の形成領域を囲むように配置される。

40

【 0182 】

また、開口部 O A I F は、絶縁膜 I F を貫通し、障壁層 B A の表面まで到達する (図 45 参照)。また、開口部 O A 1 は、絶縁膜 I F を貫通し、障壁層 B A の途中まで到達する (図 46 参照)。開口部 O A 1 の底面は、浅底部 S B と対応する。この浅底部 S B は、障壁層 B A 中に位置する。言い換えれば、浅底部 S B からは、障壁層 B A が露出している。また、別の言い方をすれば、浅底部 S B 下には、障壁層 B A が残存している。また、開口部 O A 2 は、絶縁膜 I F および障壁層 B A を貫通し、チャネル層 C H の途中まで到達する (図 47 参照)。開口部 O A 2 の底面は、深底部 D B と対応する。この深底部 D B は、チャネル層 C H 中に位置する。言い換えれば、深底部 D B からは、チャネル層 C H が露出している。上記浅底部 S B の形成領域を、領域 A S B とし、上記深底部 D B の形成領域を領

50

域 A D B とする。また、溝 T が形成されていない領域（障壁層 B A がエッチングされていない領域）を、領域 A F とする。また、障壁層 B A の表面の露出領域（開口部 O A I F と開口部 O A 1 との間の領域）を、領域 A R とする。この障壁層 B A の表面の露出領域は、絶縁膜 I F の後退面と対応する。

【 0 1 8 3 】

そして、本実施の形態においても、チャネル層 C H と障壁層 B A との界面近傍に形成される、2次元電子ガス 2 D E G は、ゲート電極 G E が形成されている開口部 O A 2 により分断されている。このため、本実施の形態の半導体装置においては、ゲート電極 G E に正の電位（閾値電位）が印加されていない状態においてオフ状態を維持でき、ゲート電極 G E に正の電位（閾値電位）を印加した状態においてオン状態を維持できる。このように、

10

【 0 1 8 4 】

また、チャネル層 C H の下に、バッファ層 B U を設けることで、チャネル層 C H とバッファ層 B U との界面近傍のバッファ層 B U 側に、分極電荷（負の固定電荷）P C が生じる。この分極電荷 P C により、コンダクションバンドが持ち上がり、閾値電位を正側に上昇させることができる（図 1 5 参照）。これにより、ノーマリーオフ動作性の向上を図ることができる。

【 0 1 8 5 】

また、ゲート電極 G E の一方の側（図 4 4 では左側）の障壁層 B A 上には、ソース電極 S E が設けられている。また、ゲート電極 G E の他方の側（図 4 4 では右側）の障壁層 B A 上には、ドレイン電極 D E が設けられている。ソース電極 S E およびドレイン電極 D E は、層間絶縁膜 I L 1 中に形成されたコンタクトホール C 1 内およびその上部に配置されている。また、ソース電極 S E およびドレイン電極 D E は、層間絶縁膜 I L 2 で覆われている。

20

【 0 1 8 6 】

本実施の形態においても、実施の形態 1 の場合と同様に、深底部 D B の両側の浅底部 S B において、薄い障壁層 B A を残存させる構成としたので、浅底部 S B の下方の 2次元電子ガス 2 D E G の濃度が低減する。このように、浅底部 S B の下方の 2次元電子ガス 2 D E G の濃度を低下させることにより、分極電荷 P C によるコンダクションバンドの持ち上げ効果の低下を防ぐことができる。これにより、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

30

【 0 1 8 7 】

また、浅底部 S B を設けることで、浅底部 S B が形成されている領域 A S B と、溝 T が形成されていない領域 A F との 2次元電子ガス 2 D E G の濃度を個別に調整することが可能となる。このため、領域 A F の 2次元電子ガス 2 D E G を、例えば、障壁層の A 1 濃度を増やすなどして、高濃度化することが可能となり、オン抵抗を低減することができる。

【 0 1 8 8 】

また、浅底部 S B においては、ゲート電極 G E に閾値電位が印加された場合、チャネルが誘起される。これにより、オン抵抗を低減することができる。

【 0 1 8 9 】

また、浅底部 S B を設けることで、ゲート電極 G E の下方の電界集中箇所が分散し、さらに、絶縁膜 I F の側面をソース電極 S E またはドレイン電極 D E 側に後退させることで、電界集中箇所が 3 箇所分散する（図 4 4 の破線で囲んだ丸い部分参照）。このため、電界集中が緩和され、ゲート耐圧が向上する。

40

【 0 1 9 0 】

[製法説明]

次いで、図 4 5 ~ 図 4 8 を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図 4 5 ~ 図 4 8 は、本実施の形態の半導体装置の製造工程を示す断面図である。

【 0 1 9 1 】

50

図45に示すように、基板S上に、核生成層NUC、歪緩和層STR、バッファ層BU、チャンネル層CH、障壁層BAおよび絶縁膜IFを順次形成する。これらは、実施の形態1で説明した材料を用い、実施の形態1と同様に形成することができる。また、この後、素子分離領域(図示せず、図3参照)を形成する。

【0192】

次いで、開口部O A I F、開口部O A 2および開口部O A 1を順次形成する(図45~図47参照)。例えば、絶縁膜IF上に、フォトレジスト膜PRFを形成し、フォトリソグラフィ処理により、ゲート電極形成領域(領域ASB、領域ADBおよび領域AR)のフォトレジスト膜PRFを除去する。次いで、このフォトレジスト膜PRFをマスクとして、絶縁膜IFをドライエッチングすることにより、絶縁膜IFを貫通し、障壁層BAの表面を露出する開口部O A I Fを形成する。エッチングガスとしては、実施の形態1において説明した絶縁膜IFのエッチングガスと同様のガスを用いることができる。この後、フォトレジスト膜PRFを除去する。

10

【0193】

次いで、図46に示すように、絶縁膜IFおよび障壁層BA上に、フォトレジスト膜PR1を形成し、フォトリソグラフィ処理により、領域ADBおよび領域ASBのフォトレジスト膜PR1を除去する。次いで、このフォトレジスト膜PR1をマスクとして、障壁層BAの表面から厚さT1分をエッチングで除去する。エッチングガスとしては、実施の形態1の場合と同様のガスを用いることができる。この際、開口部O A 1の底面には、厚さT2の障壁層BAが残存する。この後、フォトレジスト膜PR1を除去する。

20

【0194】

次いで、図47に示すように、絶縁膜IFおよび障壁層BA上に、フォトレジスト膜PR2を形成し、フォトリソグラフィ処理により、領域ADBのフォトレジスト膜PR2を除去する。

【0195】

次いで、このフォトレジスト膜PR2をマスクとして、障壁層BAおよびチャンネル層CHをドライエッチングすることにより、障壁層BAを貫通してチャンネル層CHの途中まで達する開口部O A 2を形成する。エッチングガスとしては、実施の形態1の場合と同様のガスを用いることができる。エッチングで除去された障壁層BAおよびチャンネル層CHの厚さの和はT3である。この厚さT3は、開口部O A 1の底面と開口部O A 2の底面との高低差に対応する。この後、フォトレジスト膜PR2を除去する。

30

【0196】

これにより、図48に示すように、開口部O A I F、開口部O A 2および開口部O A 1を形成することができる。開口部O A I Fの底面は、障壁層BAの表面と対応し、開口部O A 2の底面は、浅底部SBと対応し、開口部O A 1の底面は、深底部DBと対応する。また、前述したように、開口部O A I Fは、開口部O A 1を囲むように形成され、開口部O A 1は、開口部O A 2を囲むように形成される。

【0197】

次いで、図44に示すように、開口部O A I F、開口部O A 2および開口部O A 1内を含む絶縁膜IF上に、ゲート絶縁膜GIを介してゲート電極GEを形成する。ゲート絶縁膜GIおよびゲート電極GEは、実施の形態1で説明した材料を用い、実施の形態1と同様に形成することができる。

40

【0198】

次いで、ゲート電極GE上を含む絶縁膜IF上に、層間絶縁膜IL1を形成し、さらに、ソース電極SEおよびドレイン電極DEを形成する。次いで、ソース電極SEおよびドレイン電極DE上を含む層間絶縁膜IL1上に、層間絶縁膜IL2を形成する。層間絶縁膜IL1、ソース電極SE、ドレイン電極DEおよび層間絶縁膜IL2は、実施の形態1で説明した材料を用い、実施の形態1と同様に形成することができる。この後、実施の形態1で説明したように、プラグ(PG)や配線(ソース線SLやドレイン線DL等)を形成し、最上層の配線上に、保護膜を形成してもよい。

50

【 0 1 9 9 】

以上の工程により、本実施の形態の半導体装置を形成することができる。なお、上記工程は、一例であり、上記工程以外の工程により、本実施の形態の半導体装置を製造してもよい。

【 0 2 0 0 】

また、本実施の形態において、絶縁膜 I F をドレイン電極 D E 側にのみ後退させてもよい。

【 0 2 0 1 】

(実施の形態 6)

図 4 9 は、本実施の形態の半導体装置の構成を示す断面図である。図 4 9 に示すように、開口部 O A 2 の両側の領域 (実施の形態 1 の領域 A S B に対応する領域) に、低 A 1 障壁層 B A 1 を設け、開口部 O A 1 の両側の領域 (実施の形態 1 の領域 A F に対応する領域) に、高 A 1 障壁層 B A 2 を設けてもよい。なお、実施の形態 1 と同様の構成部には、同様の符号を付し、その説明を省略する。

【 0 2 0 2 】

このような構成としても、低 A 1 障壁層 B A 1 の下方の 2 次元電子ガス 2 D E G の濃度を、高 A 1 障壁層 B A 2 の下方の 2 次元電子ガス 2 D E G の濃度より、低くすることができる。よって、実施の形態 1 等で詳細に説明したように、閾値電位の低下を防ぐことができ、ノーマリーオフ動作性の向上を図ることができる。

【 0 2 0 3 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施の形態 5 で説明したバッファ層を、実施の形態 1 の応用例 1 で説明したように p 型としてもよい。また、上記実施の形態 5 で説明したバッファ層を、実施の形態 1 の応用例 2 で説明したように省略としてもよい。この他、各実施の形態において説明した各部位の構成や製造工程において種々の組合せが可能である。

[付記 1]

(a) 基板の上方に第 1 窒化物半導体層を形成する工程、
 (b) 前記第 1 窒化物半導体層上に第 2 窒化物半導体層を形成する工程、
 (c) 前記第 2 窒化物半導体層上に第 3 窒化物半導体層を形成する工程、
 (d) 第 1 領域の前記第 3 窒化物半導体層を貫通し、前記第 2 窒化物半導体層の途中まで到達する第 1 開口部と、第 2 領域の前記第 3 窒化物半導体層の途中まで到達する第 2 開口部と、を有する溝を形成する工程、
 (e) 前記溝内にゲート絶縁膜を介してゲート電極を形成する工程、
 (f) 前記ゲート電極の一方の側の前記第 3 窒化物半導体層の上方に第 1 電極を形成し、前記ゲート電極の他方の側の前記第 3 窒化物半導体層の上方に第 2 電極を形成する工程、
 を有し、

前記第 2 窒化物半導体層の電子親和力は、前記第 1 窒化物半導体層と前記第 3 窒化物半導体層の電子親和力より大きく、

前記第 1 窒化物半導体層の電子親和力は、前記第 3 窒化物半導体層の電子親和力より大きい、半導体装置の製造方法。

[付記 2]

付記 1 記載の半導体装置の製造方法において、

前記第 1 窒化物半導体層は、p 型の不純物を含む、半導体装置の製造方法。

[付記 3]

付記 1 記載の半導体装置の製造方法において、

前記 (c) 工程と、前記 (d) 工程の間に、

前記第 3 窒化物半導体層上に絶縁膜を形成する工程を有する、半導体装置の製造方法。

[付記 4]

付記 3 記載の半導体装置の製造方法において、

前記 (d) 工程は、前記第 1 開口部と、前記第 2 開口部と、前記絶縁膜を貫通し、前記第 2 開口部を囲む第 3 開口部を形成する工程であり、

前記 (e) 工程は、前記第 1 開口部、前記第 2 開口部および前記第 3 開口部内を含む前記絶縁膜上に、ゲート絶縁膜を介してゲート電極を形成する工程である、半導体装置の製造方法。

[付記 5]

付記 1 記載の半導体装置の製造方法において、

前記 (c) 工程は、

(c 1) 前記第 2 窒化物半導体層上に第 1 膜を形成する工程と、

(c 2) 前記第 1 膜上に第 2 膜を形成する工程と、

を有し、

前記 (d) 工程は、

前記第 1 領域の前記第 1 膜と前記第 2 膜を貫通し、前記第 2 窒化物半導体層の途中まで到達する第 1 開口部と、前記第 2 領域の前記第 2 膜を貫通し、前記第 1 膜まで到達する第 2 開口部と、を有する溝を形成する工程である、半導体装置の製造方法。

[付記 6]

付記 5 記載の半導体装置の製造方法において、

前記第 1 膜および前記第 2 膜は、それぞれ Al を含有し、

前記第 1 膜の Al 組成比は、前記第 2 膜の Al 組成比より低い、半導体装置の製造方法

。

[付記 7]

(a) 基板の上方に第 1 窒化物半導体層を形成する工程、

(b) 前記第 1 窒化物半導体層上に第 2 窒化物半導体層を形成する工程、

(c) 前記第 2 窒化物半導体層上に第 3 窒化物半導体層を形成する工程、

(d) 第 1 領域の前記第 3 窒化物半導体層を貫通し、前記第 2 窒化物半導体層の途中まで到達する第 1 開口部を形成する工程、

(e) 前記第 1 開口部内にゲート絶縁膜を介してゲート電極を形成する工程、

(f) 前記ゲート電極の一方の側の前記第 3 窒化物半導体層の上方に第 1 電極を形成し、前記ゲート電極の他方の側の前記第 3 窒化物半導体層の上方に第 2 電極を形成する工程

、

を有し、

前記 (c) 工程は、

(c 1) 前記第 2 窒化物半導体層上に第 1 膜を形成する工程と、

(c 2) 前記第 1 膜上に第 2 膜を形成する工程と、

を有し、

前記 (d) 工程の前に、

前記第 2 膜を前記第 1 開口部の両側の第 2 領域にのみ残存させる工程を有し、

前記第 2 窒化物半導体層の電子親和力は、前記第 1 窒化物半導体層と前記第 3 窒化物半導体層の電子親和力より大きく、

前記第 1 窒化物半導体層の電子親和力は、前記第 3 窒化物半導体層の電子親和力より大きく、

前記第 1 膜は、Al を含有し、

前記第 2 膜の Al 組成比は、前記第 1 膜の Al 組成比より低い、半導体装置の製造方法

。

[付記 8]

基板の上方に形成された第 1 窒化物半導体層と、

前記第 1 窒化物半導体層上に形成された第 2 窒化物半導体層と、

前記第 2 窒化物半導体層上に形成された第 3 窒化物半導体層と、

。

10

20

30

40

50

前記第 3 窒化物半導体層を貫通し、前記第 2 窒化物半導体層の途中まで到達する第 1 開口部と、

前記第 1 開口部内にゲート絶縁膜を介して配置されたゲート電極と、

前記ゲート電極の両側の前記第 3 窒化物半導体層の上方にそれぞれ形成された第 1 電極および第 2 電極と、

を有し、

前記第 2 窒化物半導体層の電子親和力は、前記第 1 窒化物半導体層と前記第 3 窒化物半導体層の電子親和力より大きく、

前記第 1 窒化物半導体層の電子親和力は、前記第 3 窒化物半導体層の電子親和力より大きく、

前記第 1 開口部の両側には、第 1 領域が配置され、

前記第 1 領域の前記第 3 窒化物半導体層の膜厚は、前記第 1 電極側の前記第 1 領域の端部と前記第 1 電極との間の第 2 領域の前記第 3 窒化物半導体層の膜厚より薄い、半導体装置。

[付記 9]

基板の上方に形成された第 1 窒化物半導体層と、

前記第 1 窒化物半導体層上に形成された第 2 窒化物半導体層と、

前記第 2 窒化物半導体層を貫通し、前記第 1 窒化物半導体層の途中まで到達する第 1 開口部と、

前記第 1 開口部内にゲート絶縁膜を介して配置されたゲート電極と、

前記ゲート電極の両側の前記第 2 窒化物半導体層の上方にそれぞれ形成された第 1 電極および第 2 電極と、

を有し、

前記第 1 窒化物半導体層の電子親和力は、前記第 2 窒化物半導体層の電子親和力より大きく、

前記第 1 開口部の両側には、第 1 領域が配置され、

前記第 1 領域の前記第 3 窒化物半導体層の膜厚は、前記第 1 電極側の前記第 1 領域の端部と前記第 1 電極との間の第 2 領域の前記第 3 窒化物半導体層の膜厚より薄い、半導体装置。

【符号の説明】

【 0 2 0 4 】

2 D E G 2 次元電子ガス

A B A 2 領域

A C 活性領域

A D B 領域

A F 領域

A R 領域

A S B 領域

B A 障壁層

B A 1 障壁層

B A 2 障壁層

B U バッファ層

C 1 コンタクトホール

C H チャネル層

D B 深底部

D E ドレイン電極

D L ドレイン線

G E ゲート電極

G I ゲート絶縁膜

G L ゲート線

10

20

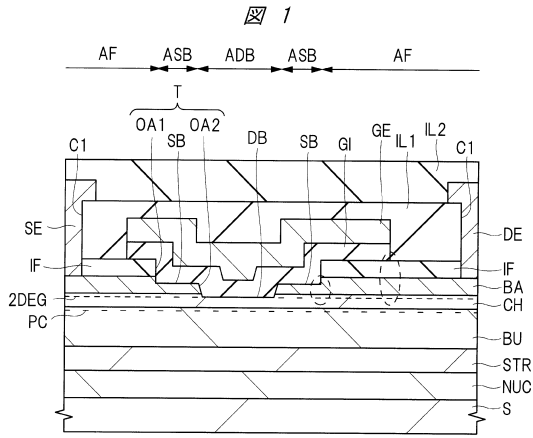
30

40

50

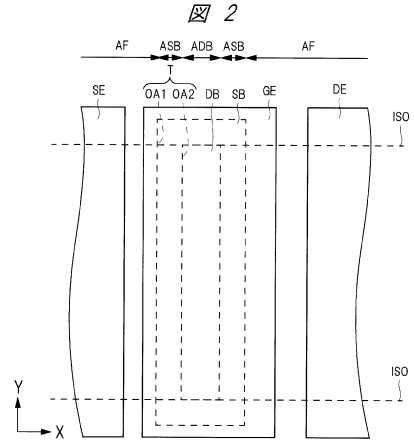
I F	絶縁膜	
I L 1	層間絶縁膜	
I L 2	層間絶縁膜	
I S O	素子分離領域	
N U C	核生成層	
O A 1	開口部	
O A 2	開口部	
O A I F	開口部	
P B U	バッファ層	
P C	分極電荷	10
P G	プラグ	
P R 1	フォトレジスト膜	
P R 2	フォトレジスト膜	
P R 3	フォトレジスト膜	
P R 4 1	フォトレジスト膜	
P R 4 2	フォトレジスト膜	
P R 4 3	フォトレジスト膜	
P R F	フォトレジスト膜	
S	基板	
S B	浅底部	20
S E	ソース電極	
S L	ソース線	
S T R	歪緩和層	
T	溝	
T 1	厚さ	
T 2	厚さ	
T 3	厚さ	

【図1】

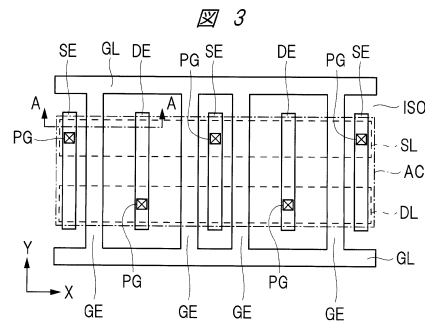


- 2DEG: 2次元電子ガス
- AF: 領域
- ASB: 領域
- BA: 障壁層
- BU: パツファ層
- CH: チャンネル層
- DE: ドレイン電極
- GE: ゲート電極
- GI: ゲート絶縁膜
- OA1: 開口部
- OA2: 開口部
- PC: 分極電荷
- S: 基板
- SE: ソース電極

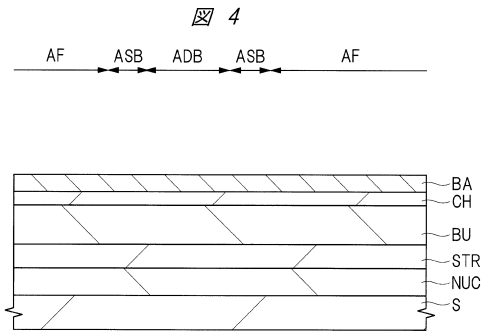
【図2】



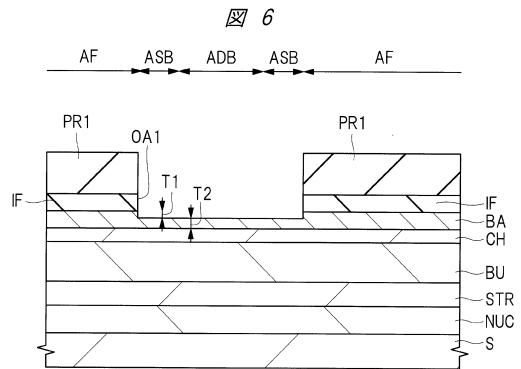
【図3】



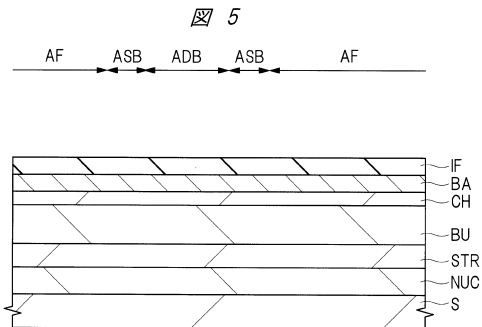
【図4】



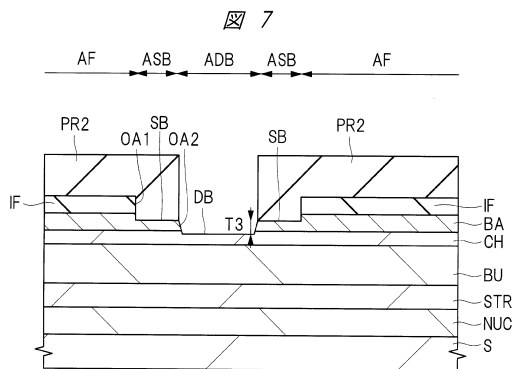
【図6】



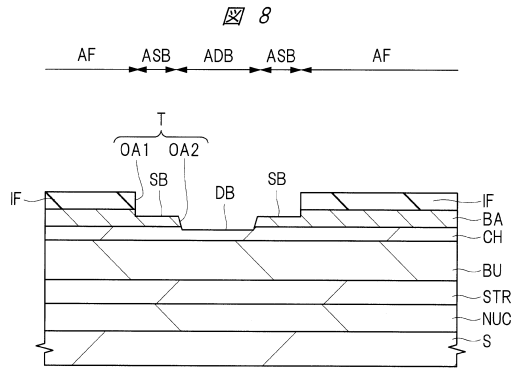
【図5】



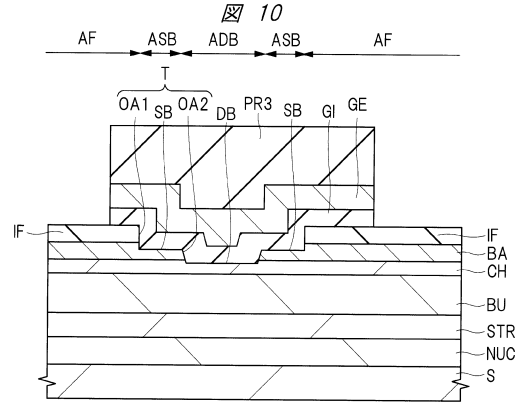
【図7】



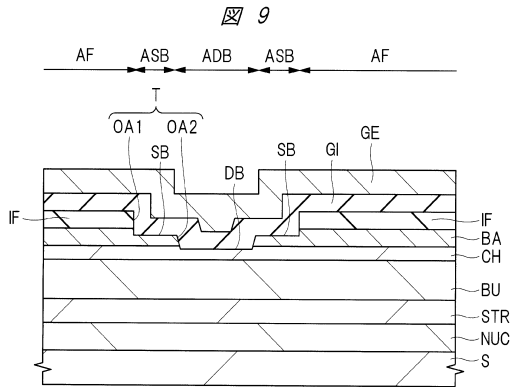
【図8】



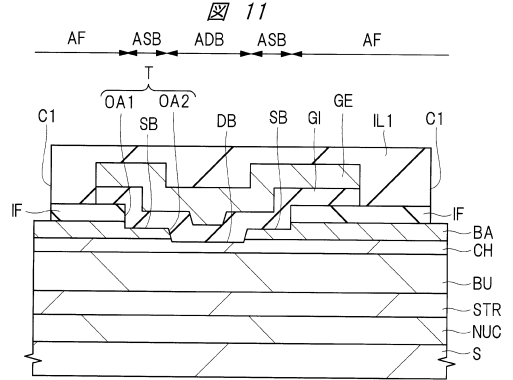
【図10】



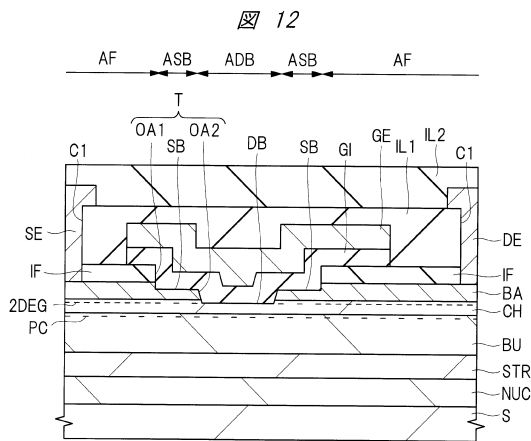
【図9】



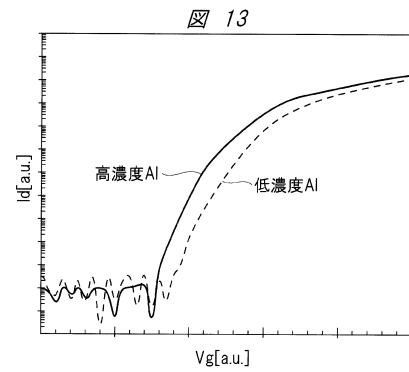
【図11】



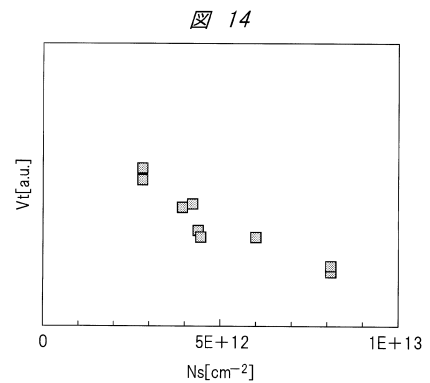
【図12】



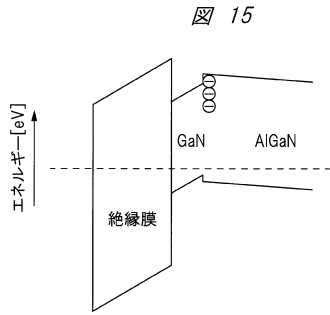
【図13】



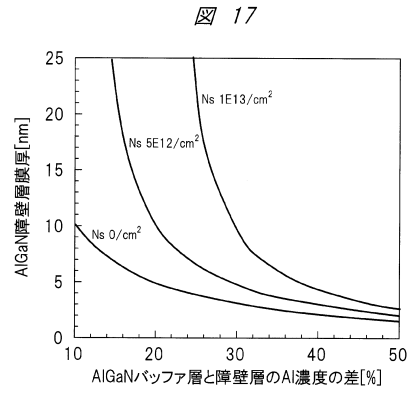
【図14】



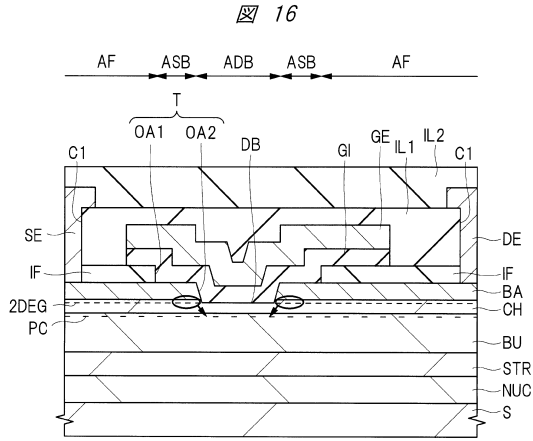
【図15】



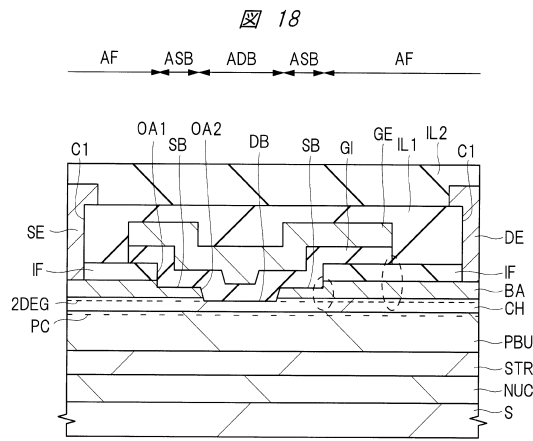
【図17】



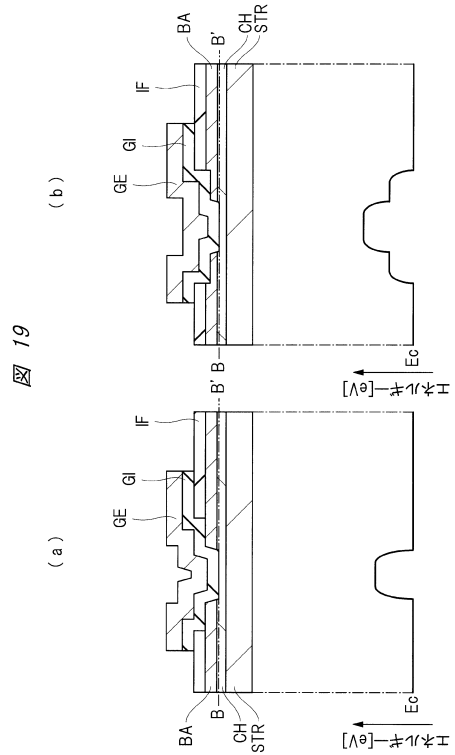
【図16】



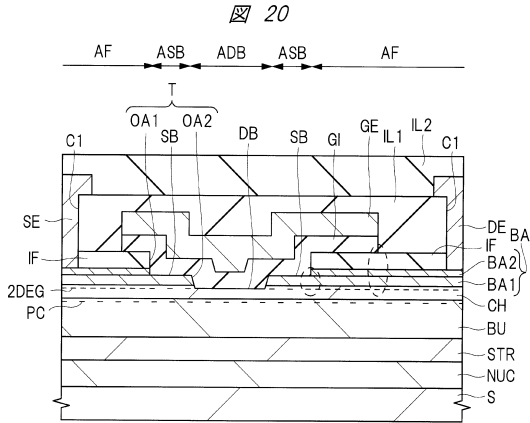
【図18】



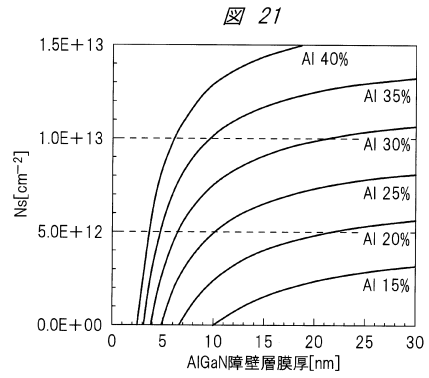
【図19】



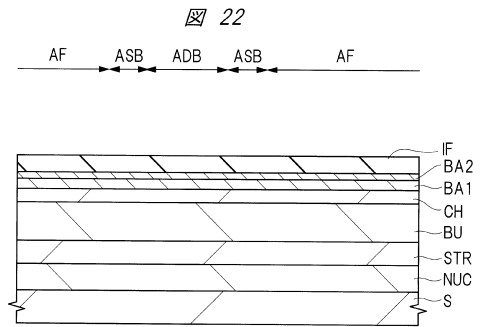
【 図 2 0 】



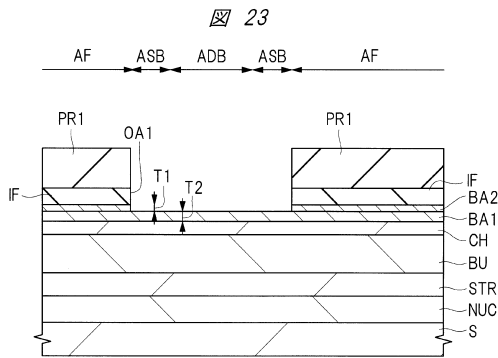
【 図 2 1 】



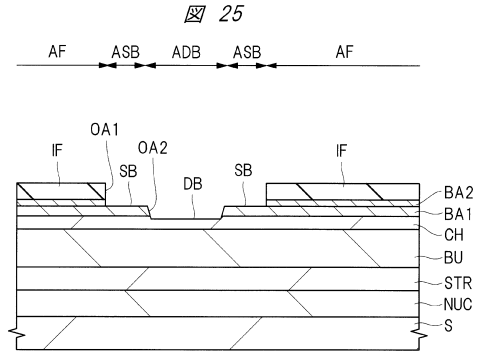
【 図 2 2 】



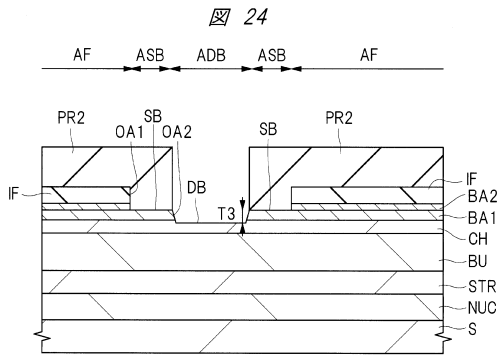
【 図 2 3 】



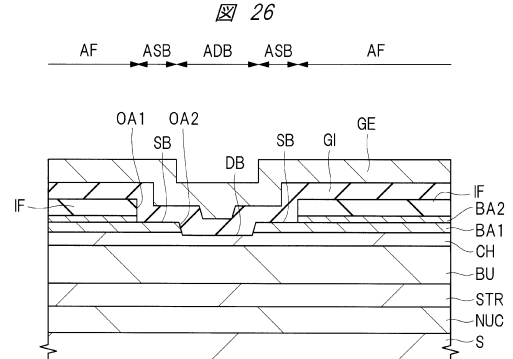
【 図 2 5 】



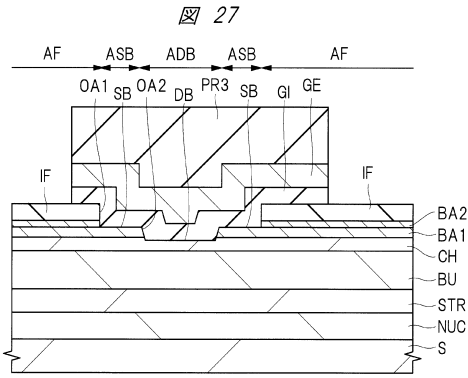
【 図 2 4 】



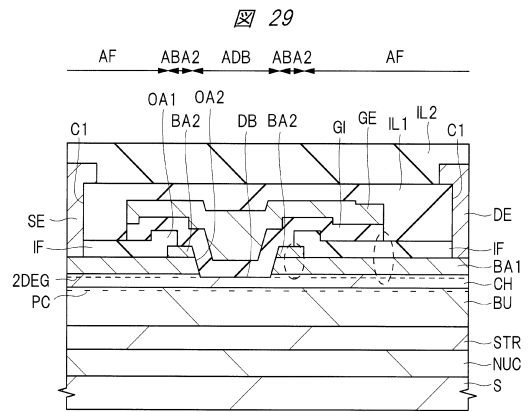
【 図 2 6 】



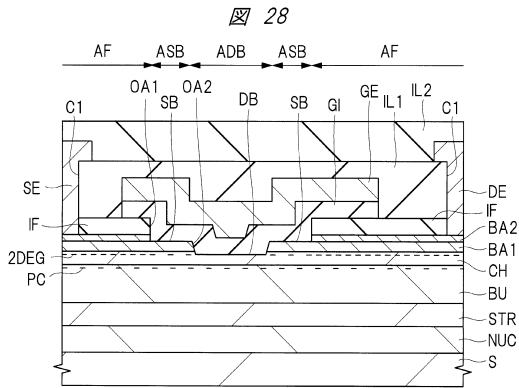
【 図 27 】



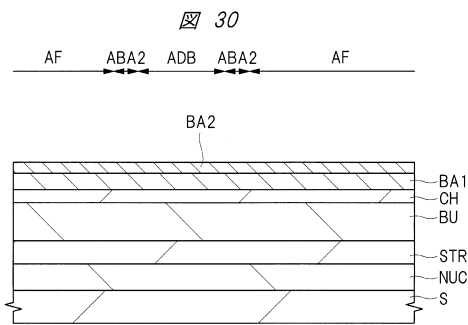
【 図 29 】



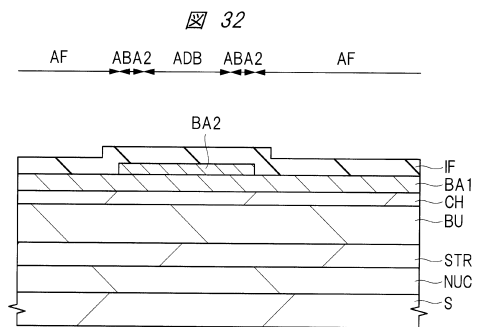
【 図 28 】



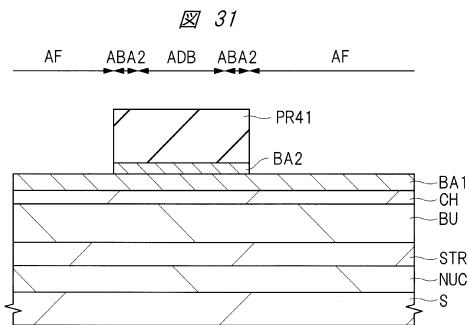
【 図 30 】



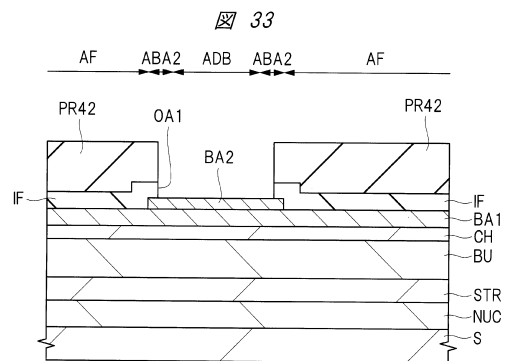
【 図 32 】



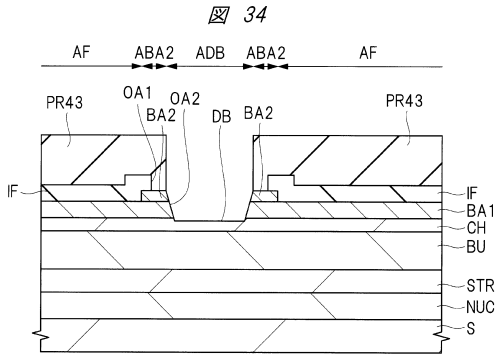
【 図 31 】



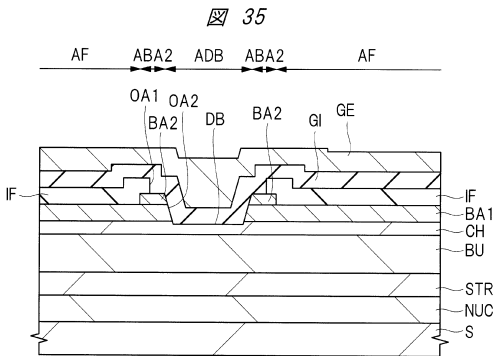
【 図 33 】



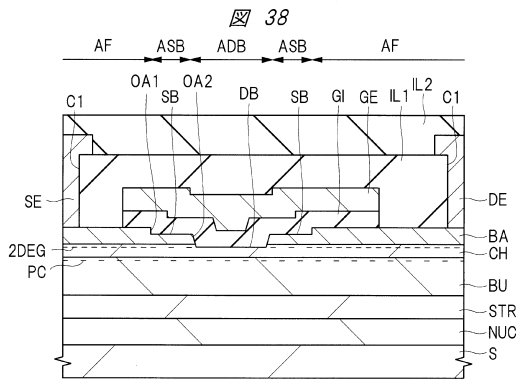
【図34】



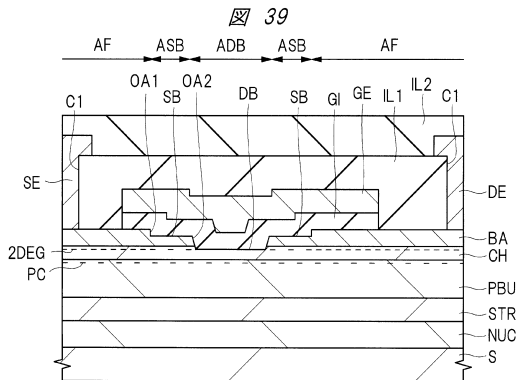
【図35】



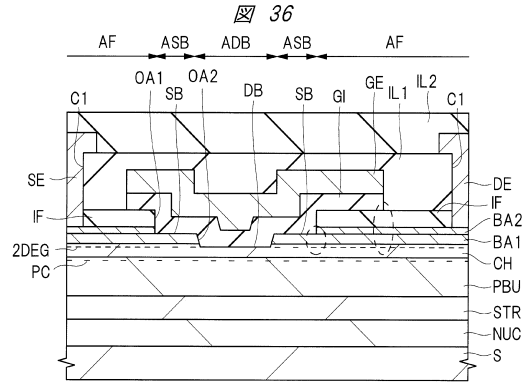
【図38】



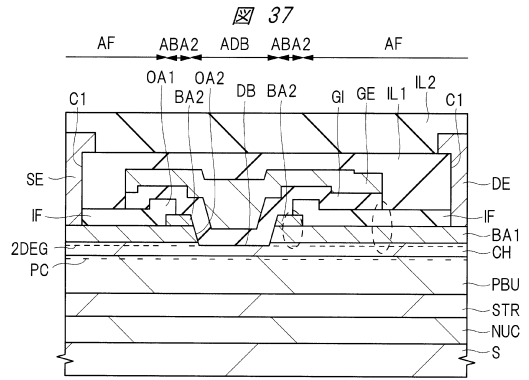
【図39】



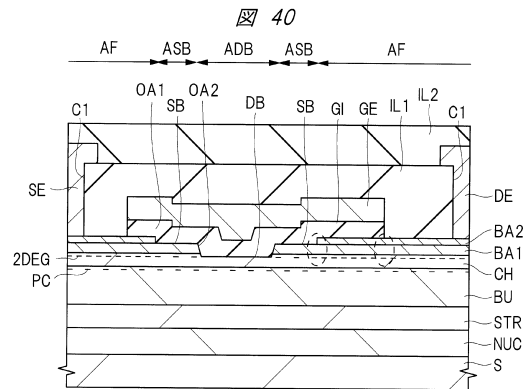
【図36】



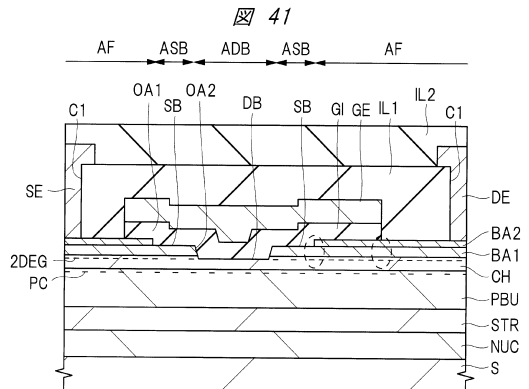
【図37】



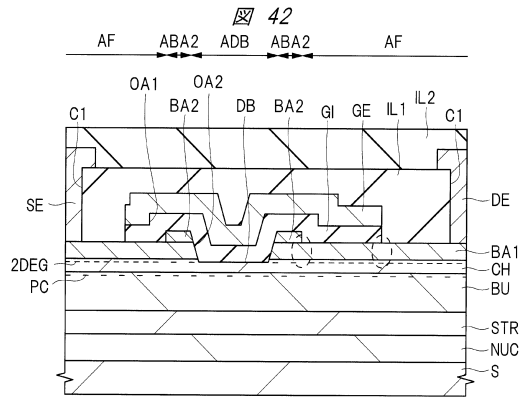
【図40】



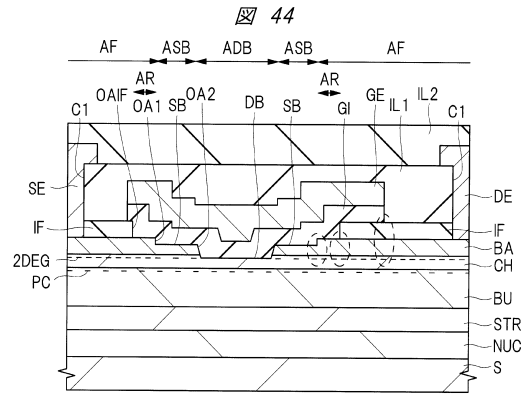
【図41】



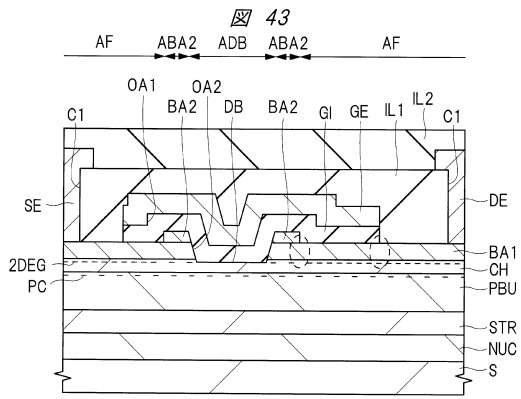
【 4 2 】



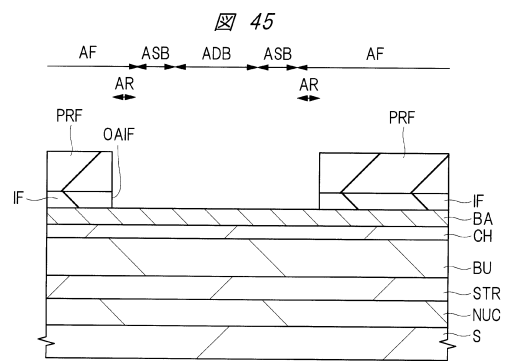
【 4 4 】



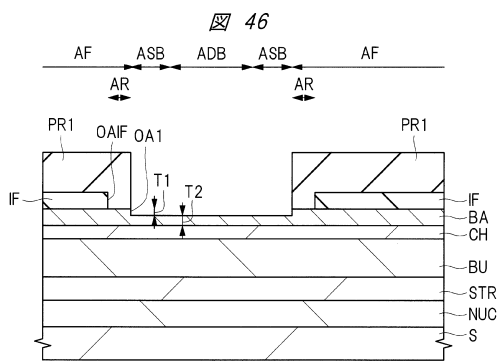
【 4 3 】



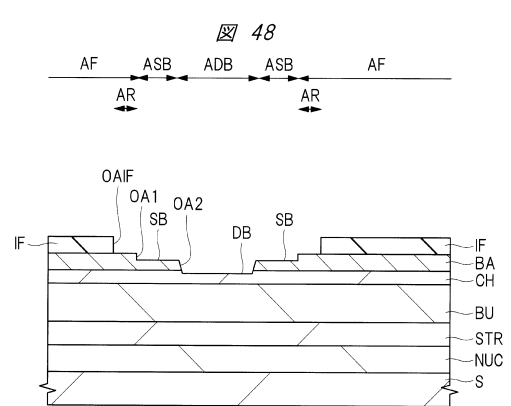
【 4 5 】



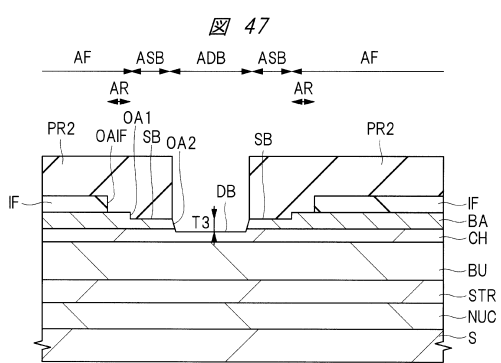
【 4 6 】



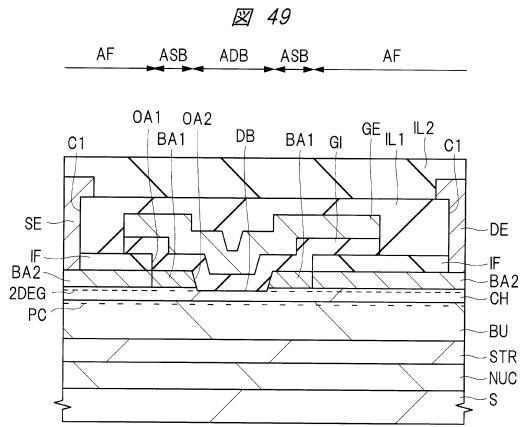
【 4 8 】



【 4 7 】



【 49 】



フロントページの続き

(72)発明者 中山 達峰

茨城県ひたちなか市堀口751番地 ルネサスセミコンダクタマニュファクチャリング株式会社
内

審査官 市川 武宜

(56)参考文献 特開2012-156164(JP,A)

特開2014-187344(JP,A)

特開2010-153837(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338

H01L 21/336

H01L 29/778

H01L 29/78

H01L 29/812