【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第１区分
【発行日】平成19年3月22日(2007.3.22)

【公開番号】特開2006-98333(P2006-98333A)
【公開日】平成18年4月13日(2006.4.13)
【年通号数】公開・登録公報2006-015
【出願番号】特願2004-287286(P2004-287286)
【国際特許分類】
Ｇ０１Ｎ　27/414　(2006.01)
Ｈ０１Ｌ　29/78　(2006.01)
【ＦＩ】
Ｇ０１Ｎ　27/30　３０１Ｖ
Ｇ０１Ｎ　27/30　３０１Ｕ
Ｈ０１Ｌ　29/78　３０１Ｕ

【手続補正書】
【提出日】平成19年2月2日(2007.2.2)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】０００６
【補正方法】変更
【補正の内容】
【０００６】
この電界効果型トランジスタは、図１９（Ｃ）に示されるような、ゲート絶縁層としてシリコン酸化物膜が形成されたものである。このような電界効果型トランジスタを作製する場合は、まず、１％ＨＦ水溶液で３０秒程度前洗浄したシリコン基板５００を、１０００℃の温度下でドライ酸化してシリコン基板５００の表面に厚さ１００ｎｍのSiO_2膜（フィールド酸化膜）５０１を成膜し（図１７（Ａ））、このSiO_2膜５０１上にレジストをコーティングして、ＵＶによりパターニング（露光、現像）して所定部分にレジストパターン５０２を形成し（図１７（Ｂ））、このレジストパターン５０２をマスクとしてSiO_2膜５０１の下層が残る程度に１％ＨＦ水溶液でエッチングし（図１７（Ｃ））、レジストパターン５０２を剥離して、チャンネル・ゲート部５０１ａを形成する（図１７（Ｄ））。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００８
【補正方法】変更
【補正の内容】
【０００８】
次に、アルミニウム膜パターン５０３を剥離した後（図１８（Ｂ））、SiO_2膜５０１表面をN_2雰囲気下でアニール（９００℃　５ｍｉｎ）することにより活性化処理し、このSiO_2膜５０１上にレジストをコーティングして、ＵＶによりパターニング（露光、現像）して、SiO_2膜５０１のＮチャンネル５０４，５０４上方に位置する部分以外を被覆するレジストパターン５０５を形成し（図１８（Ｃ））、このレジストパターン５０５をマスクとしてＮチャンネル５０４，５０４上のSiO_2膜５０１をエッチング（１％ＨＦ水溶液）し、レジストパターン５０５を除去して、コンタクト開口部５０４ａ，５０４ａを形成する（図１８（Ｄ））。
【手続補正３】
【補正対象書類名】明細書

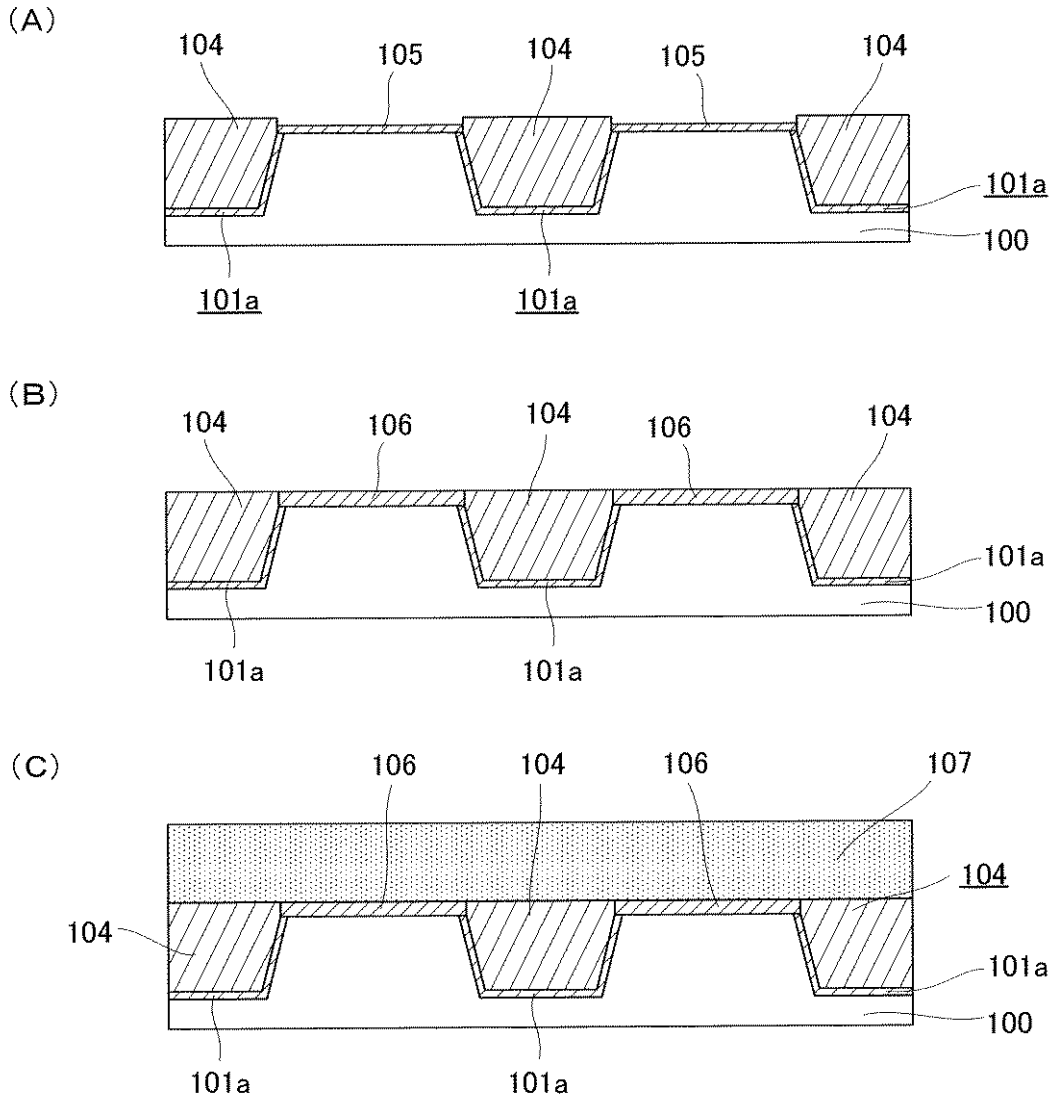
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
このような電界効果型トランジスタを半導体センシングデバイスとして用いる場合、ゲート絶縁層上を有機単分子膜などによって修飾することになるが、図１９（Ｃ）に示されるようなタイプのセンサは、シリコン酸化膜からなるゲート絶縁層が露出した構造となっているため、水分やイオンなどの進入によりトランジスタ特性を損なうおそれがあり、検出部が液に接した状態で長時間測定する場合には不向きである。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【００２０】
図１（Ａ）は、本発明の半導体センシング用電界効果型トランジスタの一例（第１の態様）を示し、図１（Ｂ）はこれを用いてゲート絶縁層上に有機単分子膜を形成した半導体センシングデバイスを示す。なお、図１中、１はシリコン基板、２はゲート絶縁層、３は有機単分子膜であり、また４はゲート電極、５はソース電極、６はドレイン電極、７はチャンネル領域を示す。そして、本発明においては、このゲート絶縁層２が、図１（Ｃ）に示されるように、第１のシリコン酸化物層２ａ上にシリコン窒化物層２ｂを介して第２のシリコン酸化物層２ｃが積層されてなるシリコン酸化物層／シリコン窒化物層／シリコン酸化物層の積層構造を有している。即ち、この場合、第１のシリコン酸化物層２ａはシリコン基板１と接し、第２のシリコン酸化物層２ｃは、検出部をなす有機単分子膜が形成される面として外部に露呈しており、水分やイオン等の物質移動を遮断するように、第１のシリコン酸化物層２ａと第２のシリコン酸化物層２ｃとの間にシリコン窒化物層２ｂが形成されている。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００３１
【補正方法】変更
【補正の内容】
【００３１】
次に、シリコン窒化物膜１０２上にレジスト膜を形成し、リソグラフィー法によりレジストをパターニングして、所定の部分にレジストパターン１０３を形成する（図２（Ｃ））。このレジストパターン１０３が積層されている領域が素子領域、レジストパターン１０３が積層されていない領域が素子分離領域となる。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００３３
【補正方法】変更
【補正の内容】
【００３３】
次に、レジストパターン１０３を剥離し、露呈した陥没部１００ａの表面（側面及び底面）に熱酸化によりシリコン酸化物膜（内壁酸化膜）１０１ａを形成する（図３（Ａ））。これにより、上記したエッチングにより除かれなかったシリコン酸化物膜（熱酸化膜）１０１と連続するシリコン酸化物膜となる。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００３７

【補正方法】変更
【補正の内容】
【００３７】
次に、ＣＶＤによりセルフアライメントマスクとして機能するＡｌ膜１０７を、基板上の全面に成膜し（図４（Ｃ））、更に、Ａｌ膜１０７上に、所望のサイズのゲートを形成するためのレジストパターン１０８をフォトリソグラフィー法により形成し（図５（Ａ））、レジストパターン１０８をマスクとしてＡｌ膜１０７、シリコン酸化物膜１０６及びシリコン酸化物膜１０４上部をエッチングにより除去し、レジストパターン１０８を除去することにより、ゲート部分にシリコン酸化物層１０６ａとパターニングされたＡｌ膜１０７ａとの積層構造が形成されると共に、ソース／ドレイン形成部分のシリコン基板１００が再び露呈する（図５（Ｂ））。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００４１
【補正方法】変更
【補正の内容】
【００４１】
そして、コンタクトホールを形成するために、例えばシリコン窒化物などからなるエッチストッパ層１１３を、基板上の全面に形成し（図７（Ｂ））、その上に、シリコン窒化物膜（層間絶縁膜）１１４を積層する（図７（Ｃ））。これにより、ホウ素が導入されたＡｌ膜１１１が除去されて形成された空洞部にシリコン窒化物が充填される。なお、エッチストッパ層１１３としてシリコン窒化物を用いた場合は、シリコン窒化物膜（層間絶縁膜）１１４は、エッチストッパ層１１３と一体でシリコン窒化物層をなすことになる。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００４３
【補正方法】変更
【補正の内容】
【００４３】
次に、コンタクトホール底部１１５のエッチストッパ層１１３を、エッチングにより除去することにより、不純物注入層１１２表面をコンタクトホール１１５に露呈させ（図８（Ｂ））、次いで、コンタクトホール１１５内面にＴｉバリアメタル層を形成した後、コンタクトホール１１５内部をメタルＣＶＤによりＷで充填し、基板上の全面にＷ膜１１６を形成する（図８（Ｃ））。そして、ＣＭＰによりサイドウォール１１０の上端を除去する位置まで研磨除去して、Ｍ０配線（Ｗプラグ）が形成される（図９（Ａ））。これにより、ホウ素が導入されたＡｌ膜１１１が除去されて形成された空洞部に充填されたシリコン窒化物層１１４ａの上面が露呈する。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００４５
【補正方法】変更
【補正の内容】
【００４５】
次に、コンタクトホール１１８の上方のＡｌ膜１１９上に、Ａｌ膜１１９を配線パターンとして形成するためのレジストパターン１２０を形成し（図１１（Ａ））、フォトリソグラフィー法によりＡｌ膜１１９をパターニングし、レジストパターン１２０を除去することによりＭ１配線（Ａｌ配線）１２１が形成される（図１１（Ｂ））。
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００５５

【補正方法】変更
【補正の内容】
【００５５】
次に、コンタクトホール１１５底部のエッチストッパ層１１３を、エッチングにより除去することにより、金属シリサイド層１１１ｂ及び金属シリサイド層１１２ａをコンタクトホール１１５に露呈させ（図１４（Ｂ））、次いで、コンタクトホール１１５内面にＴｉ／ＴｉＮバリアメタル層を形成した後、コンタクトホール１１５内部をメタルＣＶＤによりＷで充填し、基板上の全面にＷ膜１１６を形成する（図１４（Ｃ））。そして、ＣＭＰによりシリコン窒化物膜１１４上のＷ膜１１６を除去する位置まで研磨除去して、Ｍ０配線（Ｗプラグ）が形成される（図１５（Ａ））。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】００６０
【補正方法】変更
【補正の内容】
【００６０】
【図１】本発明の一例（第１の態様）に係る半導体センシング用電界効果型トランジスタ及び半導体センシングデバイスを示す断面図である。
【図２】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（素子分離工程）を説明するための断面図である。
【図３】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（素子分離工程）を説明するための断面図である。
【図４】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（素子分離工程からゲート形成及びエクステンション形成工程）を説明する断面図である。
【図５】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（ゲート形成及びエクステンション形成工程からサイドウォール形成及びソース／ドレイン形成工程）を説明するための断面図である。
【図６】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（サイドウォール形成及びソース／ドレイン形成工程）を説明するための断面図である。
【図７】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（Ｍ０配線（Ｗプラグ）形成工程）を説明するための断面図である。
【図８】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（Ｍ０配線（Ｗプラグ）形成工程）を説明するための断面図である。
【図９】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（Ｍ０配線（Ｗプラグ）形成工程からＭ１配線形成工程）を説明するための断面図である。
【図１０】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（Ｍ１配線形成工程）を説明するための断面図である。
【図１１】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（Ｍ１配線形成工程）を説明するための断面図である。
【図１２】本発明の一例（第２の態様）に係る半導体センシング用電界効果型トランジスタ及びこれを製造する工程（パッシベーション膜形成及びゲート形成工程）を説明するための断面図である。
【図１３】本発明の一例（第３の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（シリサイド化工程からＭ０配線（Ｗプラグ）形成工程）を説明するための断面図である。
【図１４】本発明の一例（第３の態様）に係る半導体センシング用電界効果型トランジスタを製造する工程（Ｍ０配線（Ｗプラグ）形成工程）を説明するための断面図である。

【図１５】本発明の一例（第３の態様）に係る半導体センシング用電界効果型トランジスタ及びこれを製造する工程（ＭＯ配線（Ｗプラグ）形成工程）を説明するための断面図である。
【図１６】基板上に本発明の半導体センシング用電界効果型トランジスタを複数設けた状態を示す説明図である。
【図１７】従来の半導体センシング用電界効果型トランジスタを製造する工程を説明するための断面図である。
【図１８】従来の半導体センシング用電界効果型トランジスタを製造する工程を説明するための断面図である。
【図１９】従来の半導体センシング用電界効果型トランジスタを製造する工程を説明するための断面図である。
【手続補正１３】
【補正対象書類名】図面
【補正対象項目名】図４
【補正方法】変更
【補正の内容】

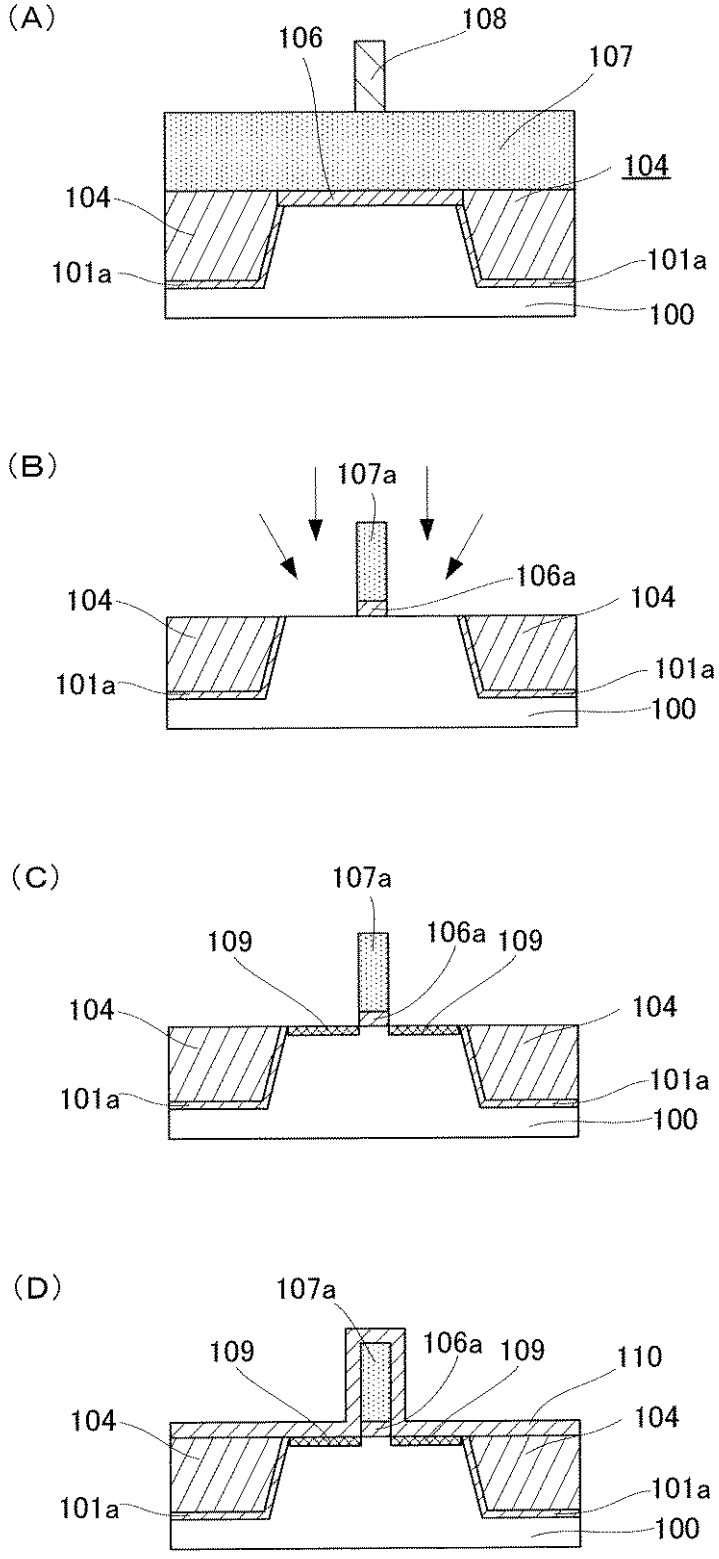
【図４】



【手続補正１４】
【補正対象書類名】図面

【補正対象項目名】図５
【補正方法】変更
【補正の内容】

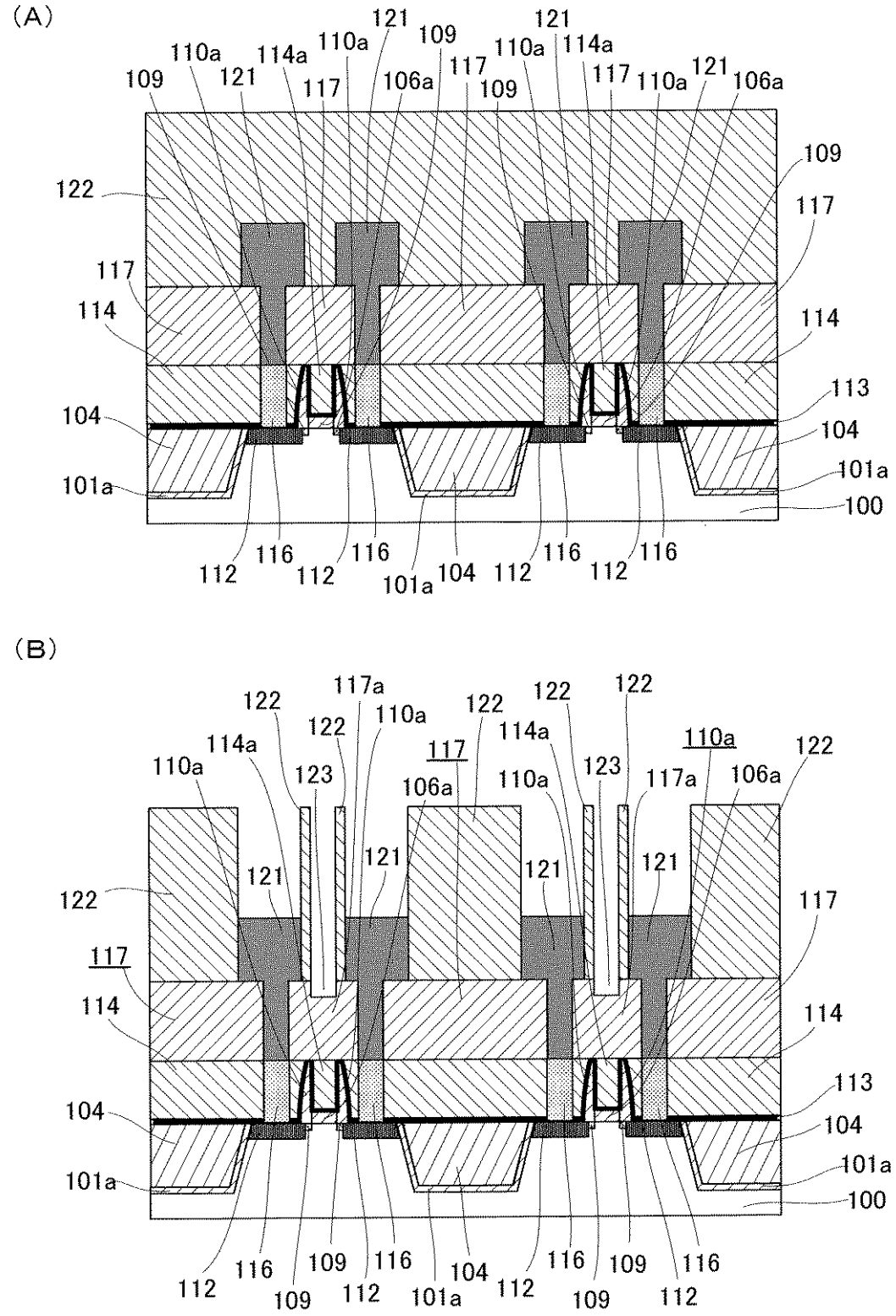
【図５】



【手続補正１５】
【補正対象書類名】図面

【補正対象項目名】図１２
【補正方法】変更
【補正の内容】

【図１２】


(A)
109
110a
121
114a
110a
109
121
117
106a
117
109
110a
121
114a
117
110a
121
106a
122
109
117
117
114
114
113
104
104
101a
101a
100
112
116
112
116
101a
104
112
116
112
116
(B)
122
117a
122
110a
122
122
122
114a
117
114a
110a
123
110a
123
117a
106a
122
106a
121
121
121
121
122
117
117
114
114
113
104
104
101a
101a
100
112
116
109
109
112
116
101a
104
112
116
109
109
112
116