

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 9 月 29 日 (2005.9.29)

【公開番号】特開 2004-119897 (P2004-119897A)  
 【公開日】平成 16 年 4 月 15 日 (2004.4.15)  
 【年通号数】公開・登録公報 2004-015  
 【出願番号】特願 2002-284447 (P2002-284447)  
 【国際特許分類第 7 版】

H 0 1 L 27/105

G 1 1 C 11/15

H 0 1 L 43/08

【F I】

H 0 1 L 27/10 4 4 7

G 1 1 C 11/15 1 1 0

G 1 1 C 11/15 1 2 0

G 1 1 C 11/15 1 8 0

H 0 1 L 43/08 Z

【手続補正書】  
 【提出日】平成 17 年 5 月 10 日 (2005.5.10)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

少なくとも 1 個のセルアレイブロックを構成するように半導体基板上に形成された複数の磁気抵抗素子を含むメモリセルを含み、

ワード線と、

前記ワード線により少なくとも読み出し時に同時に選択される複数の前記メモリセルと

、

前記選択された複数のメモリセルの一端に夫々接続された複数の電源線と、

前記メモリセルの他端に夫々接続され前記電源線と夫々平行に配置された複数のビット線とを具備し、

前記ワード線は、複数の前記ビット線及び複数の前記電源線にほぼ直角に配置されたことを特徴とする半導体記憶装置。

【請求項 2】

前記メモリセルは夫々、

1 個の磁気抵抗素子とこの磁気抵抗素子に直列接続された 1 個の選択素子とを含んで構成され、前記ワード線は書き込み用ワード線と読み出し用ワード線とを含み、

前記セルアレイブロックは、

複数の磁気抵抗素子と、

複数の前記磁気抵抗素子に夫々直列接続された複数の選択素子と、

前記書き込み用ワード線と、

前記読み出し用ワード線と、

複数のビット線と、

複数の電源線とを有し、

複数の前記磁気抵抗素子は前記読み出し用ワード線により同時に選択され、夫々の一端

は前記ビット線に接続され他端は前記選択素子の一端に接続され、複数の前記選択素子の夫々は前記読み出し用ワード線により同時に選択され、複数の前記電源線は複数の前記選択素子の他端に夫々接続されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

複数の前記電源線の夫々は、複数の前記選択素子のうち互いに隣接する 2 個の選択素子に共通に接続されていること、を特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】

更に、複数の前記電源線に共通接続される共通電源線が配置され、前記共通電源線は前記セルアレイブロックに対応して設けられていること、を特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記ビット線に沿って隣接して配置された NMOS トランジスタを含む第 1、第 2 のメモリセルを含み、

前記第 1 のメモリセルに含まれる第 1 の NMOS トランジスタは前記読み出し用ワード線として用いられる第 1 のゲート電極を有し、前記第 1 の NMOS トランジスタと直列接続される第 1 の磁気抵抗素子および前記書込み用ワード線は前記第 1 のゲート電極の上方に配置され、前記第 1 の NMOS トランジスタのドレイン領域を前記第 1 の磁気抵抗素子に接続するための第 1 のコンタクトが、前記ビット線に沿って形成された前記第 2 のメモリセルとの間に形成されたスペース内に配置され、前記スペース内には前記第 2 のメモリセルに含まれる第 2 の NMOS トランジスタのドレイン領域を第 2 の磁気抵抗素子に接続するための第 2 のコンタクトが更に配置されていることを特徴とする請求項 2 に記載の半導体記憶装置。