(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0146063
(43) 공개일자 2015년12월31일

(51) 국제특허분류(Int. Cl.)
H03L 7/081 (2006.01) *H03L 7/08* (2006.01)
(21) 출원번호 10-2014-0075912
(22) 출원일자 2014년06월20일
심사청구일자 2014년06월20일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 성북구 길음로16, 605-1301 (길음동, 삼성래미안3차아파트)
최창성
서울특별시 용산구 이촌로 248, 16동 105호 (이촌동, 한강맨션)
황세욱
서울특별시 용산구 백범로90다길 12, 201동 307호 (문배동, 용산씨제이나인파크)
(74) 대리인
홍성욱, 심경식

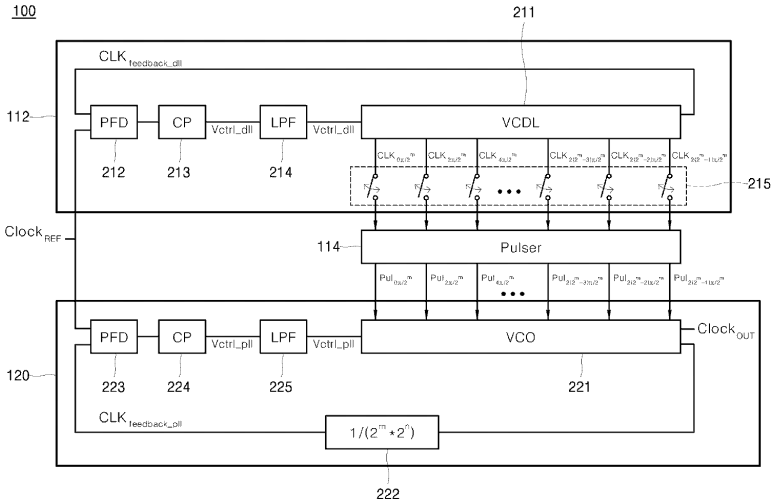
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **위상 고정 루프 및 그 인젝션 락킹 방법**

(57) 요 약

본 발명의 일 실시예에 따른 위상 고정 루프는 기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생하고, 상기 발생된 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성하는 인젝션 락킹부; 및 상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이에 기초하여 상기 위상고정루프 주파수 신호를 제어하는 위상 고정 루프부를 포함하고, 상기 위상 고정 루프부는 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 위상을 제어할 수 있다.

대 표 도



명 세 서

청구범위

청구항 1

기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생하고, 상기 발생된 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성하는 인젝션 락킹부; 및

상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이에 기초하여 상기 위상고정루프 주파수 신호를 제어하는 위상 고정 루프부

를 포함하고,

상기 위상 고정 루프부는

상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 위상을 제어하는 것을 특징으로 하는 위상 고정 루프.

청구항 2

제1항에 있어서,

상기 위상 고정 루프부는

상기 기준 주파수 신호와 상기 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이, 및 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 위상을 변화시키는 전압 제어 발진기

를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 3

제2항에 있어서,

상기 전압 제어 발진기는

포지티브 노드와 네거티브 노드 사이에 형성된 NMOS(N-channel Metal Oxide Semiconductor)를 통해 상기 인젝션 락킹부로부터 상기 펄스를 입력받아 상기 NMOS를 온 또는 오프시키는 딜레이 셀(delay cell) 회로

를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 4

제1항에 있어서,

상기 인젝션 락킹부는

상기 기준 주파수 신호와 상기 피드백 된 지연고정루프 주파수 신호에 기초하여 상기 다중 위상신호를 발생하는 지연 고정 루프부; 및

상기 다중 위상신호에 대응되는 상기 적어도 하나의 펄스를 생성하는 펄스 생성부

를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 5

제4항에 있어서,

상기 지연 고정 루프부는

상기 지연고정루프 주파수 신호를 출력하는 전압 제어 지연 라인;

상기 기준 주파수 신호 및 상기 전압 제어 지연 라인으로부터 피드백 된 지연고정루프 주파수 신호를 입력받고, 입력된 두 신호의 위상 및 주파수를 비교하여 차이를 검출하는 위상 주파수 검출기; 및

상기 위상 주파수 검출기에 의해 검출된 위상 및 주파수의 차이에 기초하여 상기 전압 제어 지연 라인의 제어 전압을 생성하는 전하 펌프

를 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 6

제5항에 있어서,

상기 지연 고정 루프부는

상기 전하 펌프에 의해 생성된 상기 제어 전압을 필터링하는 로우 패스 필터

를 더 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 7

제5항에 있어서,

상기 지연 고정 루프부는

상기 전압 제어 지연 라인과 상기 펄스 생성부 사이의 접속 라인들을 스위칭하여 상기 전압 제어 발진기에 주입되는, 펄스 형태의 위상 신호의 개수를 조절하는 복수의 스위치

를 더 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 8

기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생하는 지연 고정 루프부;

상기 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성하는 펄스 생성부; 및

상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이에 기초하여 상기 위상고정루프 주파수 신호를 제어하는 위상 고정 루프부

를 포함하고,

상기 위상 고정 루프부는

상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 위상을 제어하는 것을 특징으로 하는 위상 고정 루프.

청구항 9

위상 고정 루프의 지연 고정 루프부에서, 기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생하는 단계;

상기 위상 고정 루프의 펄스 생성부에서, 상기 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성하는 단계;

및

상기 위상 고정 루프의 위상 고정 루프부에서, 상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이, 및 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 주파수 및 위상을 제어하는 단계

를 포함하는 것을 특징으로 하는 위상 고정 루프의 인젝션 락킹 방법.

청구항 10

제9항에 있어서,

상기 위상고정루프 주파수 신호의 주파수 및 위상을 제어하는 단계는

상기 위상 고정 루프부의 전압 제어 발진기에서, 포지티브 노드와 네거티브 노드 사이에 형성된 NMOS를 통해 상기 펄스 생성부로부터 상기 펄스를 입력받아 상기 NMOS를 온 또는 오프시키는 단계

를 포함하는 것을 특징으로 하는 위상 고정 루프의 인젝션 락킹 방법.

청구항 11

제9항에 있어서,

상기 다중 위상신호를 발생하는 단계는

상기 지연 고정 루프부의 전압 제어 지연 라인에서, 상기 지연고정루프 주파수 신호를 출력하는 단계;

상기 지연 고정 루프부의 위상 주파수 검출기에서, 상기 기준 주파수 신호 및 상기 전압 제어 지연 라인으로부터 피드백 된 지연고정루프 주파수 신호를 입력받고, 입력된 두 신호의 위상 및 주파수를 비교하여 차이를 검출하는 단계; 및

상기 지연 고정 루프부의 전하 펌프에서, 상기 위상 주파수 검출기에 의해 검출된 위상 및 주파수의 차이에 기초하여 상기 전압 제어 지연 라인의 제어 전압을 생성하는 단계

를 포함하는 것을 특징으로 하는 위상 고정 루프의 인젝션 락킹 방법.

청구항 12

제11항에 있어서,

상기 다중 위상신호를 발생하는 단계는

상기 지연 고정 루프부의 로우 패스 필터에서, 상기 전하 펌프에 의해 생성된 상기 제어 전압을 필터링하는 단계

를 더 포함하는 것을 특징으로 하는 위상 고정 루프의 인젝션 락킹 방법.

청구항 13

제11항에 있어서,

상기 다중 위상신호를 발생하는 단계는

상기 지연 고정 루프부의 복수의 스위치에서, 상기 전압 제어 지연 라인과 상기 펄스 생성부 사이의 접속 라인들을 스위칭하여 상기 전압 제어 발진기에 주입되는, 펄스 형태의 위상 신호의 개수를 조절하는 단계

를 더 포함하는 것을 특징으로 하는 위상 고정 루프의 인젝션 락킹 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예들은 위상 고정 루프 및 상기 위상 고정 루프의 인젝션 락킹 방법에 관한 것이다.

배 경 기 술

[0002] 송신기(Transmitter: Tx)의 성능을 결정하는 가장 핵심적인 구조는 PLL(Phase Locked Loop)이다. PLL의 성능 지표는 생성한 클록(Clock)의 위상 노이즈(Phase Noise)와 지터(Jitter)이다.

[0003] Phase Noise는 입력 주파수를 출력 주파수로 만들면서 시스템이 자체적으로 얼마나 많은 양의 Noise 를 추가하는지, 또는 외부적으로 얼마나 많은 양의 Noise 가 추가되는지를 확인하는 수치이다.

[0004] Jitter는 PLL에 의해 생성된 Clock의 위상이 시간 축에 대해 얼마나 흔들리는지를 확인하는 수치이다.

[0005] 따라서, PLL은 Phase Noise와 Jitter 가 작을수록 좋은 Clock Source 로 사용될 수 있다.

[0006] 관련 선행기술로는 등록특허공보 제10-0905440호(발명의 명칭: 클럭 동기화 회로와 그의 구동 방법, 등록일자: 2009년 6월 24일)가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 실시예는 지연 고정 루프(DLL)의 다중 위상을 이용한 인젝션 기법을 통해 위상 고정 루프(PLL)에 의해 생성된 클록의 저 Accumulated Jitter 및 저 In-band Phase Noise 특성을 이룰 수 있는 위상 고정 루프 및 그 인젝션 락킹 방법을 제공한다.

[0008] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제(들)로 제한되지 않으며, 언급되지 않은 또 다른 과제(들)은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따른 위상 고정 루프는 기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생하고, 상기 발생된 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성하는 인젝션 락킹부; 및 상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이에 기초하여 상기 위상고정루프 주파수 신호를 제어하는 위상 고정 루프부를 포함하고, 상기 위상 고정 루프부는 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 위상을 제어할 수 있다.

[0010] 상기 위상 고정 루프부는 상기 기준 주파수 신호와 상기 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이, 및 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 위상을 변화시키는 전압 제어 발진기를 포함할 수 있다.

[0011] 상기 전압 제어 발진기는 포지티브 노드와 네거티브 노드 사이에 형성된 NMOS(N-channel Metal Oxide Semiconductor)를 통해 상기 인젝션 락킹부로부터 상기 펄스를 입력받아 상기 NMOS를 온 또는 오프시키는 딜레이 셀(delay cell) 회로를 포함할 수 있다.

[0012] 상기 인젝션 락킹부는 상기 기준 주파수 신호와 상기 피드백 된 지연고정루프 주파수 신호에 기초하여 상기 다중 위상신호를 발생하는 지연 고정 루프부; 및 상기 다중 위상신호에 대응되는 상기 적어도 하나의 펄스를 생성하는 펄스 생성부를 포함할 수 있다.

[0013] 상기 지연 고정 루프부는 상기 지연고정루프 주파수 신호를 출력하는 전압 제어 지연 라인; 상기 기준 주파수

신호 및 상기 전압 제어 지연 라인으로부터 피드백 된 지연고정루프 주파수 신호를 입력받고, 입력된 두 신호의 위상 및 주파수를 비교하여 차이를 검출하는 위상 주파수 검출기; 및 상기 위상 주파수 검출기에 의해 검출된 위상 및 주파수의 차이에 기초하여 상기 전압 제어 지연 라인의 제어 전압을 생성하는 전하 펌프를 포함할 수 있다.

[0014] 상기 지연 고정 루프부는 상기 전하 펌프에 의해 생성된 상기 제어 전압을 필터링하는 로우 패스 필터를 더 포함할 수 있다.

[0015] 상기 지연 고정 루프부는 상기 전압 제어 지연 라인과 상기 펄스 생성부 사이의 접속 라인들을 스위칭하여 상기 전압 제어 발진기에 주입되는, 펄스 형태의 위상 신호의 개수를 조절하는 복수의 스위치를 더 포함할 수 있다.

[0016] 본 발명의 일 실시예에 따른 위상 고정 루프는 기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생하는 지연 고정 루프부; 상기 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성하는 펄스 생성부; 및 상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이에 기초하여 상기 위상고정루프 주파수 신호를 제어하는 위상 고정 루프부를 포함하고, 상기 위상 고정 루프부는 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 위상을 제어할 수 있다.

[0017] 본 발명의 일 실시예에 따른 위상 고정 루프의 인젝션 락킹 방법은 위상 고정 루프의 지연 고정 루프부에서, 기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생하는 단계; 상기 위상 고정 루프의 펄스 생성부에서, 상기 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성하는 단계; 및 상기 위상 고정 루프의 위상 고정 루프부에서, 상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이, 및 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 주파수 및 위상을 제어하는 단계를 포함한다.

[0018] 상기 위상고정루프 주파수 신호의 주파수 및 위상을 제어하는 단계는 상기 위상 고정 루프부의 전압 제어 발진기에서, 포지티브 노드와 네거티브 노드 사이에 형성된 NMOS를 통해 상기 펄스 생성부로부터 상기 펄스를 입력받아 상기 NMOS를 온 또는 오프시키는 단계를 포함할 수 있다.

[0019] 상기 다중 위상신호를 발생하는 단계는 상기 지연 고정 루프부의 전압 제어 지연 라인에서, 상기 지연고정루프 주파수 신호를 출력하는 단계; 상기 지연 고정 루프부의 위상 주파수 검출기에서, 상기 기준 주파수 신호 및 상기 전압 제어 지연 라인으로부터 피드백 된 지연고정루프 주파수 신호를 입력받고, 입력된 두 신호의 위상 및 주파수를 비교하여 차이를 검출하는 단계; 및 상기 지연 고정 루프부의 전하 펌프에서, 상기 위상 주파수 검출기에 의해 검출된 위상 및 주파수의 차이에 기초하여 상기 전압 제어 지연 라인의 제어 전압을 생성하는 단계를 포함할 수 있다.

[0020] 상기 다중 위상신호를 발생하는 단계는 상기 지연 고정 루프부의 로우 패스 필터에서, 상기 전하 펌프에 의해 생성된 상기 제어 전압을 필터링하는 단계를 더 포함할 수 있다.

[0021] 상기 다중 위상신호를 발생하는 단계는 상기 지연 고정 루프부의 복수의 스위치에서, 상기 전압 제어 지연 라인과 상기 펄스 생성부 사이의 접속 라인들을 스위칭하여 상기 전압 제어 발진기에 주입되는, 펄스 형태의 위상 신호의 개수를 조절하는 단계를 더 포함할 수 있다.

[0022] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.

발명의 효과

[0023] 본 발명의 일 실시예에 따르면, 지연 고정 루프(DLL)의 다중 위상을 이용한 인젝션 기법을 통해 위상 고정 루프(PLL)에 의해 생성된 클록의 저 Accumulated Jitter 및 저 In-band Phase Noise 특성을 이룰 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 일 실시예에 따른 위상 고정 루프를 설명하기 위해 도시한 블록도이다.

도 2는 도 1의 위상 고정 루프의 상세 구성을 도시한 회로도이다.

도 3은 도 1의 펄스 생성부의 상세 구성을 도시한 회로도이다.

도 4는 도 1의 전압 제어 발진기에 구비된 딜레이 셀 회로를 도시한 도면이다.

도 5는 m=2, n=2 일 때, Reference Clock 과 Pulser를 통과한 지연 고정 루프부의 출력 및 전압 제어 발진기의 출력 Clock의 타이밍 다이어그램이다.

도 6은 본 발명의 일 실시예에 따른 위상 고정 루프의 인젝션 락킹 방법을 설명하기 위해 도시한 흐름도이다.

도 7은 본 발명의 일 실시예에 따라 다중 위상신호를 발생하는 과정을 설명하기 위해 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명의 이점 및/또는 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0026] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 위상 고정 루프를 설명하기 위해 도시한 블록도이고, 도 2는 도 1의 위상 고정 루프(100)의 상세 구성을 도시한 회로도이다.

[0028] 도 1을 참조하면, 본 발명의 일 실시예에 따른 위상 고정 루프(100)는 인젝션 락킹부(110) 및 위상 고정 루프부(120)를 포함한다.

[0029] 상기 인젝션 락킹부(110)는 다중 위상신호를 발생하여 그에 상응하는 적어도 하나의 펄스를 생성한다. 이를 위해, 상기 인젝션 락킹부(110)는 지연 고정 루프부(112) 및 펄스 생성부(114)를 포함할 수 있다.

[0030] 상기 지연 고정 루프부(112)는 기준 주파수 신호($Clock_{REF}$)와 상기 피드백 된 지연고정루프 주파수 신호($CLK_{feedback\_dll}$)에 기초하여 다중 위상신호를 발생시킨다.

[0031] 상기 지연 고정 루프부(112)는 전압 제어 지연 라인(VCDL)(211), 위상 주파수 검출기(PFD)(212), 전하 펌프(CP)(213), 로우 패스 필터(LPF)(214), 및 복수의 스위치(215)를 포함할 수 있다.

[0032] 상기 전압 제어 지연 라인(211)은 상기 지연고정루프 주파수 신호를 출력할 수 있다. 즉, 상기 전압 제어 지연 라인(211)은 초기 입력 신호로서 상기 기준 주파수 신호를 입력받으며, 그 이후에는 상기 기준 주파수 신호와 더불어 상기 피드백 된 지연고정루프 주파수 신호를 입력받아 상기 지연고정루프 주파수 신호를 출력할 수 있다.

[0033] 상기 위상 주파수 검출기(212)는 상기 기준 주파수 신호 및 상기 전압 제어 지연 라인(211)으로부터 피드백 된 지연고정루프 주파수 신호를 입력받을 수 있다. 상기 위상 주파수 검출기(212)는 상기 입력된 두 신호($Clock_{REF}$, $CLK_{feedback\_dll}$)의 위상 및 주파수를 비교하여 그 차이를 검출할 수 있다.

[0034] 상기 전하 펌프(213)는 상기 위상 주파수 검출기(212)에 의해 검출된 위상 및 주파수의 차이에 기초하여 상기 전압 제어 지연 라인(211)의 제어 전압을 생성할 수 있다.

[0035] 상기 로우 패스 필터(214)는 상기 전하 펌프(213)에 의해 생성된 제어 전압을 필터링(filtering)한다.

[0036] 상기 복수의 스위치(215)는 상기 전압 제어 지연 라인(211)과 상기 펄스 생성부(114) 사이의 접속 라인들을 스위칭(switching)하여 상기 전압 제어 발진기(221)에 주입되는, 펄스 형태의 위상 신호의 개수를 조절할 수 있다.

[0037] 즉, 지연 고정 루프부(112)는 상기 복수의 스위치(215)가 턴온(turn on) 된 개수만큼의 다중 위상신호를 출력함으로써, 상기 펄스 생성부(114)를 통해 출력되는 펄스 형태의 위상 신호의 개수를 상기 다중 위상신호의 개수에 맞게 조절할 수 있다.

[0038] 상기 펄스 생성부(114)는 상기 지연 고정 루프부(112)에 의해 출력된 상기 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성할 수 있다. 이하에서는 상기 펄스 생성부(114)에 대해 도 3을 참조하여 설명하기로 한다. 참고로, 도 3은 도 1의 펄스 생성부(114)의 상세 구성을 도시한 회로도이다.

[0039] 도 3에 도시된 바와 같이, 상기 펄스 생성부(114)는 PMOS(310), AND 게이트(320), 버퍼(330), 및 NMOS(340)를 포함하여 구성될 수 있다.

[0040] 상기 펄스 생성부(114)는 기준 주파수(Fref)가 0에서 1로 될 때마다 일정 너비를 갖는 펄스를 생성하는 회로이다.

[0041] 상기 기준 주파수가 0일 때, A=0, B=1, C=0 이 된다. 여기서, B=1인 것은 PMOS(310)에 의해 프리-차지(Pre-charge)가 되었기 때문이다. C는 A, B를 입력으로 받는 AND 게이트(320)의 출력이다. 상기 AND 게이트(320)의 출력 C는 상기 버퍼(330)에 임시 저장된다.

[0042] 상기 기준 주파수가 1로 바뀔 때, A=1, B=1->0, C=1->0 이 된다. 즉, A가 1로 바뀌는 순간 C도 1로 바뀐다. 그리고, C는 NMOS(340)를 켜고 B의 Charge는 그라운드(groud)로 빠져나가게 된다.

[0043] 따라서, B는 0으로 바뀌게 되고, C 또한 0으로 바뀌게 된다. 이러한 과정에서 상기 펄스 생성부(114)는 상기 버퍼(330)를 통해 생성된 펄스를 출력하게 된다.

[0044] 다시 도 1 및 도 2를 참조하면, 상기 위상 고정 루프부(120)는 상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이에 기초하여 상기 위상고정루프 주파수 신호를 제어한다.

[0045] 이때, 상기 위상 고정 루프부(120)는 상기 펄스 생성부(114)에 의해 출력된 적어도 하나의 펄스에 기초하여, 상기 위상고정루프 주파수 신호의 위상을 제어할 수 있다.

[0046] 이러한 위상 고정 루프부(120)는 전압 제어 발진기(VCO)(221), 주파수 분주기(222), 위상 주파수 검출기(PFD)(223), 전하 펌프(CP)(224), 및 로우 패스 필터(LPF)(225)를 포함할 수 있다.

[0047] 상기 전압 제어 발진기(221)는 상기 기준 주파수 신호와 상기 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이, 및 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 위상을 변화시킬 수 있다.

[0048] 이를 위해, 상기 전압 제어 발진기(221)는 도 4에 도시된 바와 같이, 포지티브 노드(PN)와 네거티브 노드(NN) 사이에 형성된 NMOS(N-channel Metal Oxide Semiconductor)(410)를 통해 상기 인젝션 락킹부(110)로부터 상기 펄스를 입력받아 상기 NMOS(410)를 온(On) 또는 오프(Off)시키는 딜레이 셀(delay cell) 회로(400)를 포함할 수 있다. 참고로, 도 4는 도 1의 전압 제어 발진기(221)에 구비된 딜레이 셀 회로(400)를 도시한 도면이다.

[0049] 상기 기준 주파수 신호(Reference Clock)과 주파수 분주기(Feedback Divider)(222)의 출력 주파수($CLK_{feedback\_pll}$)가 위상 주파수 검출기(223)로 입력된다. 상기 위상 주파수 검출기(223)가 두 입력 Clock(Reference Clock, $CLK_{feedback\_pll}$)의 위상과 주파수를 비교하여 그 차이를 검출한다.

[0050] 상기 위상 주파수 검출기(223)의 출력은 전하 펌프(224)에 인가되어 상기 전압 제어 발진기(221)의 제어 전압($Vctrl\_pll$)을 생성한다. 상기 전압 제어 발진기(221)의 출력 주파수($Clock_{OUT}$)는 상기 주파수 분주기(222)(Dividing ratio: 2^m*2^n)에 의해 나눠지고, 나눠진 출력은 상기 위상 주파수 검출기(223)로 입력되어 루프를 형성한다.

[0051] 여기서, m, n은 정수이고, 2^m은 상기 전압 제어 지연 라인(211)의 출력 가능한 위상의 개수이다. n은 출력주파수/입력주파수 = 2^m*2^n이 만족하도록 정해진다. 2의 제곱 형태로 상기 지연 고정 루프부(112)의 다중 위상신호의 개수와 분주율(Dividing ratio)가 정해지는 이유는, 인젝션(Injection) 기법을 사용하여 상기 위상 고정 루프부(120)를 위상 고정하기 위해서는, 상기 지연 고정 루프부(112)의 다중 위상신호에 대한 주파수 및 Reference Clock의 주파수가 상기 전압 제어 발진기(221)의 출력 주파수의 저조파(Sub-harmonic) 성분이어야 하기 때문이다.

[0052] 한편, 앞에서 설명한 상기 지연 고정 루프부(112)의 경우, Reference Clock과 상기 전압 제어 지연 라인(211)의 출력 주파수($CLK_{feedback\_dll}$)가 상기 위상 주파수 검출기(212)로 입력된다. 상기 위상 주파수 검출기(212)가 두 입력 Clock의 위상과 주파수를 비교하여 그 차이를 검출하고, 상기 검출된 위상과 주파수의 차이 값은 상기 전

하 펌프(213)에 인가되어 상기 전압 제어 지연 라인(211)의 제어 전압(*Vctrl_dll*)이 생성된다. 상기 전압 제어 지연 라인(211)의 출력 위상은 상기 펄스 생성부(Pulsesr)(114)를 통과하여 펄스 형태로 상기 전압 제어 발진기(221)에 주입된다. 이때, 상기 지연 고정 루프부(112)는 상기 복수의 스위치(215)를 사용하여 상기 전압 제어 발진기(221)에 주입되는 인젝션(Injection) 위상의 개수를 정할 수 있다.

[0053] 도 5는 m=2, n=2 일 때, Reference Clock 과 Pulser(도 2의 "114" 참조)를 통과한 지연 고정 루프부(도 2의 "112" 참조)의 출력 및 전압 제어 발진기(도 2의 "221" 참조)의 출력 Clock의 타이밍 다이어그램이다.

[0054] 도 5에 도시된 바와 같이, Reference Clock의 한 주기마다 상기 지연 고정 루프부의 위상은 2^2개가 출력된다. 상기 Pulser를 통과한 후에는 도식과 같은 펄스 형태로 출력된다. 펄스 형태의 위상 각각은 합성(Synthesize) 과정 없이 차례대로 상기 전압 제어 발진기로 인젝션 된다. 분주율은 2^2*2^2=16이므로, 상기 전압 제어 발진기의 출력 Clock은 Reference Clock의 한 주기마다 16개의 위상을 갖는다.

[0055] 본 발명의 일 실시예에서는 상기 지연 고정 루프부의 출력 가능한 위상의 개수를 4개로, 분주율을 16로 하여 발명을 수행하였다. 하지만, 이 기술을 응용하면 상기 지연 고정 루프부의 출력 가능한 위상 개수를 2^m개, 분주율을 2^m*2^n개 (단, m, n 은 정수)로 변경할 수 있다. 시스템이 요구하는 사양에 따라 구조를 택할 수 있다. 또한, 인젝션 경로(Injection Path)의 스위치(도 2의 "215" 참조)를 사용하면 Injection 하는 위상의 개수 조절이 가능하다.

[0056] 도 6은 본 발명의 일 실시예에 따른 위상 고정 루프의 인젝션 락킹 방법을 설명하기 위해 도시한 흐름도이다.

[0057] 도 1 및 도 6을 참조하면, 단계(610)에서 상기 위상 고정 루프(100)의 지연 고정 루프부(112)는 기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생한다.

[0058] 다음으로, 단계(620)에서 상기 위상 고정 루프(100)의 펄스 생성부(114)는 상기 다중 위상신호에 대응되는 적어도 하나의 펄스를 생성한다.

[0059] 다음으로, 단계(630)에서 상기 위상 고정 루프(100)의 위상 고정 루프부(120)는 상기 기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이, 및 상기 적어도 하나의 펄스에 기초하여 상기 위상고정루프 주파수 신호의 주파수 및 위상을 제어한다.

[0060] 도 7은 본 발명의 일 실시예에 따라 다중 위상신호를 발생하는 과정을 설명하기 위해 도시한 흐름도이다.

[0061] 도 1, 도 2 및 도 7을 참조하면, 단계(710)에서 상기 지연 고정 루프부(112)의 전압 제어 지연 라인(211)은 상기 지연고정루프 주파수 신호를 출력한다.

[0062] 다음으로, 단계(720)에서 상기 지연 고정 루프부(112)의 위상 주파수 검출기(212)는 상기 기준 주파수 신호 및 상기 전압 제어 지연 라인(211)으로부터 피드백 된 지연고정루프 주파수 신호를 입력받는다.

[0063] 다음으로, 단계(730)에서 상기 지연 고정 루프부(112)의 위상 주파수 검출기(212)는 상기 입력된 두 신호의 위상 및 주파수를 비교하여 차이를 검출한다.

[0064] 다음으로, 단계(740)에서 상기 지연 고정 루프부(112)의 전하 펌프(213)는 상기 위상 주파수 검출기(212)에 의해 검출된 위상 및 주파수의 차이에 기초하여 상기 전압 제어 지연 라인(211)의 제어 전압을 생성한다.

[0065] 다음으로, 단계(750)에서 상기 지연 고정 루프부(112)의 로우 패스 필터(214)는 상기 전하 펌프(213)에 의해 생성된 상기 제어 전압을 필터링한다.

[0066] 다음으로, 단계(760)에서 상기 지연 고정 루프부(112)의 복수의 스위치(215)는 상기 전압 제어 지연 라인(211)과 상기 펄스 생성부(114) 사이의 접속 라인들을 스위칭하여 상기 전압 제어 발진기(221)에 주입되는, 펄스 형태의 위상 신호의 개수를 조절한다.

[0067] 이와 같이, 본 발명의 일 실시예에서는 지연 고정 루프를 이용한 Injection Locked 위상 고정 루프 구조에 대해 개시함으로써, 지연 고정 루프를 보조 구조로 사용하여 낮은 입력 주파수 대비 높은 출력 주파수에 대해서도 Injection 위상의 개수를 많이 입력할 수 있으므로, Injection Locked 위상 고정 루프에 의해 생성된 Clock의 저 Accumulated Jitter, 저 In-band Phase Noise를 갖는 장점을 이룰 수 있다.

[0068] 지금까지 본 발명에 따른 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허 청구의 범위뿐 아니라 이 특허 청구의 범위와 균등한 것들에 의해 정해져야 한다.

[0069] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0070] 110: 인젝션 락킹부

112: 지연 고정 루프부

114: 펄스 생성부

120: 위상 고정 루프부

211: 전압 제어 지연 라인

212, 223: 위상 주파수 검출기

213, 224: 전하 펌프

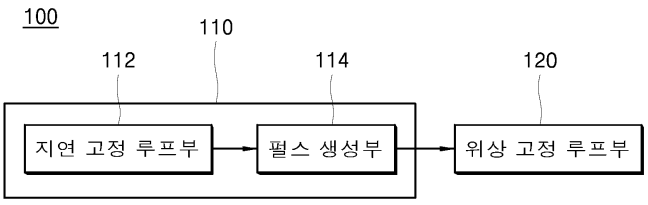
214, 225: 로우 패스 필터

221: 전압 제어 발진기

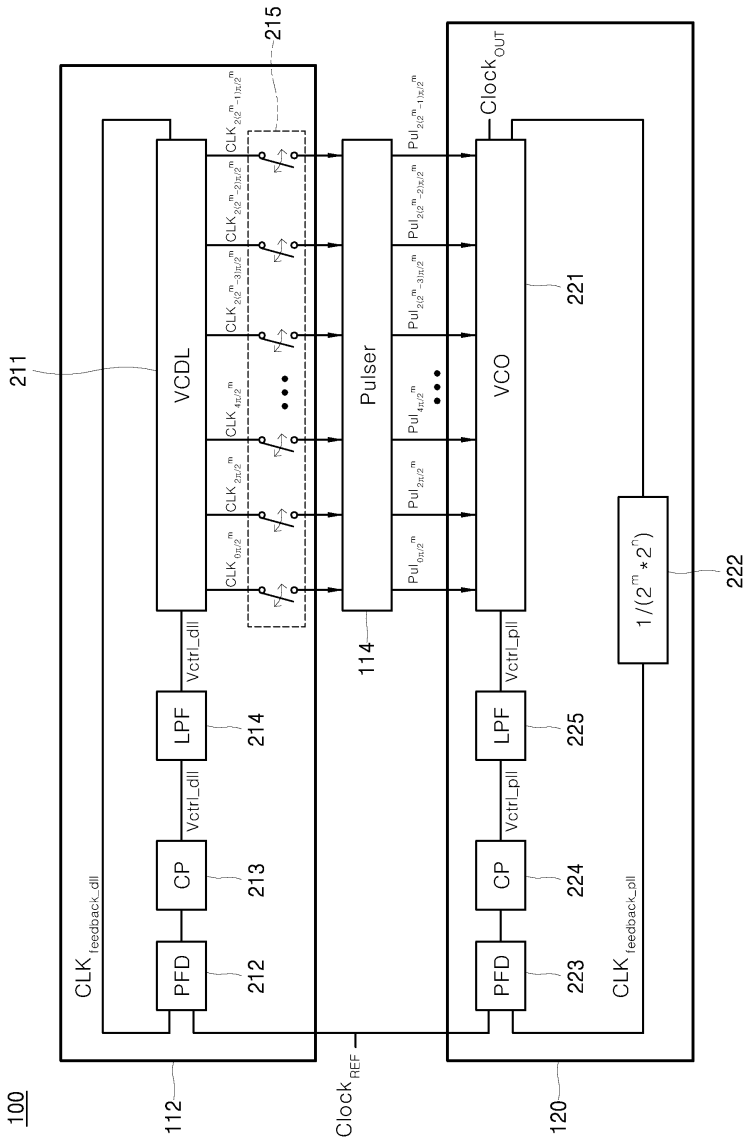
222: 주파수 분주기

도면

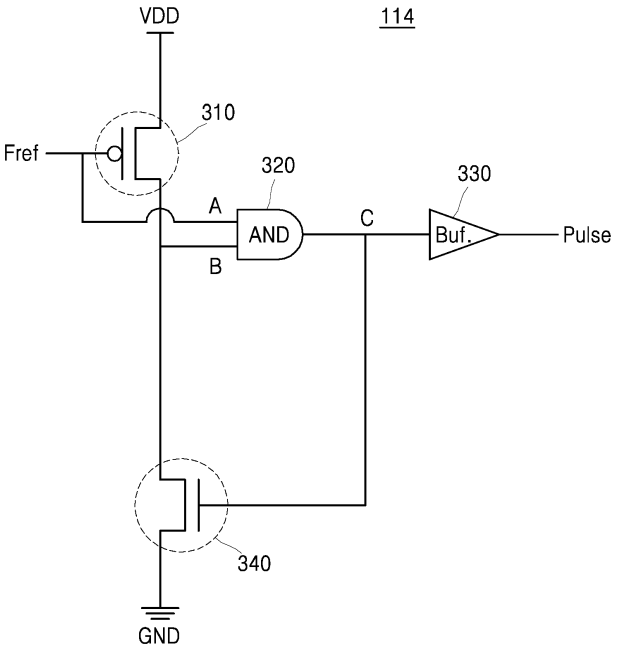
도면1



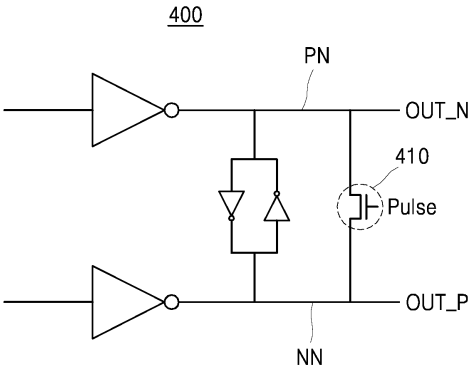
도면2


100
112
120
211
212
213
214
215
221
222
223
224
225
114
VCDL
Pulser
VCO
PFD
CP
LPF
Vctrl_dll
Vctrl_pll
CLK feedback_dll
CLK feedback_pll
Clock REF
Clock OUT
1/(2^m*2^n)

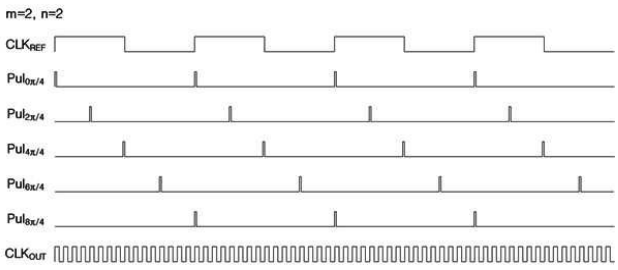
도면3


VDD
114
310
Fref
320
330
A
AND
C
Buf.
Pulse
B
340
GND

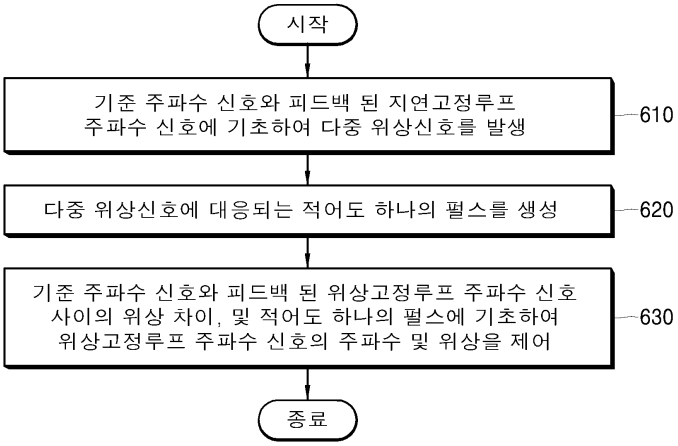
도면4


400
PN
OUT_N
410
Pulse
OUT_P
NN

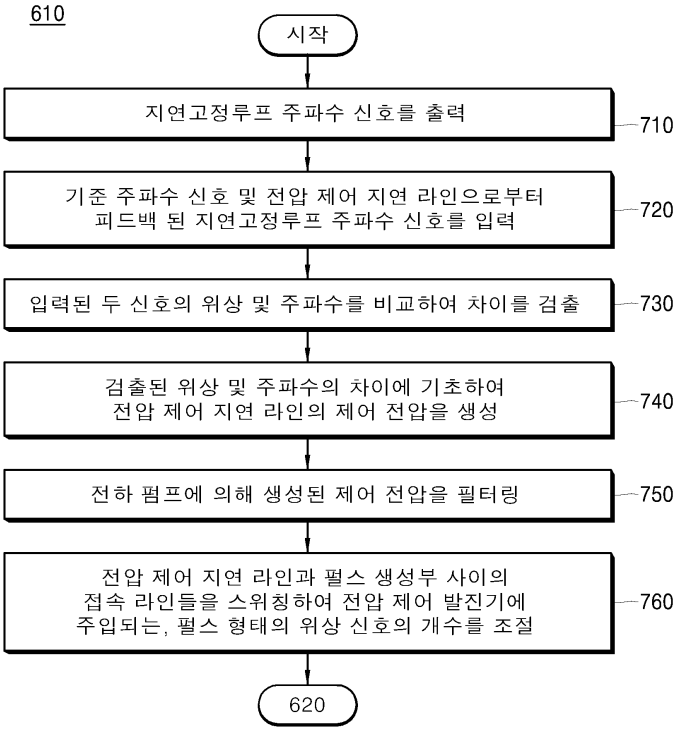
도면5


m=2, n=2
CLKREF
Pul0X/4
Pul2X/4
Pul4X/4
Pul6X/4
Pul8X/4
CLKOUT

도면6


시작
기준 주파수 신호와 피드백 된 지연고정루프 주파수 신호에 기초하여 다중 위상신호를 발생
610
다중 위상신호에 대응되는 적어도 하나의 펄스를 생성
620
기준 주파수 신호와 피드백 된 위상고정루프 주파수 신호 사이의 위상 차이, 및 적어도 하나의 펄스에 기초하여 위상고정루프 주파수 신호의 주파수 및 위상을 제어
630
종료

도면7


610
시작
지연고정루프 주파수 신호를 출력
710
기준 주파수 신호 및 전압 제어 지연 라인으로부터 피드백 된 지연고정루프 주파수 신호를 입력
720
입력된 두 신호의 위상 및 주파수를 비교하여 차이를 검출
730
검출된 위상 및 주파수의 차이에 기초하여 전압 제어 지연 라인의 제어 전압을 생성
740
전하 펌프에 의해 생성된 제어 전압을 필터링
750
전압 제어 지연 라인과 펄스 생성부 사이의 접속 라인들을 스위칭하여 전압 제어 발진기에 주입되는, 펄스 형태의 위상 신호의 개수를 조절
760
620