

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年11月22日(22.11.2012)



(10) 国際公開番号
WO 2012/157286 A1

- (51) 国際特許分類:
H03M 13/27 (2006.01) H03M 13/19 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003272
- (22) 国際出願日: 2012年5月18日(18.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
11004125.8 2011年5月18日(18.05.2011) EP
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): ペトロフミハイル(PETROV, Mihail).
- (74) 代理人: 中島 司朗, 外(NAKAJIMA, Shiro et al.);
〒5310072 大阪府大阪市北区豊崎三丁目2番1号淀川5番館6F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

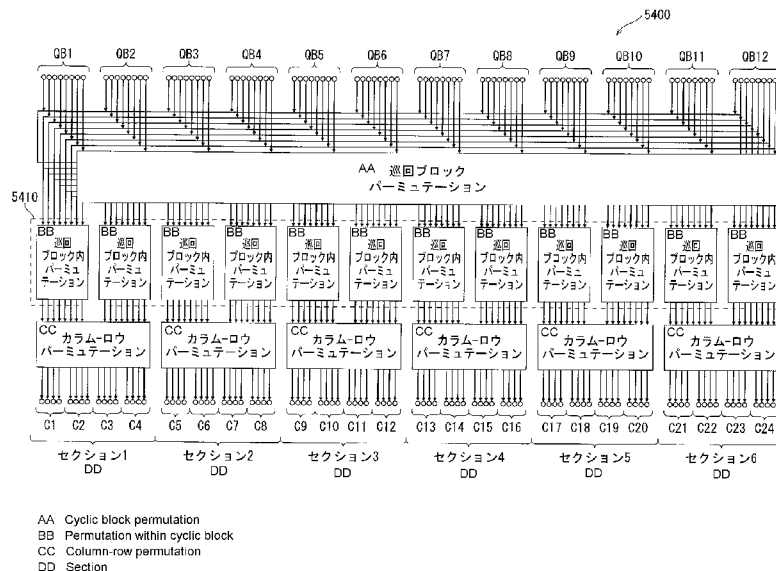
添付公開書類:

- 国際調査報告(条約第21条(3))
- 補正された請求の範囲(条約第19条(1))

(54) Title: PARALLEL BIT INTERLEAVER

(54) 発明の名称: 並列ビットインターリーバ

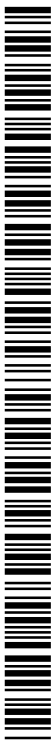
[図54]



(57) Abstract: This bit interleave method performs bit permutation on QC LDPC code words consisting of N cyclic blocks of Q bits, partitions said processed code words into multiple constellation words consisting of M bits, and performs permutation processing for each cyclic block within the cyclic blocks. The code words are partitioned into F×N/M folding sections consisting of M/F cyclic blocks, and each constellation word is associated with one of the F×N/M folding sections. The bit permutation processing is performed such that the constellation words consist of F bits from each of M/F different permutation-processed cyclic blocks in the associated section.

(57) 要約:

[続葉有]



WO 2012/157286 A1



ビットインターリーブ方法は、 Q ビットの巡回ブロック N 個で構成されるQC-LDPC符号語に対してビットパーミュテーション処理を施し、処理が施された符号語を M 個のビットより成る複数のコンステレーション語に分割し、各巡回ブロックに対して、巡回ブロック内パーミュテーション処理を施す方法であり、符号語は M/F 個の巡回ブロックから成る $F \times N/M$ 個のフォルディングセクションに分割され、かつ、各コンステレーション語は $F \times N/M$ 個のフォルディングセクションのいずれかと関連付けられており、ビットパーミュテーション処理は、コンステレーション語が、関連付けられているセクション中のパーミュテーション処理後の M/F 個の異なる巡回ブロックそれぞれの F ビットからなるように行われる。

明 細 書

発明の名称：並列ビットインターリーブ

技術分野

[0001] 本発明はデジタル通信分野に関し、より詳細には、疑似巡回低密度パリティチェック符号を用いたビットインターリーブ符号化変調システム用のビットインターリーブに関する。

背景技術

[0002] 近年、デジタル通信分野において、ビットインターリーブ符号化変調 (bit-interleaved coding and modulation: BICM) システムが用いられている (例えば、非特許文献1参照)。

[0003] BICMシステムでは、一般に、次の3つのステップが行われる。

[0004] (1) データブロックを例えば疑似巡回低密度パリティチェック (quasi-cyclic low-density parity check: QC-LDPC) 符号を用いて符号語に符号化する。

[0005] (2) 符号語のビットをビットインターリーブする。

[0006] (3) ビットインターリーブされた符号語をコンステレーションのビット数からなるコンステレーション語に分割し、コンステレーション語をコンステレーションにマッピングする。

先行技術文献

非特許文献

[0007] 非特許文献1: ETSI EN 302 755 V1.2.1 (DVB-T2規格)

発明の概要

発明が解決しようとする課題

[0008] 一般に、疑似巡回低密度パリティチェック符号の符号語に施すインターリーブの効率化が望まれている。

[0009] 本発明は、疑似巡回低密度パリティチェック符号の符号語に施すインターリーブの効率化を実現できるインターリーブ方法を提供することを目的とする。

課題を解決するための手段

[0010] 上記目的を達成するために本発明のビットインターリーブ方法は、疑似巡回低密度パリティチェック符号を用いる通信システムにおけるビットインターリーブ方法であって、それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信する受信ステップと、前記符号語に対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーションステップと、ビットパーミュテーション処理が施された符号語を、それぞれM個のビットからなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割ステップと、前記巡回ブロックに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施す巡回ブロック内パーミュテーションステップとを含み、前記分割ステップは、前記ビットパーミュテーション処理が施された符号語を、それぞれ M/F （Fは正の整数）個の巡回ブロックからなる $F \times N/M$ 個のセクションに分割した上で、各コンステレーション語がいずれか1つのセクションに関連付けられるように、コンステレーション語に分割し、前記ビットパーミュテーション処理は、各コンステレーション語が、関連付けられている前記セクション中の M/F 個の前記パーミュテーション処理後の巡回ブロックからF個ずつ抽出したビットから構成されるように施されることを特徴とする。

発明の効果

[0011] 本発明のビットインターリーブ方法によれば、疑似巡回低密度パリティチェック符号の符号語に施すインターリーブの効率化を実現できる。

図面の簡単な説明

[0012] [図1]一般的なBICMエンコーダを含むトランスミッタの構成を示すブロッ

ク図。

[図2]符号化率が $1/2$ である疑似巡回低密度パリティチェック (quasi-cyclic low-density parity check: QC-LDPC) 符号のパリティチェック行列の一例を示す図。

[図3]符号化率が $2/3$ であるリピートアキュムレート疑似巡回低密度パリティチェック (repeat-accumulate quasi-cyclic low-density parity check: RA-QC-LDPC) 符号のパリティチェック行列の一例を示す図。

[図4]行パーミュテーション後の図3のRA-QC-LDPC符号のパリティチェック行列を示す図。

[図5]行パーミュテーションおよびパリティパーミュテーション後の図3のRA-QC-LDPC符号のパリティチェック行列を示す図。

[図6]8 PAMシンボルにおいて符号化されたビットが互いに異なるロバストレベルを有することを説明する図。

[図7]巡回係数 $Q=8$ 、1つの低密度パリティチェック符号語の巡回ブロック数 $N=12$ 、1つのコンステレーションのビット数 $M=4$ に対応する一般的なビットインターリーブの構成を示すブロック図。

[図8] (a) DVB-T2規格で用いられるDVB-T2モジュレータの構成を示すブロック図であり、(b)は(a)に示すDVB-T2モジュレータのBICMエンコーダの構成を示すブロック図。

[図9] (a) 12列のカラム-ロウインターリーブによって行われる16K符号(LDPC符号語長が16200ビットであるLDPC符号)の符号語のビットの書き込み処理を示す図であり、(b)はカラム-ロウインターリーブによって行われる(a)で書き込まれた符号語のビットの読み出し処理を示す図。

[図10] (a) 8列のカラム-ロウインターリーブによって行われる16K符号の符号語のビットの書き込み処理を示す図であり、(b)はカラム-ロウインターリーブによって行われる(a)で書き込まれた符号語のビットの読

み出し処理を示す図。

[図11] DVB-T2規格に準じた、16QAMで16K符号用のビット-セルデマルチプレクサの構成を示すブロック図。

[図12] DVB-T2規格に準じた、64QAMで16K符号用のビット-セルデマルチプレクサの構成を示すブロック図。

[図13] DVB-T2規格に準じた、256QAMで16K符号用のビット-セルデマルチプレクサの構成を示すブロック図。

[図14] 8列のDVB-T2ビットインターリーブにおいて16K符号に対して起こり得る問題を示す図。

[図15] 12列のDVB-T2ビットインターリーブにおいて16K符号に対して起こり得る問題を示す図。

[図16] 8列のDVB-T2ビットインターリーブにおいて16K符号にカラムツイスト処理を適用する場合に起こり得る問題を示す図。

[図17] 12列のDVB-T2ビットインターリーブにおいて16K符号にカラムツイスト処理を適用する場合に起こり得る問題を示す図。

[図18] (a) は発明者が鋭意研究した結果見つけた非常に効率的なインターリーブの提供を可能にする1つ目の条件を説明する図であり、(b) は2つ目の条件を説明する図。

[図19] 本発明の一実施形態に係るインターリーブによるマッピングの機能を示す図。

[図20] 本発明の一実施形態に係るインターリーブの構成を示すブロック図。

[図21] (a) は図20のセクションパーミュテーションを実施するセクションパーミュテーションユニットの一構成例を示すブロック図であり、(b) は(a)のセクションパーミュテーションユニットによるマッピングの機能を示す図。

[図22] (a) は図20のセクションパーミュテーションを実施するセクションパーミュテーションユニットの他の構成例を示すブロック図であり、(b) は(a)のセクションパーミュテーションユニットによるマッピングの機

能を示す図。

[図23]本発明の他の実施形態に係るインターリーバの構成を示すブロック図。

[図24]図23のビットインターリーバの一構成例を示すブロック図。

[図25]本発明のさらに他の実施形態に係るトランスミッタの一構成例を示すブロック図。

[図26]本発明のさらに他の実施形態に係るBICMエンコーダの一実装例を示すブロック図。

[図27]本発明のさらに他の実施形態に係る非反復BICMデコーダを有するレシーバの一構成例を示すブロック図。

[図28]本発明のさらに他の実施形態に係る反復BICMデコーダを有するレシーバの一構成例を示すブロック図。

[図29]本発明のさらに他の実施形態に係る反復BICMデコーダの一実装例を示すブロック図。

[図30]並列インターリーバの対象の巡回ブロックと対象外の巡回ブロックの一例を示す図。

[図31] (a) は発明者が鋭意研究した結果見つけた非常に効率的なインターリーバの提供を可能にする1つ目の条件を説明する図であり、(b) は2つ目の条件を説明する図。

[図32]本発明のさらに他の実施形態に係るインターリーバの構成を示すブロック図。

[図33] (a) はフォルディングなし ($F=1$) に対応するマッピングの機能を示す図であり、(b) はフォルディングあり ($F=2$) に対応するマッピングの機能を示す図。

[図34] (a) はフォルディングなし ($F=1$) に対応する(フォルディング)セクションパーミュテーションユニットの一構成例を示すブロック図であり、(b) はフォルディングあり ($F=2$) に対応するフォルディングセクションパーミュテーションユニットの一構成例を示すブロック図。

[図35]本発明のさらに他の実施形態に係るインターリーバの構成を示すブロック図。

[図36]図35のインターリーバの一構成例を示すブロック図。

[図37]本発明のさらに他の実施形態に係るトランスミッタの一構成例を示すブロック図。

[図38]本発明のさらに他の実施形態に係る非反復BICMデコーダを有するレシーバの一構成例を示すブロック図。

[図39]本発明のさらに他の実施形態に係る反復BICMデコーダを有するレシーバの一構成例を示すブロック図。

[図40]F=2のフォルディング用のLLRメモリロケーションと1番目のコンステレーション語のビット配置を示す図。

[図41]ハイブリッドQPSK+16QAMに関するコンステレーションブロックのマッピングの略図。

[図42]本発明のさらに他の実施形態に係るインターリーバの機能を説明するための図。

[図43]本発明のさらに他の実施形態に係るインターリーバの一構成例を示すブロック図。

[図44]本発明のさらに他の実施形態に係るインターリーバの一構成例を示すブロック図であり、(a)は $N=45$ 、 $Q=360$ 、 $M=4$ でフォルディングなし($F=1$)の場合、(b) $N=45$ 、 $Q=360$ 、 $M=4$ でフォルディングあり($F=2$)の場合を示す。

[図45]本発明のさらに他の実施形態に係るインターリーバの一構成例を示すブロック図であり、(a)は $N=45$ 、 $Q=360$ 、 $M=6$ でフォルディングなし($F=1$)の場合、(b) $N=45$ 、 $Q=360$ 、 $M=6$ でフォルディングあり($F=2$)の場合を示す。

[図46]図5に示すパリティチェック行列の検査ノード17~24への接続を目立たせた図。

[図47]図46に示すパリティチェック行列の検査ノード17~24の変数ノ

ードへの巡回パーミュテーションにおけるコネクションを示す概念図。

[図48] (a) ~ (h) は、それぞれ、図46に示すパリティチェック行列のうち検査ノード17~24に連結している変数ノードのマッピングを示す図。

[図49] (a) ~ (h) は、それぞれ、検査ノード17~24に連結しているQB14およびQB15の16QAMへのコンステレーションマッピングを示す図。

[図50] (a) ~ (h) は、それぞれ、検査ノード17~24に連結しているQB4およびQB5の16QAMへのコンステレーションマッピングを示す図。

[図51] (a) は、1つのローテータを用いた巡回ブロック内パーミュテーションのための再構成インターリーバの構成を示す図。(b) は、2つのローテータを用いた巡回ブロック内パーミュテーションのための再構成インターリーバの構成を示す図。

[図52] (a) ~ (h) は、それぞれ図49(a) ~ (h)に対応し、無効な検査ノードが含まれないようにするために、QB14を2シフトさせることを示す図。

[図53] (a) ~ (h) は、それぞれ図50(a) ~ (h)に対応し、無効な検査ノードが含まれないようにするために、QB4を3シフトさせることを示す図。

[図54] 実施の形態に係るフォルディング係数を2とした並列ビットインターリーバと巡回ブロックパーミュテーションの機能構成を示す概念図。

[図55] $Q=8$ 、 $M=4$ 、 $F=2$ とした場合のBICMエンコーダの一実装例を示すブロック図。

[図56] $Q=8$ 、 $M=4$ 、 $F=2$ とした場合の反復BICMデコーダの一実装例を示すブロック図。

発明を実施するための形態

[0013] 《発明をするに至った経緯》

図1は、一般的なビットインターリーブ符号化変調 (bit-interleaved coding and modulation: BICM) エンコーダを含むトランスミッタの構成を示すブロック図である。図1に示すトランスミッタ100は、入力プロセッシングユニット110、BICMエンコーダ (低密度パリティチェック (low-density parity check: LDPC) エンコーダ120、ビットインターリーブ130、コンステレーションマップ140を含む)、およびモジュレータ150を備える。

[0014] 入力プロセッシングユニット110は、入力ビットストリームを所定長の複数ブロックに変換する。LDPCエンコーダ120は、LDPC符号を用いてブロックを符号語に符号化し、符号語をビットインターリーブ130に送信する。ビットインターリーブ130は、LDPC符号語に対してインターリーブ処理を施し、インターリーブ処理を施した後、セル語 (コンステレーション語) の列に分割する。コンステレーションマップ140は各セル語 (コンステレーション語) をコンステレーション (例えば、QAM) の列にマッピングする。出力端の一般的なモジュレータ150は、BICMエンコーダの出力からRF (Radio Frequency) 電力増幅器までのすべての処理ブロックを含む。

[0015] LDPC符号は、パリティチェック行列 (Parity-check Matrix: PCM) により完全に定義される線形誤り訂正符号である。PCMは2値の疎行列であり、符号語ビット (変数ノードとも称される) とパリティチェック (検査ノードとも称される) の連結 (connection) を示す。PCMの列および行は、それぞれ、変数ノードおよび検査ノードに対応する。変数ノードと検査ノードの結合は、PCMにおいて、「1」という要素で示されている。

[0016] LDPC符号には、疑似巡回低密度パリティチェック (quasi-cyclic low-density parity check: QC LDPC) 符号と呼ばれる種類が存在する。QC LDPC符号は、特にハードウェア実装に適した構成を有する。事実、今日の規格のほとんどにおいてQC LDPC符号が用いられている。QC LDPC符号のPCMは、複数の巡回行列を有する特別な構成となって

いる。巡回行列とは、各行がその直前の行の要素を1つ巡回シフトした形になっている正方行列であり、重ね合わされた斜めの列 (folded diagonal) が1つ、2つ、または、それ以上存在し得る。各巡回行列のサイズは $Q \times Q$ である。ここで Q はQC-LDPC符号の巡回係数 (cyclic factor) と称される。上記のような疑似巡回の構造により、 Q 個の検査ノードを並列処理することができ、QC-LDPC符号は効率的なハードウェア実装を行うために明らかに有利な符号である。

[0017] 図2は、一例として、巡回係数 $Q=8$ であるQC-LDPC符号のPCMを示す図である。なお、図2および後述する図3から図5において、最も小さな四角の1つがPCMの1つの要素を表しており、そのうち黒塗りの四角の要素は「1」、それ以外の要素は「0」である。このPCMは、重ね合わされた斜めの列が1つまたは2つある巡回行列を有する。このQC-LDPC符号は $8 \times 6 = 48$ ビットのブロックを $8 \times 12 = 96$ ビットの符号語に符号化する。従って、このQC-LDPC符号の符号化率は $48 / 96 = 1 / 2$ である。符号語ビットは Q ビットを有する複数のブロックに分割される。巡回係数 Q ビットのブロックを本明細書では巡回ブロック (または、巡回グループ) と称する。

[0018] QC-LDPC符号には、リピートアキュムレート疑似巡回低密度パリティチェック (repeat-accumulate quasi-cyclic low-density parity check : RA-QC-LDPC) 符号という特別な種類が存在する。RA-QC-LDPC符号は、符号化が容易であることで知られており、数多くの規格 (例えば、DVB-S2規格、DVB-T2規格、DVB-C2規格といった第二世代DVB規格) において採用されている。PCMの右側はパリティビットに対応し、その部分における「1」の要素の配置は階段構造となっている。図3に符号化率が $2 / 3$ であるRA-QC-LDPC符号のPCMを例示する。

[0019] なお、DVB-TはDigital Video Broadcasting - Terrestrialの略であり、DVB-S2はDigital Video Broadcasting - Second Generation Sate

lliteの略であり、DVB-T2はDigital Video Broadcasting - Second Generation Terrestrialの略であり、DVB-C2はDigital Video Broadcasting - Second Generation Cableの略語である。

- [0020] 図3に示すPCMに対してこの行の並び順を換える簡単な行パーミュテーションを施すことによって、図4に示すように、パリティ部分を除いたRAQC LDPC符号の擬似巡回構造が明らかになる。行パーミュテーションは単にグラフ上の表現を変更することを意味し、符号の定義には一切の影響を与えない。
- [0021] 行パーミュテーションが施された図4に示すPCMのパリティビットのみにビットの並び順を換える適切なパーミュテーションを施すことにより、PCMのパリティ部分も疑似巡回構造を有するようになる。この手法は当技術分野で周知であり、DVB-T2規格等ではパリティインターリーブまたはパリティパーミュテーションという名称で用いられている。図4に示すPCMに対してパリティパーミュテーションを施した結果得られるPCMを図5に示す。
- [0022] 通常、LDPC符号語はビット毎に重要度が異なり、また、コンステレーションはビット毎にロバストレベルが異なる。LDPC符号語のビットを直接、即ちインターリーブせずにコンステレーションにマッピングすると、最適な性能には至らない。このため、LDPC符号語のビットをコンステレーションにマッピングする前にLDPC符号語のビットがインターリーブされる必要がある。
- [0023] この目的のために、図1に示すように、LDPCエンコーダ120とコンステレーションマッパ140の間にビットインターリーバ130が設けられている。ビットインターリーバ130を入念に設計することによって、LDPC符号語のビットとコンステレーションにより符号化されるビットとの関連性が向上し、受信性能の改善に繋がる。その性能は、通常、SN比 (Signal to Noise Ratio: SNR) の関数としての符号誤り率 (Bit Error Rate: BER) を用いて測定される。

- [0024] LDPC符号語のビット毎に重要度が異なる主な理由は、全てのビットに対して同じ回数のパリティチェックが施されるとは限らないことである。符号語ビット（変数ノード）に施されるパリティチェックの回数（検査ノードの数）が多いほど、反復LDPC復号処理において符号語ビットの重要度は高くなる。もう一つの理由は、LDPC符号のタナーグラフ表現における巡回に対する連結性（connectivity）が変数ノード毎に異なることである。このために、符号語ビットに同じ回数のパリティチェックが施されたとしても、符号語ビットの重要度が異なる可能性がある。これらの見解は当技術分野で周知である。原則として、変数ノードと連結する検査ノードの数が大きくなると、その変数ノードの重要度は増す。
- [0025] 特にQC LDPC符号の場合、Qビットの巡回ブロックに含まれる全てのビットは、同じ回数のパリティチェックが施され、タナーグラフにおける巡回に対する連結性が同じであるため、同じ重要度を有する。
- [0026] 同様に、コンステレーションにおいて符号化されたビットのロバストレベルが異なることも周知の事実である。例えば、複素直交振幅変調（quadrature amplitude modulation: QAM）コンステレーションは2つのそれぞれ独立したパルス振幅変調（pulse amplitude modulation: PAM）シンボルから成り、そのうち1つが実数部に対応し、もう1つが虚数部に対応する。2つのPAMシンボルはそれぞれ同じ数Mのビットを符号化する。グレイ符号を用いた8PAMシンボルを示す図6に示されるように、1つのPAMシンボルにおいて符号化されたビットのロバストレベルは互いに異なる。このようにロバストレベルが互いに異なるのは、各ビット（0または1）によって定義される2つのサブセット間の距離が、ビット毎に異なるためである。この距離が大きいほど、そのビットのロバストレベルまたは信頼度は高い。図6では、ビットb₃のロバストレベルが最も高く、ビットb₁のロバストレベルが最も低い。
- [0027] 従って、16QAMコンステレーションは4個のビットを符号化し、2つのロバストレベルを有する。64QAMコンステレーションは6個のビット

を符号化し、3つのロバストレベルを有する。256QAMコンステレーションは8個のビットを符号化し、4つのロバストレベルを有する。

[0028] 本明細書では、説明のために、以下のパラメータを用いる。

[0029] 巡回係数： $Q = 8$

1つのLDPC符号語の巡回ブロック数： $N = 12$

1つのコンステレーションのビット数： $M = 4$ 、即ち16QAM

上記パラメータでは、1つのLDPC符号語がマッピングされるコンステレーション数は $Q \times N / M = 24$ である。通常、パラメータ Q および N の選択は、システムがサポートする全てのコンステレーションについて、 $Q \times N$ が M の倍数となるように行われなければならない。

[0030] 図7は上記パラメータに対応する一般的なインターリーブの構成を示すブロック図である。図7において、 $QB1$ 、 \dots 、 $QB12$ は12個の巡回ブロックであり、 $C1$ 、 \dots 、 $C24$ は24個のコンステレーション語である。図7の例では、ビットインターリーブ710は、LDPC符号語の96ビットをインターリーブする。

[0031] 従来のビットインターリーブとして、DVB-T2規格(ETSI EN 302 755)のものが知られている。DVB-T2規格はテレビジョン規格であるDVB-T規格を改良したものであり、デジタル地上テレビジョン放送用の第2世代ベースライン送信システムについて記載されている。DVB-T2規格には、デジタルテレビジョンサービスや一般的なデータを送信するためのチャンネル符号化変調システムについて詳述されている。

[0032] 図8(a)は、DVB-T2規格で用いられるモジュレータ(DVB-T2モジュレータ)の構成を示すブロック図である。図8(a)に示すDVB-T2モジュレータ800は、入力プロセッシングユニット810、BICMエンコーダ820、フレームビルダー830、およびOFDMジェネレータ840を備える。

[0033] 入力プロセッシングユニット810は、入力ビットストリームを所定長の複数ブロックに変換する。BICMエンコーダ820は、入力に対してBIC

M処理を施す。フレームビルダー830は、BICMエンコーダ820からの入力等を用いてDVB-T2方式の伝送フレーム構成を生成する。OFDMジェネレータ840はDVB-T2方式の伝送フレーム構成に対して、パイロット付加、高速逆フーリエ変換、ガードインターバル挿入などを行い、DVB-T2方式の送信信号を出力する。

[0034] DVB-T2規格で用いられるBICMは、ETSI規格 EN 302 755の第6章で説明されている。当規格は本明細書において援用されおり、以下にその説明を記す。

[0035] 図8(b)は、図8(a)に示すDVB-T2モジュレータのBICMエンコーダ820の構成を示すブロック図である。ただし、図8(b)では、BCH外符号化、コンステレーション回転、セルインターリーブ、時間インターリーブなどを省略している。

[0036] BICMエンコーダ820は、LDPCエンコーダ821、ビットインターリーブ(パリティインターリーブ822、カラム-ロウインターリーブ823を含む)、ビット-セルデマルチプレクサ824、およびQAMマップ825を備える。

[0037] LDPCエンコーダ821は、LDPC符号を用いてブロックを符号語に符号化する。ビットインターリーブ(パリティインターリーブ822、カラム-ロウインターリーブ823)は、符号語のビットに対してその並び順を換えるインターリーブ処理を施す。ビット-セルデマルチプレクサ824は、インターリーブ処理が施された符号語のビットをセル語(コンステレーション語)に多重分離する。QAMマップ825は、セル語(コンステレーション語)を複素QAMシンボルにマッピングする。なお、複素QAMシンボルはセルとも称される。事実、ビット-セルデマルチプレクサ824は、ビットインターリーブの一部であるとみなされてもよい。この場合、DVB-T2規格に基づくBICMエンコーダは、図1に示される標準構成を備えるとみなすことができる。

[0038] DVB-T2規格において用いられるLDPC符号は、巡回係数 $Q=36$

0を有するRA QC LDPC符号である。DVB-T2規格では、符号語長として16200ビットと64800ビットの2つが定義されている。符号語長が16200ビットであるLDPC符号および符号語長が64800ビットであるLDPC符号を、本明細書では、16K符号（または、16K LDPC符号）および64K符号（または、64K LDPC符号）と称する。1つの符号語に含まれる巡回ブロック数は、16K符号の場合は45個、64K符号の場合は180個である。これらの2つのブロック長（符号語長）に対応する使用可能な符号は、DVB-T2規格であるETSI EN 302 755の表A.1～表A.6に列挙されている。

[0039] ビットインターリーバは、QPSKより大きいコンステレーションに対してのみ利用され、パリティインターリーバ822、カラム-ロウインターリーバ823、およびビット-セルデマルチプレクサ824を備える。なお、DVB-T2規格の定義では、ビット-セルデマルチプレクサ824はビットインターリーバに含まれない。しかしながら、本発明は、コンステレーションマッピング前にLDPC符号に施すインターリーブに関するものであるため、ビット-セルデマルチプレクサ824もビットインターリーブの一部として取り扱うものとする。

[0040] パリティインターリーバ822は、上述したように（図4および図5参照）、パリティビットの疑似巡回構造を明らかにするため、符号語のパリティビットの並び順を換えるパリティパーミュテーションを行う。

[0041] カラム-ロウインターリーバ823は、概念的には、LDPC符号語のビットを、インターリーブ行列の列に沿って書き込み、行に沿って読み出すことによって機能する。LDPC符号語に含まれる最初のビットが最初に書き込まれ、最初に読み出される。カラム-ロウインターリーバ823は、LDPC符号語のビットを書き込んだ後、ビットの読み出しを開始する前に、その列に対してビットを所定数の位置だけ巡回的にずらす。これはDVB-T2規格においてカラムツイスト（column twisting）と呼ばれる。上記2つのLDPC符号語長と様々なコンステレーションサイズとに対応するインター

リーバ行列の列数 N_c と行数 N_r を以下の表 1 に示す。

[0042] [表1]

LDPC符号語長	コンステレーション サイズ	列数 N_c	行数 N_r
16200	16QAM	8	2025
	64QAM	12	1350
	256QAM	8	2025
64800	16QAM	8	8100
	64QAM	12	5400
	256QAM	16	4050

[0043] 256QAMコンステレーションで16K符号の場合を除き、列数 N_c は、1つのコンステレーションのビット数の2倍である。この例外の理由は、LDPC符号語長である16200は、16、即ち256QAMコンステレーションにおけるビット数の2倍、の倍数でないためである。

[0044] カラム-ロウインターリーバ823の16K符号の符号語のビットの書き込み処理および読み出し処理を、列数が12の場合について図9(a)、(b)に、列数が8の場合について図10(a)、(b)に示す。各図において、小さな四角はそれぞれLDPC符号語の1ビットに対応し、黒塗りの四角はLDPC符号語の先頭ビットを示す。矢印は、ビットがインターリーバ行列に書き込まれ、インターリーバ行列から読み出される順序を示す。例えば、インターリーバ行列の列数が12の場合、16K符号の符号語のビットは、図9(a)に示すように、(行1、列1)、(行2、列1)、・・・、(行1350、列1)、(行1、列2)、・・・、(行1350、列12)の順序で書き込まれ、図9(b)に示すように、(行1、列1)、(行1、列2)、・・・、(行1、列12)、(行2、列1)、・・・、(行1350、列12)の順序で読み出される。なお、カラムツイスト処理は図9(a

）、（b）および図10（a）、（b）には示されていない。

[0045] QAMマッピングに先立ち、ビット-セルデマルチプレクサ824は、各LDPC符号語を多重分離することで複数の並列ビットストリームを得る。ストリームの数は、256QAMコンステレーションで16K LDPC符号の場合を除き、1つのQAMコンステレーションにおいて符号化されるビット数Mの2倍、即ち $2 \times M$ である。また、256QAMコンステレーションで16K LDPC符号の場合、ストリームの数は、1つのQAMコンステレーションにおいて符号化されるビット数Mである。1つのコンステレーションにおいて符号化されるMビットを、セル語（または、コンステレーション語）と称する。以下のように、16K LDPC符号では、1つの符号語から得られるセル語の数は $16200/M$ である。

[0046] QPSKの場合、8100セル
16QAMの場合、4050セル
64QAMの場合、2700セル
256QAMの場合、2025セル

上記の表1によると、QPSKより大きなコンステレーションについては、並列ストリームの数はカラム-ロウインターリーブの列数に等しい。16K LDPC符号について、16QAMコンステレーション、64QAMコンステレーション、256QAMコンステレーションに対応するビット-セルデマルチプレクサを、それぞれ、図11、図12、図13に示す。なお、ビットの表記はDVB-T2規格で用いられているものである。

[0047] ビット-セルデマルチプレクサは、図11（図12、図13）に示すように、シンプルデマルチプレクサ1110（1210、1310）とデマルチパーミュテーションユニット1120（1220、1320）を備える。

[0048] ビット-セルデマルチプレクサは、シンプルデマルチプレクサ1110（1210、1310）によって、インターリーブ処理が施されたLDPC符号語を単に多重分離することに加え、デマルチパーミュテーションユニット1120（1220、1320）によって、多重分離された並列ビットスト

リームに対してその並び順を換えるパーミュテーション処理を行う。

[0049] ただし、カラム - ロウインターリーブが用いられている場合（16QAMコンステレーション以上）、並列ビットストリームの数カラム - ロウインターリーブの列数と同一であるため、ビットストリームのパーミュテーションはカラム - ロウインターリーブの列に対してその並び順を換えるパーミュテーションと同等である点を認識することが重要である。これが、ビット - セルデマルチプレクサによるパーミュテーションをビットインターリーブの一部とみなすことができる、理由である。

[0050] 本質的に、DVB-T2規格において用いられるビットインターリーブには2つの問題が付随する。

[0051] 1つ目の問題は、LDPC符号語における巡回ブロックの数がビットインターリーブ行列の列数の倍数でない場合、並列性が損なわれるという問題である。並列性が低下するとレイテンシが増大する。これは特にレシーバにおいて反復BICM復号が用いられている場合に問題となる。この状況は、DVB-T2規格の場合、LDPC符号語長とコンステレーションのサイズの組み合わせのいくつかで起こる。

[0052] 図14および図15は、16K LDPC符号において、それぞれインターリーブ行列の列数が8および12である場合に起こる上記の状況を示す図である。16QAMコンステレーションおよび256QAMコンステレーションでは、8列のインターリーブ行列が使用される。64QAMコンステレーションでは、12列のインターリーブ行列が使用される。グリッドはLDPC符号語を表し、小さな四角はLDPC符号語の1ビットを表し、行は巡回ブロックに対応し、列は複数の巡回ブロックにおいて互いに同一のビットインデックスを有するビットに対応する。黒塗りの四角は、インターリーブ行列の先頭行における8ビットおよび12ビットを表している。なお、分かり易くするため、1つの巡回ブロックのビット数を360から72に減らして図示しているものの、これにより理解度に影響が及ぶことはない。

[0053] 2つ目の問題は、DVB-T2規格において、可能なビットインターリー

バの構成の数が、ビットインターリーブ行列の列数によって制限されることである。

[0054] DVB-T2ビットインターリーブのさらなる問題は、カラムツイスト処理によって、パーミュテーションの規則性および並列性がさらに損なわれるということである。図16および図17は、それぞれ図14および図15と同様の状況を示しているが、カラムツイスト処理が適用されている点が異なる。16K LDPC符号でインターリーブ行列が8列の場合に、DVB-T2ビットインターリーブにおいて用いられる列毎のカラムツイスト値は(0, 0, 0, 1, 7, 20, 20, 21)である。また、16K LDPC符号でインターリーブ行列が12列の場合に、DVB-T2ビットインターリーブにおいて用いられる列毎のカラムツイスト値は、(0, 0, 0, 2, 2, 2, 3, 3, 3, 6, 7, 7)である。

[0055] したがって、レイテンシを低減し並列性を高めたビットインターリーブを提供する必要がある。これらの特性は、特に反復BICM復号において重要である。

[0056] <<発明者が得た知見>>

発明者は、鋭意研究を行った結果、以下の2つの条件が満たされるとき、非常に効率的なインターリーブが提供できるという知見を得た。

[0057] (条件1)

各コンステレーション語のM個のビットが、LDPC符号語のM個の異なる巡回ブロックにマッピングされる。これは、LDPC符号語のM個の異なる巡回ブロックから1ビットずつコンステレーション語にマッピングすることと等価である。この概要を図18(a)に示す。

[0058] (条件2)

M個の巡回ブロックにマッピングされるすべてのコンステレーション語が、当該M個の巡回ブロックのみにマッピングされる。これは、QビットからなるM個の異なる巡回ブロックのM×Q個のビットの全ては、Q個のコンステレーション語にのみマッピングされる、ことと等価である。この概要を図

18 (b) に示す。

[0059] 上記条件では、ちょうどQ個のコンステレーション語は、各M個の巡回ブロックにマッピングされていることになる。

[0060] 《実施の形態（その1）》

以下、上記の条件1、条件2を満たすビットインターリーバ（並列ビットインターリーバ）の詳細について説明する。なお、以下において、実質的に同じ処理内容、および、同じ処理内容を行う構成ユニットには同じ符号を付す。

[0061] 本明細書では、M個の巡回ブロックよりなるグループのそれぞれ、または、Q個のコンステレーション語よりなるグループのそれぞれを、セクション（または、インターリーバセクション）と呼ぶ。

[0062] 図19および図20は、本発明の一実施形態に係る、上記パラメータ（ $Q=8$ 、 $M=4$ 、 $N=12$ ）に対応する条件1、条件2を満たすビットインターリーバによるマッピングの機能を示す図および当該ビットインターリーバの一構成例を示すブロック図である。

[0063] 図19および図20では、QC-LDPC符号の符号語は、それぞれが $Q=8$ 個のビットからなる $N=12$ 個の巡回ブロック $QB_1 \sim QB_{12}$ で構成されている。24個のコンステレーション語はそれぞれ $M=4$ 個のビットからなり、それぞれが $2^M=16$ 個のコンステレーションポイントのいずれか1つを示す。ビットインターリーバは、 $N/M=3$ 個のセクションに分けられ、24個のコンステレーション語は $N/M=3$ 個のセクションのいずれか1つに関連付けられる。

[0064] ビットインターリーバ2000は、ビットパーミュテーションユニット2010を有し、ビットパーミュテーションユニット2010は互いに独立して（互いに依存せずに）動作する $N/M (=3)$ 個のセクションパーミュテーションユニット2021、2022、2023を有する。なお、セクションパーミュテーションユニットを3つ備えるようにする代わりに、例えば、1つのセクションパーミュテーションユニットを用いて処理対象を時系列に

切り替えながら後述する3つのセクションパーミュテーション処理を行うようにしてもよい。

[0065] セクションパーミュテーションユニット(2021、2022、2023)は、互いに独立して(互いに依存せずに)、8個のコンステレーション語(C1~C8、C9~C16、C17~C24)の各々に、4個の巡回ブロック(QB1~QB4、QB5~QB8、QB9~QB12)のそれぞれから1ビットずつマッピングされるように、4個の巡回ブロックの計32個のビットに対してその並び順を換えるセクションパーミュテーション処理を施す。

[0066] 上述の2つの条件1、条件2は、単に、ビットインターリーブがN/M個の並列セクションに分けられることを保証するだけのものである。これらの並列セクションに対して施すセクションパーミュテーション処理に、互いに同じパーミュテーション規則が適用されてもよいし、互いに異なるパーミュテーション規則が適用されてもよいし、一部だけが互いに同じパーミュテーション規則が適用されてもよい。

[0067] 例えば、セクションパーミュテーションユニットは、巡回ブロックのQ個のビット(LDPC復号処理において重要度が互いに等しい)を、Q個のコンステレーション語の同じビットインデックスのビット(ロバストレベルが互いに等しい)にマッピングするようにしてもよい。それぞれの巡回ブロックにおいて、Q個のビットは、順に、あるいはパーミュテーションされた順に並べることができる。後者を図21(a)、(b)を用いて、前者を図22(a)、(b)を用いて説明する。

[0068] 図21(a)は、図20のセクションパーミュテーションユニットの一構成例を示す図である。

[0069] セクションパーミュテーションユニット2101は、巡回ブロック内パーミュテーションユニット2111~2114、およびカラム-ロウパーミュテーションユニット2131を有する。なお、巡回ブロック内パーミュテーションユニットを4つ備えるようにする代わりに、例えば1つの巡回ブロッ

ク内パーミュテーションユニットを用いて処理対象を時系列に切り替えながら後述する4つの巡回ブロック内パーミュテーション処理を行うようにしてもよい。

[0070] 巡回ブロック内パーミュテーションユニット(2111~2114)は、巡回ブロック(QB1~QB4)のQ個(8個)のビットに対してその並び順を換える巡回ブロック内パーミュテーション処理を施す。1つのセクション内の巡回ブロックに対して施す巡回ブロック内パーミュテーション処理に、例えば、互いに同じパーミュテーション規則が適用されてもよいし、互いに異なるパーミュテーション規則が適用されてもよいし、一部だけが互いに同じパーミュテーション規則が適用されてもよい。

[0071] カラム-ロウパーミュテーションユニット2131は、 $M \times Q$ 個(32個)のビットに対してこの並び順を換えるカラム-ロウパーミュテーション処理を施す。詳述すれば、カラム-ロウパーミュテーションユニット2131は、 $M \times Q$ 個(32個)のビットをQ列M行(8列4行)の行列の行方向に書き込み、書き込んだ $M \times Q$ 個(32個)のビットを列方向に読み出すことと等価なカラム-ロウパーミュテーション処理を行う。なお、カラム-ロウパーミュテーションユニット2131によるカラム-ロウパーミュテーション処理は、図9(a)、(b)の12列1350行がQ列M行に置き換わり、書き込み処理が列方向から行方向に、読み出し処理が行方向から列方向に変わったものである。

[0072] 図21(b)は、図21(a)のセクションパーミュテーションユニットによるマッピングの機能を示す図である。図21(b)では、各コンステレーション語の $M=4$ 個のビットが $b_1 \sim b_4$ で示されている。

[0073] ただし、セクションパーミュテーション処理において巡回ブロック内パーミュテーション処理が実施されなくてもよい。

[0074] 図20のセクションパーミュテーションの別の例である、巡回ブロック内パーミュテーション処理を実施しないセクションパーミュテーションユニットの一構成例およびこのセクションパーミュテーションユニットによるマッ

ピングの機能を図22(a)および図22(b)に示す。セクションパーミュテーションユニット2201は、カラム-ロウパーミュテーションユニット2131を有し、カラム-ロウパーミュテーション処理のみ行う。図22(b)では、各コンステレーション語の $M=4$ 個のビットが $b_1 \sim b_4$ で示されている。

[0075] ただし、巡回ブロックQB5~QB8、QB9~QB12に対して、図21および図22でそれぞれ説明したセクションパーミュテーションが行われるようにしてもよい。

[0076] 本発明の他の実施の形態では、ビットインターリーバは、セクションパーミュテーション処理を行う前に、付加的にN個の巡回ブロックに対してその並び順を換える巡回ブロックパーミュテーション処理を行う。付加的に巡回ブロックパーミュテーション処理を施すビットインターリーバの一構成例を図23に示す。ここでの巡回ブロックパーミュテーションは、DVB-T2規格におけるビット-セルデマルチプレクサによるパーミュテーションと同様の役割を果たすものである。

[0077] 図23に示すビットインターリーバ2300は、巡回ブロックパーミュテーションユニット2310と、ビットパーミュテーションユニット2010(セクションパーミュテーションユニット2021~2023を含む)を備える。

[0078] 巡回ブロックパーミュテーションユニット2310は、巡回ブロックQB1~QB12に対してその並び順を換える巡回ブロックパーミュテーション処理2311~2318を施す。なお、巡回ブロックパーミュテーション処理2311~2318で用いられるパーミュテーション規則は互いに同じである。

[0079] N個の巡回ブロックに対して施す巡回ブロックパーミュテーションは、それによりLDPC符号語のビットをコンステレーションのビットに最適にマッピングすることが可能となり、受信性能の最適化につながるため、特に有益である。

[0080] 図24は、図23のビットインターリーバの一構成例を示すブロック図である。図24のビットインターリーバ2400は、下記のステージA、B、Cの3つのパーミュテーション処理を実施する。

[0081] ステージA：巡回ブロック（間）パーミュテーション

ステージB：巡回ブロック内パーミュテーション

ステージC：カラム - ロウパーミュテーション

ここで、巡回ブロック（間）パーミュテーションは符号語を構成するN個の巡回ブロックの並び順を換えるパーミュテーションであり、巡回ブロック内パーミュテーションは巡回ブロックを構成するQ個のビットの並び順を換えるパーミュテーションであり、カラム - ロウパーミュテーションは、セクションを構成するM×Q個のビットの並び順を換えるパーミュテーションである。

[0082] 図24に示すビットインターリーバ2400は、巡回ブロックパーミュテーションユニット2310と、ビットパーミュテーションユニット2010（セクションパーミュテーションユニット2101～2103）を備える。セクションパーミュテーションユニット2101（2102、2103）は、巡回ブロック内パーミュテーションユニット2111～2114（2115～2118、2119～2122）と、カラム - ロウパーミュテーションユニット2131（2132、2133）を備える。

[0083] ビットインターリーバ2400は、巡回ブロックパーミュテーションユニット2310によって巡回ブロック（間）パーミュテーションを行い（ステージA）、巡回ブロック内パーミュテーションユニット2111～2122によって巡回ブロック内パーミュテーションを行い（ステージB）、カラム - ロウパーミュテーションユニット2131～2133）によってカラム - ロウパーミュテーションを行う（ステージC）。

[0084] 図24に示すビットインターリーバから巡回ブロック内パーミュテーションユニット2111～2122を取り除いて、巡回ブロック内パーミュテーションを行わないように、ビットインターリーバを構成してもよい。また、

ビットインターリーバは、巡回ブロック内パーミュテーションを、巡回ブロック（間）パーミュテーションの後に実施する代わりに、巡回ブロック（間）パーミュテーションの前に実施してもよく、巡回ブロック（間）パーミュテーションの前後で実施するようにしてもよい。

[0085] なお、複数の巡回ブロック内パーミュテーションユニットは互いに同様の構成であってもよい。このため、複数の巡回ブロック内パーミュテーションユニットは同一の機能リソース（ハードウェアブロックなど）によって実装可能である。また、複数の巡回ブロック内パーミュテーションは巡回的なシフト処理からなってもよく、この場合、バレルシフトを用いた効率的なハードウェア実装が可能となる。LDPCデコーダに用いているバレルシフトを利用して実装することも可能である。

[0086] 以下、条件1、条件2を満たすビットインターリーブ処理を行うビットインターリーバを含むトランスミッタの一構成例について図25を用いて説明する。

[0087] 図25は、本発明のさらに他の実施形態に係るトランスミッタの一構成例を示すブロック図である。図25に示すトランスミッタ2500は、BICMエンコーダ（LDPCエンコーダ2510、ビットインターリーバ2520、コンステレーションマップ2530を含む）と、モジュレータ2540を備える。

[0088] LDPCエンコーダ2510は、入力ブロックをQC-LDPC符号を用いて符号語に符号化し、符号語をビットインターリーバ2520へ出力する。

[0089] ビットインターリーバ2520は、LDPCエンコーダ2510からQC-LDPC符号の符号語を受け取る。この符号語は、 $N=12$ 個の巡回ブロックからなり、各巡回ブロックは $Q=8$ 個のビットからなる。そして、ビットインターリーバ2520は、符号語のビットに対してその並び順を換えるビットインターリーブ処理を施す。ビットインターリーバ2520は、ビットインターリーブ処理が施された符号語を、それぞれ $M=4$ 個のビットより

なり、それぞれが $2^M = 16$ 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割してコンステレーションマップ2530へ出力する。ただし、ビットインターリーブ2520は、ビットインターリーブ処理として、例えば図19から図22で説明した、または、その変形として説明したビットパーミュテーション処理を行う。または、ビットインターリーブ2520は、ビットインターリーブ処理として、ビットパーミュテーション処理に加えて、例えば図23から図24で説明した、または、その変形として説明した巡回ブロックパーミュテーション処理を追加的に行ってもよい。

- [0090] コンステレーションマップ2530は、ビットインターリーブ2520からコンステレーション語を受け取り、受け取ったコンステレーション語に対してコンステレーションマッピング処理を行う。
- [0091] モジュレータ2740は、直交周波数分割多重 (orthogonal frequency division multiplexing: OFDM) 変調などを行って送信信号を生成する。
- [0092] 以下、条件1、条件2を満たすビットインターリーブ処理を行うビットインターリーブを含むBICMエンコーダの一実装例について図26を用いて説明する。
- [0093] 図26は、本発明のさらに他の実施の形態に係るBICMエンコーダの一実装例を示すブロック図である。図26のBICMエンコーダ2600は、上記パラメータ ($Q=8$ 、 $N=12$ 、 $M=4$) に対応するものである。
- [0094] 図26に示すBICMエンコーダ2600は、メインメモリ2601、LDPCコントローラ2611、ローテータ2612、検査ノードプロセッサ群2613、デローテータ2614、QBカウンタ2631、テーブル2632、インターリーブ2633、レジスタ群2634、インターリーブ2635、およびマップ群2651を備える。
- [0095] 図26では、 $Q=8$ であることを考慮して、メインメモリ2601の読み出しが8ビットずつ行われ、検査ノードプロセッサ群2613には8個の検査ノードプロセッサがあり、マップ群2651には8個のマップが存在する

。また、 $M=4$ であることを考慮して、レジスタ群2634には4個のレジスタがある。

[0096] メインメモリ2601は、送信すべきビット列を例えば入力プロセッシングユニット（不図示）から受け取り、受け取ったビット列を保持する。

[0097] LDPCコントローラ2611は、メインメモリ2601に対して読み出しアドレスを出力し、これによりメインメモリ2601はビット列の先頭から8ビットずつローテータ2612へ出力する。ローテータ2612は、LDPCコントローラ2611による制御を受けて、メインメモリ2601から供給される8ビットを所定数巡回シフトし、巡回シフト後の8ビットを検査ノードプロセッサ群2613の各検査ノードプロセッサに対して1ビットずつ出力する。各検査ノードプロセッサ群2613の各検査ノードプロセッサは、LDPCコントローラ2611による制御を受けて、入力された1ビットに対して検査ノード処理を行い、1ビットの処理結果をデローテータ2614へ出力する。デローテータ2614は、LDPCコントローラ2611による制御を受けて、検査ノードプロセッサ群2613から受け取った8ビットをローテータ2612による巡回シフトを打ち消すように所定数巡回シフトし、巡回シフト後の8ビットをメインメモリ2601へ出力する。LDPCコントローラ2611は、メインメモリ2601に対して書き込みアドレスを出力し、これによりメインメモリ2601はデローテータ2614から供給される8ビットを保持する。ただし、LDPCコントローラ2611、ローテータ2612、検査ノードプロセッサ群2613、およびデローテータ2614が、図25におけるBICMエンコーダのLDPCエンコーダ2510を構成する。

[0098] QBカウンタ2631は0から11までカウントするものであり、カウンタ値をテーブル2632へ出力する。なお、QBカウンタ2631によるカウント動作は $N=12$ を考慮したものである。

[0099] テーブル2632は、巡回ブロックパーミュテーションの規則を記憶した単純なルックアップテーブルである。つまり、テーブル2632は、 $N=1$

2個の巡回ブロックの読み出し順序の情報（QBカウンタ2631による12個のカウンタ値にそれぞれ異なる巡回ブロックを対応付けた情報）を保持している。テーブル2632は、QBカウンタ2631から供給されるカウンタ値に対応した巡回ブロック1個分のビット（Q=8個のビット）がメインメモリ2601からインターリーバ2633へ供給されるように、メインメモリ2601に対して読み出しアドレスを出力する。これにより、メインメモリ2601はQBカウンタ2631のカウンタ値に対応した巡回ブロック1個分のビットをインターリーバ2633へ出力する。なお、このテーブル2632の処理によって巡回ブロックパーミュテーション（ステージA）が実現される。

[0100] インターリーバ2633は、メインメモリ2601から供給された巡回ブロック1個分のビットを所定数巡回シフトさせて、レジスタ群2634の1段目のレジスタに出力する。なお、このインターリーバ2633の処理によって巡回ブロック内パーミュテーション（ステージB）が実現される。ただし、レジスタ群2634の各レジスタは制御パルスを受けたタイミングで巡回ブロック1個分のビットを保持し、保持した巡回ブロック1個分のビットを次に制御パルスを受け取るまで出力し続ける。

[0101] QBカウンタ2631のカウンタ値「0」～「3」に対して上記の処理内容が実施されると、インターリーバ2635には巡回ブロック4個分のビット（32個のビット）が入力される。このタイミングで、インターリーバ2635は、入力された巡回ブロック4個分のビットに対してインターリーブ処理を施してマップ群2651の各マップにコンステレーション語の1個分のビット（M=4個のビット）を出力する。インターリーブ処理により、各マップには、レジスタ群2634の4個のレジスタのそれぞれから1ビットずつ計4ビットが供給される。なお、インターリーバ2635の処理によってカラムーロウパーミュテーション（ステージC）が実現される。

[0102] ただし、QBカウンタ2631、テーブル2632、インターリーバ2633、レジスタ群2634、及びインターリーバ2635が、図25におけ

るB I C Mエンコーダのビットインターリーバ2 5 2 0を構成する。

[0103] マップ群2 6 5 1の各マップはインターリーバ2 6 3 5から供給された4個のビットをコンステレーションにマッピングし、マッピング結果を出力する。ただし、マップ群2 6 5 1が、図2 5におけるB I C Mエンコーダのコンステレーションマップ2 5 3 0を構成する。

[0104] 1つの符号語に対して、上記一連の処理がQ Bカウンタ2 6 3 1のカウンタ値「0」から「3」、「4」から「7」、「8」から「11」の計3回行われる。

[0105] なお、図2 6の一実装例では、並列に動作するQ個のマップを含むが、より並列度を低く、又は、高くして、B I C Mエンコーダを実装することも可能である。例えば、ビットインターリーバにおける並列インターリーバセクションの数、すなわち、 N/M を増加させることによって、並列性を簡単に上げることができることは容易に分かる。このような手法では、 $Q \times N/M$ 個のマップを並列にすることによって並列化を最大化することができる。ビットインターリーバにはそのような並列性を何の障害もなく実現することができるというメリットがある。

[0106] 以下、条件1、条件2を満たすビットインターリーブ処理を施すビットインターリーバを含むトランスミッタからの信号を受信するレシーバについて図面を用いて説明する。

[0107] 図2 7は、本発明のさらに他の実施の形態に係る非反復B I C Mデコーダを有するレシーバの一構成例を示すブロック図である。レシーバは、トランスミッタと逆の動作を行う。

[0108] 図2 7に示すレシーバ2 7 0 0は、モジュレータ2 7 1 0、および非反復B I C Mデコーダ（コンステレーションデマップ2 7 2 0、およびビットデインターリーバ2 7 3 0、LDPCデコーダ2 7 4 0を含む）を備える。

[0109] デモジュレータ2 7 1 0は、OFDMなどによる復調処理を行い、復調処理結果を出力する。

[0110] 非反復B I C Mデコーダのコンステレーションデマップ2 7 2 0は、モジ

モジュレータ2710からの入力に対してデマッピング処理を施して所謂ソフトビット列を生成し、生成したソフトビット列をコンステレーションデマッピング2730へ出力する。各ソフトビットは各ビットが0になるか1になるかの確率を示す尺度である。通常、ソフトビットは対数尤度比 (log likelihood ratios: LLRs) で表され、以下のように定義される。

$$[0111] \quad LLR(b) = \ln [p(b=0) / p(b=1)]$$

$p(b=0)$ はビット b が0である確率を示し、 $p(b=1)$ はビット b が1である確率を示す。ただし、 $p(b=0) + p(b=1) = 1$ が成り立つ。

[0112] ビットデインターリーバ2730は、コンステレーションデマッピング2720から出力されるソフトビット列に対して、図25のトランスミッタ内のビットインターリーバがビット列に対して施したビットインターリーブ処理を打ち消して元の並びに戻すインターリーブ処理（ビットデインターリーブ処理）を行う。

[0113] LDPCデコーダ2740は、ビットデインターリーバ2730からビットデインターリーブが施されたソフトビット列を受け取り、受け取ったソフトビット列を用いてLDPC復号処理を行う。

[0114] 顕著な受信性能の向上が得られる技法の一つとして、反復BICM復号処理がある。反復BICMデコーダについて図28を用いて説明する。

[0115] 図28は、本発明のさらに他の実施の形態に係る反復BICMデコーダを有するレシーバの一構成例を示すブロック図である。レシーバは、トランスミッタと逆の動作を行う。

[0116] 図28に示すレシーバ2800は、モジュレータ2710、および反復BICMデコーダ（コンステレーションデマッピング2720、ビットデインターリーバ2730、LDPCデコーダ2740、減算ユニット2760、ビットインターリーバ2750）を備える。

[0117] 図28のレシーバ2800は、コンステレーションデマッピング2720によ

ってコンステレーションデマッピング処理、ビットインターリーブ2730によるビットインターリーブ処理、LDPCデコーダ2740によるLDPC復号処理を行う。

[0118] LDPC復号の反復処理を1回または複数回実行した後、減算ユニット2760がLDPCデコーダ2740の出力からLDPCデコーダ2740の入力を減算し、減算の結果得られた外部情報 (extrinsic information) をビットインターリーブ2750へ出力する。ビットインターリーブ2750は、外部情報に対して、図25のトランスミッタ内のビットインターリーブがビット列に対して施したビットインターリーブ処理と同じインターリーブ規則のインターリーブ処理を行う。そして、ビットインターリーブ2750は、インターリーブ処理を施した外部情報をコンステレーションデマップ2720へフィードバックする。コンステレーションデマップ2720は、フィードバックされた外部情報を事前情報 (a-priori information) として用いて、より信頼性の高いLLR値を算出する。そして、ビットインターリーブ2730は、新たに算出されたLLR値に対して図25のトランスミッタ内のビットインターリーブがビット列に対して施したビットインターリーブ処理を打ち消して元の並びに戻すインターリーブ処理 (ビットインターリーブ処理) を行う。LDPCデコーダ2740は、ビットインターリーブ処理が施されたLLR値を用いてLDPC復号処理を行う。

[0119] 図28に示すように、反復復号のループは、四つの要素、すなわち、コンステレーションデマップ2720、ビットインターリーブ2730、LDPCデコーダ2740、およびビットインターリーブ2750からなる。ビットインターリーブ2730とビットインターリーブ2750は、レイテンシが非常に低く、理想的にはゼロであって、かつ簡易な構成であれば、レシーバの効率的な実装が可能となる。上述したビットインターリーブ2730とビットインターリーブ2750は両方の条件を満たす。

[0120] 非常に効率的な並列実装を実現する反復BICMデコーダの一実装例について図29を用いて説明する。

- [0121] 図29は、本発明のさらに他の実施の形態に係るBICMデコーダの一実装例を示すブロック図である。図29のBICMデコーダ2900は、上記パラメータ ($Q=8$ 、 $N=12$ 、 $M=4$) に対応するものである。
- [0122] 図29に示すBICMデコーダ2900は、メインLLRメモリ2901、バッファLLRメモリ2902、LDPCコントローラ2911、ローテータ2912、検査ノードプロセッサ群2913、デローテータ2914、QBカウンタ2931、テーブル2932、減算ユニット2933、インターリーバ2934、レジスタ群2935、インターリーバ2936、デマッパ群2937、デインターリーバ2938、レジスタ群2939、デインターリーバ2940、および遅延ユニット2941を備える。
- [0123] 図29では、 $Q=8$ であることを考慮して、メインLLRメモリ2901およびバッファLLRメモリ2902の読み出しが8個のLLR値ずつ行われ、検査ノードプロセッサ群2913には8個の検査ノードプロセッサがあり、デマッパ群2951には8個のデマッパが存在する。また、 $M=4$ であることを考慮して、レジスタ群2935、2972には4個のレジスタがある。
- [0124] デマッパ群2937の各デマッパは、デモジュレータ（不図示）の出力を用いてデマッピング処理を行い、これにより得られたLLR値をデインターリーバ2938へ出力する。ただし、デマッパ群2937が、図28における反復BICMデコーダのコンステレーションデマッパ2720を構成する。
- [0125] デインターリーバ2938は、LLR値に対してデインターリーブ処理（トランスミッタによるステージCによるインターリーブを打ち消すインターリーブ処理）を施し、デインターリーブ後のLLR値をレジスタ群2939の各レジスタに出力する。ただし、レジスタのそれぞれには巡回ブロック1個分のLLR値（8個のLLR値）が格納される。レジスタ群2939では、レジスタに保持された巡回ブロック1個分のLLR値が順次後段に出力され、各レジスタの保持内容が順次更新されていく。デインターリーバ294

0は、供給される巡回ブロック1個分のLLR値（8個のLLR値）に対してインターリーブ処理（トランスミッタによるステージBによるインターリーブを打ち消すインターリーブ処理）を施し、テーブル2932の保持内容（後述）に従ってメインLLRメモリ2901およびバッファLLRメモリ2902に書き込む。なお、テーブル2932の保持内容に従うメインLLRメモリ2901およびバッファLLRメモリ2902への書き込みより、トランスミッタによるステージAによるインターリーブを打ち消すインターリーブ処理が実現される。

[0126] このようにして、メインLLRメモリ2901は、デインターリーブ処理後のLLR値を記憶し、LDPCデコーダ（LDPCコントローラ2911、ローテータ2912、検査ノードプロセッサ群2913、デローテータ2914）によっても用いられる。LDPC復号処理は、1または複数の反復によりなる反復処理である。LDPC復号処理の各反復において、メインLLRメモリ2901内のLLR値が更新される。反復BICM復号処理に必要な外部情報を算出するため、古いLLR値はバッファLLRメモリ2902に保持される。

[0127] ここで、LDPCデコーダの処理を記載する。

[0128] LDPCコントローラ2911は、LDPC符号のパリティチェック行列に従ってメインLLRメモリ2901に対して読み出しアドレスを出力し、これによりメインLLRメモリ2901は巡回ブロック1個分ずつLLR値をローテータ2912へ順次出力する。ローテータ2912は、LDPCコントローラ2911による制御を受けて、メインLLRメモリ2901から順次供給される巡回ブロック1個分のLLR値を所定数巡回シフトし、巡回シフト後のLLR値を検査ノードプロセッサ群2913の各検査ノードプロセッサに対して1個ずつ順次出力する。各検査ノードプロセッサ群2913の各検査ノードプロセッサは、LDPCコントローラ2911による制御を受けて、順次入力された一連のLLR値に対して検査ノード処理を行う。次に、検査ノードプロセッサ群2913の各検査ノードプロセッサは、LDPC

Cコントローラ2911による制御を受けて、検査ノード処理の結果である一連のLLR値を順次出力する。デローテータ2914は、LDPCコントローラ2911による制御を受けて、検査ノードプロセッサ群2913から順次受け取った巡回ブロック1個分の処理結果をローテータ2912による巡回シフトを打ち消すように所定数巡回シフトし、巡回シフト後の処理結果をメインLLRメモリ2901へ順次出力する。LDPCコントローラ2911は、LDPC符号のパリティチェック行列に従ってメインLLRメモリ2901に対して書き込みアドレスを出力し、これによりメインLLRメモリ2901はデローテータ2914から順次供給される巡回ブロック1個分の処理結果を保持する。LDPCコントローラ2911は、LDPC符号のパリティチェック行列に従って、以上の処理を繰り返して実行する。

[0129] LDPC反復処理を所定の回数実行した後、BICM反復処理が実行される。LDPCおよびBICM反復処理を、それぞれ、内的反復処理および外的反復処理とも呼ぶ。なお、これら二種類の反復処理をオーバーラップさせて実装することも可能である。これにより、収束のスピードを上げることができる。BICMおよびLDPC復号処理は、当技術分野において周知であるため、詳細な説明は省略する。

[0130] QBカウンタ2931は0から11までカウントするものであり、カウンタ値をテーブル2932へ出力する。なお、QBカウンタ2931によるカウント動作は $N=12$ を考慮したものである。

[0131] テーブル2932は、巡回ブロックパーミュテーションの規則を記憶した単純なルックアップテーブルである。つまり、テーブル2932は、 $N=12$ 個の巡回ブロックの読み出し順序（書き込み順序）の情報（QBカウンタ2631による12個のカウンタ値にそれぞれ異なる巡回ブロックを対応付けた情報）を保持している。テーブル2932は、QBカウンタ2931から供給されるカウンタ値に対応した巡回ブロック1個分のLLR値がメインLLRメモリ2901およびバッファLLRメモリ2902から減算ユニット群2933へ供給されるように、メインLLRメモリ2901およびバッ

ファLLRメモリ2902に対して読み出しアドレスを出力する。これにより、メインLLRメモリ2901およびバッファLLRメモリ2902はそれぞれQBカウンタ2931のカウンタ値に対応した巡回ブロック1個分のLLR値を減算ユニット2934へ出力する。ここで、メインLLRメモリ2901およびバッファLLRメモリ2902からのLLR値の読み出し位置と、メインLLRメモリ2901およびバッファLLRメモリ2902への当該LLR値の書き込み位置とが一致するように、遅延ユニット2941による遅延調整が施される。なお、このテーブル2932の処理によって巡回ブロックパーミュテーション（ステージA）に相当するパーミュテーションが実現される。

[0132] 減算ユニット群の各減算ユニット2933は、メインLLRメモリ2901の出力からからバッファLLRメモリ2902の出力を減算し、減算の結果得られた巡回ブロック1個分の外部情報（8個の外部情報）をインターリーバ2934に出力する。

[0133] インターリーバ2934は、減算ユニット2933から供給された巡回ブロック1個分の外部情報を、所定数巡回シフトさせて、レジスタ群2935の1段目のレジスタに出力する。なお、このインターリーバ2934の処理によって巡回ブロック内パーミュテーション（ステージB）に相当する処理が実現される。ただし、レジスタ群2935の各レジスタは制御パルスを受けて8個のビットを保持し、保持した8個のビットを次に制御パルスを受け取るまで出力し続ける。

[0134] QBカウンタ2931のカウンタ値「0」～「3」に対して上記の処理内容が実施されると、インターリーバ2936には巡回ブロック4個分の外部情報（32個の外部情報）が入力される。このタイミングで、インターリーバ2936は、入力された巡回ブロック4個分の外部情報に対してインターリーブ処理を施して、デマッパ群2937の各デマッパにコンステレーション語の1個分の外部情報（M=4個の外部情報）を出力する。インターリーブ処理により、デマッパ群2951の各デマッパには、レジスタ群2935

の4個のレジスタのそれぞれから1個ずつ計4個の外部情報が供給される。なお、インターリーバ2936の処理によってカラム-ロウパーミュテーション（ステージC）に相当する処理が実現される。

[0135] ただし、QBカウンタ2931、テーブル2932、インターリーバ2934、レジスタ群2935、及びインターリーバ2936が、図28におけるBICMデコーダのビットインターリーバ2750を構成する。

[0136] デマッパ群2937の各デマッパは、インターリーバ2936から供給された4個の外部情報を事前情報として用いてデマッピング処理を行い、新たなLLR値をデインターリーバ2938へ出力する。

[0137] デインターリーバ2938は、LLR値に対してデインターリーブ処理（トランスミッタによるステージCによるインターリーブを打ち消すインターリーブ処理）を施し、デインターリーブ後のLLR値をレジスタ群2939の各レジスタに出力する。ただし、レジスタのそれぞれには巡回ブロック1個分のLLR値（8個のLLR値）が格納される。レジスタ群2939では、レジスタに保持された巡回ブロック1個分のLLR値が順次後段に出力され、各レジスタの保持内容が順次更新されていく。デインターリーバ2940は、供給される巡回ブロック1個分のLLR値（8個のLLR値）に対してデインターリーブ処理（トランスミッタによるステージBによるインターリーブを打ち消すインターリーブ処理）を施し、メインLLRメモリ2901およびバッファLLRメモリ2902に出力する。メインLLRメモリ2901およびバッファLLRメモリ2902は、テーブル2932から遅延ユニット2941を介して書き込みアドレスを受け取り、受け取った書き込みアドレスに従い、デインターリーバ2940から受け取った巡回ブロック1個分のLLR値（8個のLLR値）を保持する。テーブル2932に従った書き込み処理により、トランスミッタによるステージAによるインターリーブを打ち消すインターリーブ処理（デインターリーブ処理）が実現される。

[0138] 1つの符号語に対して、上記一連の処理がQBカウンタ2931のカウン

タ値「0」から「3」、「4」から「7」、「8」から「11」の計3回行われる。

[0139] ただし、QBカウンタ2931、テーブル2932、デインターリーバ2938、レジスタ群2939、及びデインターリーバ2940が、図28におけるBICMデコーダのビットデインターリーバ2730を構成する。

[0140] インターリーバ2934およびデインターリーバ2940は再構成可能であり、一定のハードウェアコストがかかるが、コストは入念な設計によって最小限に抑えることができる。インターリーバ2936およびデインターリーバ2938は、カラム-ロウパーミュテーションを実装するものであり、このパーミュテーションは所定のコンステレーションサイズについて一定である。したがって、実装コストは小さい。

[0141] なお、図29の一実装例では、並列に動作するQ個のデマッパを含むが、より並列度を低く、又は、高くして、反復BICMデコーダを実装することも可能である。例えば、ビットインターリーバにおける並列インターリーバセクションの数、すなわち、 N/M を増加させることによって、並列性を簡単に上げることができることは容易に分かる。このような手法では、 $Q \times N/M$ 個のデマッパを並列にすることによって並列化を最大化することができる。上述したビットインターリーバにはそのような並列性を何の障害もなく実現することができるというメリットがある。

[0142] 《発明者によるさらなる検討》

上述した条件1、条件2を満たすインターリーバ（並列インターリーバ）では、コンステレーション語のビット数Mが巡回ブロック数Nの約数になることを前提としている。しかしながら、常に、MがNの約数になるとは限らない。例として、DVB-T2規格で使用される16K LDPC符号を挙げることができ、16K LDPC符号の符号語は $N=45$ 個の巡回ブロックを有する。MがNの約数にならない場合、Mが偶数であるQAMコンステレーションなどの正方形コンステレーションに対するマッピングは容易ではない。

[0143] 従って、N個の巡回ブロックから1以上の巡回ブロックを除外し、残った巡回ブロックのみに対して上記の実施の形態（その1）で説明したインターリーバ（並列インターリーバ）を適用することは、特有の解決方法であると言える。

[0144] 言い換えると、ビットインターリーバは、N個の巡回ブロックの中からコンステレーション語のビット数Mの倍数となるN'個の巡回ブロックを選択する。ビットインターリーバは、選択したN'個の巡回ブロックを、それぞれがM個の巡回ブロックを含むように、 N' / M 個のセクションに分割し、各セクションに対してセクションパーミュテーションを施す。除外された（選択されなかった）巡回ブロックのビットは、インターリーブされなくてもよいし、インターリーブされてもよい。

特に、実施の形態に係るビットインターリーブ方法は、疑似巡回低密度パリティチェック符号を用いた通信システムにおけるビットインターリーブ方法であって、前記ビットインターリーブ方法は、それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信する受信ステップと、前記符号語のビットに対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーションステップと、前記ビットパーミュテーション処理が施された符号語を、それぞれがM個のビットよりなり、それぞれが所定のコンステレーションの 2^M 個のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割ステップと、を有し、N個の巡回ブロックの中から、M（Mはコンステレーション語あたりのビット数である。）の倍数となるN'個の巡回ブロックのサブセットを選択する選択ステップと、前記ビットパーミュテーション処理が施される前の前記符号語は N' / M 個のセクションに分割され、各前記セクションはM個の前記巡回ブロックからなり、各前記コンステレーション語は、前記 N' / M 個のセクションのうちの一つと関連付けられており、前記ビットパーミュテーションステップは、各前記コンステレーション語が、関連付けられている前記セクシ

ン中のM個の異なる前記巡回ブロックのそれぞれの1個のビットからなる計M個のビットから構成され、各前記セクションのすべてのビットが当該セクションに関連付けられているQ個の前記コンステレーション語にのみにマッピングされるように、前記ビットパーミュテーション処理を行うことを特徴とする。

同様に、実施の形態に係るビットインターリーバは、疑似巡回低密度パリティチェック符号を用いる通信システムにおけるビットインターリーバであって、前記ビットインターリーバは、それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信し、前記符号語のビットに対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施し、前記ビットパーミュテーション処理が施された符号語を、それぞれがM個のビットよりなり、それぞれが所定のコンステレーションの 2^M 個のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割されるよう出力するビットパーミュテーション部と、N個の巡回ブロックの中から、M（Mはコンステレーション語あたりのビット数である。）の倍数となる N' 個の巡回ブロックのサブセットを選択する選択部と、を備え、前記ビットパーミュテーション処理が施される前の前記符号語は N' / M 個のセクションに分割され、各前記セクションはM個の前記巡回ブロックからなり、各前記コンステレーション語は N' / M 個の前記セクションのうちのいずれか1つと関連付けられており、前記ビットパーミュテーション部は、各前記コンステレーション語が、関連付けられている前記セクション中のM個の異なる前記巡回ブロックのそれぞれの1個のビットからなる計M個のビットから構成され、各前記セクションのすべてのビットが当該セクションに関連付けられているQ個の前記コンステレーション語にのみにマッピングされるように、前記ビットパーミュテーション処理を行うことを特徴とする。

また、前記符号語のビットは、前記選択された前記 N' 個の巡回ブロックのサブセットに含まれず、ビットの並び順を換える対象とされないままにさ

れるビット群、または、前記選択された前記 N' 個の巡回ブロックのサブセットに含まれず、選択されなかった巡回ブロックのみに適用される、前記ビットパーミュテーション処理からは独立したビットの並び順を換える対象となるビット群を含むとしても構わない。

[0145] この構成によれば、ビットインターリーブを最大化できる。

例えば、除外される巡回ブロックは、変数ノードの重みが最も小さい巡回ブロックであってもよい。RA-QC-LDPC符号(図5参照)の場合、例えば、除外される巡回ブロックは、バリティ部分(重み2の変数ノードを有する)の巡回ブロックであってもよく、この場合、例えば符号語の最後から1以上の巡回ブロックであってもよい。

また、前記選択ステップは、各巡回ブロックに含まれるビットの重要度に基づいて、前記巡回ブロックを選択するとしても構わない。

[0146] また、前記各巡回ブロックに含まれるビットの重要度は、関連するパリティビットの数に基づいて決定されるとしても構わない。

[0147] また、前記符号語は、リピートアキュムレート疑似巡回低密度パリティチェック符号であって、前記選択されなかった巡回ブロックは、符号語のパリティセクションに対応するとしても構わない。

[0148] この構成によれば、符号語に関係するビットのほとんどを、最適なインターリーブに取り込むことができる。インターリーブにおいて取り込まれないビットの数を減らすことは、全体的な効率を大きく向上させることができる。

また、選択された N' 個の巡回ブロックのサブセットは、符号語の最初のビットを有する巡回ブロックから連続する N' 個のブロックにより構成されるとしても構わない。

[0149] この構成によれば、ハードウェアの実装をさらに簡易にすることができる。特に、リピートアキュムレート疑似巡回低密度パリティチェック符号のパリティチェック行列の場合には、符号語の最終ビットは、ビットの関連性が最も低くなる。

図30は、実施の形態（その1）で説明したインターリーブ方法を適用する適用対象の巡回ブロックと適用しない適用対象外の巡回ブロック（除外される巡回ブロック）を示す図である。但し、図30は、符号がDVB-T2規格で定義されている16K LDPC符号であり、コンステレーションが16QAMコンステレーションである場合に対する図である。図30の例では、適用対象の巡回ブロックは44個の巡回ブロック（1、・・・、44）であり、適用対象外の巡回ブロック（除外される巡回ブロック）はその最終行の1個の巡回ブロック45のみである。また、4個の黒四角が1番目のコンステレーション語の4ビットを表す。

[0150] 一般に、インターリーブセクション（M個の巡回ブロックからなるセクション）の数は、 $\text{floor}(N/M)$ であり、除外される巡回ブロックの数は $\text{rem}(N, M)$ である。ここで、 $\text{floor}(N/M)$ は N/M 以下の最大の整数値を返す関数であり、 $\text{rem}(N, M)$ は、 N を M で割った剰余値を返す関数である。

[0151] 表2に、DVB-T2規格における16K LDPC符号（ $N=45$ 個の巡回ブロックを有する）に関する、様々なコンステレーションサイズ（コンステレーションのビット数M）に対するセクション数と除外される巡回ブロック数を示す。

[0152] [表2]

コンステレーションサイズ	M	セクション数	除外される巡回ブロック数
QPSK	2	22	1
16QAM	4	11	1
64QAM	6	7	3
256QAM	8	5	5

[0153] 上記に説明した条件1、条件2を満たすインターリーブ方法では、各コン

ステレーション語はM個の巡回ブロックにマッピングされる。しかしながら、大きなサイズのコンステレーション（コンステレーションポイント数が多いコンステレーション）に対して、条件1、条件2を満たすインターリーブ方法を適用する場合、非常に多い遅延レジスタが必要となる（図26及び図29で説明した実装例を参照）。非常に多い遅延レジスタの使用は、回路面積および消費電力の増大につながる。加えて、コンステレーション語がマッピングされる巡回ブロック数を減少させることは、外（BICM）のイタレーションと内（LDPC）のイタレーション間のオーバーラッピングを増大させるために有益であり、全体のBICM復号のレイテンシを減少させる。

[0154] 各コンステレーション語の2ビット以上を同じ巡回ブロックにマッピングすることによって、コンステレーション語がマッピングされる巡回ブロックの数を減少させることができる。同じ巡回ブロックにマッピングされるコンステレーション語のビットの数をフォルディング係数と称し、Fと記す。例えば、コンステレーションが16QAMコンステレーションであり、 $F=2$ の場合、コンステレーション語は4個の巡回ブロックの代わりに2個の巡回ブロックにのみマッピングされる。唯一の制約は、フォルディング係数F（1より大きい整数）がMとQの約数でなければならない、ということである。なお、 $F=1$ は、フォルディングなし、つまり、実施の形態（その1）に対応する。

[0155] 複素QAMコンステレーションシンボルは、2つの同等の実PAM（pulse-amplitude modulation）シンボルに分離することができる。従って、QAMコンステレーションのMビットは、2つの同等の実PAMシンボルの $M/2$ ビットのセットに分割することができ、コンステレーション語のビットは同じ $M/2$ 個の巡回ブロックにマッピングすることができる。 $F=2$ であるフォルディング係数は、QAMコンステレーションにとって有益な値である。

[0156] 実数分解できない複素コンステレーション、例えばDVB-S2規格で使用されるような、8PSK（phase shift keying）、1

6APSK (amplitude phase shift keying)、32APSKなどでは、フォルディング手法の利用は容易ではない。しかしながら、FがMの約数であれば、フォルディングの手法の利用は可能である。しかしながら、各巡回ブロックのビットの全てがコンステレーションの同一のロバストレベルのビットにのみマッピングされることをもはや保証することはできない。

[0157] フォルディングを用いる手法では、例えば、各巡回ブロックのビットの全てがコンステレーションの同一のロバストレベルのビットにマッピングされることは望ましい。

[0158] フォルディングは、除外される巡回ブロックの数を減らし、又は、除外される巡回ブロックの数を0にする付加的な利点を持つ。上記説明したように、実施の形態（その1）で説明したインターリーバ（並列インターリーバ）を適用するためには、符号語を構成する巡回ブロックのいくつかを除外する必要がある。

[0159] フォルディングなし（ $F=1$ ）の場合、M個の巡回ブロックからなるグループの数（セクション数）は $\text{floor}(N/M)$ であり、除外される巡回ブロック数は $\text{rem}(N, M)$ である。一方、フォルディングありの場合、 M/F 個の巡回ブロックからなるグループの数は $\text{floor}(N/(M/F))$ であり、除外される巡回ブロック数は $\text{rem}(N, M/F)$ である。この具体的な数値の例として、DVB-T2規格に使用されるLDPC符号について表3に示す。

[0160]

[表3]

LDPC符号語長	LDPC符号語長 サイズ	M	フォールディングなし		フォールディングあり	
			セクション数	除外される 巡回ブロック数	セクション数	除外される 巡回ブロック数
16K (N=45, Q=360)	QPSK	2	22	1	44	1
	16QAM	4	11	1	22	1
	64QAM	6	7	3	15	0
	256QAM	8	5	5	11	1
64K (N=180, Q=360)	QPSK	2	90	0	180	0
	16QAM	4	45	0	90	0
	64QAM	6	30	0	60	0
	256QAM	8	22	4	45	0

[0161] 発明者は、フォルディング（ F が2以上の整数）を行うためには、条件1、条件2を、下記の条件1 A、条件2 Aに変更する必要があるとの知見を得た。

[0162] （条件1 A）

各コンステレーション語の M 個のビットが、LDPC符号語の M/F 個の異なる巡回ブロックにマッピングされる。これは、LDPC符号語の M/F 個の異なる巡回ブロックから F 個のビットずつコンステレーション語にマッピングする、ことと等価である。この概要を図31（a）に示す。

[0163] （条件2 A）

M/F 個の巡回ブロックにマッピングされるすべてのコンステレーション語が、当該 M/F 個の巡回ブロックのみにマッピングされる。これは、 Q ビットからなる M/F 個の異なる巡回ブロックの $M \times Q/F$ 個のビットの全ては、 Q/F 個のコンステレーション語にのみマッピングされる、ことと等価である。この概要を図31（b）に示す。

[0164] なお、 $F = 1$ はフォルディングなしであり、条件1 A、条件2 Aは、条件1、条件2と同一になる。

[0165] ≪実施の形態（その2）≫

以下、上記の条件1 A、条件2 Aを満たすビットインターリーバ（並列ビットインターリーバ）の詳細について説明する。なお、以下において、実質的に同じ処理内容、および、同じ処理内容を行う構成ユニットには同じ符号を付す。

[0166] 本明細書では、 M/F 個の巡回ブロックよりなるグループのそれぞれ、または、 Q/F 個のコンステレーション語よりなるグループのそれぞれを、フォルディングセクション（または、フォルディングインターリーバセクション）と呼ぶ。

[0167] なお、 $F = 1$ の場合（フォルディングなし）、フォルディングインターリーバセクションはインターリーバセクションと一致し、ビットインターリーバは実施の形態（その1）のビットインターリーバと同一構成になる。

- [0168] 図32は、本発明のさらに他の実施形態に係る、 $Q=8$ 、 $M=4$ 、 $N=12$ 、 $F=2$ に対応する条件1A、条件2Aを満たすビットインターリーブの構成例を示すブロック図である。
- [0169] 図32では、QC-LDPC符号の符号語は、それぞれが $Q=8$ 個のビットからなる $N=12$ 個の巡回ブロック $QB1\sim QB12$ で構成されている。24個のコンステレーション語はそれぞれ $M=4$ 個のビットからなり、それぞれが $2^M=16$ 個のコンステレーションポイントのいずれか1つを示す。ビットインターリーブは、 $F\times N/M=6$ 個のフォルディングセクションに分けられ、24個のコンステレーション語は $F\times N/M=6$ 個のフォルディングセクションのいずれか1つに関連付けられる。
- [0170] ビットインターリーブ2000Aは、ビットパーミュテーションユニット2010Aを有し、ビットパーミュテーションユニット2010Aは互いに独立して（互いに依存せずに）動作する $F\times N/M=6$ 個のフォルディングセクションパーミュテーションユニット2021A \sim 2026Aを有する。なお、フォルディングセクションパーミュテーションユニットを6つ備えるようにする代わりに、1つのフォルディングセクションパーミュテーションユニットを用いて処理対象を時系列に切り替えながら後述する6つのフォルディングセクションパーミュテーション処理を行うようにしてもよい。
- [0171] フォルディングセクションパーミュテーションユニット（2021A、2022A、2023A、2024A、2025A、2026A）は、互いに独立して（互いに依存せずに）、4個のコンステレーション語（ $C1\sim C4$ 、 $C5\sim C8$ 、 $C9\sim C12$ 、 $C13\sim C16$ 、 $C17\sim C20$ 、 $C21\sim C24$ ）の各々に、 $M/F=2$ 個の巡回ブロック（ $QB1\sim QB2$ 、 $QB3\sim QB4$ 、 $QB5\sim QB6$ 、 $QB7\sim QB8$ 、 $QB9\sim QB10$ 、 $QB11\sim QB12$ ）のそれぞれから $F=2$ 個のビットずつマッピングされるように、2個の巡回ブロックの計16個のビットに対してその並び順を換えるフォルディングセクションパーミュテーション処理を施す。
- [0172] 上述の2つの条件1A、条件2Aは、単に、ビットインターリーブが $F\times$

N/M 個の並列フォルディングセクションに分けられることを保証するだけのものである。これらの並列フォルディングセクションに対して施すフォルディングセクションパーミュテーション処理に、互いに同じパーミュテーション規則が適用されてもよいし、互いに異なるパーミュテーション規則が適用されてもよいし、一部だけが互いに同じパーミュテーション規則が適用されてもよい。

[0173] 例えば、フォルディングセクションパーミュテーションユニットは、巡回ブロックの Q 個のビットを、 Q/F 個のコンステレーション語の同一のロバストレベルを有するビットにマッピングするようにしてもよい。これについて、 $Q=8$ 、 $M=4$ を例に挙げて、図33及び図34を用いて説明する。

[0174] 図34(a)は、 $F=1$ (フォルディングなし)の(フォルディング)セクションパーミュテーションユニットの一構成例を示すブロック図であり、図22(a)と同一構成である。

[0175] 図34(b)は、図32のうちの、 $F=2$ (フォルディングあり)の場合の2つのフォルディングセクションパーミュテーションユニットの一構成例を示すブロック図である。

[0176] 但し、図34(b)の例では、コンステレーションが16QAMコンステレーションである。このため、コンステレーションのビットには2つのロバストレベルがあり、ビット b_1 とビット b_3 が同一のロバストレベル、ビット b_2 とビット b_4 が同一のロバストレベルである。

[0177] フォルディングセクションパーミュテーションユニット2201A(2202A)は、カラム-ロウパーミュテーションユニット2131A(2132A)を有する。

[0178] カラム-ロウパーミュテーションユニット2131A(2132A)は、巡回ブロック $QB_1 \sim QB_2$ ($QB_3 \sim QB_4$)の $Q \times M/F = 16$ 個のビットに対してこの並び順を換えるカラム-ロウパーミュテーション処理を施す。詳述すれば、カラム-ロウパーミュテーションユニット2131A(2132A)は、 $Q \times M/F = 16$ 個のビットを Q 列 M/F 行=8列2行の行

列の行方向に書き込み、書き込んだ16個のビットを列方向に読み出すことと等価なカラム - ロウパーミュテーション処理を行う。なお、カラム - ロウパーミュテーションユニット2131A、2132Aによるカラム - ロウパーミュテーション処理は、図9(a)、(b)の12列1350行がQ列M/F行に置き換わり、書き込み処理が列方向から行方向に、読み出し処理が行方向から列方向に変わったものである。

[0179] なお、フォルディング係数Fのフォルディングによって、1つのコンステレーション語にマッピングされる巡回ブロック数が減少する。これにより、カラム - ロウパーミュテーションにおける行列の行数はMからM/Fに減少する。

[0180] 図33(a)は、図34(a)の(フォルディング)セクションパーミュテーションユニットによるマッピングの機能を示す図であり、図33(b)は、図34(a)の2つのフォルディングセクションパーミュテーションユニットによるマッピングの機能を示す図である。図33(a)、(b)では、各コンステレーション語のM=4個のビットがb1~b4で示されている。なお、太線で囲っている部分はコンステレーション語C1についてのマッピングを表している。

[0181] 図33(a)、図34(a)の例では、1つの巡回ブロックの8ビット(同じ重要度を有する)は、8個のコンステレーション語の同一ビットインデックスを有するビット(同じロバストレベルを有する)にマッピングされている。また、図33(b)、図34(b)の例では、1つの巡回ブロックの8ビット(同じ重要度を有する)は、4個のコンステレーション語の同じロバストレベルのビットにマッピングされている。

[0182] ただし、巡回ブロックQB5~QB6、QB7~QB8、QB9~QB10、QB11~QB12に対して、図34(b)で説明したフォルディングセクションパーミュテーションが行われるようにしてもよい。

[0183] なお、図34(a)、(b)のフォルディングセクションパーミュテーションユニットにおいて、カラム - ロウパーミュテーションの前段に巡回ブ

ックQB1～QB4のビットに対してその並び順を換える巡回ブロック内パーミュテーションを行うユニットを追加してもよい。

[0184] 本発明のさらに他の実施の形態では、ビットインターリーバは、フォルディングセクションパーミュテーション処理を行う前に、付加的にN個の巡回ブロックに対してその並び順を換える巡回ブロックパーミュテーション処理を行う。付加的に巡回ブロックパーミュテーション処理を施すビットインターリーバの一構成例を図35に示す。

[0185] 図35に示すビットインターリーバ2300Aは、巡回ブロックパーミュテーションユニット2310と、ビットパーミュテーションユニット2010A（フォルディングセクションパーミュテーションユニット2021A～2026Aを含む）を備える。

[0186] 図36は、図35のビットインターリーバの一構成例を示すブロック図である。

[0187] 図36のビットインターリーバ2400Aは、巡回ブロックパーミュテーションユニット2310と、ビットパーミュテーションユニット2200A（フォルディングセクションパーミュテーションユニット2201A～2206Aを含む）を有する。

[0188] フォルディングセクションパーミュテーションユニット2201A～2206Aは、それぞれ、カラム-ロウパーミュテーションユニット2131A～2136Aを備える。カラム-ロウパーミュテーションユニット2133A～2136Aは、それぞれ、カラム-ロウパーミュテーションユニット2133A～2132Aと実質的に同じパーミュテーション処理を行う。

[0189] なお、図35、図36のビットインターリーバにおいて、巡回ブロックパーミュテーションの前段または後段に巡回ブロックQB1～QB12のビットに対してその並び順を換える巡回ブロック内パーミュテーションを行うユニットを追加してもよい。

[0190] 以下、条件1A、条件2Aを満たすビットインターリーブ処理を行うビットインターリーバを含むトランスミッタの一構成例について図37を用いて

説明する。

- [0191] 図37は、本発明のさらに他の実施形態に係るトランスミッタの一構成例を示すブロック図である。図37に示すトランスミッタ2500Aは、図25のトランスミッタ2500のビットインターリーバ2520がビットインターリーバ2520Aに置き換わった構成である。
- [0192] ビットインターリーバ2520Aは、LDPCエンコーダ2510からQC-LDPC符号の符号語を受け取る。この符号語は、 $N=12$ 個の巡回ブロックからなり、各巡回ブロックは $Q=8$ 個のビットからなる。そして、ビットインターリーバ2520Aは、符号語のビットに対してその並び順を換えるビットインターリーブ処理を施す。ビットインターリーバ2520Aは、ビットインターリーブ処理が施された符号語を、それぞれ $M=4$ 個のビットよりなり、それぞれが $2^M=16$ 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割してコンステレーションマップ2530へ出力する。ただし、ビットインターリーバ2520Aは、ビットインターリーブ処理として、例えば図32から図34で説明した、または、その変形として説明したビットパーミュテーション処理を行う（ $F=1$ を除く）。または、ビットインターリーバ2520Aは、ビットインターリーブ処理として、ビットパーミュテーション処理に加えて（ $F=1$ を除く）、例えば図35および図36で説明した、または、その変形として説明した巡回ブロックパーミュテーション処理を追加的に行ってもよい。
- [0193] 以下、条件1A、条件2Aを満たすビットインターリーブ処理を施すビットインターリーバを含むトランスミッタからの信号を受信するレシーバについて図面を用いて説明する。
- [0194] 図38は、本発明のさらに他の実施の形態に係る非反復BICMデコーダを有するレシーバの一構成例を示すブロック図である。レシーバは、トランスミッタと逆の動作を行う。図38に示すレシーバ2700Aは、図27のレシーバ2700のビットデインターリーバ2730がビットデインターリーバ2730Aに置き換わった構成である。

- [0195] ビットインターリーバ2730Aは、コンステレーションデマップ2720から出力されるソフトビット列に対して、トランスミッタ2500A内のビットインターリーバ2520Aがビット列に対して施したビットインターリーブ処理を打ち消して元の並びに戻すインターリーブ処理（ビットインターリーブ処理）を行う。
- [0196] 図39は、本発明のさらに他の実施の形態に係る非反復BICMデコーダを有するレシーバの一構成例を示すブロック図である。レシーバは、トランスミッタと逆の動作を行う。図39に示すレシーバ2800Aは、図28のレシーバ2800のビットインターリーバ2730およびビットインターリーバ2750がビットインターリーバ2730Aおよびビットインターリーバ2750Aに置き換わった構成である。
- [0197] ビットインターリーバ2750Aは、外部情報（extrinsic information）に対して、トランスミッタ2500A内のビットインターリーバ2520Aがビット列に対して施したビットインターリーブ処理と同じインターリーブ規則のインターリーブ処理を行う。
- [0198] ハードウェアの実装の観点から、例えば、フォルディングは1つのコンステレーション語のビットがより少ないLLRメモリロケーションに配置されるようにしてもよい。通常、デコーダにおけるLLRメモリは、 $G \times N$ 個のアドレス指定可能なロケーションを有し、各ロケーションは Q/G 個のLLR値を保持することが可能になっている。Gは、Qの約数である実装パラメータであり、メモリ粒度（granularity）と称する。デコーダ内のLLRメモリロケーションと、 $M=4$ 、 $F=2$ 、 $Q=12$ 、 $G=1 \sim 12$ に対応する1番目のコンステレーション語のLLR値の配置箇所を図40に示す。
- [0199] メモリロケーションにおけるLLR値の数、すなわち、 Q/G は、Fの倍数である必要があり、各コンステレーションのLLR値が、メモリの全ロケーションにおいて同じ位置に格納される。これは、いずれのコンステレーション語におけるLLR値も、 M/F 個のメモリロケーションに格納されることを保証する。これに反する例が図40の $G=4$ に示され、各メモリロケー

ションは $12/4 = 3$ 個の LLR 値を格納する。2 番目と 5 番目のコンステレーション語の LLR 値は 2 つのメモリロケーションの代わりに 4 つのメモリロケーションに保持される。

[0200] $F = 2$ のフォルディングが適用される得る単純な QAM コンステレーションの場合に加えて、2 以上のコンステレーションシンボルが結合復号 (jointly decode) されるときにフォルディングは非常に有用である。結合復号は、例えば、ブロック符号 (時空間符号、周波数空間符号など) の最尤復号または 2 次元以上の回転コンステレーションに対して必要となる。

[0201] 一般に、ブロック符号は、2 以上の入力シンボル (x_1, \dots, x_K) を 2 以上の出力シンボル (y_1, \dots, y_L) に符号化する。ここで、 L は K 以下である。ブロック符号は、 L 行 K 列の生成行列によってモデル化される。ここで、入力信号ベクトル X に生成行列 G を左乗算することによって、出力信号ベクトル Y が得られる ($Y = GX$)。

[0202] 入力信号ベクトル X および出力信号ベクトル Y の要素は、生成行列 G の要素と同じく、実数または複素数となり得る。符号の種類によっては、出力信号ベクトル Y は、異なる時間スロット或いは異なる周波数スロットで送信され、異なるアンテナを用いて送信され、又は、異なる時間スロット或いは異なる周波数スロットおよび異なるアンテナを用いて送信されることがある。

[0203] レシーバでは、入力信号ベクトル X の全要素の復号のために、最尤復号が要求される。MIMO (multiple-input multiple-output) 通信システム用のブロック符号として、アラモウチ (Alamouti) 符号、Golden 符号、および空間多重が挙げられる。

[0204] K 個のシンボルが同じブロックに符号化されている場合、フォルディング係数は K まで使用可能であることは明らかである。さらに、シンボルが QAM シンボル (2 つの分離可能な PAM シンボルを含む) ならば、使用可能なフォルディング係数は $2 \times K$ まで増加し得る。

[0205] 本発明のさらに他の実施形態によれば、異なるサイズのコンステレーション、すなわち、ハイブリッドコンステレーションが結合符号化されている場

合には、2つのコンステレーションは互いに異なるロバストレベルを有しているので、例えば、一方のコンステレーション語のビットにマッピングする巡回ブロックと他方のコンステレーション語のビットにマッピングする巡回ブロックは互いに異なるようにする。

[0206] ここで、2つの送信アンテナを用いた符号空間多重MIMOシステムを例に挙げて説明する。符号化前の複素信号を $X = [x_1 \ x_2]$ とする。ここで x_1 はQPSKが施された信号であり、 x_2 は16QAMが施された信号である。符号化後の複素信号を $Y = [y_1 \ y_2]$ とする。ここで y_1 および y_2 はそれぞれ第1アンテナおよび第2アンテナにより送信される信号である。Yは、Xに2行2列の生成行列G（要素は、実数でも複素数でもよい）を左乗算することにより得られる（ $Y = GX$ ）。

[0207] 例えば、QPSKシンボルと16QAMシンボルとを同じブロック符号に多重化する場合、フォルディング係数 $F = 2$ に対するマッピングの一例を図41に示す。図41では、巡回ブロックにおける最初の7ビットだけを示している。2つの複素シンボル x_1 および x_2 は次のような構造を有する。

[0208] x_1 は実数部が b_1 、虚数部が b_2 で与えられるQPSKシンボルである。

[0209] x_2 は実数部が b_3 、 b_4 、虚数部が b_5 、 b_6 で与えられる16QAMシンボルである。

[0210] 2つのシンボルは、レシーバで結合復号され、これにより、いわゆるコンステレーションブロックあるいは生成されたブロックが作られる。

[0211] 全体の6ビットのコンステレーションブロックは、3つのロバストレベルを有することとなる。

[0212] レベル1：QPSKの b_1 と b_2 はQB1にマッピングされる。

[0213] レベル2：16QAMの b_3 と b_5 はQB2にマッピングされる。

[0214] レベル3：16QAMの b_4 と b_6 はQB3にマッピングされる。

[0215] なお、一方のコンステレーションのビット数を M_1 、他方のコンステレーションのビット数を M_2 とした場合、N個の巡回グループを、 M_1 個の巡回ブロックからなる1以上のグループと、 M_2 個の巡回ブロックからなる1以

上のグループに分割して、ビットインターリーブ処理を施す。

[0216] 《実施の形態（その3）》

以下、NがMの倍数ではなく、フォルディングを行う場合のインターリーブの一例について記載する。

[0217] 図42は、一例として、 $F=2$ のインターリーブ処理を適用する適用対象の巡回ブロックと適用しない適用対象外の巡回ブロック（除外される巡回ブロック）を示す図である。但し、図42は、符号がDVB-T2規格で定義されている16K LDPC符号であり、コンステレーションが16QAMコンステレーションである場合に対する図である。図42の例では、適用対象の巡回ブロックは44個の巡回ブロック（1、・・・、44）であり、適用対象外の巡回ブロック（除外される巡回ブロック）はその最終行の1個の巡回ブロック45のみである。また、4個の黒四角が1番目のコンステレーション語の4ビットを表す。

[0218] 図43は、NがMの倍数ではなく、フォルディングを行う場合のビットインターリーブの一構成例を示すブロック図である。説明を簡単にするために、 $N=13$ 、 $Q=8$ 、 $M=4$ 、 $F=2$ とする。

[0219] フォルディングセクション数は $\text{floor}(N/(M/F))=6$ 、除外される巡回ブロック数は $\text{rem}(N, M/F)=1$ である。

[0220] ビットインターリーブ2000Bは、巡回ブロックQB1～QB13のうち、 $13-1=12$ 個の巡回ブロックQB1～QB12を条件A1、条件A2を満たすインターリーブを適用する巡回ブロックに選択する。そして、ビットインターリーブ2000B内のビットパーミュテーションユニット2010Aは選択した12個の巡回ブロックに対して図32を用いて説明したパーミュテーション処理を行う。なお、巡回ブロックQB13のビットは、インターリーブされずにコンステレーション語にマッピングされるようになっているが、インターリーブしてからコンステレーション語にマッピングされるようにしてもよい。

[0221] なお、NがMの倍数ではなく、フォルディングを行わないインターリーブ

の一例として、図43のビットパーミュテーションユニット2010Aを図20のビットパーミュテーションユニット2010に置き換えた構成を挙げることができる。

以下、表3で説明したDVB-T2規格で用いられるLDPC符号に対する、セクションパーミュテーションの具体例について説明する。

(例1A) $N=45$, $Q=360$, $M=4$, フォルディングなし ($F=1$) の場合

図44(a)は、 $N=45$, $Q=360$, $M=4$ でフォルディングなし ($F=1$) の場合の、セクションパーミュテーションの構造を示す図である。

[0222] ビットインターリーバ4400Aは、45個の巡回ブロックQB1~QB45のうち、44個の巡回ブロックQB1~QB44を選択してサブセットとする。

[0223] サブセットは、それぞれ4個の巡回ブロックからなるセクション1~11までの11個のセクションに分けられる。例えば、セクション1は巡回ブロックQB1~QB4から構成され、セクション11は、巡回ブロックQB41~QB44から構成される。

[0224] ビットインターリーバ4400A内の11個のセクションパーミュテーションユニット(4401、・・・、4411)は、それぞれ4個ずつの巡回ブロックに対して図32を用いて説明したパーミュテーション処理を行う。

[0225] なお、巡回ブロックQB45のビットは、インターリーブされずにコンステレーション語にマッピングされるようになっている。

(例1B) $N=45$, $Q=360$, $M=4$ でフォルディングあり ($F=2$) の場合

図44(b)は、 $N=45$, $Q=360$, $M=4$ でフォルディングあり ($F=2$) の場合の、セクションパーミュテーションの構造を示す図である。

[0226] ビットインターリーバ4400Bは、45個の巡回ブロックQB1~QB45のうち、44個の巡回ブロックQB1~QB44を選択してサブセットとする。

- [0227] サブセットは、それぞれ2個の巡回ブロックからなるセクション1～22までの22個のセクションに分けられる。
- [0228] ビットインターリーバ4400B内の22個のセクションパーミュテーションユニット(4421、4422、・・・、4442)は、それぞれ2個ずつの巡回ブロックに対して図32を用いて説明したパーミュテーション処理を行う。
- [0229] なお、巡回ブロックQB45のビットは、インターリーブされずにコンステレーション語にマッピングされるようになっている。
- [0230] (例2A) $N=45$ 、 $Q=360$ 、 $M=6$ でフォルディングなし($F=1$)の場合
図45(a)は、 $N=45$ 、 $Q=360$ 、 $M=6$ でフォルディングなし($F=1$)の場合の、セクションパーミュテーションの構造を示す図である。
- [0231] ビットインターリーバ4500Aは、45個の巡回ブロックQB1～QB45のうち、42個の巡回ブロックQB1～QB42を選択してサブセットとする。
- [0232] サブセットは、それぞれ6個の巡回ブロックからなるセクション1～7までの7個のセクションに分けられる。例えば、セクション1は巡回ブロックQB1～QB6から構成され、セクション7は、巡回ブロックQB37～QB42から構成される。
- [0233] ビットインターリーバ4500A内の7個のセクションパーミュテーションユニット(4501、・・・、4507)は、それぞれ6個ずつの巡回ブロックに対して図32を用いて説明したパーミュテーション処理を行う。
- [0234] 巡回ブロックQB43～QB45は、サブセットに含まれない巡回ブロックである。
- [0235] 巡回ブロックQB43、QB44のビットは、インターリーブされずにコンステレーション語にマッピングされるようになっている。
- [0236] これに対して、巡回ブロックQB45のビットは、巡回ブロック内パーミュテーションユニット4545により、その並び順を換える巡回ブロック内

パーミュテーション処理が施される。

[0237] つまり、巡回ブロックQB43、QB44のビットは、サブセットに含まれず、ビットの並び順を換える対象とされないままにされている。これに対して、巡回ブロックQB45のビットは、同じくサブセットには含まれないが、セクションパーミュテーションユニット(4501、・・・、4507)からは独立した(separate)巡回ブロック内パーミュテーションユニット4545により、並び順が換えられている。

[0238] なお、図45(a)の例では、巡回ブロックQB43～QB45のうちで、巡回ブロックQB45だけを並び換えるとしているが、巡回ブロックQB43～QB45の全ビットに対してパーミュテーションを施してもよい。また、巡回ブロックQB43～QB45においてそれぞれ巡回ブロック内パーミュテーションを施しても構わない。

[0239] (例2B) $N=45$ 、 $Q=360$ 、 $M=6$ でフォルディングあり($F=2$)の場合

図45(b)は、 $N=45$ 、 $Q=360$ 、 $M=6$ でフォルディングあり($F=2$)の場合の、セクションパーミュテーションの構造を示す図である。

[0240] ビットインターリーブ4500Bは、45個の巡回ブロックQB1～QB45のすべてを選択してサブセットとして構成している。

[0241] サブセットは、それぞれ3個の巡回ブロックからなるセクション1～15までの15個のセクションに分けられる。

[0242] ビットインターリーブ4500B内の15個のセクションパーミュテーションユニット(4511、・・・、4526)は、それぞれ3個ずつの巡回ブロックに対して図32を用いて説明したパーミュテーション処理を行う。

[0243] ≪実施の形態(その4)≫

ここまで、効率的なビットインターリーブ方法について説明してきた。ところで、LDPC復号処理における無効検査ノードの存在は誤り訂正能力を低下させる可能性がある。発明者らは、上記ビットインターリーブ方法において、無効検査ノードの発生を抑制する方法について更なる知見を得た。以

下、無効検査ノードがどのように発生するか、そして、これをどのように解消するかを説明する。

無効検査ノードは、同じ検査ノードにつながる2以上のLDPCの変数ノードが、同じコンステレーションからマッピングされる場合に発生する。仮に、コンステレーションが深い歪の影響を受けている場合、コンステレーションデマッパの出力である関連するLLR値は、極小または0になる。

仮に、2以上の変数ノードが、同じ検査ノードに連結しており、当該検査ノードのLLR値が0あるいは非常に小さい値である場合、この検査ノードを誤り訂正処理に使用することができなくなるので、少なくとも、第1のLDPC復号の反復処理では、結果的に、値の収束が遅くなる。このような検査ノードを、無効検査ノードと呼称する。

以下においては、どのような場合に、そのような無効検査ノードが発生するのかを、具体例を示しながら説明する。図5に示す、パリティチェック行列によって定義されるLDPC符号の、図5の上から3つ目の巡回ブロックの検査ノード（検査ノードCN17～CN24を参照のこと）を考えてみる。図46においては、パリティ検査ノード17～24に連結されている変数ノードがハイライトされている。即ち、検査ノードと変数ノードとが連結されている部分のみ黒四角で表現している。

このコネクションは、並列構造と巡回パーミュテーションとがより明瞭に理解できるように、図47に示すように記載することができる。8つの検査ノードそれぞれは、巡回パーミュテーションを通して、8つの変数ノードに接続される。ここで、巡回パーミュテーションは、パリティチェック行列の巡回シフト対数に関連する。例えば、図47において、3番目の巡回ブロック（QB3）の各ビットは、検査ノードに2回連結されている。図47においては、最初の検査ノード（CN17参照）と変数ノードとのコネクションがハイライト（太線で記載）されている。なお、このハイライトは、単に検査ノード17と変数ノードとのコネクションをわかりやすくするためのものであり、検査ノード17に特別な意味があるわけではない。

[0244] 上述の通り、図46と図47とは対応関係にあり、例えば、図46においては、検査ノード17（CN17、図46の行列の上から17行目）と、2つ目の巡回ブロック（QB2、図46の行列の左から9～16列目に対応）の変数ノードとでは、QB2の右端の変数ノード（図46の行列の左から16列目）と検査ノード17と連結されている（図46の行列の上から17行目、左から16列目が黒四角になっている）ことがわかる。一方、図47においても検査ノード17（左端の黒四角）と、2つ目の巡回ブロック（QB2）の右端の変数ノード（黒丸）が連結されている。

検査ノード17～24に接続される8つの巡回ブロックについて、図48（a）～図48（h）は、マッピングの1つの見方を示している。図48（a）～図48（h）の各図面は、各検査ノード17～24に連結している変数ノードをハイライトしている。図48（a）～図48（h）それぞれにおいて、一つの四角は、各巡回ブロックの各変数ノードを示しており、検査ノードに連結している変数ノードは黒四角で示している。また、図47において、検査ノード17と変数ノードとのコネクションをハイライトしているが、図48（a）においても同様の連結関係をもっており、図48（a）と図47においてハイライトした内容とが対応していることがわかる。

以下では、無効検査ノードが発生する場合の2つの事例を示す。なお、ここに示すのは、一例である。

図49（a）～図49（h）は、第1の事例を示している。図49（a）～図49（h）では、図48（a）～図48（h）に示したマッピングを基に、16QAMのコンステレーションに、フォルディング係数Fを2として、QB14とQB15とがマッピングされている例を示している。図49（a）～図49（h）の太線で囲われた4つの四角が1つのコンステレーションに対応する。図49（a）～図49（h）の場合、歪（フェージング）の影響を深く受けたコンステレーション各々は、2つの検査ノードを無効にしてしまう。歪の影響を受けた各コンステレーションに応じて、無効となる検査ノードは、以下の通りである。

- ・ C 1 が歪の影響を受けた場合：検査ノード 17、18（図 49（a）、（b）参照）
- ・ C 2 が歪の影響を受けた場合：検査ノード 19、20（図 49（c）、（d）参照）
- ・ C 3 が歪の影響を受けた場合：検査ノード 21、22（図 49（e）、（f）参照）
- ・ C 4 が歪の影響を受けた場合：検査ノード 23、24（図 49（g）、（h）参照）

図 50（a）～図 50（h）は、第 2 の事例を示している。図 50（a）～図 50（h）では、図 48（a）～図 48（h）に示したマッピングを基に、16QAM のコンステレーションに、フォルディング係数 F を 2 として、QB4 と QB5 とがマッピングされている例を示している。図 50（a）～図 50（h）の太線で囲われた 4 つの四角が 1 つのコンステレーションに対応する。図 50（a）～図 50（h）の場合、歪（フェージング）の影響を深く受けたコンステレーション各々は、1 つの検査ノードを無効にしてしまう。歪の影響を受けた各コンステレーションに応じて、無効となる検査ノードは、以下の通りである。

- ・ C 1 が歪の影響を受けた場合：検査ノード 21（図 50（e）参照）
- ・ C 2 が歪の影響を受けた場合：検査ノード 23（図 50（g）参照）
- ・ C 3 が歪の影響を受けた場合：検査ノード 17（図 50（a）参照）
- ・ C 4 が歪の影響を受けた場合：検査ノード 19（図 50（c）参照）

無効検査ノードの発生は、同じ検査ノードに連結されている複数の変数ノードを同じコンステレーションにマッピングすることを避けることで抑制できる。これは、並列ビットインターリーブにおいては、巡回ブロック内のビットに対して更なるパーミュテーションを施すことで、実現できる。この無効検査ノードの発生を抑制するためのパーミュテーションを、以降、巡回ブロック内パーミュテーションと呼称する。また、巡回ブロック内パーミュテーションは、基本的に適用する巡回ブロックに応じて異なるものとなる。

巡回ブロック内パーミュテーションは、1以上の巡回シフトにより実現すると構成の実現が容易である。1回だけの巡回シフトの場合、LDPCデコーダに構成された（再構成可能な）ローテータと逆ローテータを再利用することができ、これにより、回路の複雑度を抑制することができる。図51（a）および図51（b）は、それぞれ、 $Q=8$ とした場合であって、巡回ブロックについて1回シフトおよび2回シフトを実行する巡回ブロック内インターリーバの構成を示している。図51（a）および図51（b）に示すように、当該巡回ブロック内インターリーバ（5100A、5100B）は、各巡回ブロックに対して実行するシフトのシフト値を保持するテーブルB（5101A、5101B）と、1又は2の再構成可能なローテータ（5102A、5102B、5103B）からなる。巡回ブロック内インターリーバは（5100A、5100B）、どの巡回ブロックが処理対象であるかを示す巡回ブロックインデックスの入力を受け付けて、テーブルB（5101A、5101B）に示される巡回ブロックに対応するシフト値を特定し、当該シフト値をローテータに設定する。ローテータ（5102A、5102B、5103B）は、入力された巡回ブロックの各ビットを、シフト値で指定された値だけ巡回シフトさせて、シフト後のビット列（巡回ブロック内パーミュテーションが施された巡回ブロック）を出力する。巡回ブロック内インターリーバは、図21（b）や図24に示す巡回ブロック内パーミュテーションに相当する。なお、ここでテーブルB（5101A、5101B）に示されるシフト値は、ビット列の右方向に、検査ノードに連結している変数ノードが同じコンステレーションにマッピングされることを回避できる値が記憶されているものとする。

図49（a）～図49（h）および図50（a）～図50（h）を参照すると、これらの場合では、シフト値を以下のように設定することで、無効検査ノードの発生を抑制することができる。即ち、図49（a）～図49（h）それぞれについて、QB14に対して、シフト値を2に設定し、右方向に2巡回シフトさせればよい。また、図50（a）～図50（h）のQB4に

対して、シフト値を3に設定し、右方向に3巡回シフトさせればよい。このような巡回シフトを、図49(a)～図49(h)および図50(a)～図50(h)にそれぞれ施した結果を、図52(a)～図52(h)および図53(a)～図53(h)に示す。なお、ここでは、実現が容易な例として、図50(a)～図50(h)のQB4全てに対して右方向に3ビット巡回シフトさせる構成を示しているが、図50(b)、図50(d)、図50(f)、図50(h)については、元々検査ノードに連結する変数ノードが異なるコンステレーションにマッピングされているため、巡回ブロック内パーミュテーションを施さなくともよい。

なお、巡回シフトが必要ない巡回ブロックが入力された場合には、シフト値としては、0が設定され、巡回シフトされることなく入力されたビット列がそのまま出力される。

したがって、LDPC符号における無効検査ノードの数は、各巡回ブロックに対して、適切なパーミュテーションを施すことで、最小限に抑制することが可能である。当然に、巡回ブロック内パーミュテーションは、LDPC符号が変更される度一例えば、採用している符号のPCMが変更された場合などに、最適化する必要がある。この巡回ブロック内パーミュテーションを実現するにあたって、予め定められた複数のPCMからなるPCMの(限定された)セット(種別)の各PCMに応じた最適なパーミュテーション方法(あるいはシフト値などのパラメータ。当該パラメータは、実質的にパーミュテーション手法と同義である)を予め記憶しておくことが有効である。上述の図51(a)におけるテーブルBの保持が、このパーミュテーション方法の記憶に該当する。これによって、例えば、符号化率などが変更されてPCMが変更された場合に、適切なパラメータを有するセットを選択することで、最適なパーミュテーション手法に変更できる。なお、PCMあるいは予め定められたPCMのセットそれぞれに対して最適な巡回ブロック内パーミュテーションは、既知の最適化処理、例えば、総当たり攻撃(brute force)、焼きなまし法(simulated annealing)、モンテカルロ法(Monte-Carlo)な

どにより導出することができる。

図54は、図24と同様に、フォルディング係数を2に設定した場合の並列ビットインターリーバ5400における巡回ブロック内パーミュテーション5410の機能構成を示す概念図である。動作内容については、図54と図24との差異は、フォルディング係数を4から2にただけで、セクションパーミュテーションが2巡回ブロック分で実行される以外は、図24の場合と同様であるので、説明を割愛する。また、受信については、この図54に示される各矢印が逆方向になり、それぞれのユニットが実行される処理が送信側で実行される内容とは逆の処理が実行されるだけであるので、詳細な説明を割愛する。

図55は、本実施の形態（その4）に係る $Q=8$ 、 $M=4$ 、 $F=2$ とした場合のBICMエンコーダの一実装例を示すブロック図である。

[0245] 図55に示すようにBICMエンコーダ5500は、メインメモリ5501、LDPCコントローラ5511、ローテータ5512、検査ノードプロセッサ群5513、デローテータ5514、QBカウンタ5531、QBパーミュテーションテーブル5532、インターリーバ5533、レジスタ群5534、インターリーバ5535、QBシフトテーブル5536、およびマッパ群5551を備える。

[0246] 図26と比較すればわかるように、図55に示すBICMエンコーダは、フォルディング係数を2としたことにより、レジスタ群5534の個数およびマッパ群5551の個数が4から2に減じたこと以外に、テーブルAに換えてQBパーミュテーションテーブル5532、QBシフトテーブル5536を保持している点が異なる。以下、図26との差異について説明し、それ以外の構成については、図26と共通するので、説明を割愛する。

[0247] QBカウンタ5531は、処理対象となる巡回ブロックの番号を、QBパーミュテーションテーブル5532に通知する。

[0248] QBパーミュテーションテーブル5532は、図26におけるテーブル2632と同様のルックアップテーブルである。

[0249] QBシフトテーブル5536は、各巡回ブロックについて、ビット列を巡回シフトさせるシフト値を保持する。QBシフトテーブル5536は、QBパーミュテーションテーブル5532から通知された巡回ブロックの番号に応じて、シフト値を決定し、ローテータ（インターリーバB）5533に通知する。なお、QBシフトテーブル5536は、図51のテーブルB（5101A、5101B）に相当する。

[0250] ローテータ（インターリーバB）5533は、通知されたシフト値に従って、入力されたビット列を右方向にシフト値分だけ巡回シフトさせて、レジスタ5534に出力する。ローテータ（インターリーバB）5533は、BICMエンコーダ5500において巡回ブロック内パーミュテーションを実行する素子、即ち、図54の巡回ブロック内パーミュテーション5410に相当する素子である。また、カラムロウインターリーバ（インターリーバC）5535は、図54のカラムロウパーミュテーションに相当する素子であり、ここでは、 $8(Q) \times 2(M/F)$ 個のビットを $2(M/F)$ 行 $8(Q)$ 列の行列に行方向で書き込んで、列方向で読み出す処理を実行する。

図56は、本実施の形態（その4）に係る $Q=8$ 、 $M=4$ 、 $F=2$ とした場合の反復BICMデコーダの一実装例を示すブロック図である。

[0251] 図56に示すように反復BICMデコーダ5600は、メインLLRメモリ5601、バッファLLRメモリ5602、LDPCコントローラ5611、ローテータ5612、検査ノードプロセッサ群5613、デローテータ5614、QBカウンタ5631、テーブル5632、減算ユニット5633、インターリーバ5634、レジスタ群5635、インターリーバ5636、デマッパ群5637、デインターリーバ5638、レジスタ群5639、デインターリーバ5640、遅延ユニット5641、およびQBシフトテーブル5642を備える。

[0252] 図29と比較すればわかるように、図56に示す反復BICMデコーダ5600は、フォルディング係数を2としたことにより、レジスタ群5535、5539の個数およびデマッパ群5637の個数が4から2に減じたこと

以外に、テーブルAに換えてQBパーミュテーションテーブル5632、QBシフトテーブル5642を保持している点が異なる。以下、図29との差異について説明し、それ以外の構成については、図29と共通するので、説明を割愛する。

- [0253] QBカウンタ5631は、処理対象となる巡回ブロックの番号を、QBパーミュテーションテーブル5632に通知する。
- [0254] QBパーミュテーションテーブル5632は、図29におけるテーブルA2932と同様のルックアップテーブルである。
- [0255] QBシフトテーブル5642は、各巡回ブロックについて、ビット列を巡回シフトさせるシフト値を保持する。QBシフトテーブル5642は、QBパーミュテーションテーブル5632から通知された巡回ブロックの番号に応じて、シフト値を決定し、ローテータ（インターリーバB）5634に通知する。また、当該シフト値は、巡回ブロック内パーミュテーションのための巡回シフトによるインターリーブを基に戻すために、遅延素子5641を介して、デローテータ（デインターリーバB）5640にも通知される。なお、QBシフトテーブル5642は、図51のテ0ブルB（5101A、5101B）に相当する。
- [0256] ローテータ（インターリーバB）5634は、QBシフトテーブル5642から通知されたシフト値に従って、入力されたビット列を巡回シフトさせて、レジスタ5635に出力する。ローテータ（インターリーバB）5634は、反復BICMデコーダ5600において巡回ブロック内パーミュテーションを実行する素子である。
- [0257] また、デローテータ（デインターリーバB）5640は、QBシフトテーブル5642から通知されたシフト値に従って、レジスタ5639から入力されたビット列を、ローテータ（インターリーバB）5634とは逆方向に巡回シフトさせて、メインLLRメモリ5601に出力する。
- [0258] なお、カラムーロウインターリーバ（インターリーバC）5636は、図29のインターリーバC2936に相当し、カラムーロウデインターリーバ

(デインターリーバC) 5638は、図29のインターリーバC2938に相当する。

[0259] 以上の構成を備えることにより、BICMエンコーダは、巡回ブロック内パーミュテーションを簡易な構成で実現でき、検査ノードに連結する変数ノードが複数、同じコンステレーションにマッピングされることを回避できる。これにより、検査ノードが誤り訂正に用いることができない無効検査ノードとなる可能性を低減することができる。

《補足1》

本発明は上記の実施の形態で説明した内容に限定されず、本発明の目的とそれに関連又は付随する目的を達成するためのいかなる形態においても実施可能であり、例えば、以下であってもよい。

[0260] (1) 上記の実施の形態(その1)では、パラメータとして $N=12$ 、 $Q=8$ 、 $M=4$ を例に挙げて説明したが、パラメータ N 、 M 、 Q の値はこれに限定されるものではなく、 N が M の倍数であればよい。なお、 N が M の2以上の倍数である場合には、ビットインターリービングの処理を、複数のセクションに分割して実行することが可能になる。

[0261] (2) フォルディングあり(F が2以上の整数)の実施の形態(その2)では、パラメータとして $N=12$ 、 $Q=8$ 、 $M=4$ を、フォルディング係数として $F=2$ を例に挙げて説明したが、パラメータ N 、 M 、 Q の値やフォルディング係数 F の値はこれに限定されるものではない。 F が M および Q のそれぞれの約数であり、 N が M/F の倍数であればよい。

[0262] (3) フォルディングありの実施の形態(その2)では、 F の値を16QAMコンステレーションの同一のロバストレベルを有するビット数「2」として説明したが、これに限定されるものではない。 F の値はコンステレーションの同一のロバストレベルを有するビット数とする他、 F の値をコンステレーションの同一のロバストレベルのビット数以外にしてもよい。

[0263] (4) フォルディングありの実施の形態(その2)では、フォルディング係数 $F=2$ でQAMコンステレーションが16QAMコンステレーションで

あるとして説明したが、これに限定されるものではなく、 $F = 2$ で、QAMコンステレーションが16QAMコンステレーション以外のQAMコンステレーション（例えば、64QAMコンステレーション、256QAMコンステレーション）などであってもよい。

[0264] (5) 上記実施の形態（その4）において、テーブルB、QBシフトテーブルでは、ビット列右方向への巡回シフト値を記憶保持していることとした。しかし、これらのテーブルは、検査ノードに連結している変数ノードが複数同じコンステレーションにマッピングされるのを回避できるのであれば、シフト方向は左方向であってもよいし、シフト値は必要最低限ではなくそれ以上シフトさせてもよい。

[0265] また、巡回シフトではなく、規則性のない巡回ブロック内パーミュテーションを実行して、1つのコンステレーションに、検査ノードに連結している変数ノードが複数発生することがないようにしてもよい。ただし、規則性のない巡回ブロック内パーミュテーションの場合、送信側から受信側にその巡回ブロック内パーミュテーションの手法を伝達するか、予め送信側と受信側とで、その規則性のない巡回ブロック内パーミュテーションについてPCMごとにどの手法を用いるか定めておく必要がある。

[0266] (6) 上記の実施形態では、コンステレーションとして16QAM ($M = 4$) を例に挙げて説明したが、コンステレーションとして、QPSKやQAMなどのような特定の 변調方式の他に、例えば、DVB-S2規格において利用される円形コンステレーションや、多次元コンステレーションなど様々な変調方式を用いることができる。

[0267] (7) 上記の実施形態で説明した方法または装置を、ソフトウェアによって実現してもよいし、ハードウェアによって実現してもよく、特定の形態に限定されるものではない。具体的には、上記の実施形態は、コンピュータ、マイクロプロセッサ、マイクロコントローラなどが上記の実施形態で説明した方法や装置のすべてのステップを実行できるようなコンピュータ実行可能命令を、コンピュータ読み取り可能媒体上で具現化した形態で実施してもよ

い。また、上記の実施形態は、ASIC (Application-Specific Integrated Circuit) や、FPGA (Field Programmable Gate Array) の形態で実施してもよい。

[0268] 《補足2》

本発明に係るインターリーブ方法、インターリーバ、デインターリーブ方法、デインターリーバ、およびデコーダとその効果について説明する。

[0269] 本発明の一態様である第1のビットインターリーブ方法は、疑似巡回低密度パリティチェック符号を用いる通信システムにおけるビットインターリーブ方法であって、それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信する受信ステップと、前記符号語に対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーションステップと、ビットパーミュテーション処理が施された符号語を、それぞれM個のビットからなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割ステップと、前記巡回ブロックに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施す巡回ブロック内パーミュテーションステップとを含み、前記分割ステップは、前記ビットパーミュテーション処理が施された符号語を、それぞれ M/F (Fは正の整数) 個の巡回ブロックからなる $F \times N/M$ 個のセクションに分割した上で、各コンステレーション語がいずれか1つのセクションに関連付けられるように、コンステレーション語に分割し、前記ビットパーミュテーション処理は、各コンステレーション語が、関連付けられている前記セクション中の M/F 個の前記パーミュテーション処理後の巡回ブロックからF個ずつ抽出したビットから構成されるように施されることを特徴とする。

[0270] 本発明の一態様である第1のビットインターリーバは、疑似巡回低密度パリティチェック符号を用いる通信システムのためのビットインターリーバで

あって、それぞれが Q 個のビットからなる N 個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信し、前記符号語に対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーション部と、ビットパーミュテーション処理が施された符号語を、それぞれ M 個のビットからなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割部と、前記巡回ブロックに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施す巡回ブロック内パーミュテーション部とを含み、前記分割部は、前記ビットパーミュテーション処理が施された符号語を、それぞれ M/F (F は正の整数)個の巡回ブロックからなる $F \times N/M$ 個のセクションに分割した上で、各コンステレーション語がいずれか1つのセクションに関連付けられるように、コンステレーション語に分割し、前記ビットパーミュテーション処理は、各コンステレーション語が、関連付けられている前記セクション中の M/F 個の前記パーミュテーション処理後の巡回ブロックから F 個ずつ抽出したビットから構成されるように施される。

[0271] ここで、分割とは、上述の実施の形態においては、 $BICM$ エンコーダ、 $BICM$ デコーダが実行するものであり、メインメモリ、メインLLRメモリからの巡回ブロック分のビット列の読み出しが相当する。

[0272] これらによれば、高い並列性を持つビットインターリーブ処理の実施が可能になるのに加えて、回路面積および消費電力の削減が達成される。また、巡回ブロック内パーミュテーションを実行することにより、検査ノードが、受信側における誤り訂正に利用できない無効検査ノードとなる可能性を低減できる可能性が高まる。

本発明の一態様である第2のビットインターリーブ方法は、第1のビットインターリーブ方法において、前記巡回ブロック内パーミュテーションは、 $QC-LDPC$ 符号の共通の検査ノードにつながる符号語のビットが、それぞれ異なるコンステレーション語にマッピングされるように行われる。

[0273] また、本発明の一態様である第2のビットインターリーブは、第1のビットインターリーブにおいて、前記巡回ブロック内パーミュテーションは、QCC-LDPC符号の共通の検査ノードにつながる符号語のビットが、それぞれ異なるコンステレーション語にマッピングされるように行われる。

[0274] これによれば、検査ノードが、受信側における誤り訂正に利用できない無効検査ノードとなる可能性を低減できることを保証できる。

本発明の一態様である第3のビットインターリーブ方法は、第2のビットインターリーブ方法において、前記巡回ブロックに対して施される巡回ブロック内パーミュテーションの少なくとも一つは、少なくとも巡回ブロックを構成するビット列のサブセットに対して、巡回シフトさせることである。

[0275] また、本発明の一態様である第3のビットインターリーブは、第2のビットインターリーブにおいて、前記巡回ブロックに対して施される巡回ブロック内パーミュテーションの少なくとも一つは、少なくとも巡回ブロックを構成するビット列のサブセットに対して、巡回シフトさせることである。

[0276] これによれば、巡回シフトという簡易な構成で、巡回ブロック内パーミュテーションを実現できる。

本発明の一態様である第4のビットインターリーブ方法は、第1のビットインターリーブ方法において、更に、セクションを構成する $Q \times M/F$ ビットを、 M/F 行 Q 列の行列に行方向で書き込み、列方向で読み出すことで実現されるカラム-ロウパーミュテーションを、各セクションを構成する $Q \times M/F$ ビットに対して施すカラム-ロウパーミュテーションステップを含む。

[0277] また、本発明の一態様である第4のビットインターリーブは、第1のビットインターリーブにおいて、更に、セクションを構成する $Q \times M/F$ ビットを、 M/F 行 Q 列の行列に行方向で書き込み、列方向で読み出すことで実現されるカラム-ロウパーミュテーションを、各セクションを構成する $Q \times M/F$ ビットに対して施すカラム-ロウパーミュテーション部を含む。

本発明の一態様である第5のビットインターリーブ方法は、第1のビット

インターリーブ方法において、更に、各巡回ブロックに対して、通信システムにおいて採用されている特定のQC-LDPC符号に応じて決定される巡回ブロック内パーミュテーション方法であって、予め定めた複数の巡回ブロック内パーミュテーション方法の中から1つの巡回ブロック内パーミュテーション方法を選択する選択ステップを含む。

[0278] また、本発明の一態様である第5のビットインターリーバは、第1のビットインターリーバにおいて、更に、各巡回ブロックに対して、通信システムにおいて採用されている特定のQC-LDPC符号に応じて決定される巡回ブロック内パーミュテーション方法であって、予め定めた複数の巡回ブロック内パーミュテーション方法の中から1つの巡回ブロック内パーミュテーション方法を選択する選択部を含む。

[0279] これにより、PCMに応じて定まる巡回ブロック内パーミュテーションの手法を、一意に特定して、エンコードが実現できる。

本発明の一態様である第1のビットデインターリーブ方法は、QC-LDPC符号の通信システムにおけるビットストリームのビットデインターリーブ方法であって、 $N \cdot Q$ ビットから成るビット列を受信する受信ステップと、受信した前記ビット列に対して、QC-LDPC符号の符号語を復元するために、請求項1記載のビットインターリーブ方法と逆手順の処理を施す逆ビットパーミュテーションステップとを含むことを特徴とする。

[0280] 本発明の一態様である第1のビットデインターリーバは、QC-LDPC符号の通信システムにおけるビットストリームのビットデインターリーバであって、 $N \cdot Q$ ビットから成るビット列を受信する受信し、受信した前記ビット列に対して、QC-LDPC符号の符号語を復元するために、請求項7記載のビットインターリーバと逆手順のビットパーミュテーション処理を施す逆ビットパーミュテーション部とを含むことを特徴とする。

[0281] 本発明の一態様である第1のデコーダは、疑似巡回低密度パリティチェック符号を用いるビットインターリーブおよび変調システムのためのデコーダであって、対応するビットが0であるか1であるかの可能性を示すソフトビ

ット列を生成するコンステレーションデマッパと、クレーム 1 2 記載の前記ソフトビット列をデインターリーブするデインターリーバと、デインターリーブされた前記ソフトビット列をデコードする低密度チェックパリティチェックデコーダとを備えることを特徴とする。

[0282] 本発明の一態様である第 2 のデコーダは、第 1 のデコーダにおいて、前記低密度パリティチェックデコーダの入力と出力との差分を算出する減算器と、上記第 1 のインターリーバであって、前記差分をコンステレーションデマッパにフィードバックするインターリーバとを備える。

[0283] これらによれば、高い並列性を持つビットデインターリーブ処理の実施が可能になる。

産業上の利用可能性

[0284] 本発明は、疑似巡回型低密度パリティ符号を用いたビットインターリーブ符号化変調システムにおけるビットインターリーバおよび当該ビットインターリーバに対応するビットデインターリーバに利用することができる。

符号の説明

- [0285] 2000A ビットインターリーバ
2010A ビットパーミュテーションユニット
2021A フォルディングセクションパーミュテーションユニット
2131A、2132A カラム - ロウパーミュテーションユニット
2500A トランスミッタ
2510 LDPCエンコーダ
2520A ビットインターリーバ
2530 コンステレーションマッパ
2700A、2800A レシーバ
2710 コンステレーションデマッパ
2720A ビットデインターリーバ
2730 LDPCデコーダ
2740 減算ユニット

2750A ビットインターリーバ

5410 巡回ブロック内パーミュテーション

請求の範囲

[請求項1]

疑似巡回低密度パリティチェック符号を用いる通信システムにおけるビットインターリーブ方法であって、

それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信する受信ステップと、

前記符号語に対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーションステップと、

ビットパーミュテーション処理が施された符号語を、それぞれM個のビットからなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割ステップと、

前記巡回ブロックに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施す巡回ブロック内パーミュテーションステップとを含み、

前記分割ステップは、前記ビットパーミュテーション処理が施された符号語を、それぞれ M/F (F は正の整数)個の巡回ブロックからなる $F \times N/M$ 個のセクションに分割した上で、各コンステレーション語がいずれか1つのセクションに関連付けられるように、コンステレーション語に分割し、

前記ビットパーミュテーション処理は、各コンステレーション語が、関連付けられている前記セクション中の M/F 個の前記パーミュテーション処理後の巡回ブロックから F 個ずつ抽出したビットから構成されるように施される

ことを特徴とするビットインターリーブ方法。

[請求項2]

前記巡回ブロック内パーミュテーションは、QC-LDPC符号の共通の検査ノードにつながる符号語のビットが、それぞれ異なるコンステレーション語にマッピングされるように行われる

- ことを特徴とする請求項1記載のビットインターリーブ方法。
- [請求項3] 前記巡回ブロックに対して施される巡回ブロック内パーミュテーションの少なくとも一つは、少なくとも巡回ブロックを構成するビット列のサブセットに対して、巡回シフトさせることである
- ことを特徴とする請求項2記載のビットインターリーブ方法。
- [請求項4] 前記ビットインターリーブ方法は、更に、セクションを構成する $Q \times M/F$ ビットを、 M/F 行 Q 列の行列に行方向で書き込み、列方向で読み出すことで実現されるカラム - ロウパーミュテーションを、各セクションを構成する $Q \times M/F$ ビットに対して施すカラム - ロウパーミュテーションステップを含む
- ことを特徴とする請求項1記載のビットインターリーブ方法。
- [請求項5] 前記ビットインターリーブ方法は、更に、各巡回ブロックに対して、通信システムにおいて採用されている特定のQC-LDPC符号に応じて決定される巡回ブロック内パーミュテーション方法であって、予め定めた複数の巡回ブロック内パーミュテーション方法の中から1つの巡回ブロック内パーミュテーション方法を選択する選択ステップを含む
- ことを特徴とする請求項1記載のビットインターリーブ方法。
- [請求項6] QC-LDPC符号の通信システムにおけるビットストリームのビットデインターリーブ方法であって、
 $N \cdot Q$ ビットから成るビット列を受信する受信ステップと、
受信した前記ビット列に対して、QC-LDPC符号の符号語を復元するために、請求項1記載のビットインターリーブ方法と逆手順の処理を施す逆ビットパーミュテーションステップとを含む
- ことを特徴とするビットデインターリーブ方法。
- [請求項7] 疑似巡回低密度パリティチェック符号を用いる通信システムのためのビットインターリーバであって、
それぞれが Q 個のビットからなる N 個の巡回ブロックで構成される

前記疑似巡回低密度パリティチェック符号の符号語を受信し、前記符号語に対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーション部と、

ビットパーミュテーション処理が施された符号語を、それぞれM個のビットからなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割部と、

前記巡回ブロックに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施す巡回ブロック内パーミュテーション部とを含み、

前記分割部は、前記ビットパーミュテーション処理が施された符号語を、それぞれ M/F (F は正の整数)個の巡回ブロックからなる $F \times N/M$ 個のセクションに分割した上で、各コンステレーション語がいずれか1つのセクションに関連付けられるように、コンステレーション語に分割し、

前記ビットパーミュテーション処理は、各コンステレーション語が、関連付けられている前記セクション中の M/F 個の前記パーミュテーション処理後の巡回ブロックから F 個ずつ抽出したビットから構成されるように施される

ことを特徴とするビットインターリーバ。

[請求項8]

前記巡回ブロック内パーミュテーションは、QC-LDPC符号の共通の検査ノードにつながる符号語のビットが、それぞれ異なるコンステレーション語にマッピングされるように行われる

ことを特徴とする請求項7記載のビットインターリーバ。

[請求項9]

前記巡回ブロックに対して施される巡回ブロック内パーミュテーションの少なくとも一つは、少なくとも巡回ブロックを構成するビット列のサブセットに対して、巡回シフトさせることである

ことを特徴とする請求項8記載のビットインターリーバ。

- [請求項10] 更に、セクションを構成する $Q \times M / F$ ビットを、 M / F 行 Q 列の行列に行方向で書き込み、列方向で読み出すことで実現されるカラム - ロウパーミュテーションを、各セクションを構成する $Q \times M / F$ ビットに対して施すカラム - ロウパーミュテーション部を備えることを特徴とする請求項7記載のビットインターリーバ。
- [請求項11] 更に、各巡回ブロックに対して、通信システムにおいて採用されている特定の $QC-LDPC$ 符号に応じて決定される巡回ブロック内パーミュテーション方法であって、予め定めた複数の巡回ブロック内パーミュテーション方法の中から1つの巡回ブロック内パーミュテーション方法を選択する選択部を含むことを特徴とする請求項7記載のビットインターリーバ。
- [請求項12] $QC-LDPC$ 符号の通信システムにおけるビットストリームのビットデインターリーバであって、
 $N \cdot Q$ ビットから成るビット列を受信する受信し、受信した前記ビット列に対して、 $QC-LDPC$ 符号の符号語を復元するために、請求項7記載のビットインターリーバと逆手順のビットパーミュテーション処理を施す逆ビットパーミュテーション部とを含むことを特徴とするビットデインターリーバ。
- [請求項13] 疑似巡回低密度パリティチェック符号を用いるビットインターリーブおよび変調システムのためのデコーダであって、
対応するビットが0であるか1であるかの可能性を示すソフトビット列を生成するコンステレーションデマップと、
クレーム12記載の前記ソフトビット列をデインターリーブするデインターリーバと、
デインターリーブされた前記ソフトビット列をデコードする低密度チェックパリティチェックデコーダと
を備えることを特徴とするデコーダ。
- [請求項14] 前記低密度パリティチェックデコーダの入力と出力との差分を算出

する減算器と、

請求項 7 記載のインターリーバであって、前記差分をコンステレーションデマッパにフィードバックするインターリーバと
を更に備えることを特徴とする請求項 1 3 記載のデコーダ。

補正された請求の範囲
[2012年9月24日(24.09.2012)国際事務局受理]

[請求項1]

(補正後)

リピートアキュムレート疑似巡回低密度パリティチェック符号を含む疑似巡回低密度パリティチェック符号を用いる通信システムにおけるビットインターリーブ方法であって、

それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信する受信ステップと、

前記符号語に対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーションステップと、

ビットパーミュテーション処理が施された符号語を、それぞれM個のビットからなり、それぞれが所定のコンステレーションの 2^M 個のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割ステップと、

を有し、

前記ビットパーミュテーションステップは、前記巡回ブロックに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施す巡回ブロック内パーミュテーションステップを含み、

前記ビットパーミュテーション処理が施される前の前記符号語は、 $F \times N / M$ 個のフォルディングセクションに分割され、Fは1より大きい整数であり、各前記フォルディングセクションは M / F 個の前記巡回ブロックからなり、各前記コンステレーション語は $F \times N / M$ 個のフォルディングセクションのうちいずれか1つと関連付けられており、

前記ビットパーミュテーションステップは、各前記コンステレーション語が、関連付けられている前記フォルディングセクション中の M / F 個の異なる前記ブロックのそれぞれF個のビットからなる計M個

のビットから構成され、各前記フォルディングセクションに関連付けられているQ/F個の前記コンステレーション語のみにマッピングされるように、前記パーミュテーション処理を行う

ことを特徴とするビットインターリーブ方法。

[請求項2] (補正後)

前記巡回ブロック内パーミュテーションは、疑似巡回パリティチェック符号の共通の検査ノードにつながる符号語のビットが、それぞれ異なるコンステレーション語にマッピングされるように行われる

ことを特徴とする請求項1記載のビットインターリーブ方法。

[請求項3]

前記巡回ブロックに対して施される巡回ブロック内パーミュテーションの少なくとも一つは、少なくとも巡回ブロックを構成するビット列のサブセットに対して、巡回シフトさせることである

ことを特徴とする請求項2記載のビットインターリーブ方法。

[請求項4]

前記ビットインターリーブ方法は、更に、セクションを構成するQ×M/Fビットを、M/F行Q列の行列に行方向で書き込み、列方向で読み出すことで実現されるカラム-ロウパーミュテーションを、各セクションを構成するQ×M/Fビットに対して施すカラム-ロウパーミュテーションステップを含む

ことを特徴とする請求項1記載のビットインターリーブ方法。

[請求項5]

(補正後)

前記ビットインターリーブ方法は、更に、各巡回ブロックに対して、通信システムにおいて採用されている特定の疑似巡回パリティチェック符号に応じて決定される巡回ブロック内パーミュテーション方法であって、予め定めた複数の巡回ブロック内パーミュテーション方法の中から1つの巡回ブロック内パーミュテーション方法を選択する選択ステップを含む

ことを特徴とする請求項1記載のビットインターリーブ方法。

[請求項6]

(補正後)

リピートアキュムレート疑似巡回低密度パリティチェック符号を含む疑似巡回パリティチェック符号の通信システムにおけるビットストリームのビットデインターリーブ方法であって、

$N \times Q$ ビットから成るビット列を受信する受信ステップと、

受信した前記ビット列に対して、請求項 1 記載のビットインターリーブ方法と逆手順の処理を施す逆ビットパーミュテーションステップとを含む

ことを特徴とするビットデインターリーブ方法。

[請求項7]

(補正後)

リピートアキュムレート疑似巡回低密度パリティチェック符号を含む疑似巡回低密度パリティチェック符号を用いる通信システムのためのビットインターリーバであって、

それぞれが Q 個のビットからなる N 個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信し、前記符号語に対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーション部と、

ビットパーミュテーション処理が施された符号語を、それぞれ M 個のビットからなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか 1 つを示す複数のコンステレーション語に分割する分割部と、

前記巡回ブロックに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施す巡回ブロック内パーミュテーション部とを含み、

前記分割部は、前記ビットパーミュテーション処理が施された符号語を、それぞれ M/F (F は正の整数) 個の巡回ブロックからなる $F \times N/M$ 個のセクションに分割した上で、各コンステレーション語がいずれか 1 つのフォルディングセクションに関連付けられるように、コンステレーション語に分割し、

前記ビットパーミュテーション処理は、各コンステレーション語が、関連付けられている前記フォルディングセクション中のM/F個の前記パーミュテーション処理後の巡回ブロックからF個ずつ抽出したビットから構成されるように施される

ことを特徴とするビットインターリーバ。

[請求項8] (補正後)

前記巡回ブロック内パーミュテーションは、疑似巡回パリティチェック符号の共通の検査ノードにつながる符号語のビットが、それぞれ異なるコンステレーション語にマッピングされるように行われる

ことを特徴とする請求項7記載のビットインターリーバ。

[請求項9]

前記巡回ブロックに対して施される巡回ブロック内パーミュテーションの少なくとも一つは、少なくとも巡回ブロックを構成するビット列のサブセットに対して、巡回シフトさせることである

ことを特徴とする請求項8記載のビットインターリーバ。

[請求項10]

更に、セクションを構成する $Q \times M/F$ ビットを、 M/F 行 Q 列の行列に行方向で書き込み、列方向で読み出すことで実現されるカラム-ロウパーミュテーションを、各セクションを構成する $Q \times M/F$ ビットに対して施すカラム-ロウパーミュテーション部を備える

ことを特徴とする請求項7記載のビットインターリーバ。

[請求項11]

(補正後)

更に、各巡回ブロックに対して、通信システムにおいて採用されている特定の疑似巡回パリティチェック符号に応じて決定される巡回ブロック内パーミュテーション方法であって、予め定めた複数の巡回ブロック内パーミュテーション方法の中から1つの巡回ブロック内パーミュテーション方法を選択する選択部を含む

ことを特徴とする請求項7記載のビットインターリーバ。

[請求項12]

(補正後)

リピートアキュムレート疑似巡回低密度パリティチェック符号を

含む疑似巡回パリティチェック符号の通信システムにおけるビットストリームのビットデインターリーバであって、

$N \times Q$ ビットから成るビット列を受信する受信し、受信した前記ビット列に対して、請求項7記載のビットインターリーバと逆手順のビットパーミュテーション処理を施す逆ビットパーミュテーション部とを含む

ことを特徴とするビットデインターリーバ。

[請求項13] (補正後)

リピートアキュムレート疑似巡回低密度パリティチェック符号を含む疑似巡回低密度パリティチェック符号を用いるビットインターリーブおよび変調システムのためのデコーダであって、

対応するビットが0であるか1であるかの可能性を示すソフトビット列を生成するコンステレーションデマップと、

請求項12記載の前記ソフトビット列をビットデインターリーブするビットデインターリーバと、

ビットデインターリーブされた前記ソフトビット列をデコードする低密度パリティチェックデコーダと

を備えることを特徴とするデコーダ。

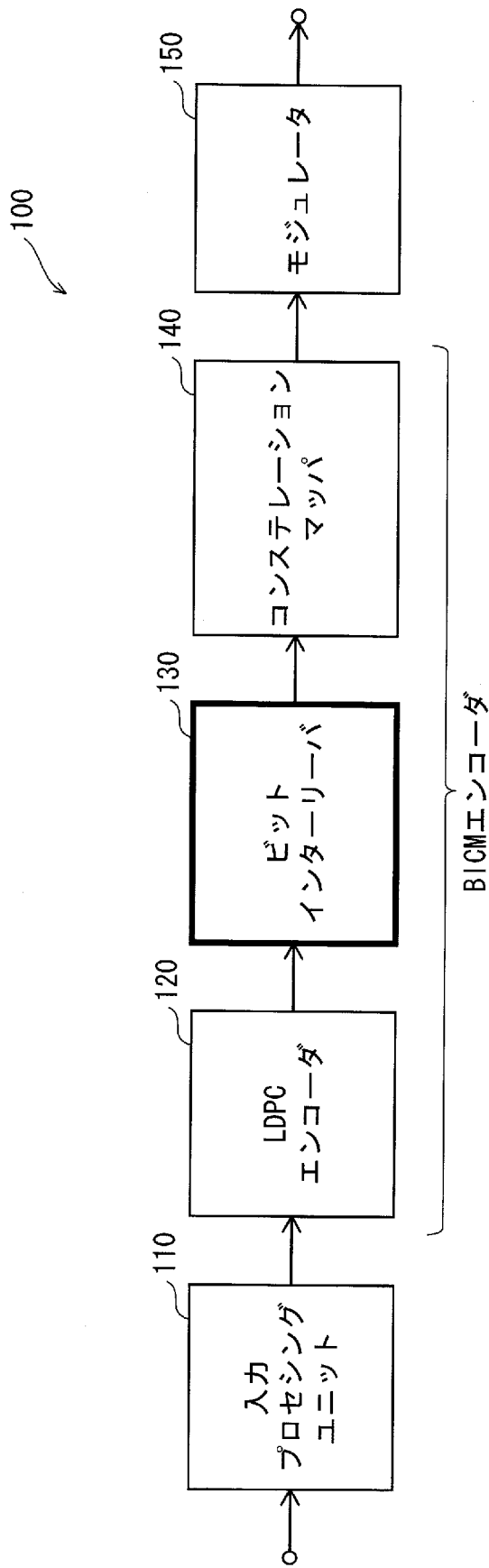
[請求項14] (補正後)

リピートアキュムレート疑似巡回低密度パリティチェック符号を含む前記低密度パリティチェックデコーダの入力と出力との差分を算出する減算器と、

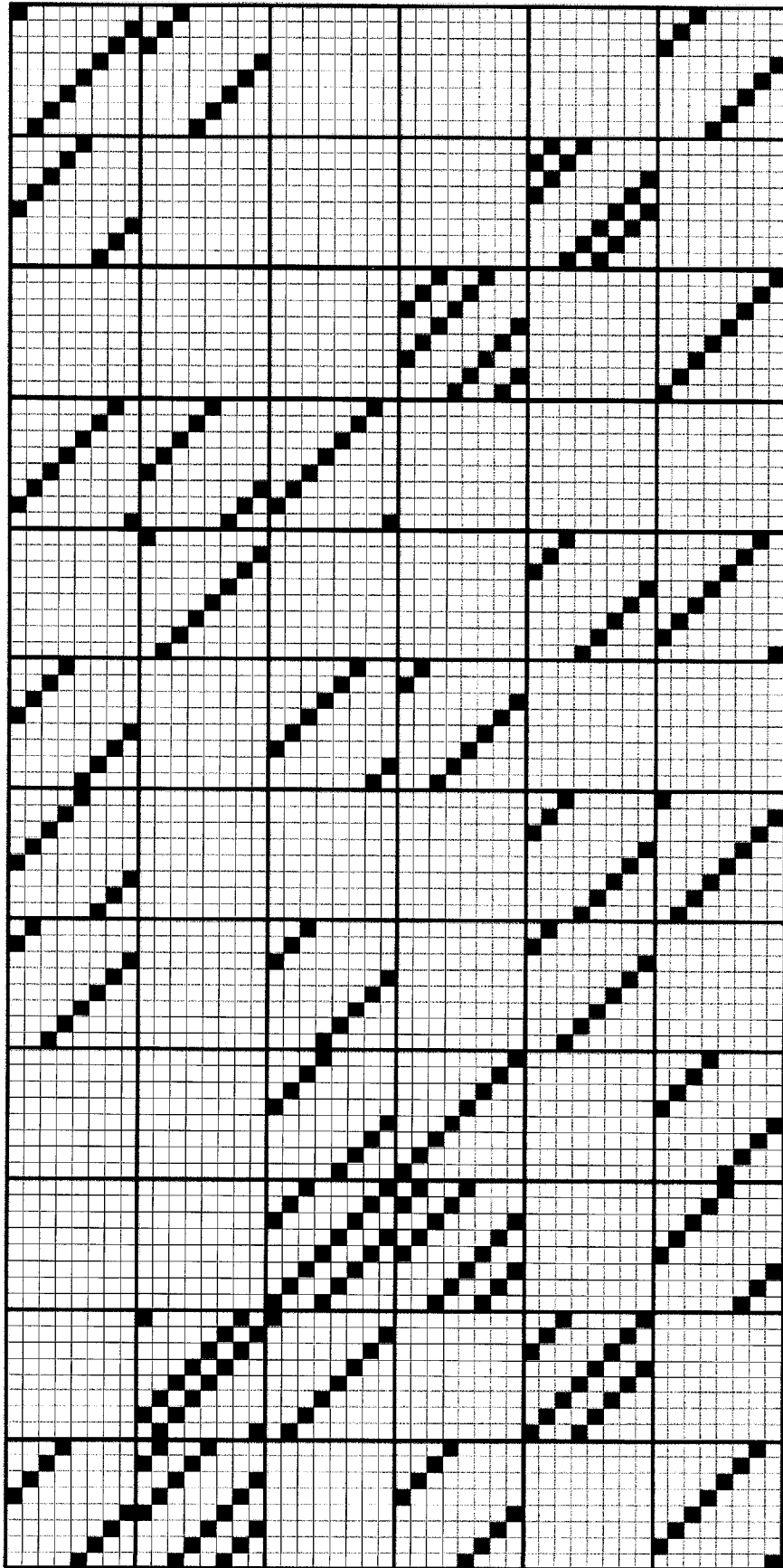
請求項7記載のインターリーバであって、前記差分をコンステレーションデマップにフィードバックするインターリーバと

を更に備えることを特徴とする請求項13記載のデコーダ。

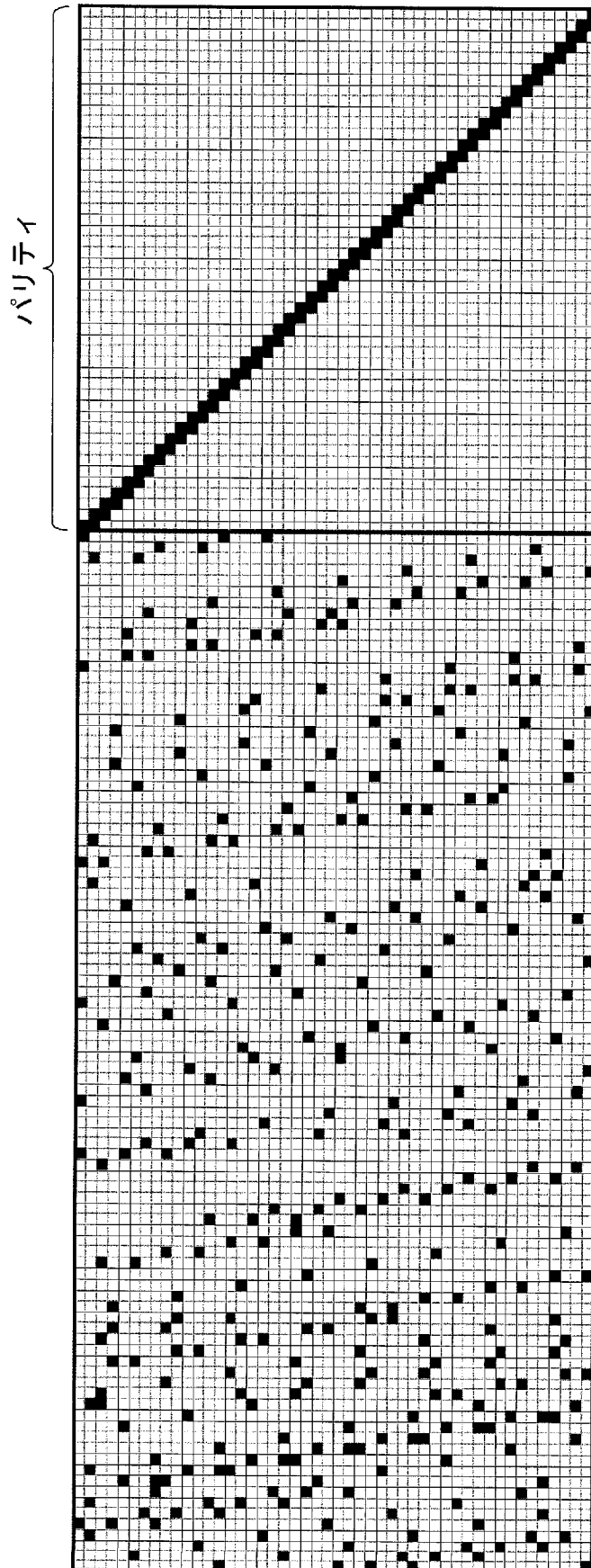
[図1]



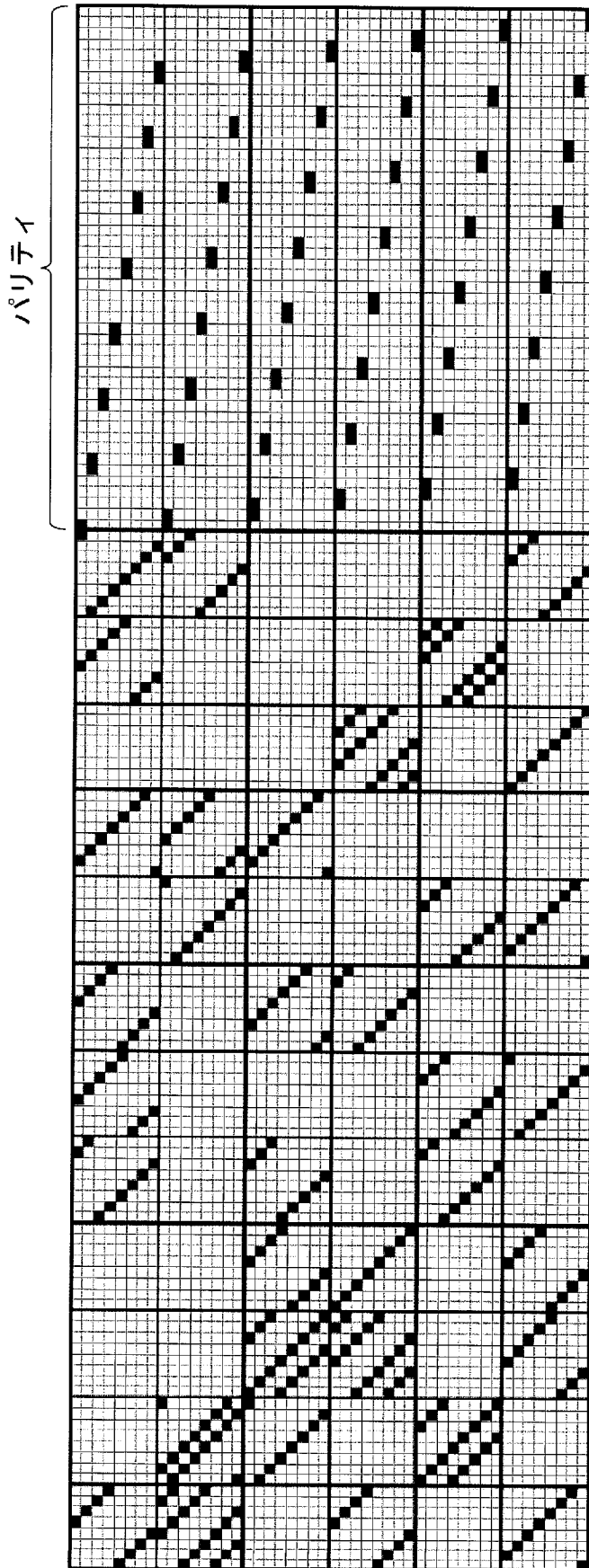
[図2]



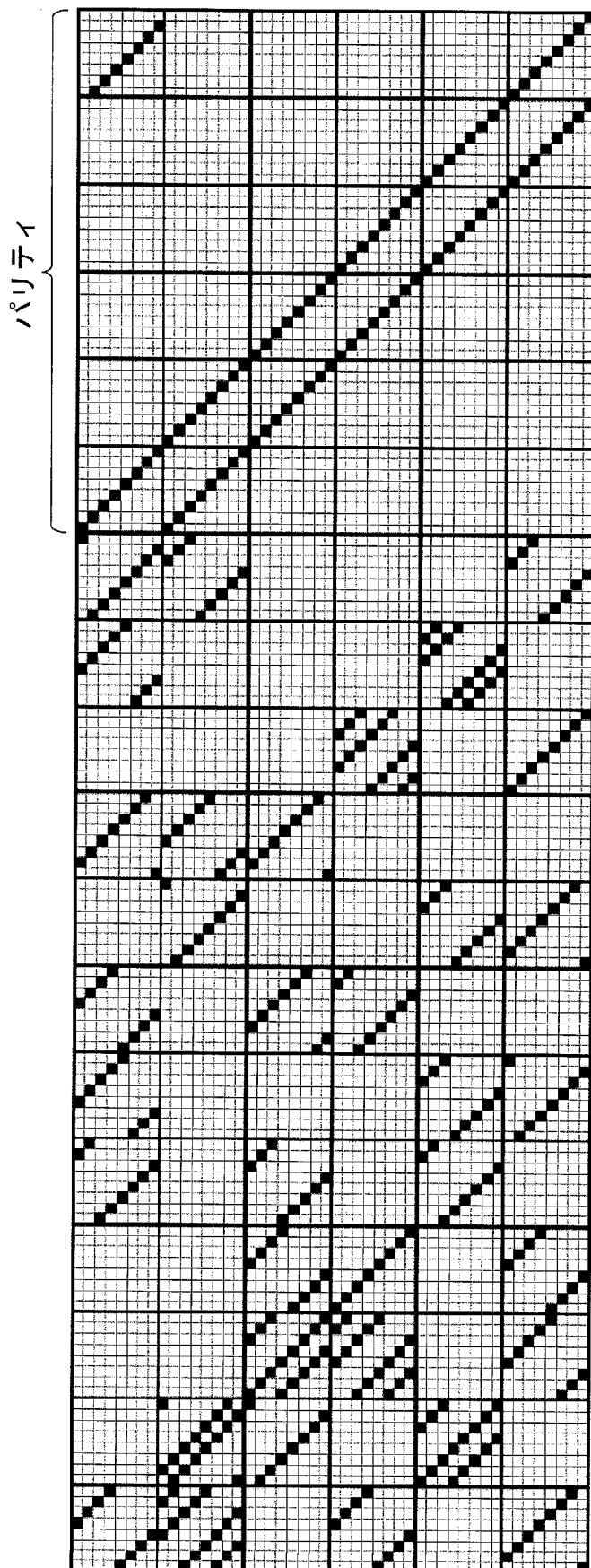
[図3]



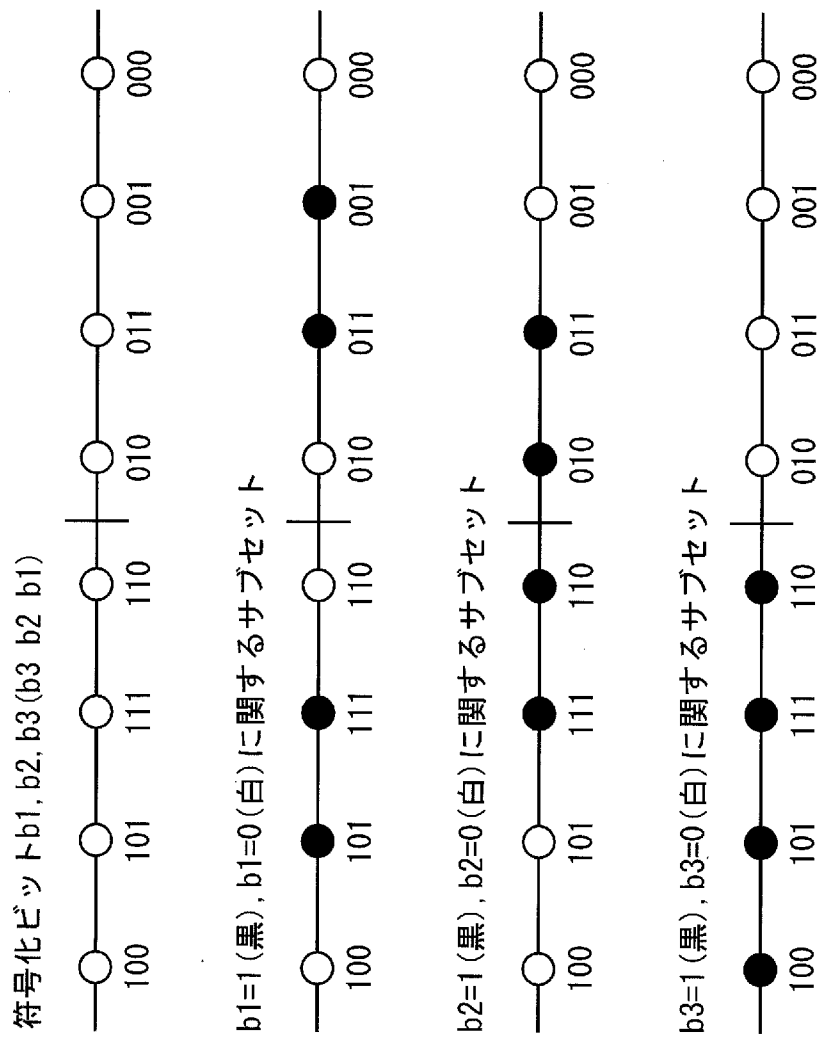
[図4]



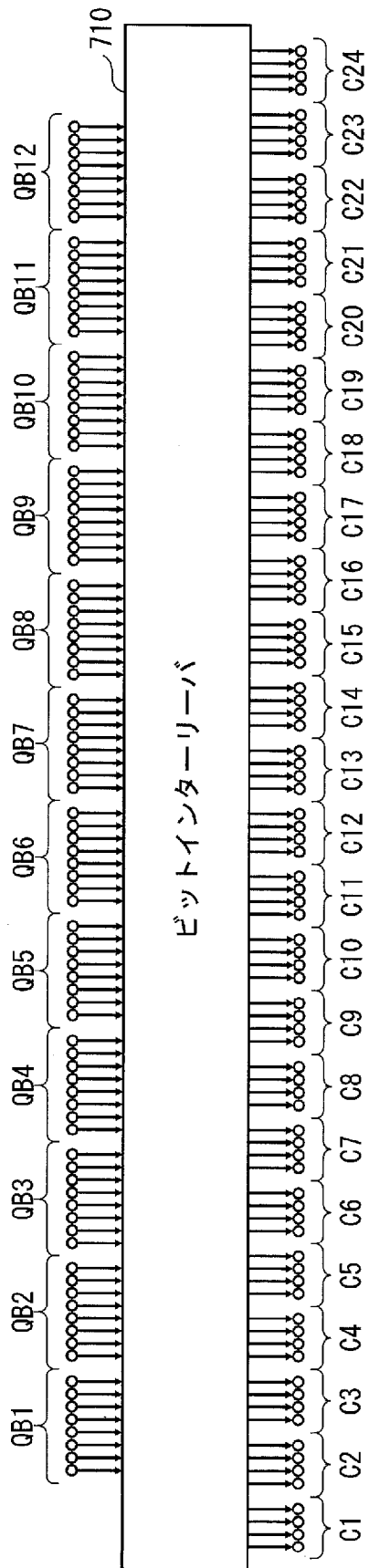
[図5]



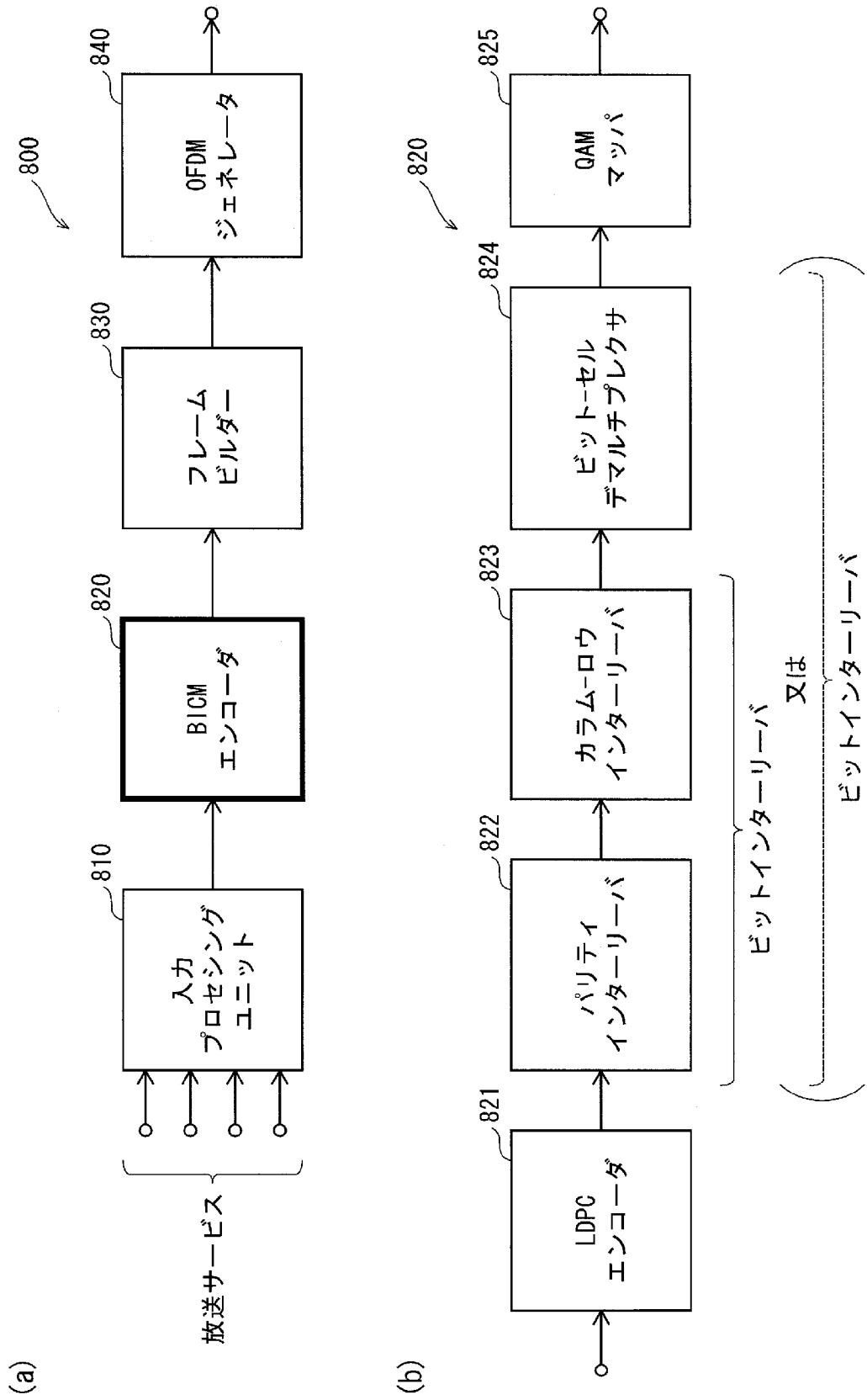
[図6]



[図7]

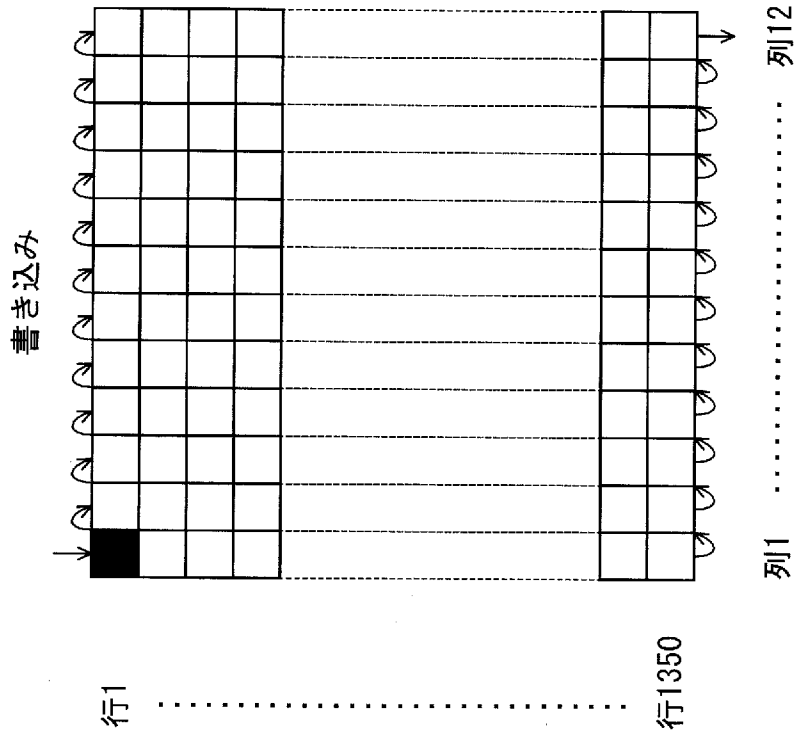


[図8]

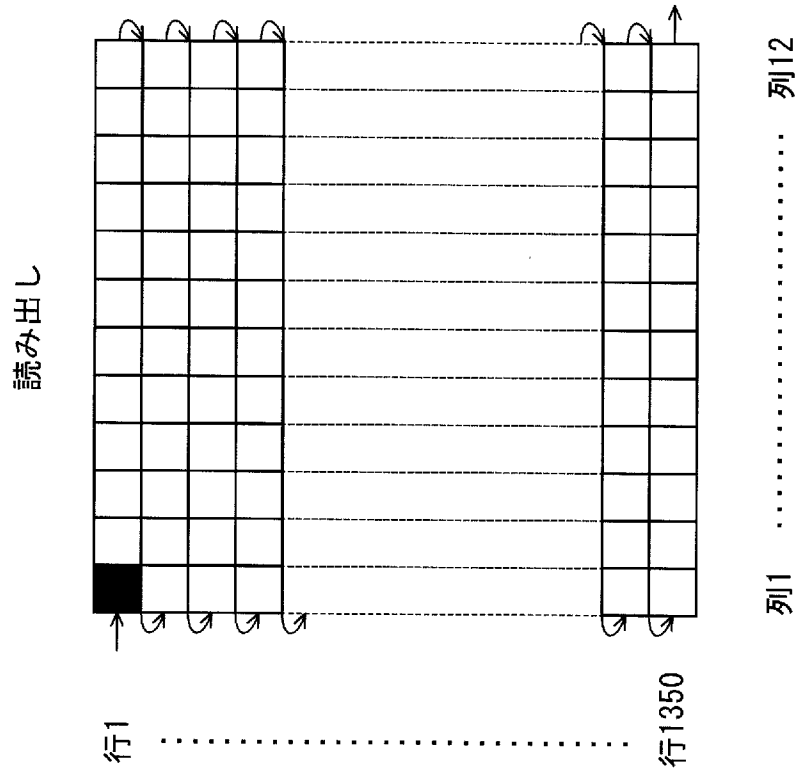


[図9]

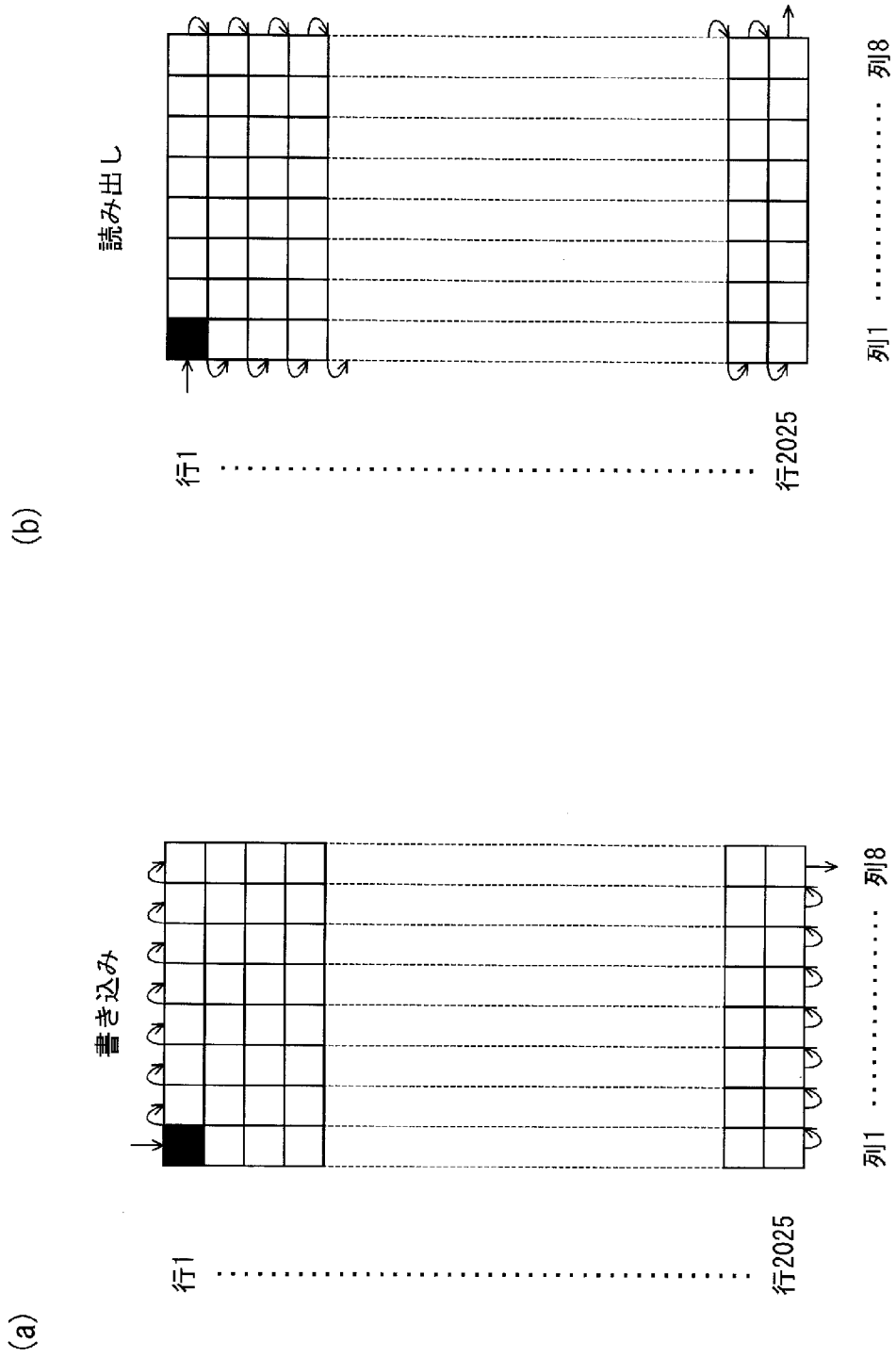
(a)



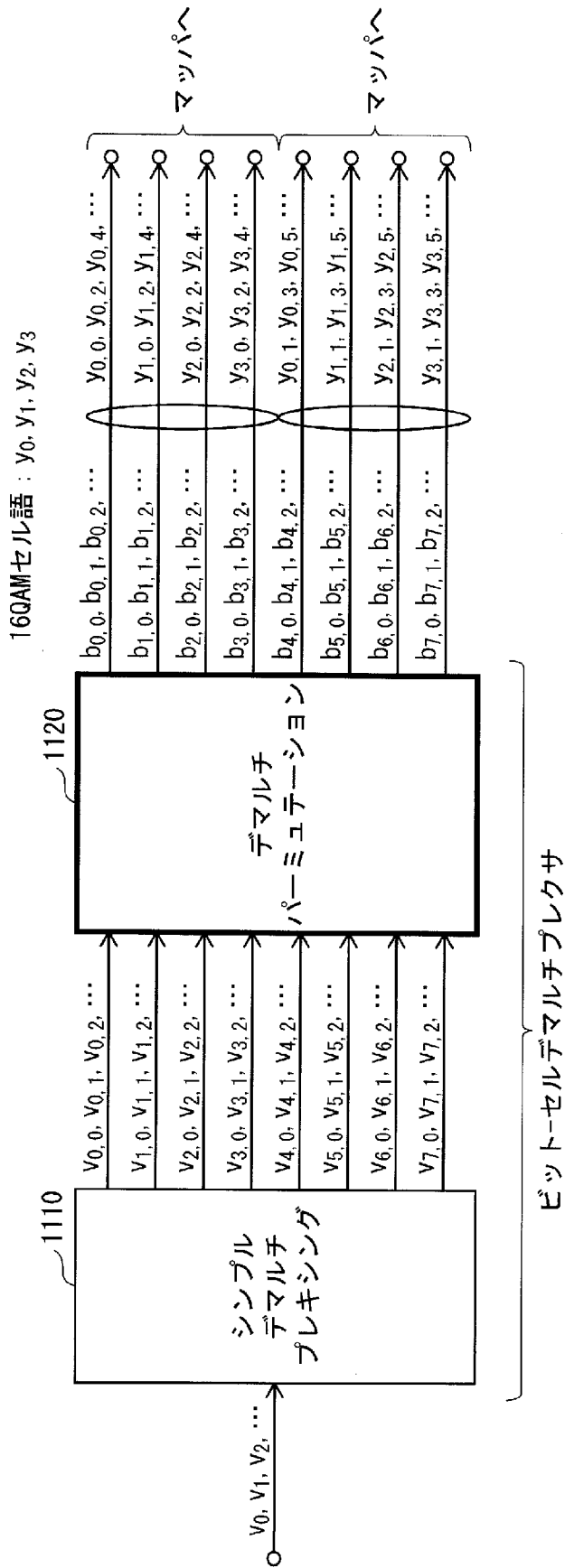
(b)



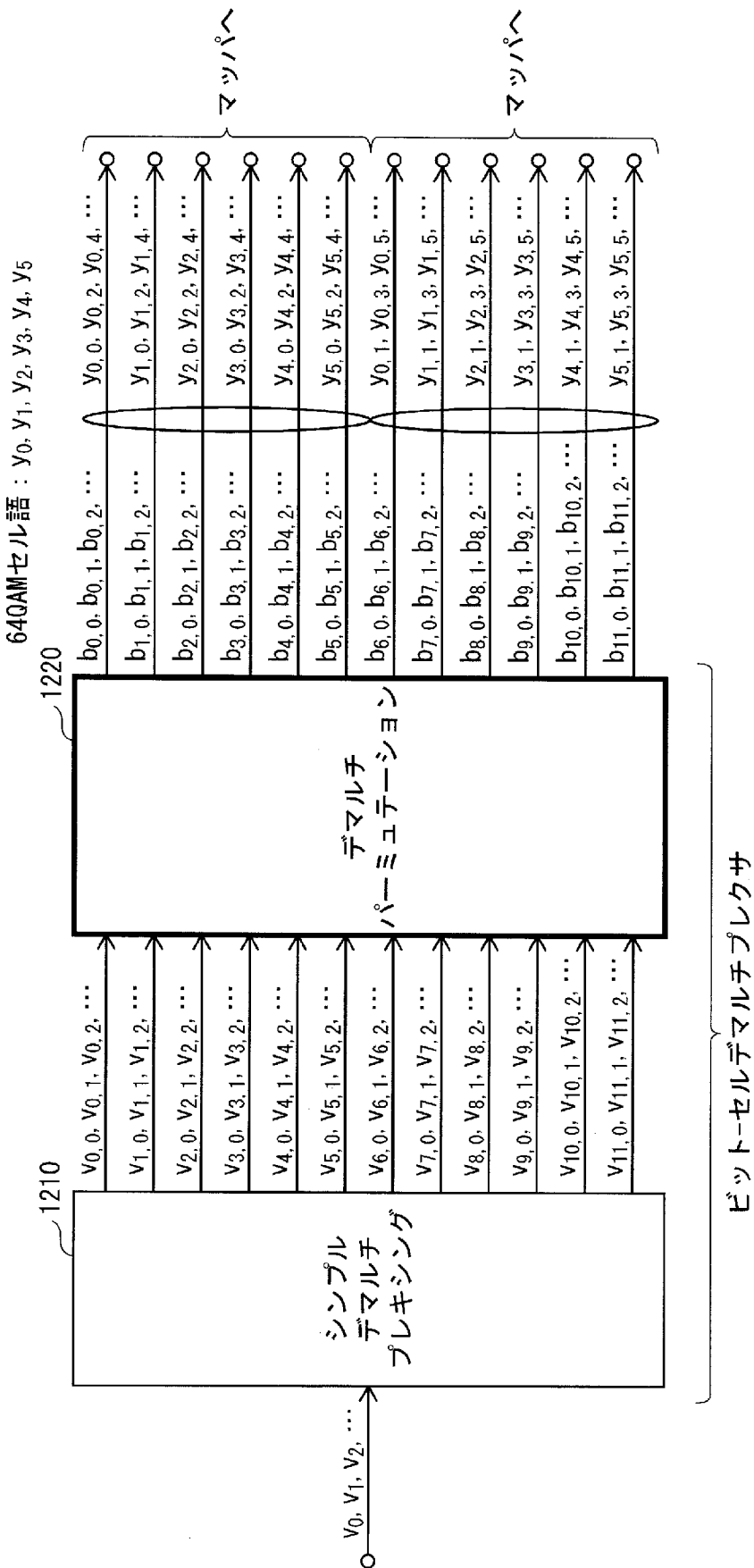
[図10]



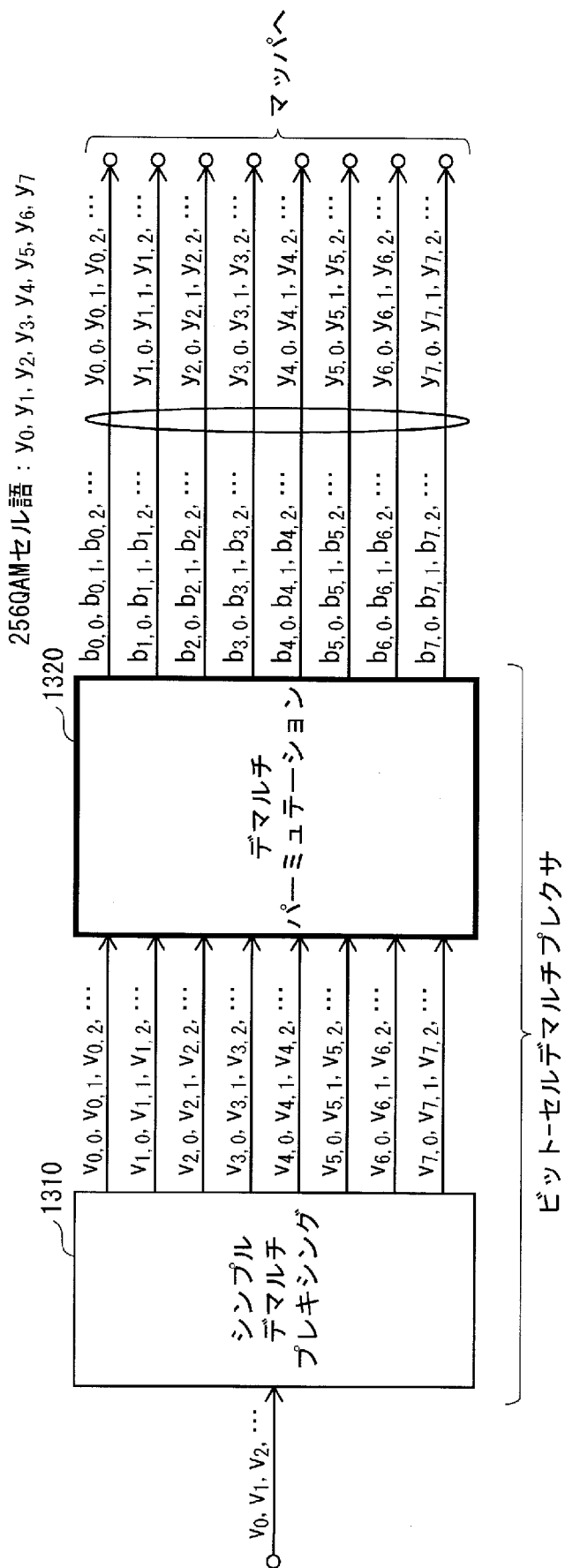
[図11]



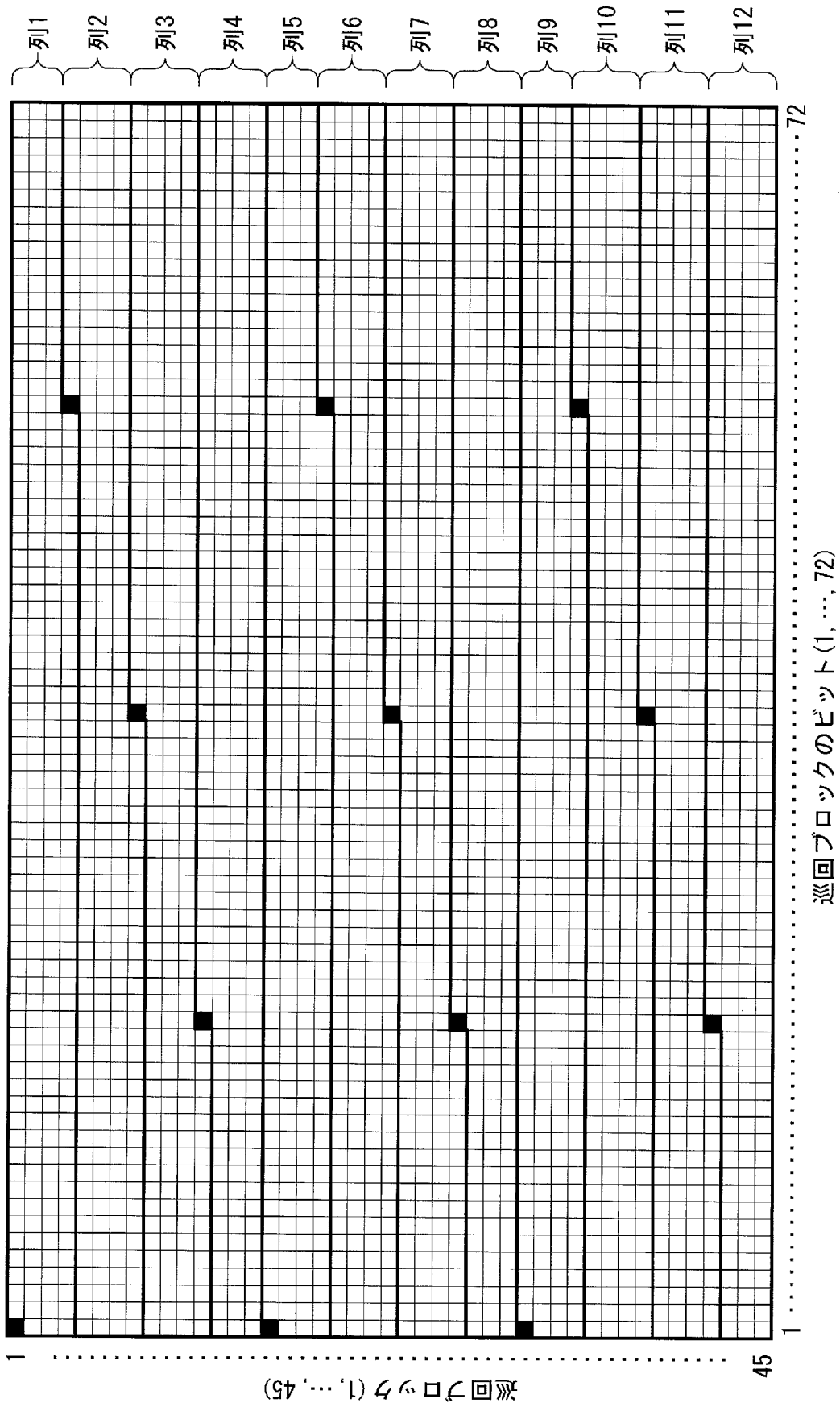
[図12]



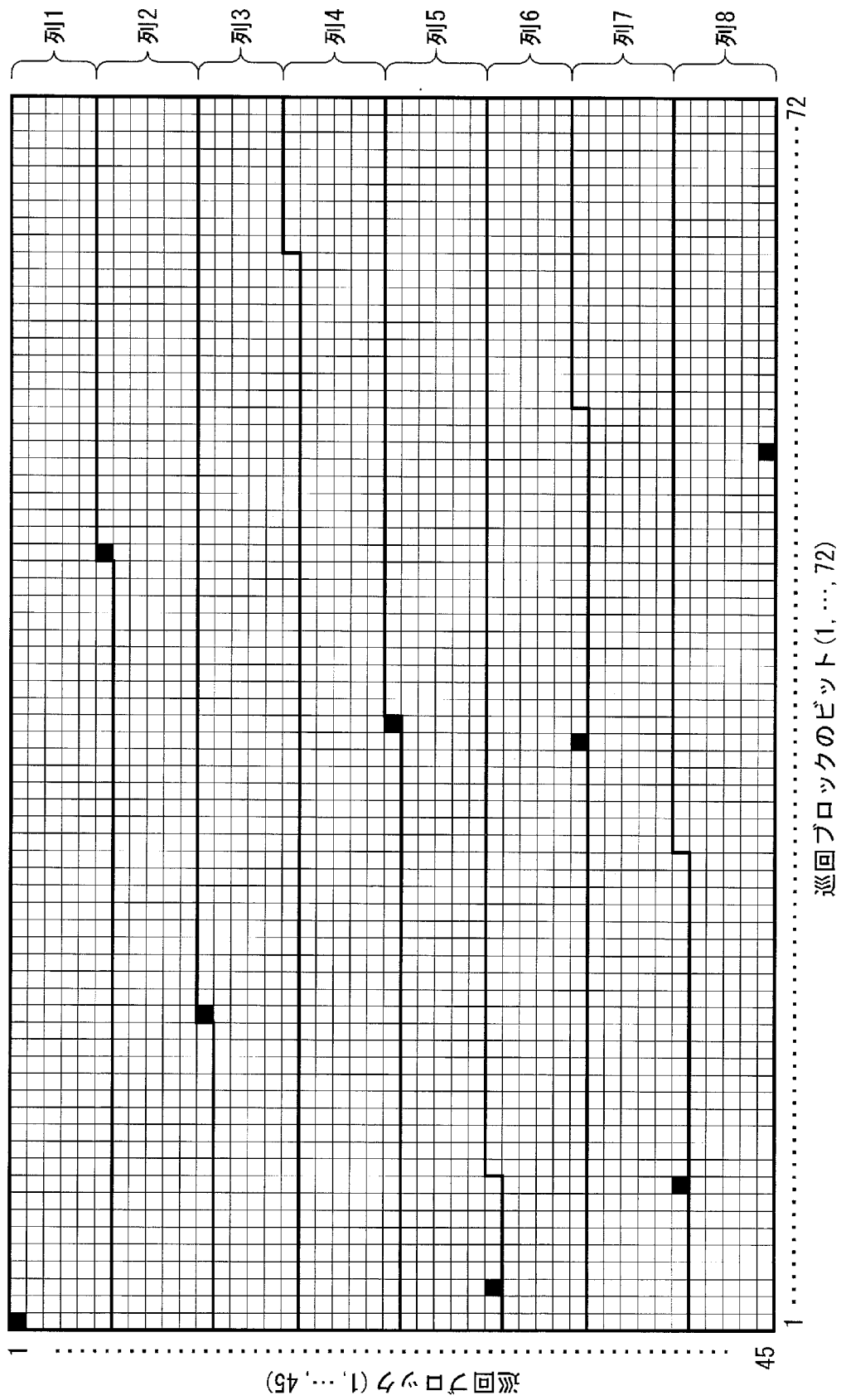
[図13]



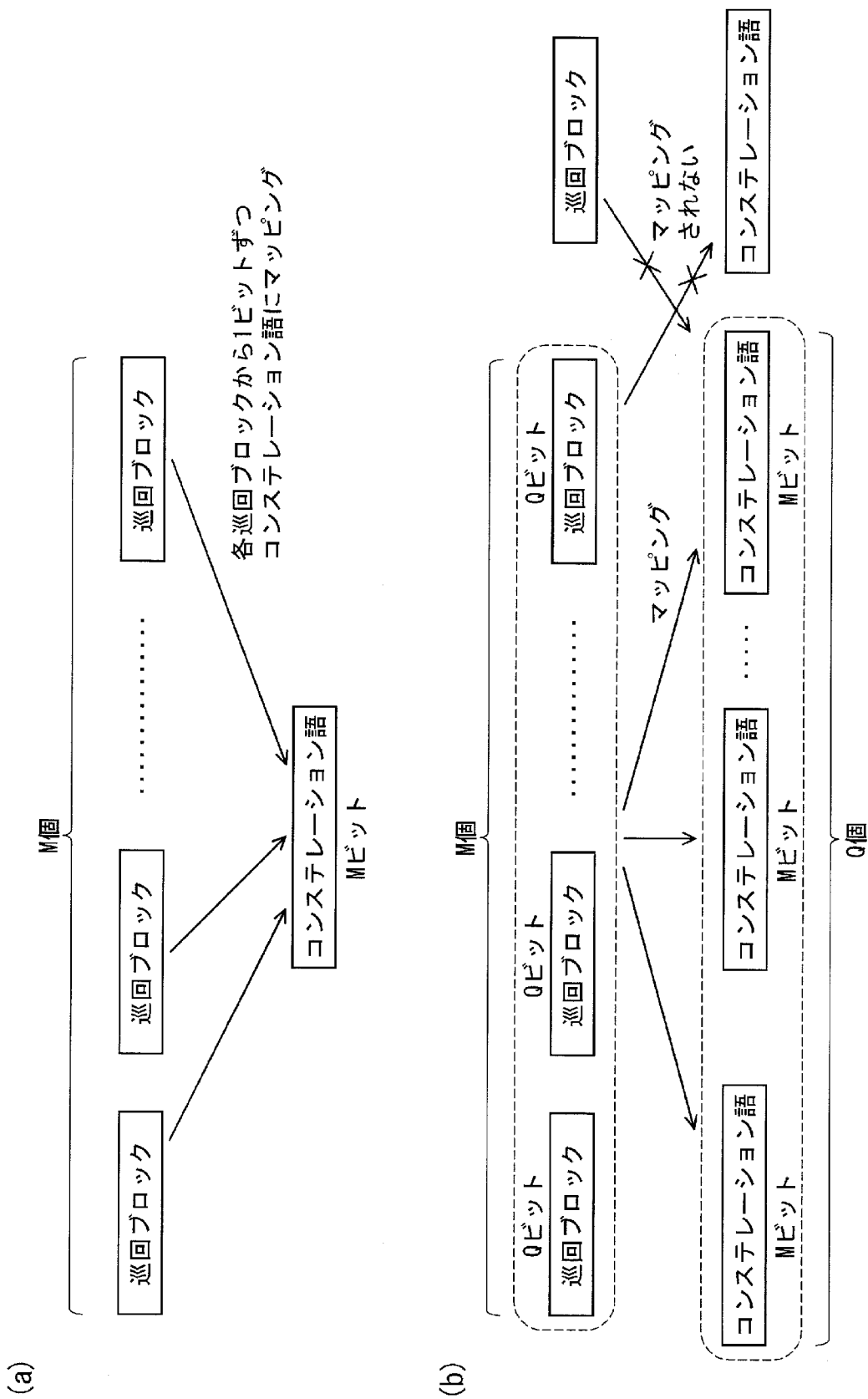
[図15]



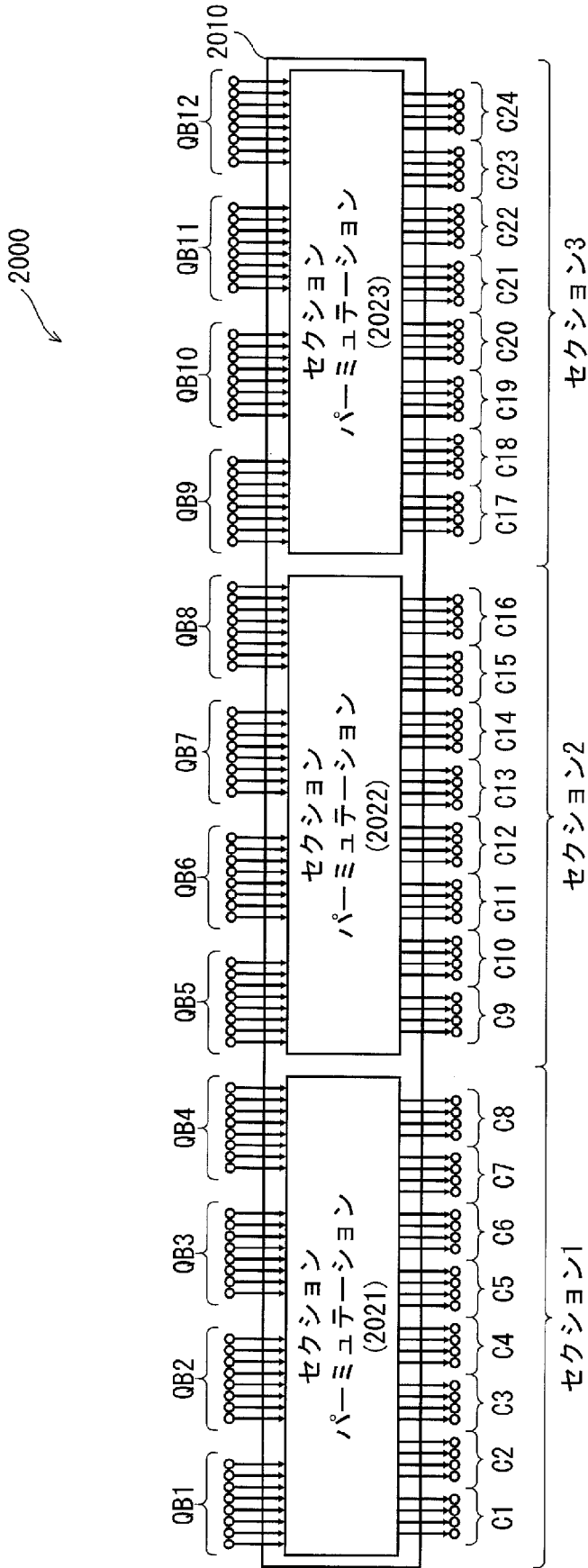
[図16]



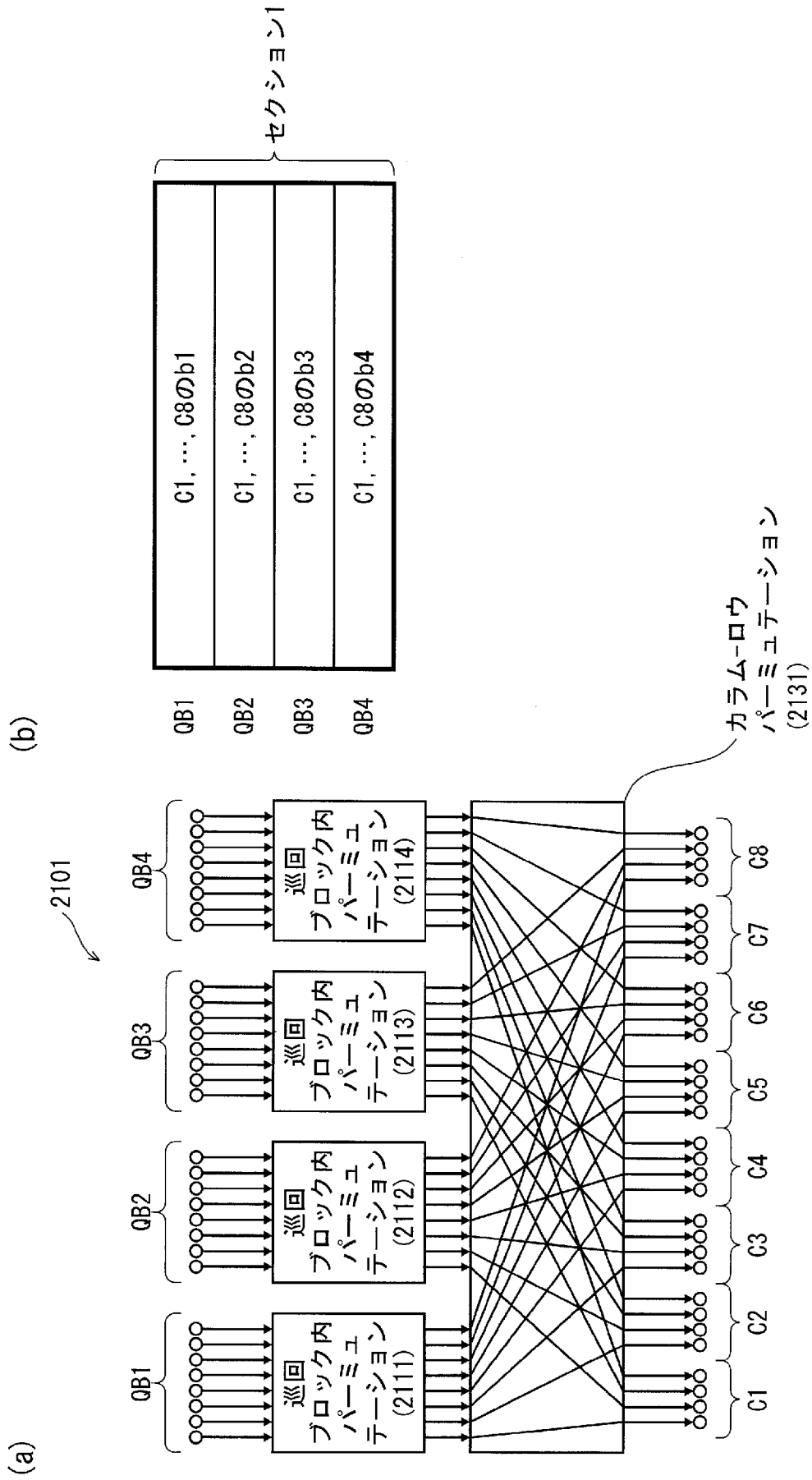
[図18]



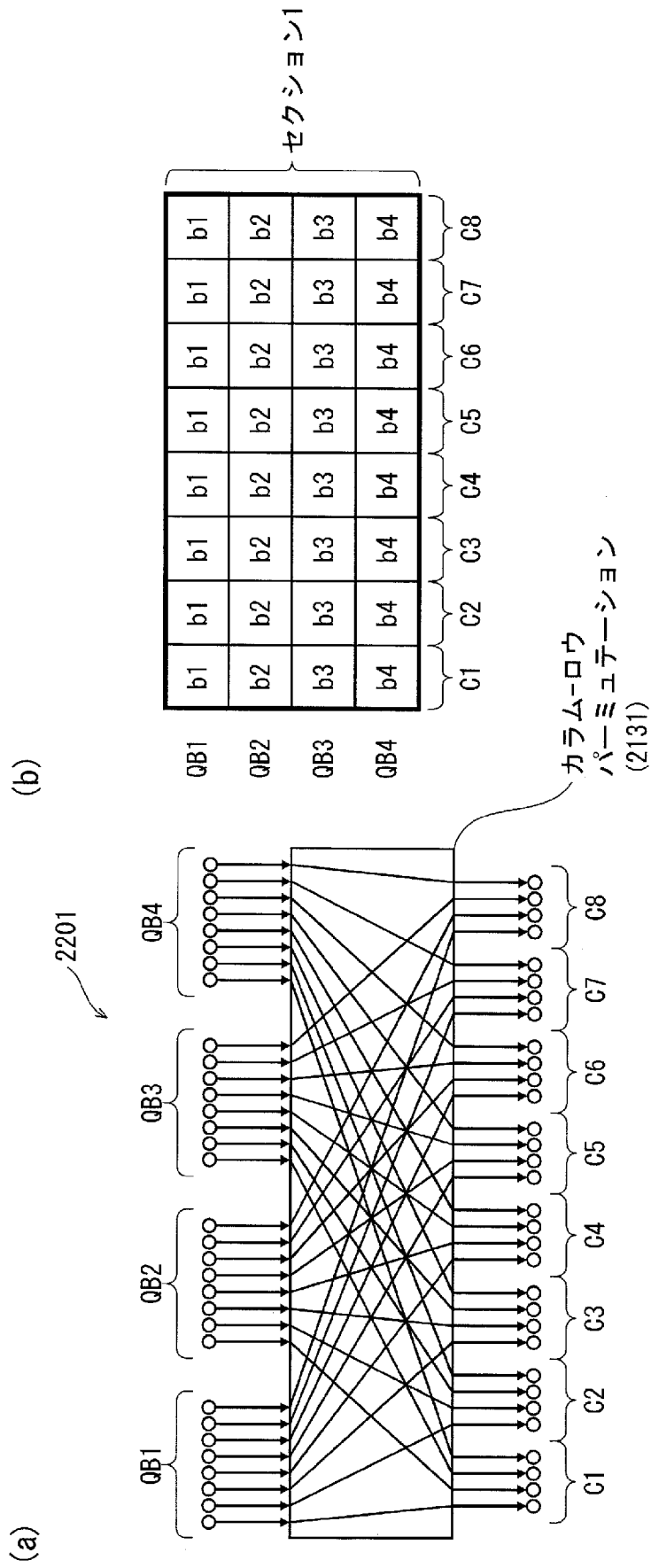
[図20]



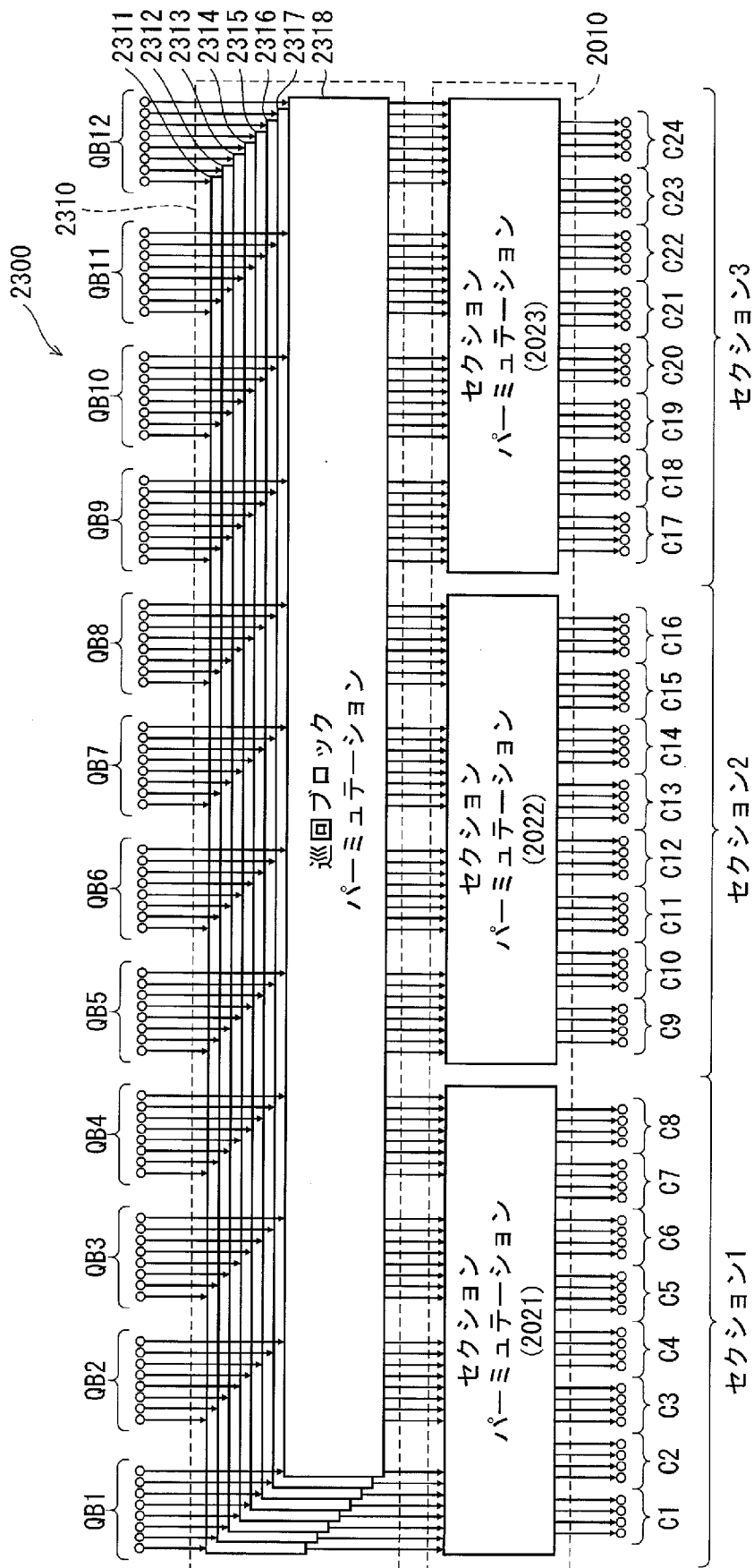
[図21]



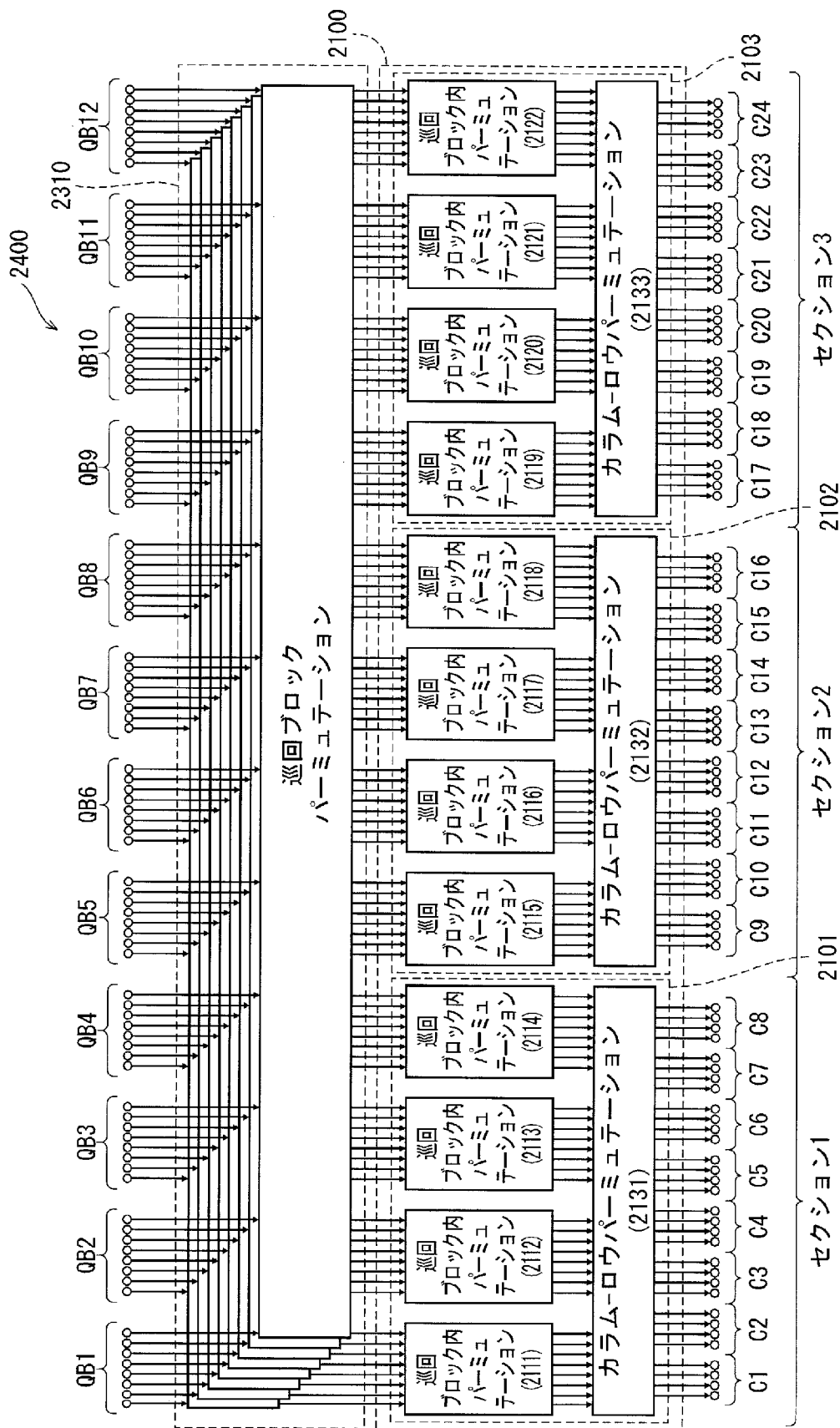
[図22]



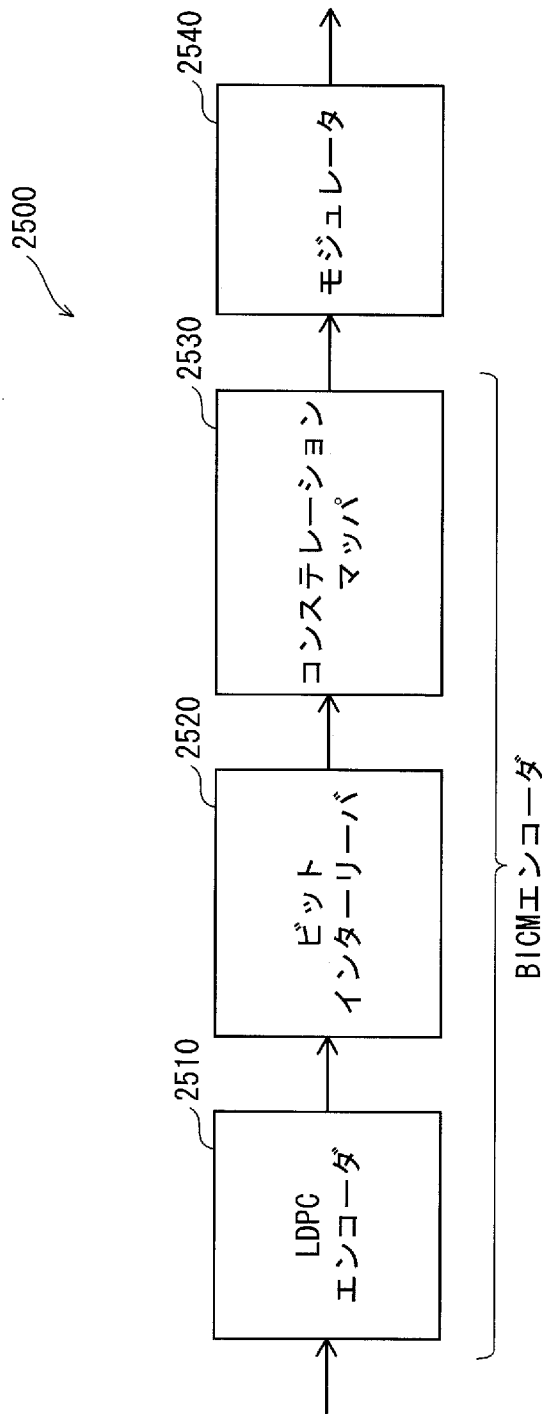
[図23]



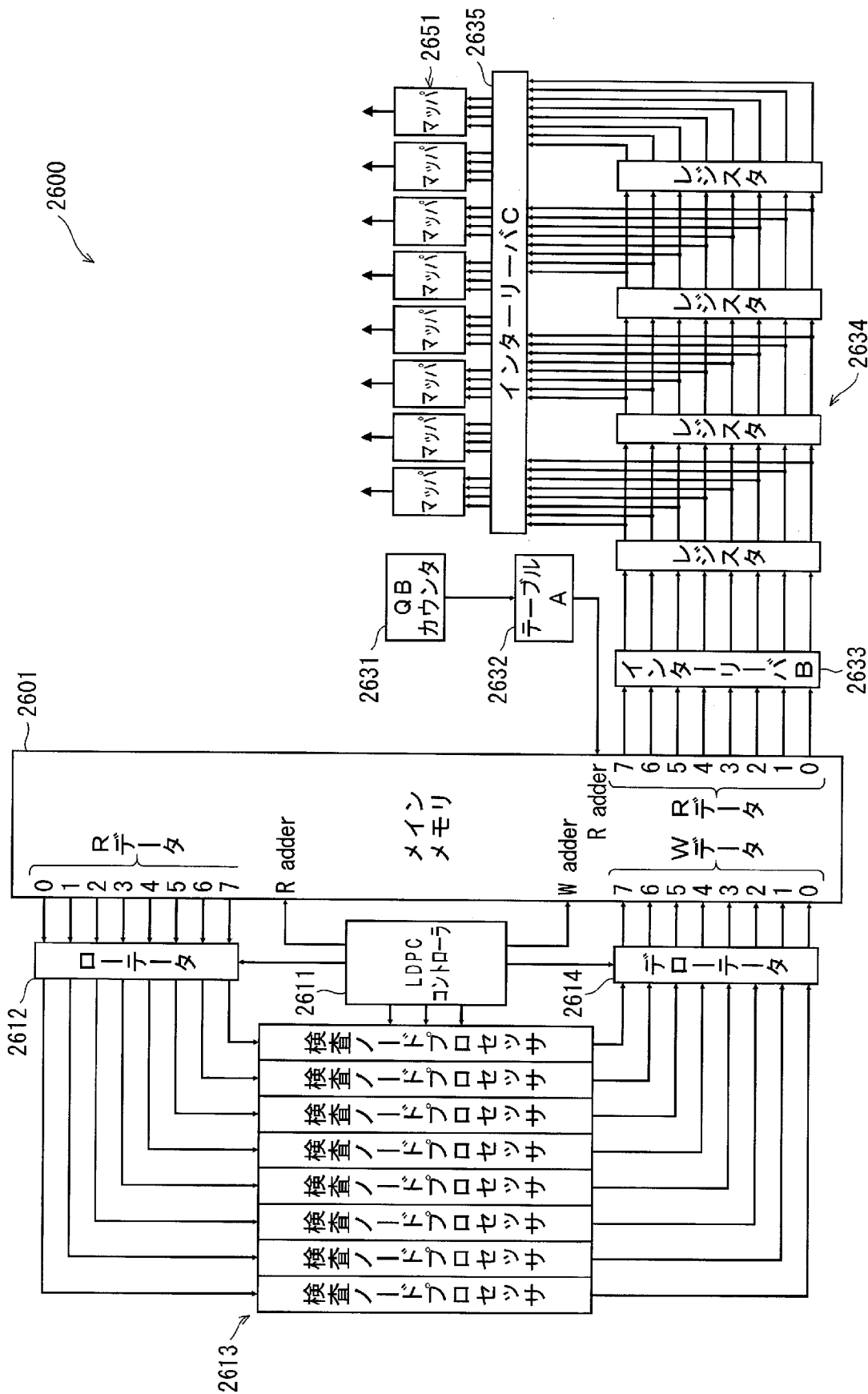
[図24]



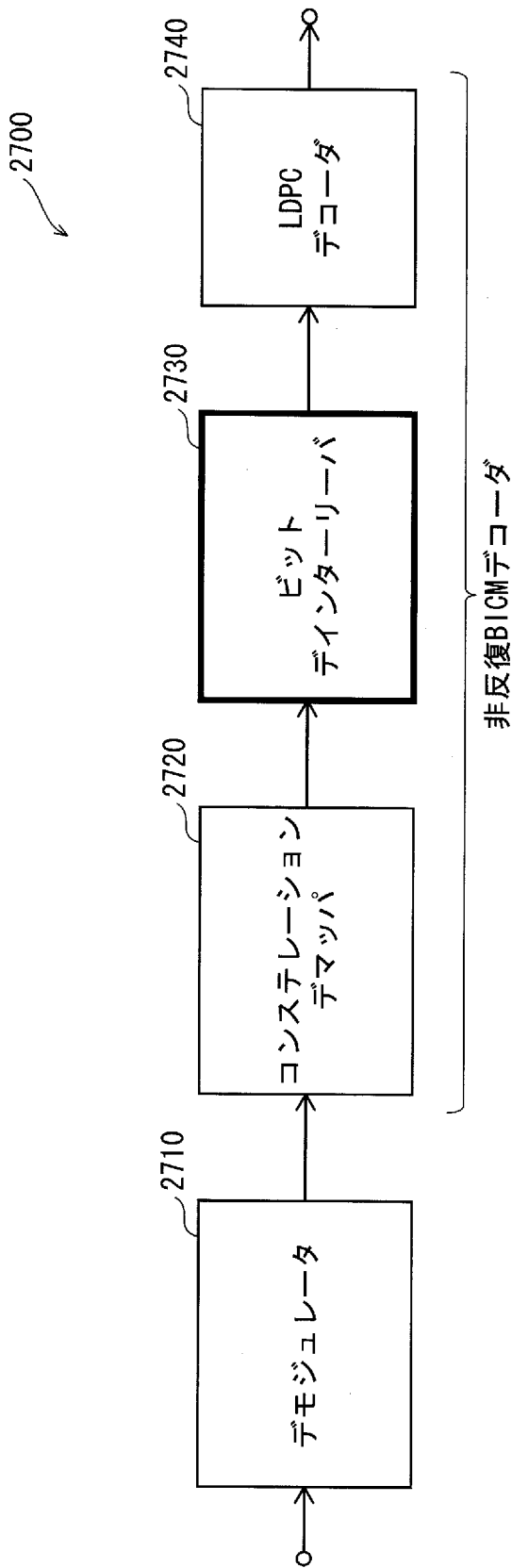
[図25]



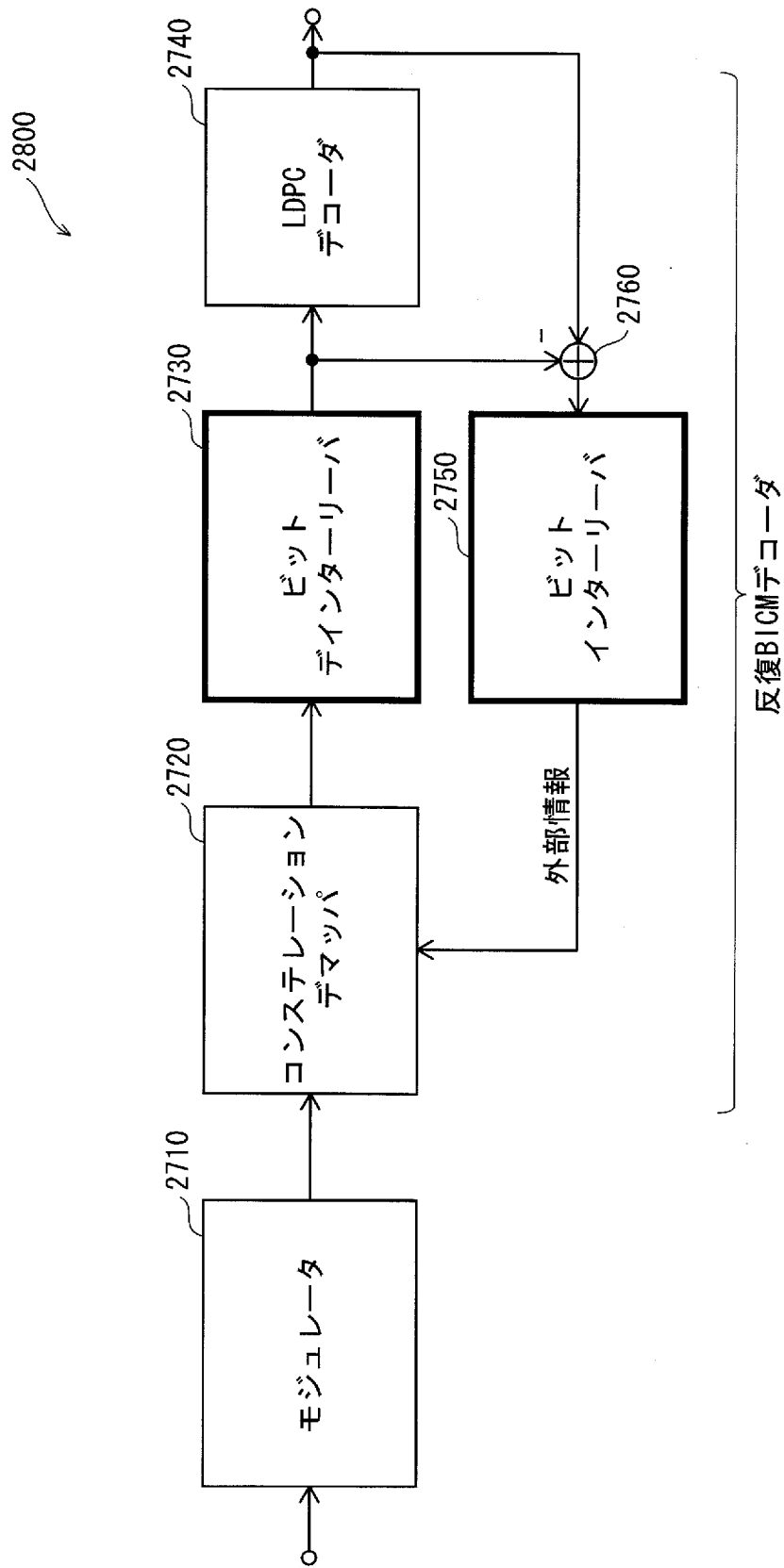
[図26]



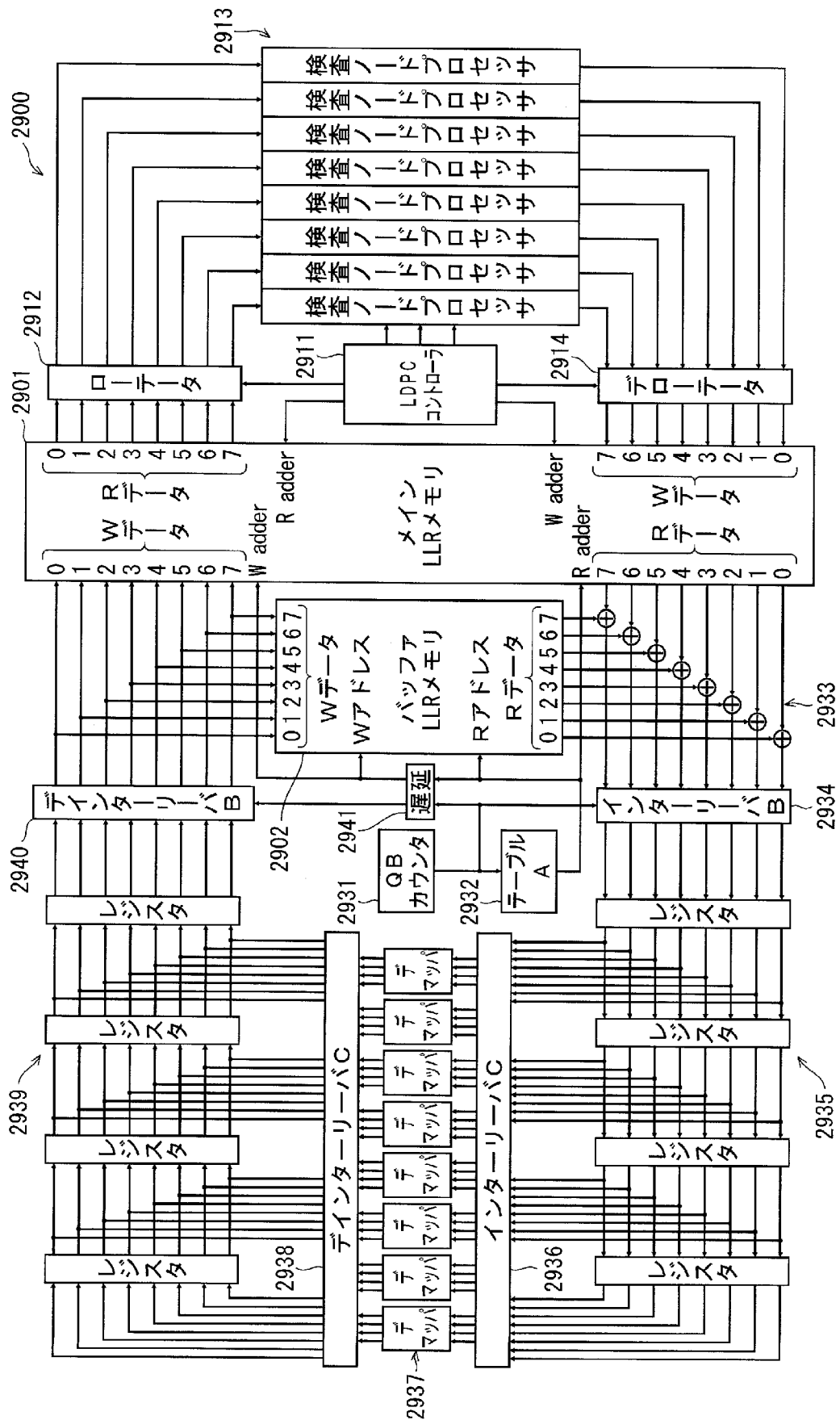
[図27]



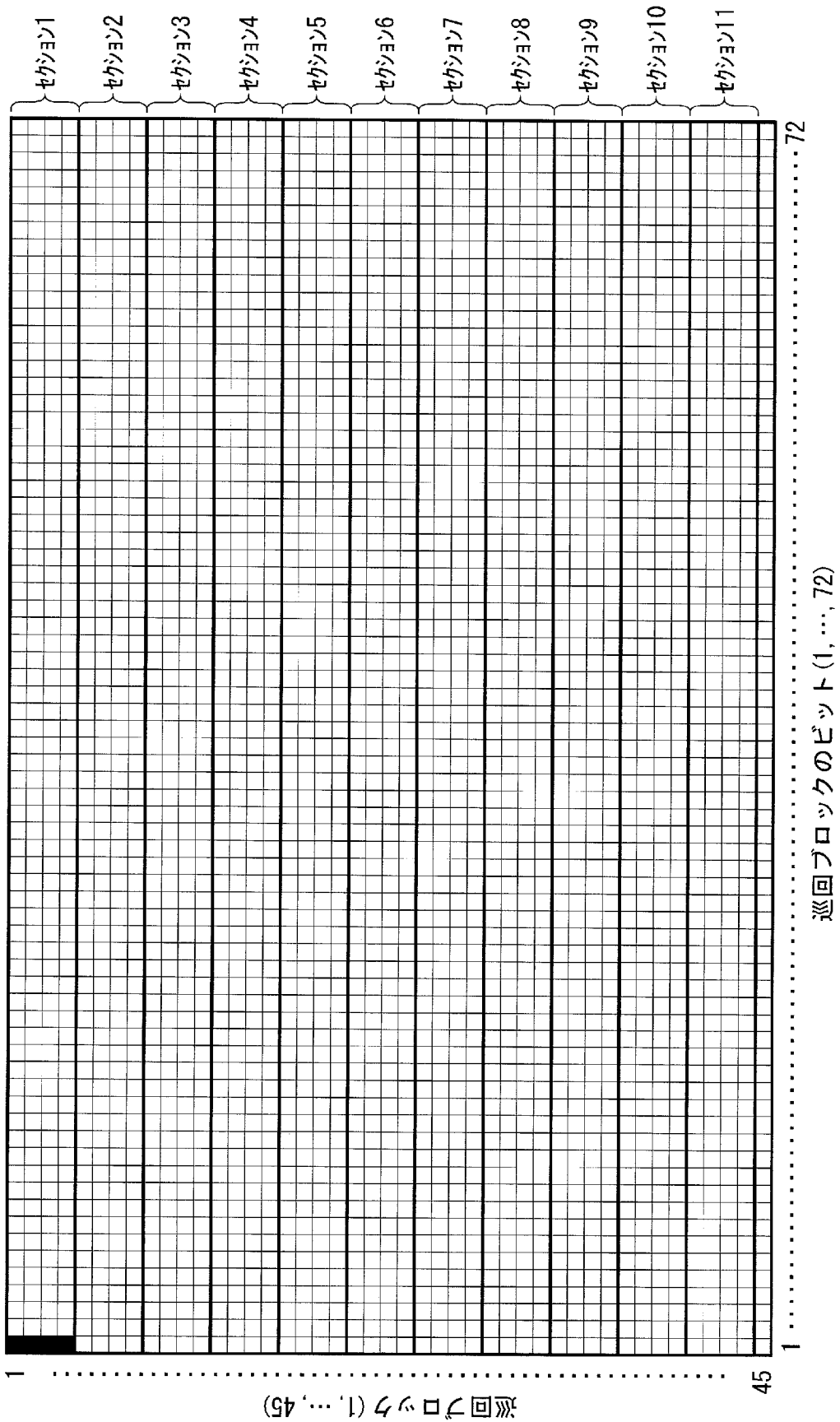
[図28]



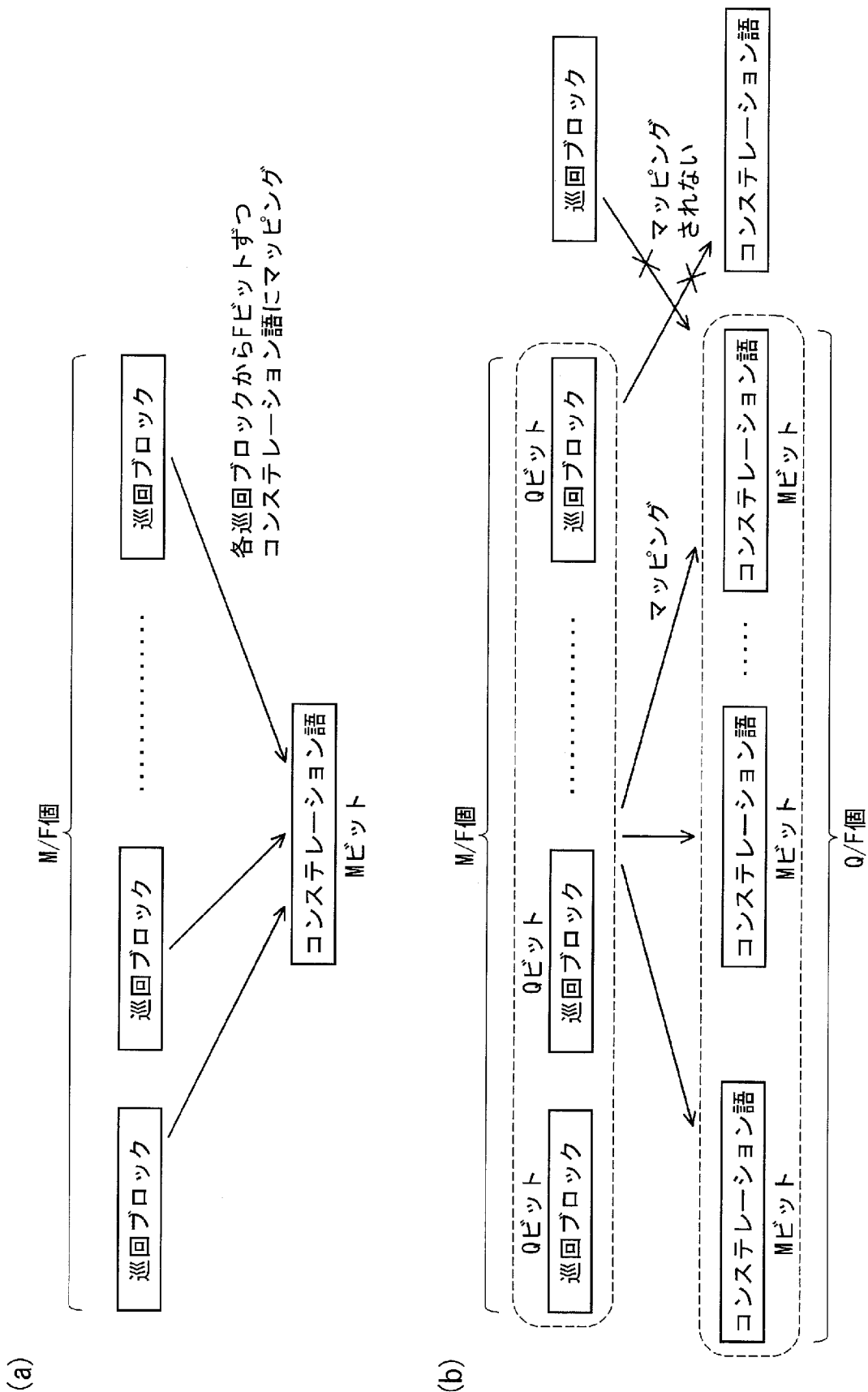
[図29]



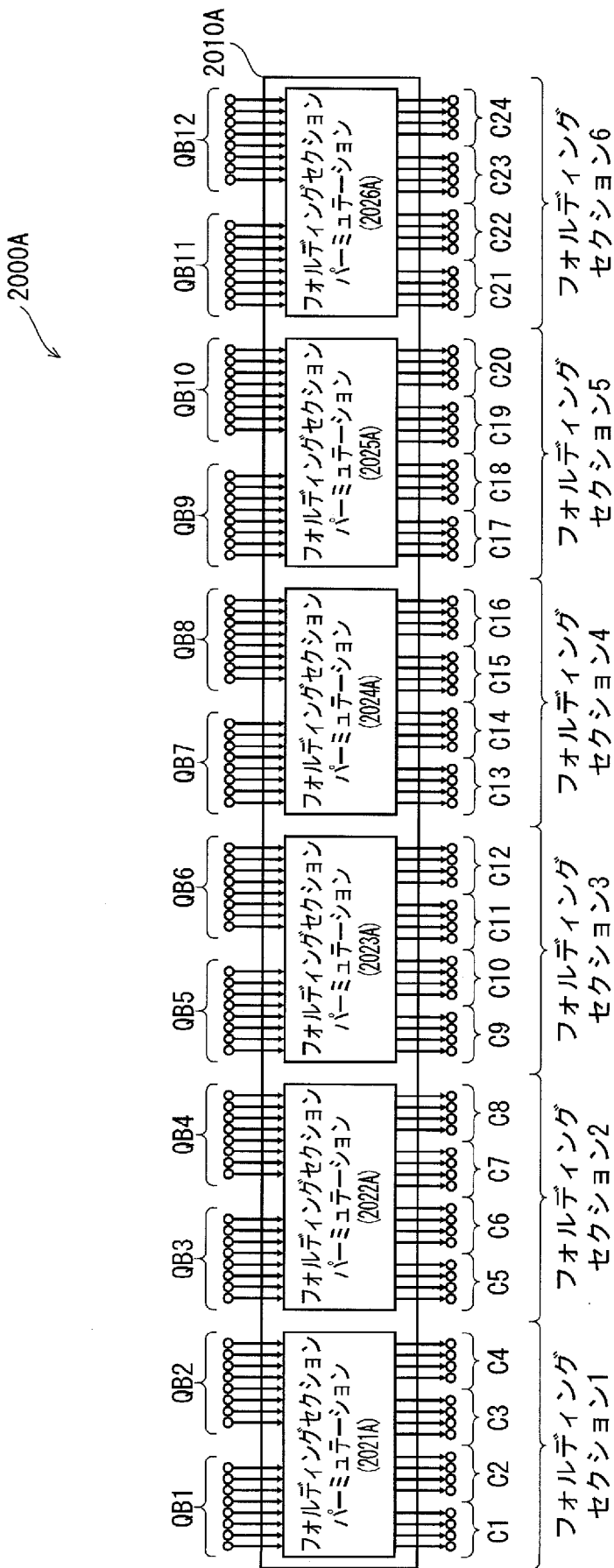
[図30]



[図31]



[図32]



[図33]

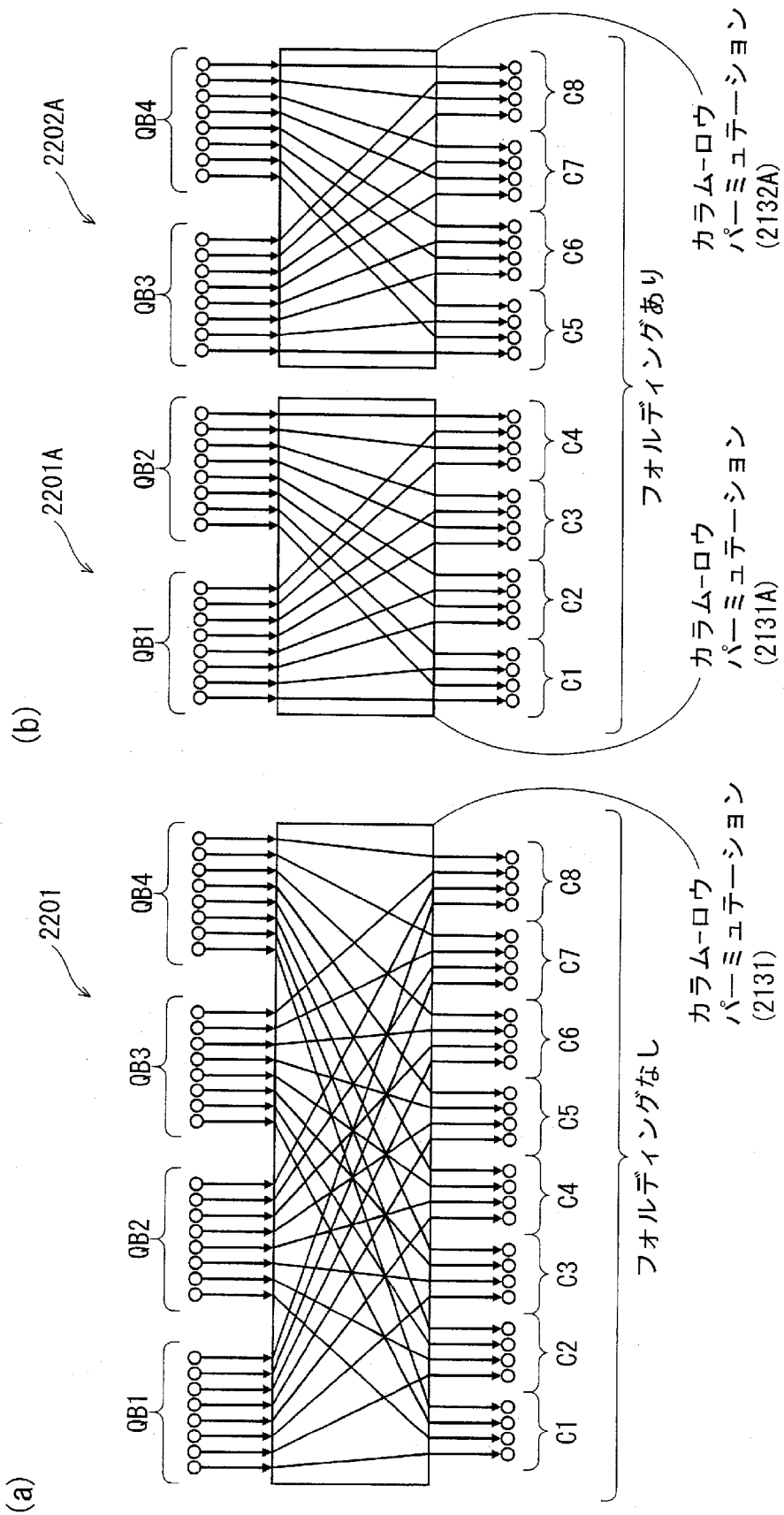
(a)

フォルディングなし フォルディングセクション1 (セクション1)	QB1	b1 C1	b1 C2	b1 C3	b1 C4	b1 C5	b1 C6	b1 C7	b1 C8
	QB2	b2 C1	b2 C2	b2 C3	b2 C4	b2 C5	b2 C6	b2 C7	b2 C8
	QB3	b3 C1	b3 C2	b3 C3	b3 C4	b3 C5	b3 C6	b3 C7	b3 C8
	QB4	b4 C1	b4 C2	b4 C3	b4 C4	b4 C5	b4 C6	b4 C7	b4 C8

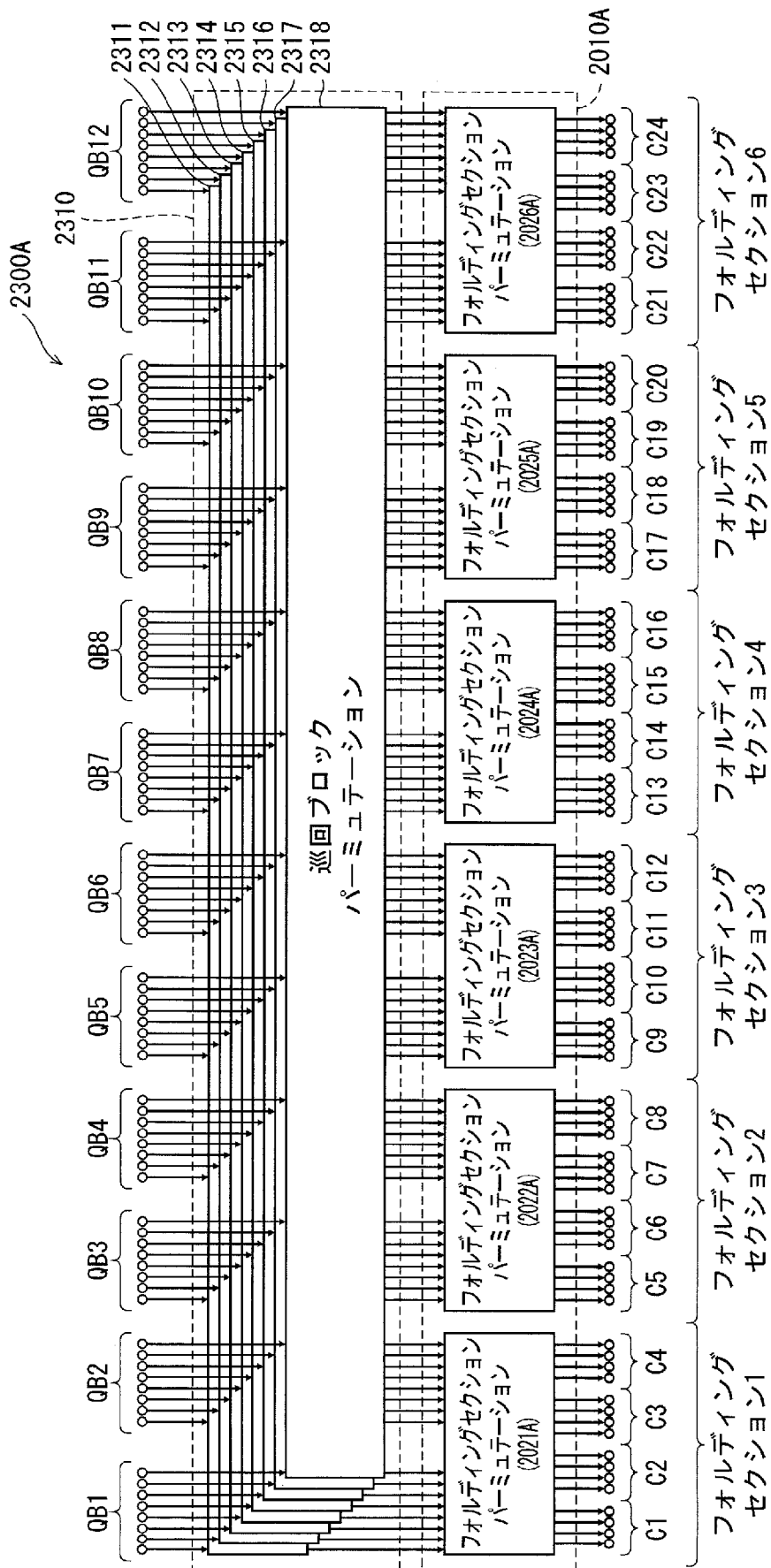
(b)

フォルディングあり (F=2) フォルディングセクション1 フォルディングセクション2	QB1	b1 C1	b3 C1	b1 C2	b3 C2	b1 C3	b3 C3	b1 C4	b3 C4
	QB2	b2 C1	b4 C1	b2 C2	b4 C2	b2 C3	b4 C3	b2 C4	b4 C4
	QB3	b1 C5	b3 C5	b1 C6	b3 C6	b1 C7	b3 C7	b1 C8	b3 C8
	QB4	b2 C5	b4 C5	b2 C6	b4 C6	b2 C7	b4 C7	b2 C8	b4 C8

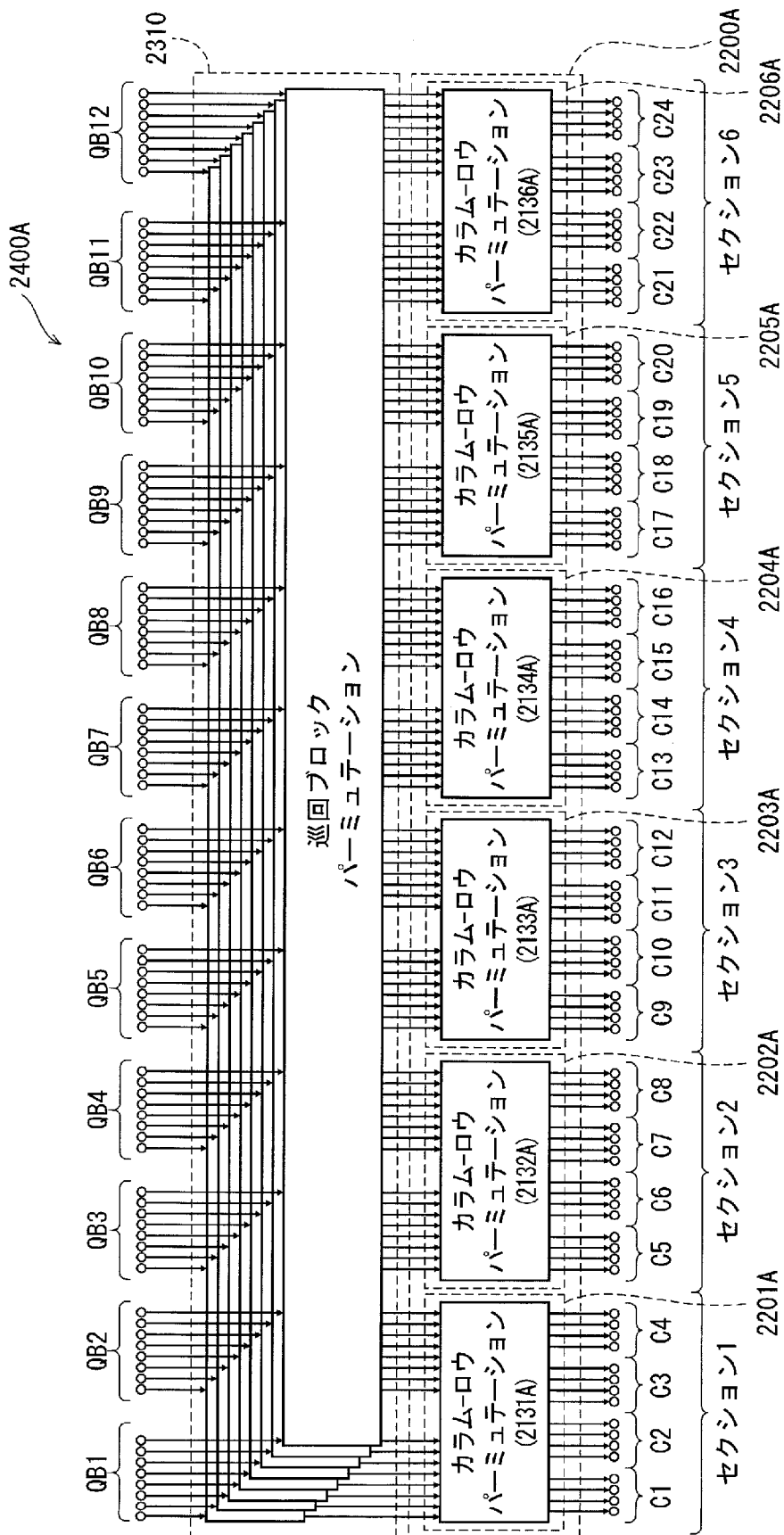
[図34]



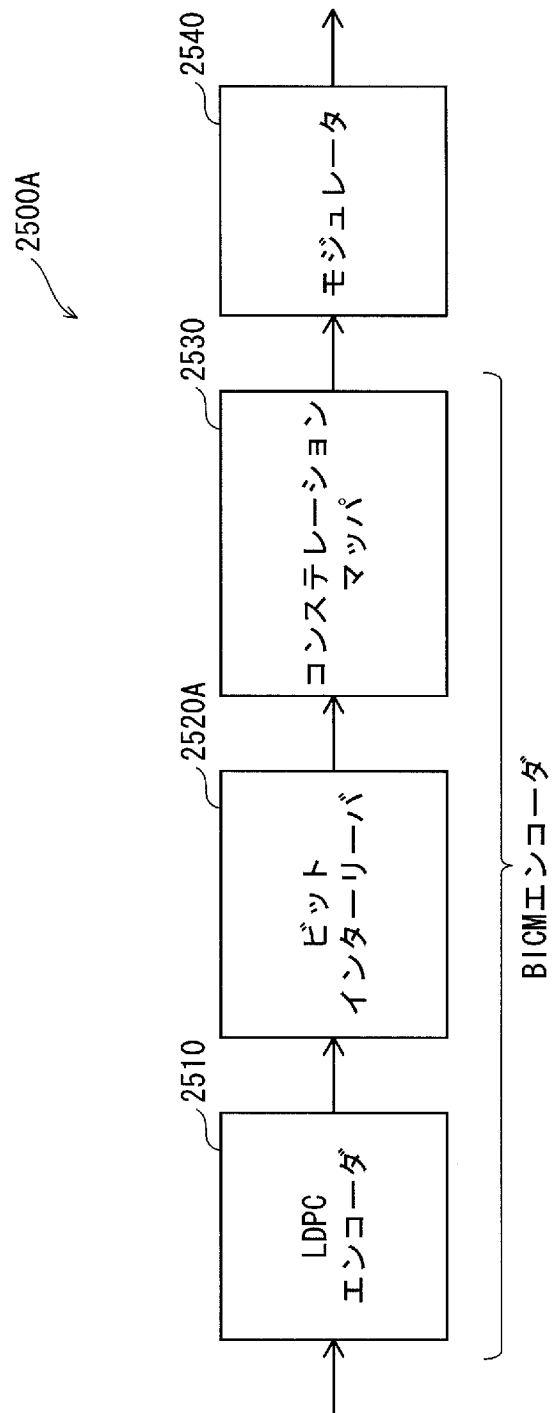
[図35]



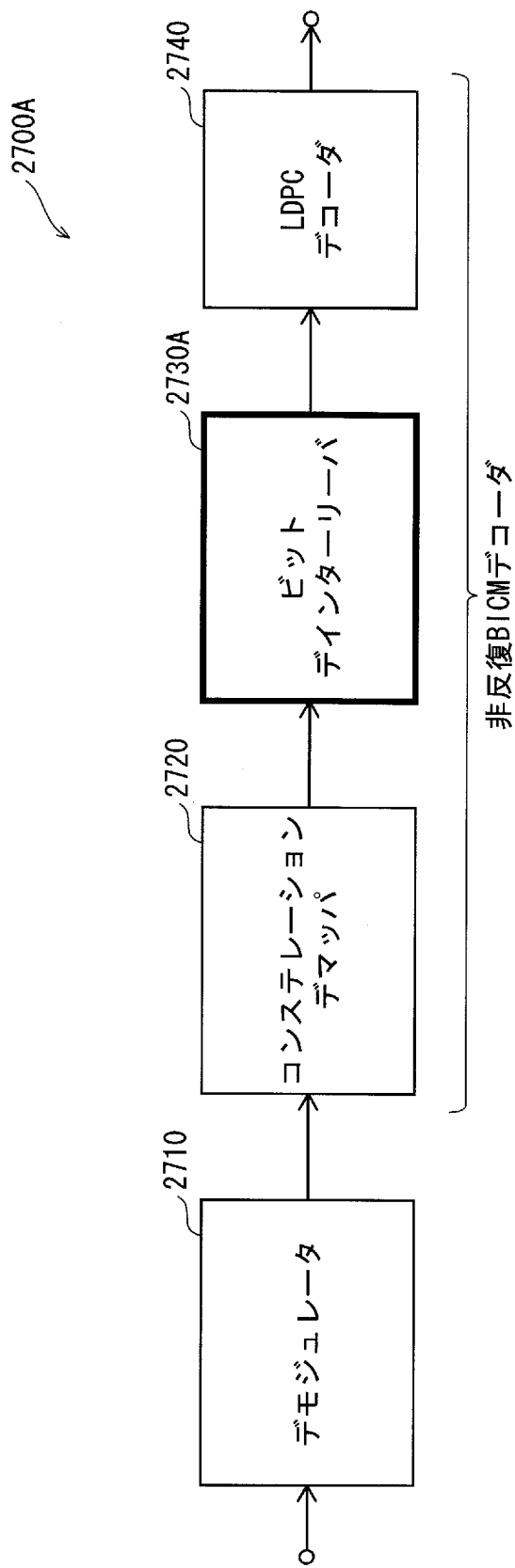
[図36]



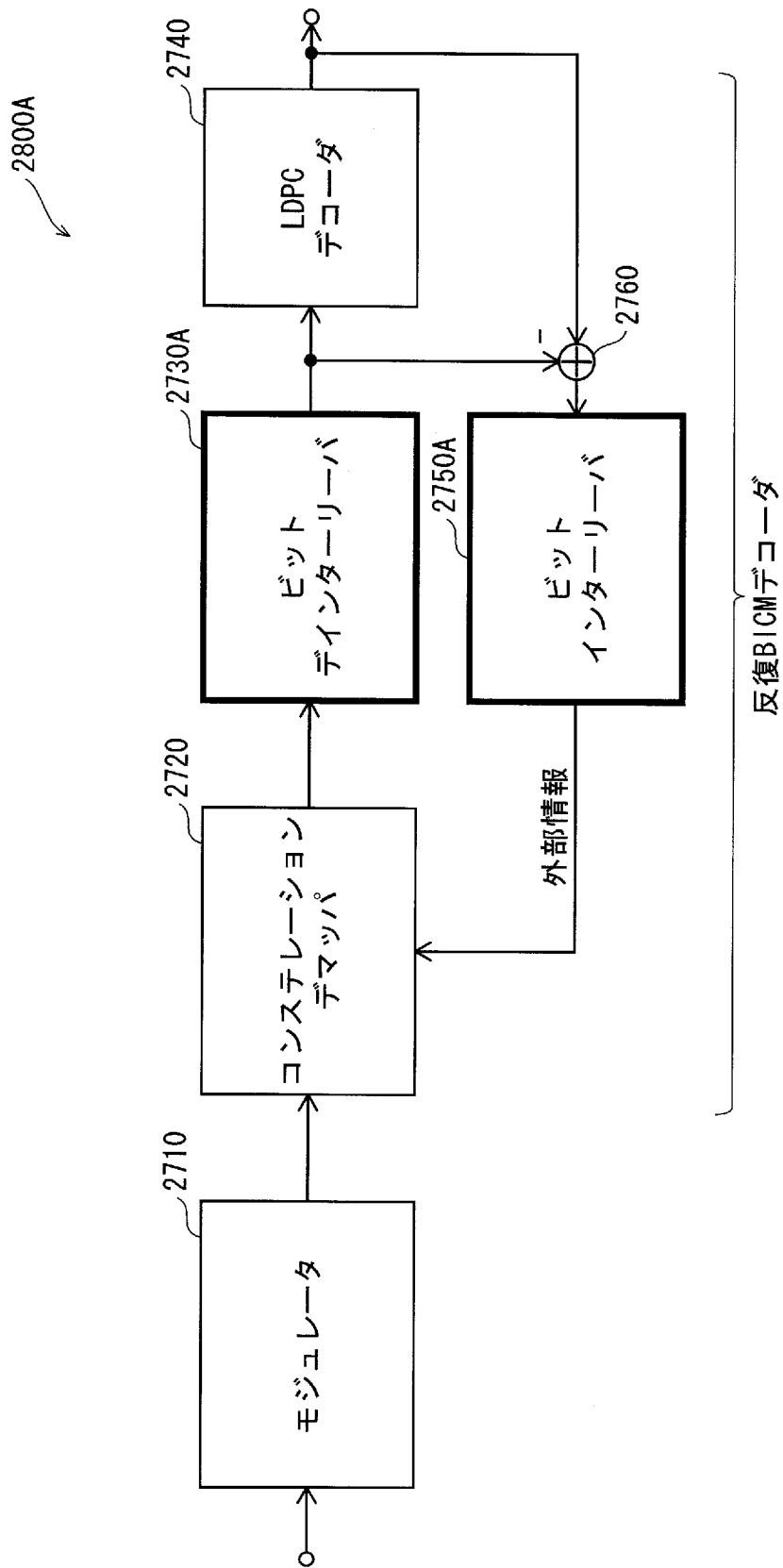
[図37]



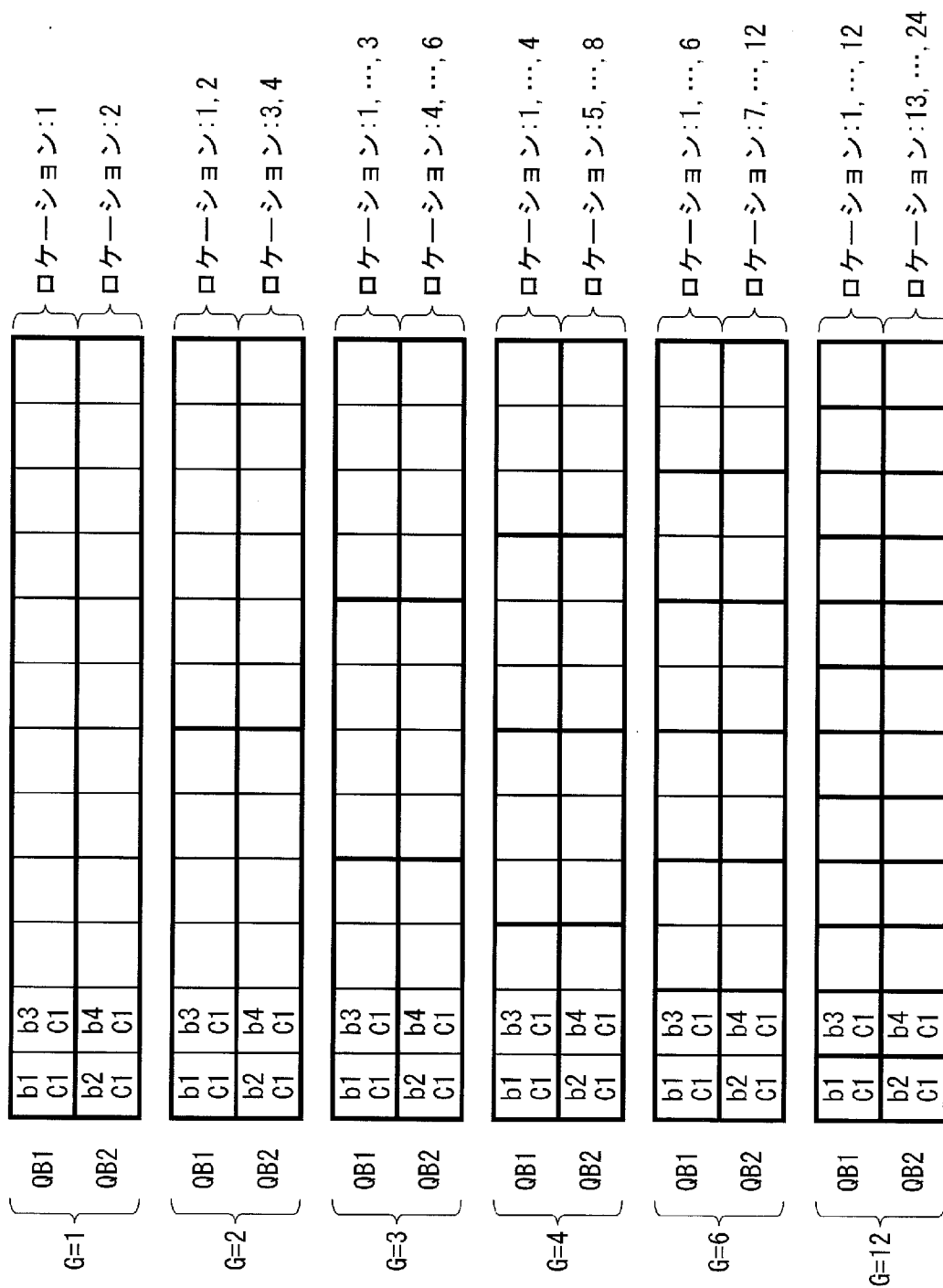
[図38]



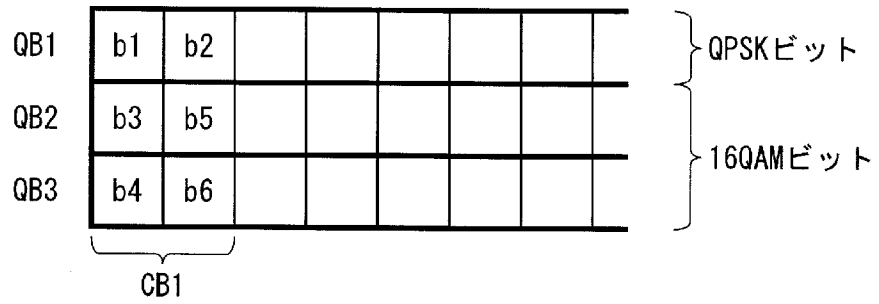
[図39]



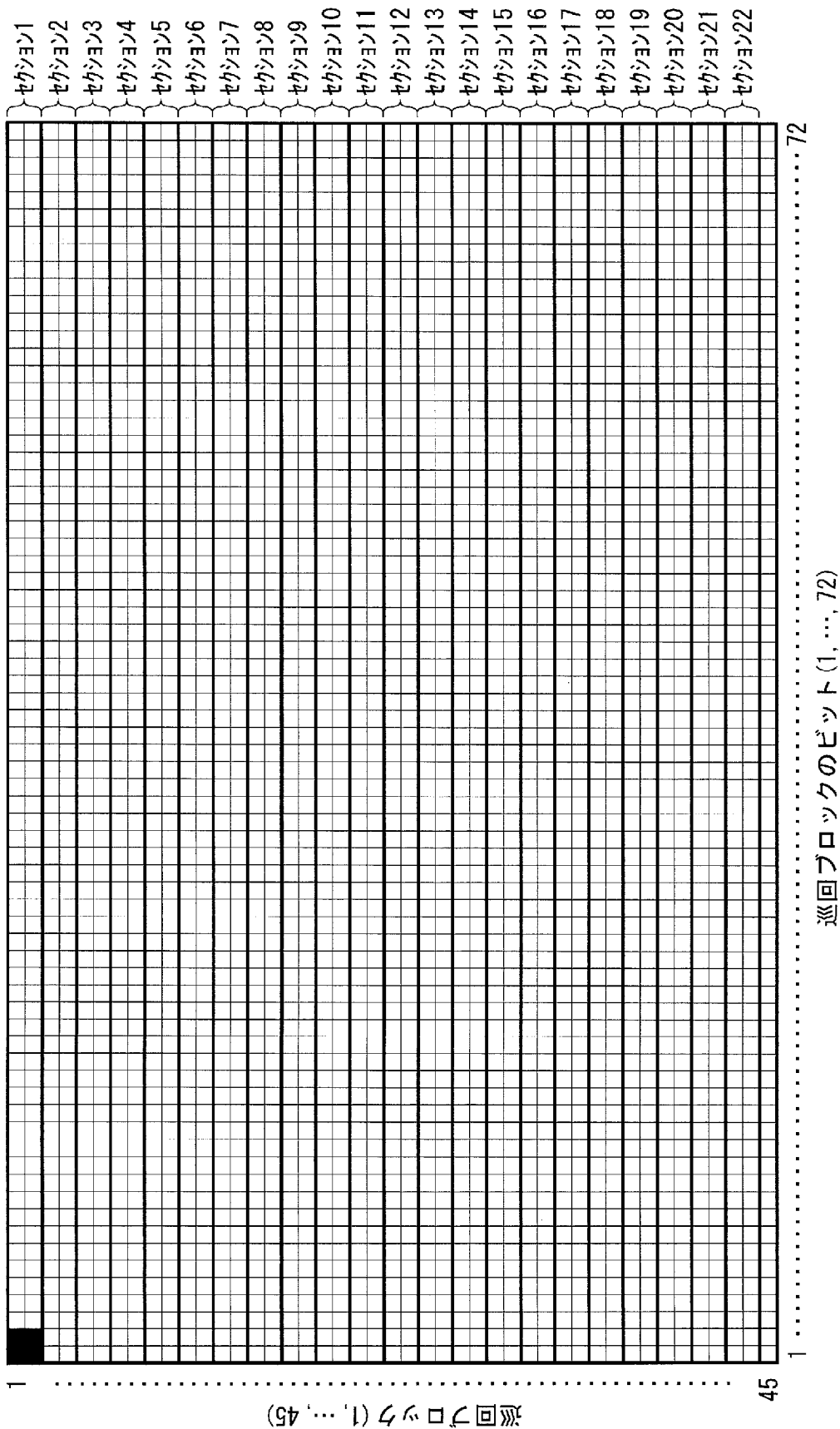
[図40]



[図41]

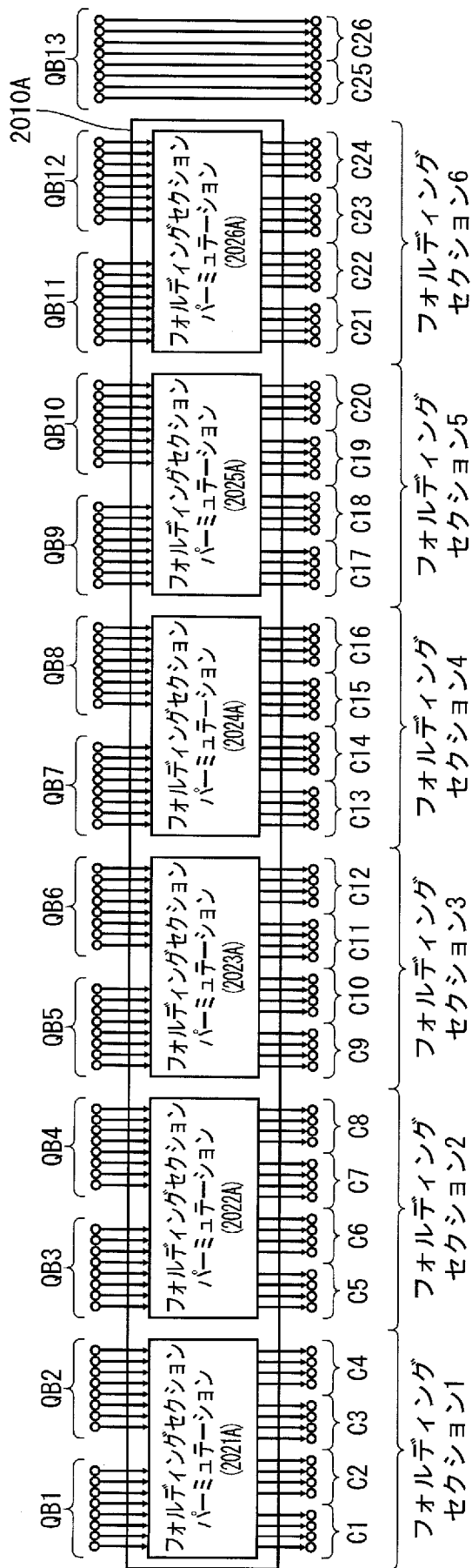


[図42]

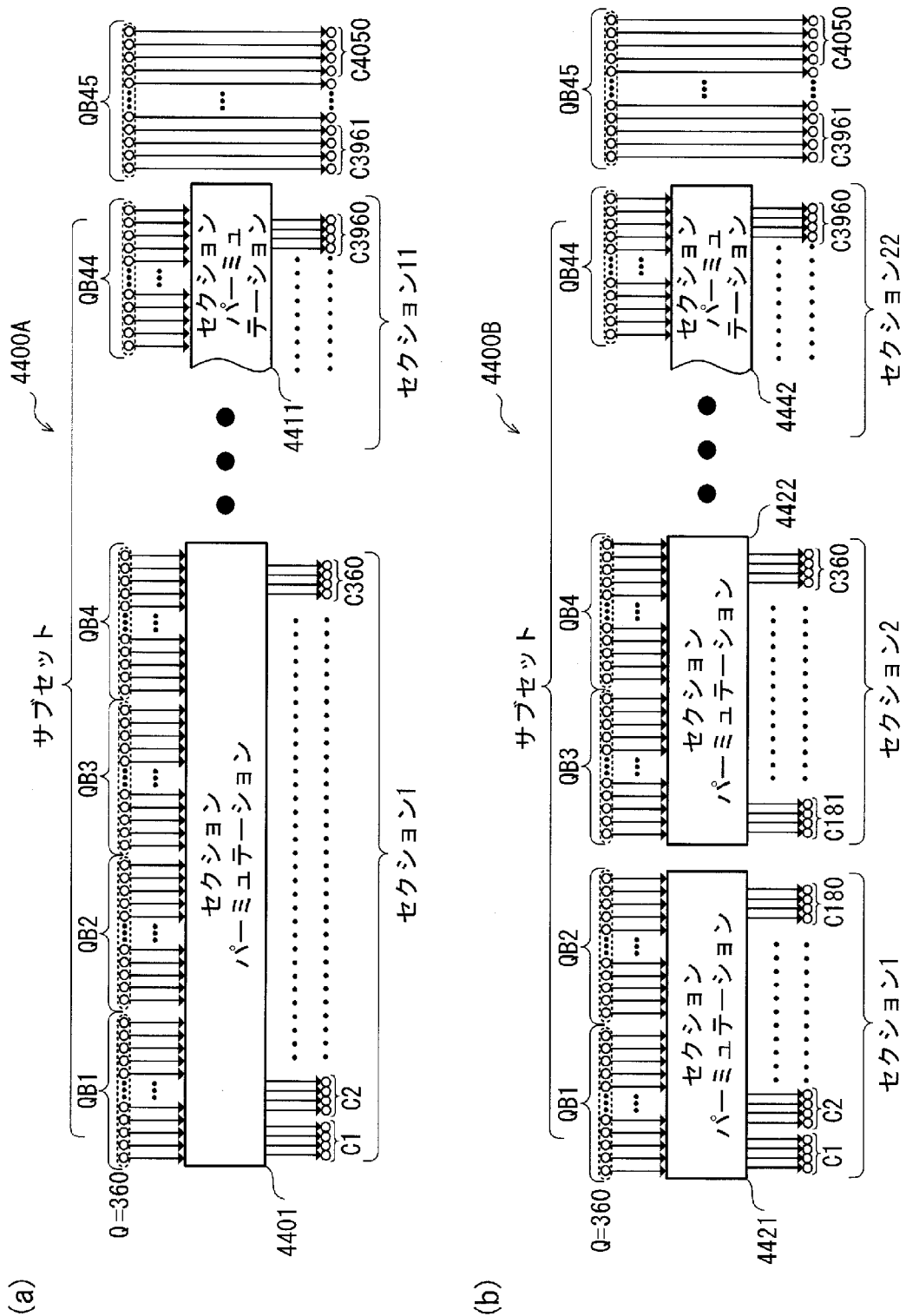


[図43]

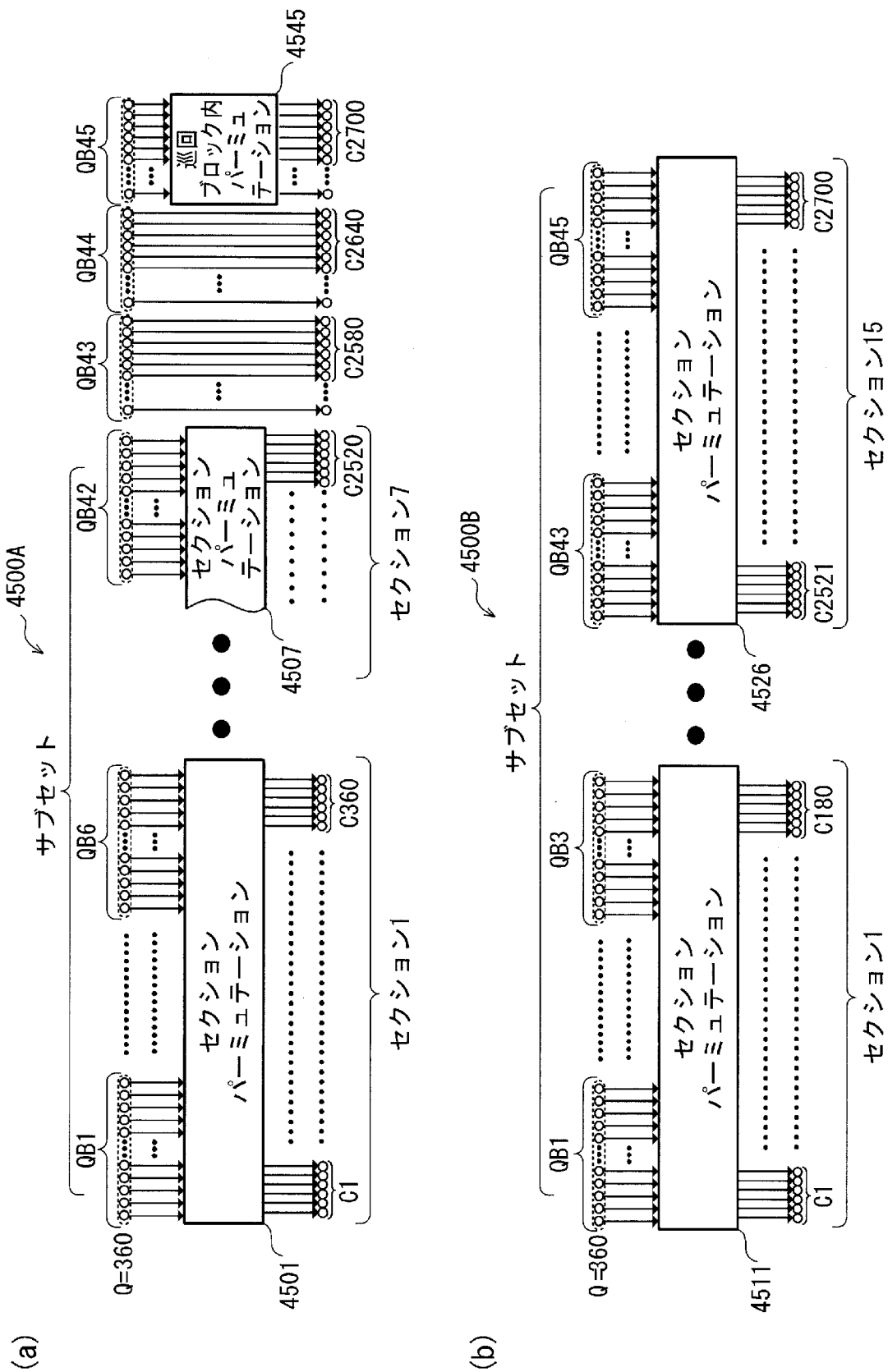
2000B



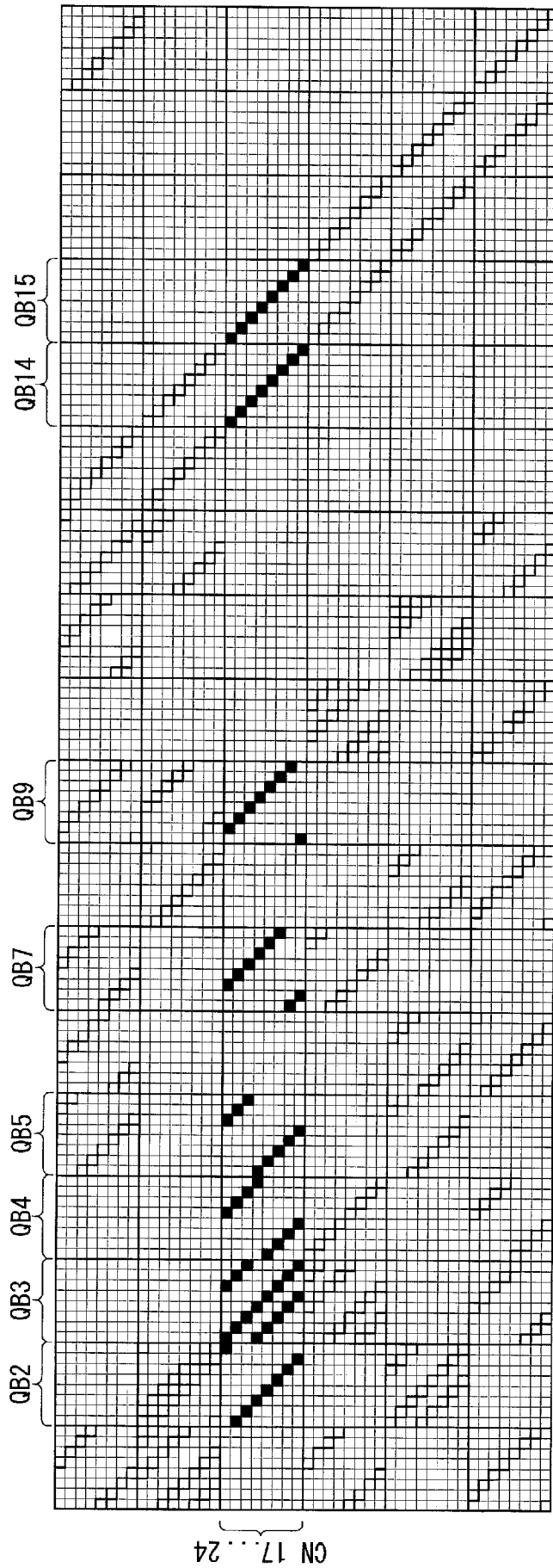
[図44]



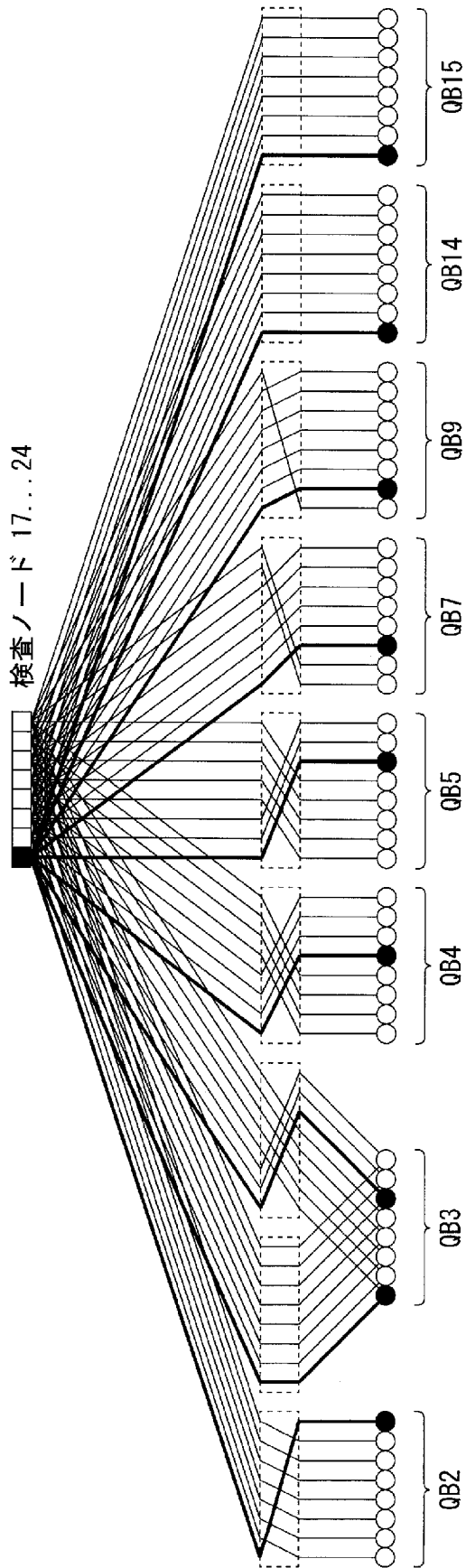
[図45]



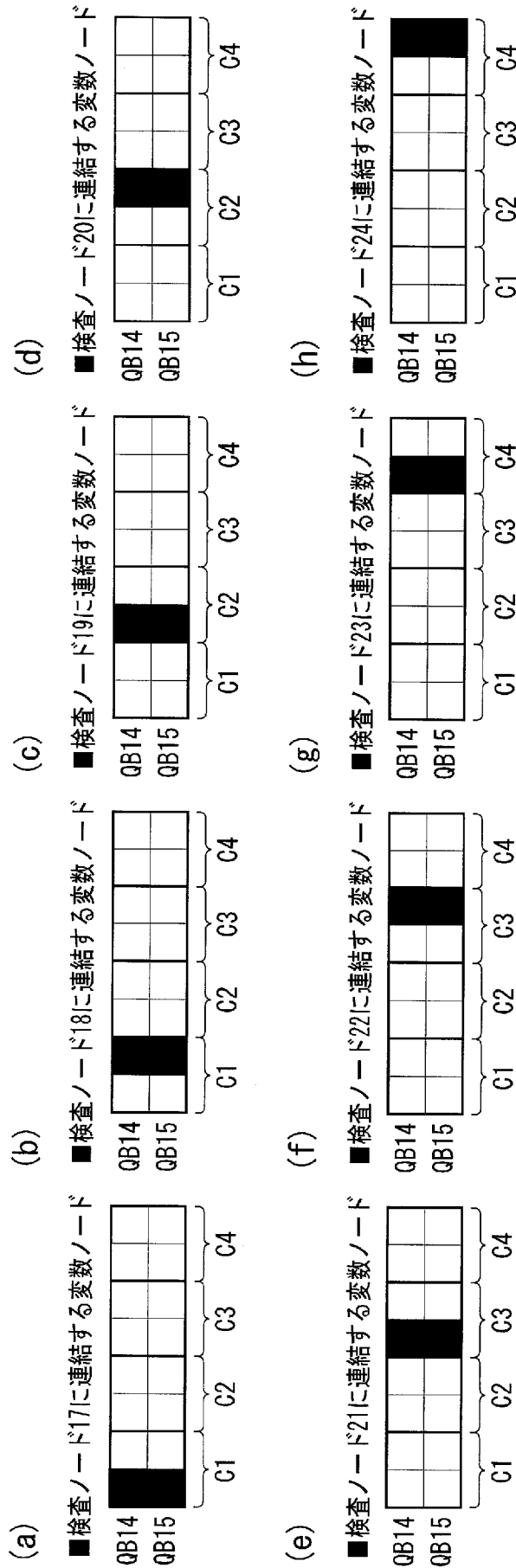
[図46]



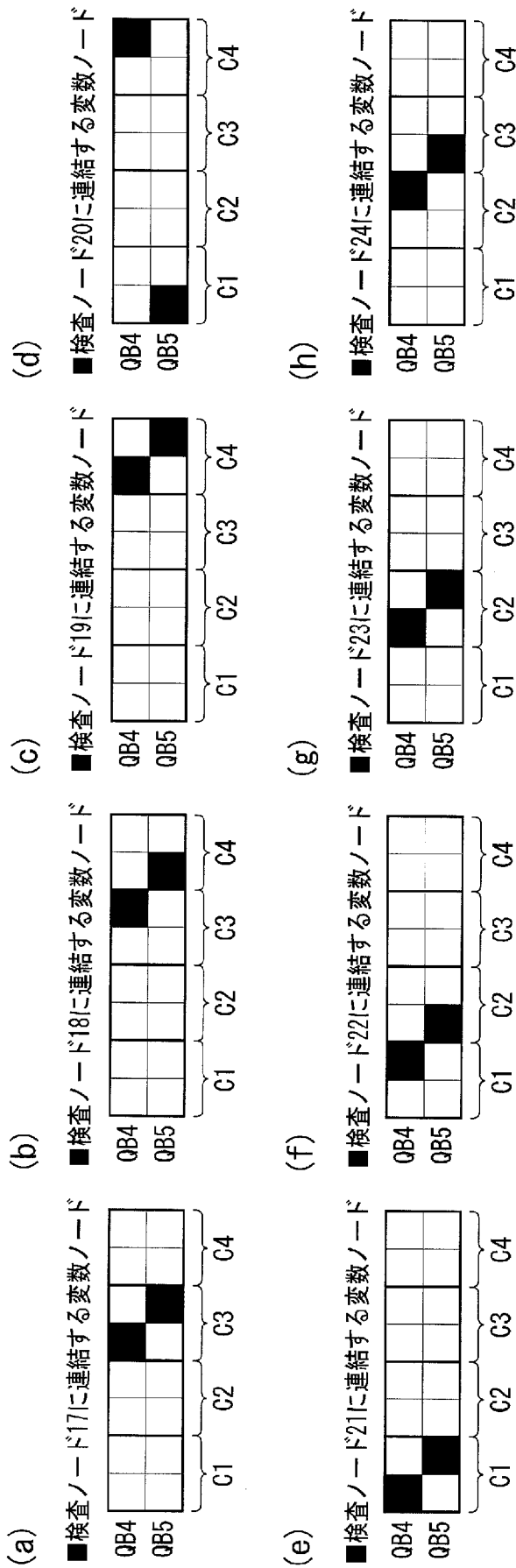
[図47]



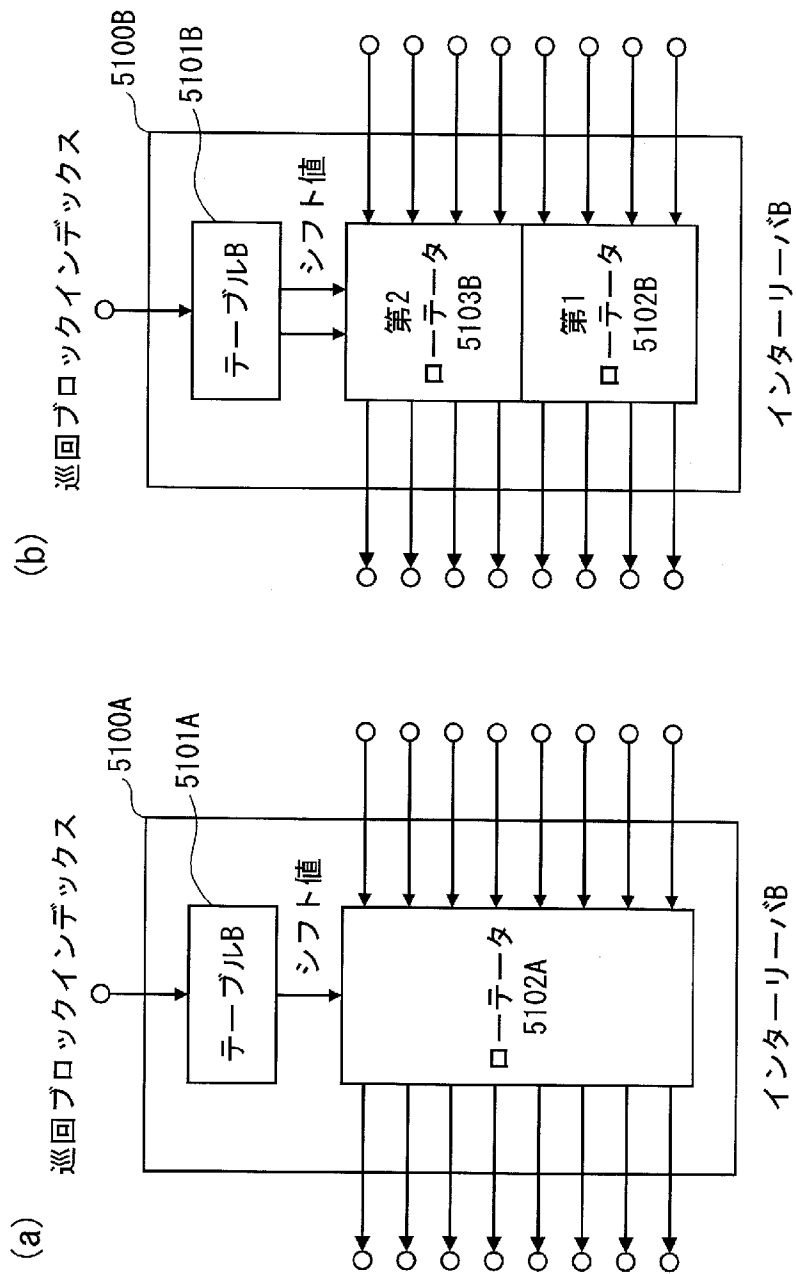
[図49]



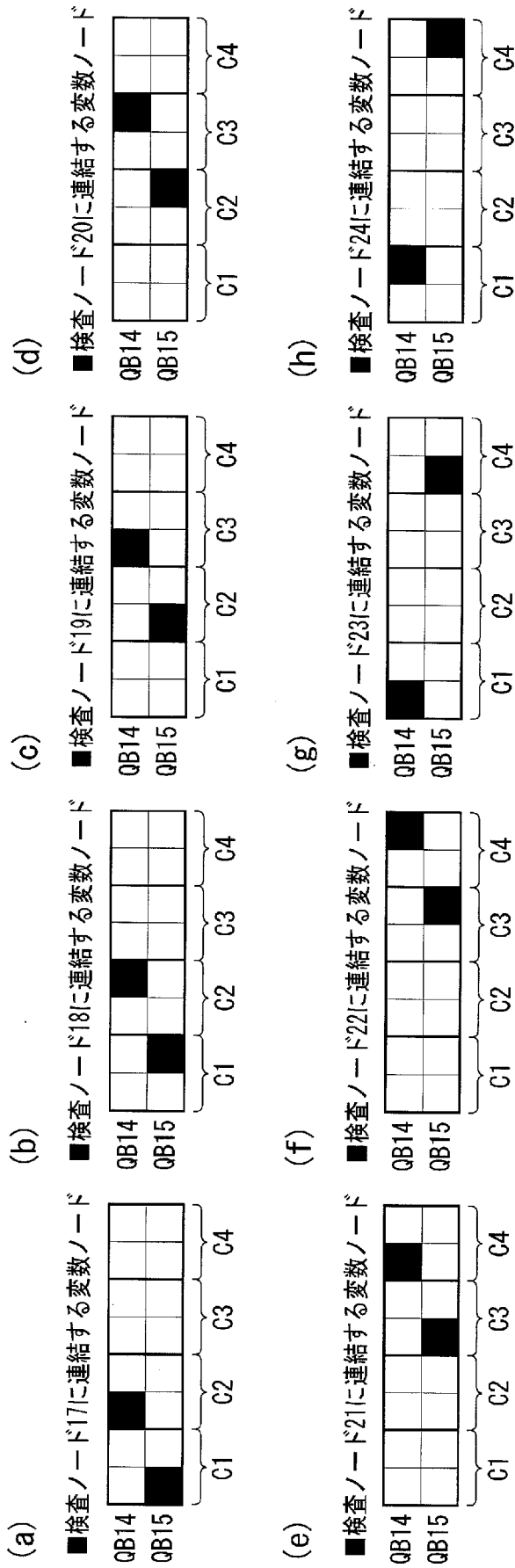
[図50]



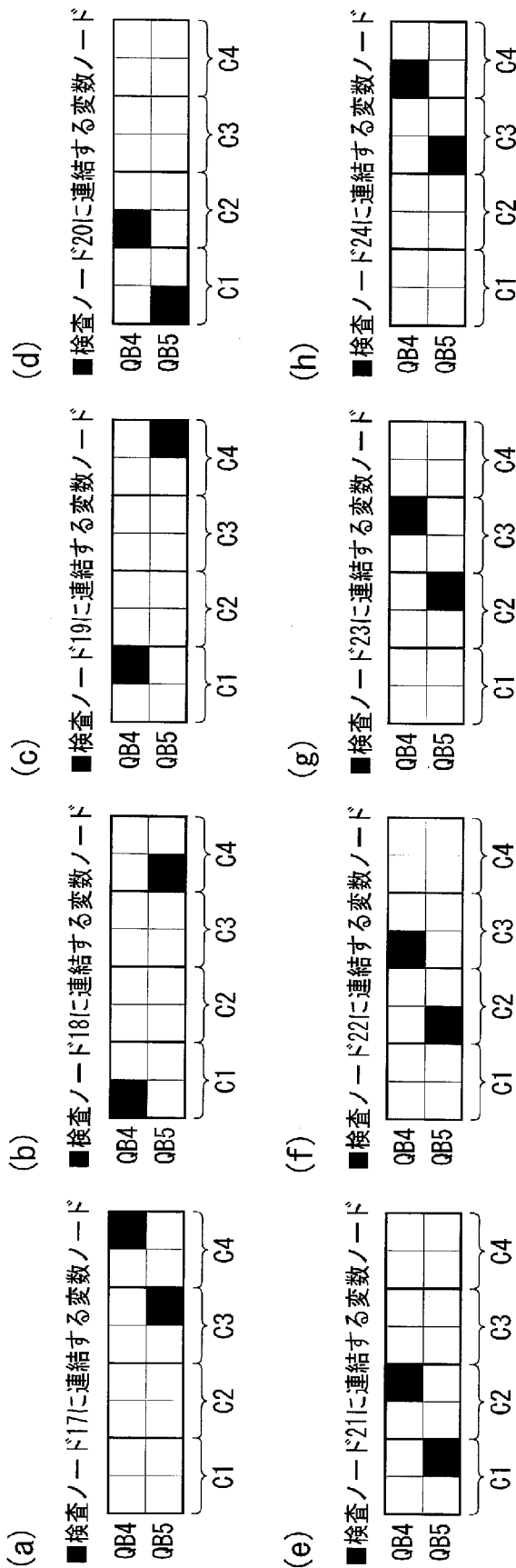
[図51]



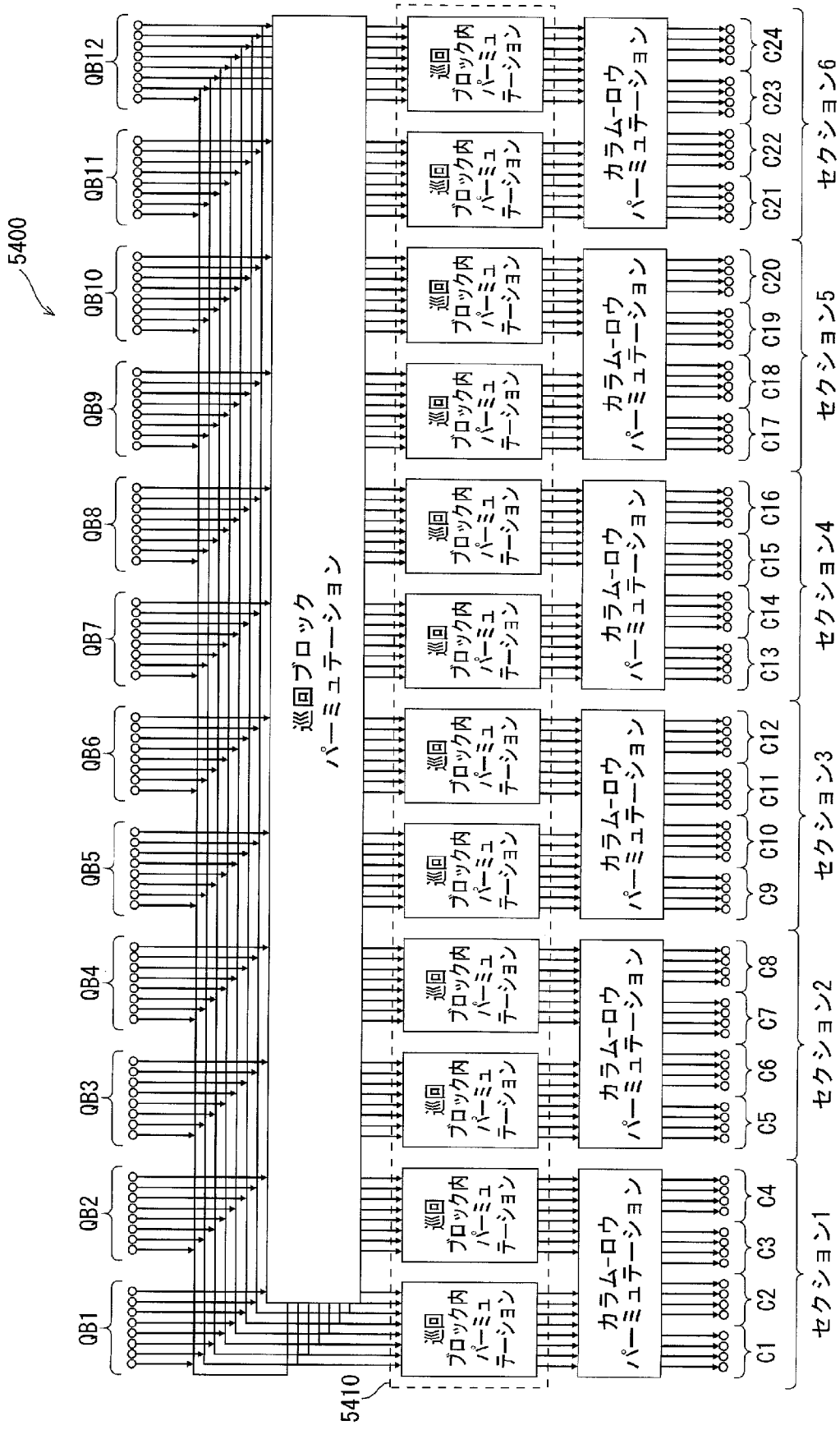
[図52]



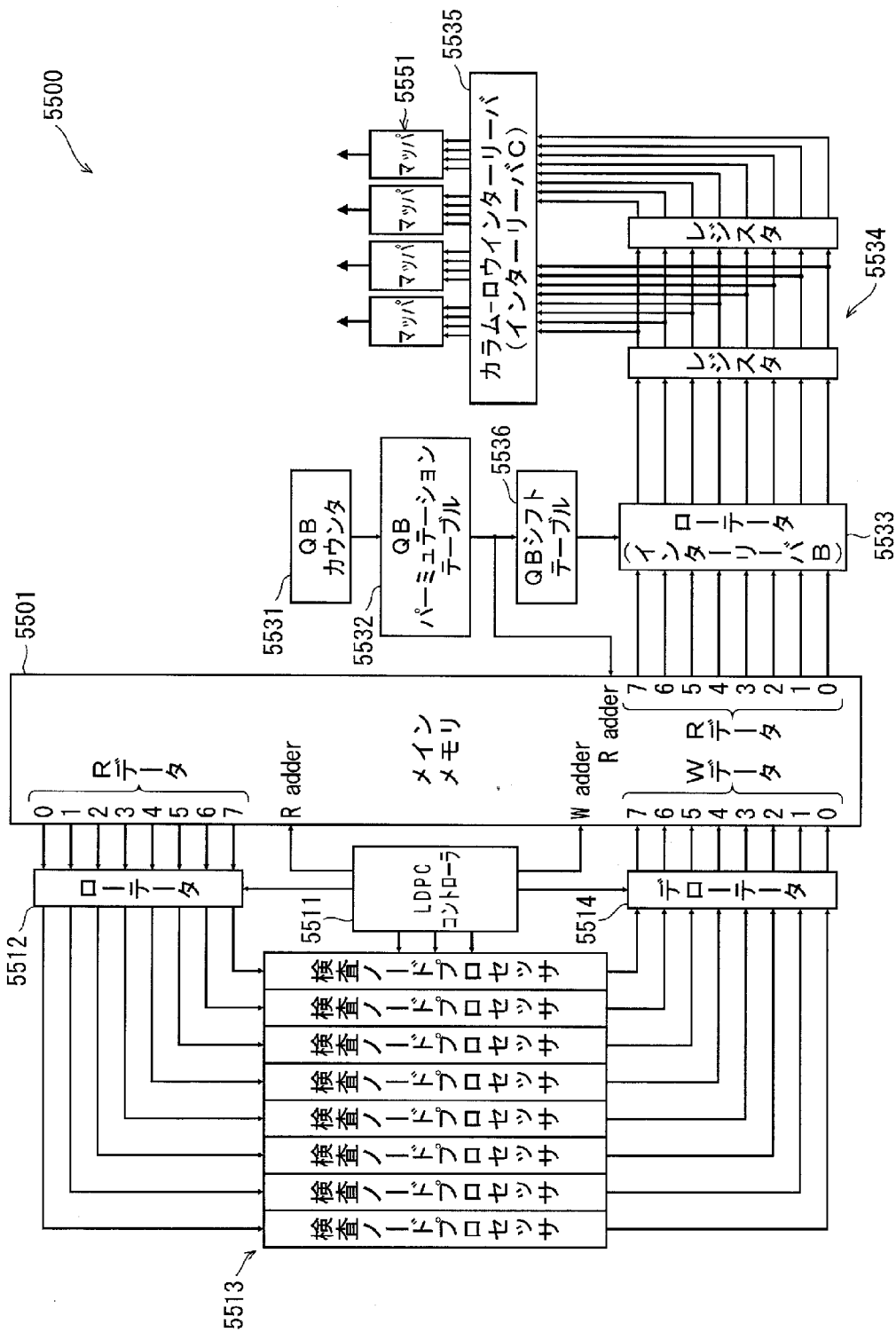
[図53]



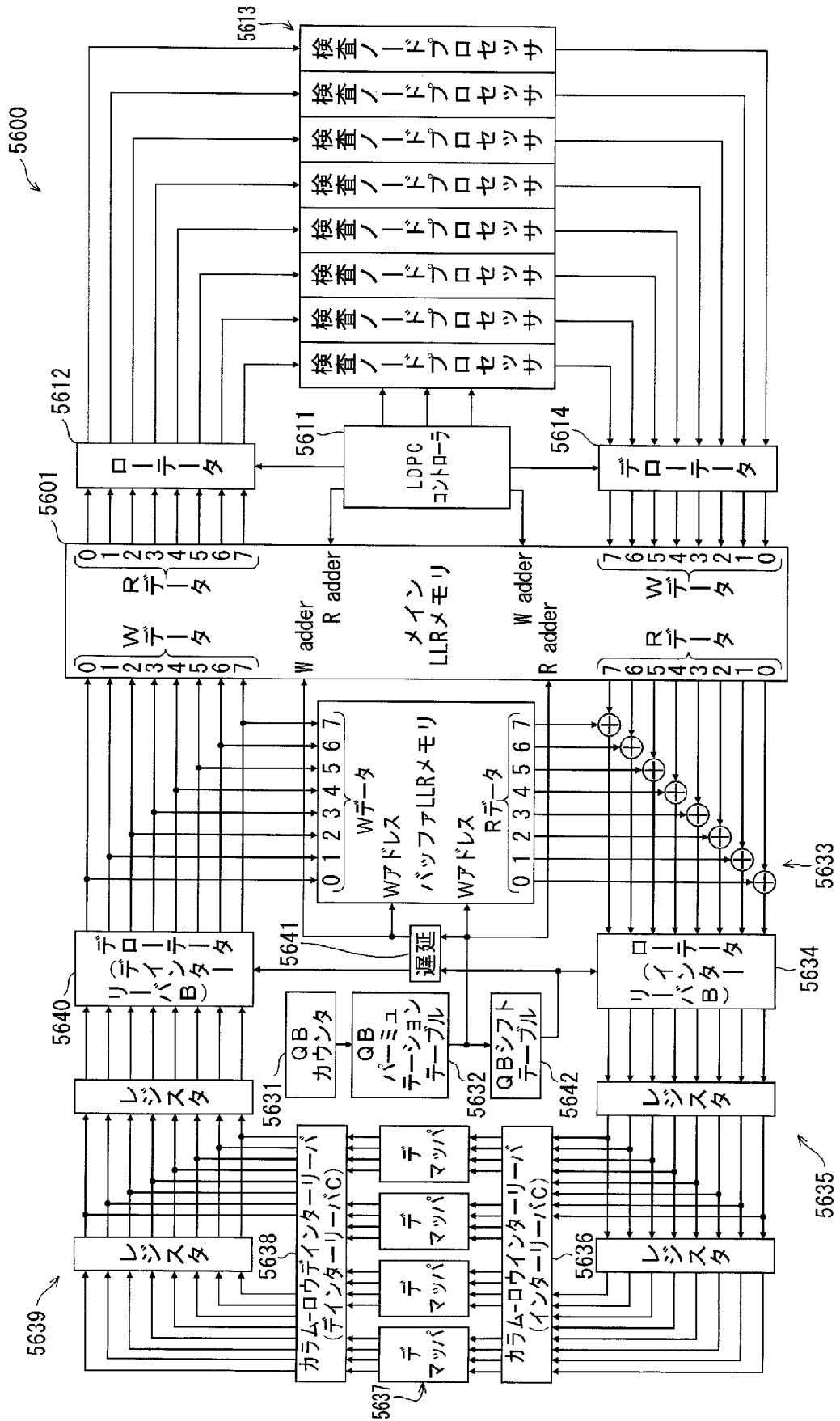
[図54]



[図55]



[図56]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003272

A. CLASSIFICATION OF SUBJECT MATTER
H03M13/27(2006.01) i, H03M13/19(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H03M13/27, H03M13/19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012
 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/116204 A1 (Sony Corp.), 24 September 2009 (24.09.2009), entire text; all drawings & WO 2009/069513 A1 & WO 2009/069580 A1 & WO 2009/069616 A1 & WO 2009/069617 A1 & WO 2009/069618 A1 & WO 2009/069623 A1 & WO 2009/069625 A1 & WO 2009/069626 A1 & WO 2009/069627 A1 & WO 2009/069628 A1 & WO 2009/069629 A1	1-14
A	JP 2008-125085 A (Matsushita Electric Industrial Co., Ltd.), 29 May 2008 (29.05.2008), entire text; all drawings (Family: none)	1-14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search 20 July, 2012 (20.07.12)	Date of mailing of the international search report 31 July, 2012 (31.07.12)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003272

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	Douillard, C., The Bit Interleaved Coded Modulation module for DVB-NGH: Enhanced features for mobile reception, Telecommunications (ICT), 2012 19th International Conference on, 2012.04.23	1-14

Claim 1 is not sufficiently supported by the specification.

According to figs. 35, 54 and the relevant descriptions thereof, “a permutation step in a cyclic block” is assumed to exist after a receiving step and before a division step.

Thus, a claim 1 wherein “a permutation step in a cyclic block” exists after “a division step” is not what is disclosed in the specification.

Further, in reference to the folding section permutation, the specification discloses that after a code word is divided into $F \times N/M$ sections respectively comprised of M/F cyclic blocks, a bit permutation is performed for each section, and the code word is divided into constellation words such that each constellation word is associated with any one of sections.

As such, claim 1 stipulating a configuration such that the code word to which a bit permutation process is applied is divided into $F \times N/M$ sections is not what is disclosed in the specification.

Therefore, a search was conducted in accordance with the scope that is supported and disclosed in the specification.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M13/27(2006.01)i, H03M13/19(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M13/27, H03M13/19		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/116204 A1 (ソニー株式会社) 2009.09.24, 全文、全図 & WO 2009/069513 A1 & WO 2009/069580 A1 & WO 2009/069616 A1 & WO 2009/069617 A1 & WO 2009/069618 A1 & WO 2009/069623 A1 & WO 2009/069625 A1 & WO 2009/069626 A1 & WO 2009/069627 A1 & WO 2009/069628 A1 & WO 2009/069629 A1	1-14
A	JP 2008-125085 A (松下電器産業株式会社) 2008.05.29, 全文、全図 (ファミリーなし)	1-14
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 20.07.2012	国際調査報告の発送日 31.07.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 上田 翔太 電話番号 03-3581-1101 内線 3556	5 K 4449

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	Douillard, C., The Bit Interleaved Coded Modulation module for DVB-NGH: Enhanced features for mobile reception, Telecommunications (ICT), 2012 19th International Conference on, 2012.04.23	1-14

請求項1は、明細書によって十分に裏付けされていない。

図35、54及びその関連する記載によると、「巡回ブロック内パーミュテーションステップ」は、受信ステップより後で、かつ、分割ステップより前に存在するものであると考えられる。よって、「分割ステップ」の後に「巡回ブロック内パーミュテーションステップ」が存在する請求項1は、明細書に記載されたものでない。

また、明細書中では、フォルディングセクションパーミュテーションについて、符号語を、それぞれM/F個の巡回ブロックからなる $F \times N / M$ 個のセクションに分割した上で、それぞれのセクションについて、ビットパーミュテーションを行い、各コンステレーション語がいずれか1つのセクションに関連付けられるように、コンステレーション語に分割することが記載されている。したがって、ビットパーミュテーション処理が施された符号後を $F \times N / M$ 個のセクションに分割する構成が規定される請求項1は、明細書に記載されたものでない。

以上のとおりであるから、調査は、明細書に裏付けられ、開示されている範囲について行った。