



(12) 发明专利

(10) 授权公告号 CN 1998085 B

(45) 授权公告日 2012.08.08

(21) 申请号 200580024502.7

(51) Int. Cl.

(22) 申请日 2005.02.09

H01L 29/778 (2006.01)

H01L 21/335 (2006.01)

(30) 优先权数据

10/849,617 2004.05.20 US

(56) 对比文件

US 5686740 A, 1997.11.11, 全文.

(85) PCT申请进入国家阶段日

2007.01.19

US 2001/0023964 A1, 2001.09.27, 说明书第 0029 段至第 0040 段, 第 0049 段至第 0051 段、附图 1, 2, 9.

(86) PCT申请的申请数据

PCT/US2005/004039 2005.02.09

US 2003/0145784 A1, 2003.08.07, 全文.

(87) PCT申请的公布数据

W02005/119787 EN 2005.12.15

JP 特开 2000-174261 A, 2000.06.23, 全文.

US 2004/0021152 A1, 2004.02.05, 全文.

(73) 专利权人 克里公司

US 2002/0079508 A1, 2002.06.27, 说明书第 0025 段至第 0051 段、附图 1-5.

地址 美国北卡罗来纳州

审查员 刘振玲

(72) 发明人 A·W·萨克斯勒 R·P·史密斯

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 张雪梅 梁永

权利要求书 5 页 说明书 11 页 附图 6 页

(54) 发明名称

制作具有再生长欧姆接触区的氮化物基晶体管的 方法以及具有再生长欧姆接触区的氮化物基晶体管

(57) 摘要

晶体管制作包括在衬底上形成氮化物基沟道层、在该氮化物基沟道层上形成阻挡层、在该阻挡层中形成接触凹进以暴露该氮化物基沟道层的接触区、例如利用低温沉积工艺在该氮化物基沟道层的该暴露的接触区上形成接触层、在该接触层上形成欧姆接触并且形成设置在阻挡层上与该欧姆接触相邻的栅接触。也提供了高电子迁移率晶体管 (HEMT) 和制作 HEMT 的方法。该 HEMT 包括在衬底上的氮化物基沟道层、在该氮化物基沟道层上的阻挡层、在该阻挡层中延伸到该沟道层中的接触凹进、在该接触凹进中该氮化物基沟道层上的 n 型氮化物基半导体材料接触区、在该氮化物基接触区上的欧姆接触和设置在阻挡层上与该欧姆接触相邻的栅接触。该 n 型氮化物基半导体材料接触区和该氮化物基沟道层包括表面面积扩大结构。

阻挡层 22
沟道层 20
衬底 10

1. 一种制作晶体管的方法,包括:
形成氮化物基沟道层;
在该氮化物基沟道层上形成阻挡层;
在该阻挡层中形成接触凹进以暴露该氮化物基沟道层的接触区;
利用温度低于 960℃的低温沉积工艺在该氮化物基沟道层的该暴露的接触区上形成接触层;
在该接触层上形成欧姆接触;以及
形成设置在阻挡层上与该欧姆接触相邻的栅接触,
其中形成该接触区和形成该氮化物基沟道层包括形成该接触区和形成该氮化物基沟道层以包括表面面积扩大结构,且其中该表面面积扩大结构包括用于与平面界面相比增加该氮化物基沟道层和该接触区的垂直部分之间的界面的表面面积的装置。
2. 如权利要求 1 所述的方法,其中该低温沉积工艺使用低于 450℃的温度。
3. 如权利要求 1 所述的方法,其中该低温沉积工艺使用低于 200℃的温度。
4. 如权利要求 1 所述的方法,其中该接触层包括除了 GaN 和 AlGaN 之外的 n 型简并半导体材料。
5. 如权利要求 4 所述的方法,其中该接触层包括非氮化物 III-V 族半导体材料、IV 族半导体材料和 / 或 II-VI 族半导体材料。
6. 如权利要求 1 所述的方法,其中利用低温沉积工艺在该氮化物基沟道层的该暴露的接触区上形成接触层包括通过金属有机化学汽相沉积 (MOCVD)、分子束外延 (MBE)、等离子体增强化学汽相沉积 (PECVD)、溅射和 / 或氢化物汽相外延 (HVPE) 形成氮化物基接触层。
7. 如权利要求 1 所述的方法,进一步包括:
在该阻挡层上形成第一介电层;
在该第一介电层中形成栅凹进;
其中形成栅接触包括在该接触凹进中形成栅接触;以及
其中形成接触凹进包括在该第一介电层和该阻挡层中形成欧姆接触凹进,其暴露该氮化物基沟道层的一部分。
8. 如权利要求 7 所述的方法,其中该第一介电层包括氮化硅层。
9. 如权利要求 8 所述的方法,其中该氮化硅层为晶体管提供钝化层。
10. 如权利要求 1 所述的方法,进一步包括:
在该阻挡层上形成第一介电层;
其中形成栅接触包括在该第一介电层上形成栅接触;以及
其中形成接触凹进包括在该第一介电层和该阻挡层中形成欧姆接触凹进,其暴露该氮化物基沟道层的一部分。
11. 如权利要求 1 所述的方法,其中该接触凹进延伸到该沟道层中。
12. 如权利要求 1 所述的方法,其中形成欧姆接触包括在不对欧姆接触退火的情况下形成该欧姆接触。
13. 如权利要求 1 所述的方法,其中形成欧姆接触包括:
图案化该接触层上的金属层;以及
在 850℃或更低的温度退火该图案化的金属层。

14. 如权利要求 1 所述的方法,其中在该氮化物基沟道层的该暴露的接触区上形成接触层包括在该氮化物基沟道层的该暴露的接触区上形成接触层至足以提供比在沟道层和阻挡层之间的界面处形成的二维电子气区域的薄层电阻率小的薄层电阻率的厚度。

15. 如权利要求 1 所述的方法,其中形成接触层包括形成 n 型 InGaN、GaN、AlGaN、InAlGaN、InAlN 和 / 或 InN 层。

16. 如权利要求 15 所述的方法,其中在形成期间利用 Si、Ge 和 / 或 O 对该 InGaN、GaN、AlGaN、InAlGaN、InAlN 和 / 或 InN 层掺杂。

17. 如权利要求 1 所述的方法,其中该接触层是 n 型接触层,该方法进一步包括形成该沟道层的侧壁以在该沟道层和该 n 型接触层之间提供与平面界面相比增加表面面积的界面。

18. 如权利要求 17 所述的方法,其中在该 n 型接触层上形成欧姆接触包括在延伸到沟道层的一部分之上的该 n 型接触层上形成欧姆接触。

19. 如权利要求 17 所述的方法,其中在该 n 型接触层上形成欧姆接触包括在该沟道层的侧壁之前终止的该 n 型接触层上形成欧姆接触。

20. 如权利要求 1 所述的方法,其中该接触层是 n 型接触层,该方法进一步包括:

在该沟道层中形成与所述接触区相邻的孔;

在这些孔中放置 n 型氮化物基半导体材料;以及

其中在该 n 型接触层上形成欧姆接触包括在该 n 型接触层上以及在这些孔中的该 n 型氮化物基半导体材料上形成欧姆接触。

21. 如权利要求 1 所述的方法,其中该接触凹进包括第一接触凹进,该接触区包括第一接触区以及该欧姆接触包括第一欧姆接触,该方法进一步包括:

在该阻挡层中形成第二接触凹进以暴露该氮化物基沟道层的第二接触区;

利用温度低于 960°C 的低温沉积工艺在该氮化物基沟道层的该暴露的第二接触区上形成接触层;

在该接触层上形成第二欧姆接触;以及

其中形成栅接触包括形成在该第一和第二欧姆接触之间设置在该阻挡层上的栅接触。

22. 如权利要求 1 所述的方法,其中形成接触凹进进一步包括形成暴露该阻挡层的一部分的接触凹进并且其中形成接触层包括形成延伸到该阻挡层的该暴露部分之上的接触层。

23. 如权利要求 1 所述的方法:

其中形成接触凹进包括:

在该阻挡层上形成掩蔽层;以及

图案化该掩蔽层和该阻挡层以提供暴露该氮化物基沟道层的一部分的接触凹进;

其中形成接触层包括在该氮化物基沟道层的该暴露部分和该掩蔽层上形成接触层,该方法进一步包括选择性地除去该掩蔽层和在该掩蔽层上的该接触层的一部分以提供氮化物基沟道层的接触区。

24. 如权利要求 23 所述的方法,进一步包括:

在该阻挡层上形成第一介电层;

在该第一介电层中形成凹进;

其中形成栅接触包括在该凹进中形成栅接触；

其中在该阻挡层上形成掩蔽层包括在该第一介电层上形成掩蔽层；以及

其中图案化该掩蔽层和该阻挡层以提供暴露该氮化物基沟道层的一部分的接触凹进包括图案化该掩蔽层、该第一介电层和该阻挡层以提供暴露该氮化物基沟道层的一部分的接触凹进。

25. 如权利要求 23 所述的方法，其中该掩蔽层包括介电层。

26. 如权利要求 23 所述的方法，其中该掩蔽层包括光致抗蚀剂和 / 或电子束抗蚀剂掩蔽层。

27. 如权利要求 23 所述的方法，其中形成欧姆接触包括在不对欧姆接触退火的情况下形成该欧姆接触。

28. 如权利要求 23 所述的方法，其中形成欧姆接触包括：

图案化该氮化物基接触区上的金属层；以及

在低于 850°C 的温度将该图案化的金属层退火。

29. 如权利要求 23 所述的方法，其中在该氮化物基沟道层的该暴露部分和该掩蔽层上形成接触层包括在该氮化物基沟道层的该暴露部分和该掩蔽层上形成接触层至足以提供比在该沟道层和该阻挡层之间的界面处形成的二维电子气区域的薄层电阻率小的薄层电阻率的厚度。

30. 如权利要求 23 所述的方法，进一步包括：

在该沟道层中形成与所述接触区相邻的孔；

其中形成接触层进一步包括在这些孔中放置氮化物基半导体材料；以及

其中在该氮化物基接触区上形成欧姆接触包括在该氮化物基接触区上以及在这些孔中的该氮化物基半导体材料上形成欧姆接触。

31. 如权利要求 23 所述的方法，其中该接触凹进包括第一接触凹进，该氮化物基接触区包括第一氮化物基接触区以及该欧姆接触包括第一欧姆接触，该方法进一步包括：

图案化该掩蔽层和该阻挡层以提供暴露该氮化物基沟道层的一部分的第二接触凹进；

在被第二接触凹进暴露的该氮化物基沟道层的该部分之上形成接触层；

其中选择性地除去该掩蔽层包括选择性地除去该掩蔽层以及在该掩蔽层上的接触层的一部分以提供该第一氮化物基接触区和第二氮化物基接触区；

在该第二氮化物基接触区上形成第二欧姆接触；以及

其中形成栅接触包括形成在该第一和第二欧姆接触之间设置在该阻挡层上的栅接触。

32. 如权利要求 23 所述的方法，其中该接触凹进暴露该阻挡层的一部分并且其中形成接触层包括形成延伸到该阻挡层的该暴露部分之上的接触层。

33. 如权利要求 1 所述的方法，其中形成该接触区和形成该氮化物基沟道层以包括表面积扩大结构包括图案化延伸到该沟道层中的该接触凹进的部分的侧壁。

34. 如权利要求 33 所述的方法，其中形成欧姆接触包括形成在所述侧壁的区域中没有延伸到该沟道层上的欧姆接触。

35. 如权利要求 33 所述的方法，其中形成欧姆接触包括形成在所述侧壁的区域中延伸到该沟道层上的欧姆接触。

36. 一种高电子迁移率晶体管,包括:
- 氮化物基沟道层;
- 在该氮化物基沟道层上的阻挡层;
- 在该阻挡层中延伸到该沟道层中的至少一个接触凹进;
- 在该接触凹进中该氮化物基沟道层上的接触区;
- 设置在该阻挡层上的栅接触;以及
- 其中该接触区和该氮化物基沟道层包括表面面积扩大结构,
- 其中该表面面积扩大结构包括用于与平面界面相比增加该氮化物基沟道层和该接触区的垂直部分之间的界面的表面面积的装置。
37. 如权利要求 36 所述的晶体管,其中该表面面积扩大结构包括延伸到该沟道层中的该接触凹进的部分的图案化的侧壁。
38. 如权利要求 36 所述的晶体管,进一步包括在该接触区上的欧姆接触。
39. 如权利要求 38 所述的晶体管,其中在延伸到该沟道层中的该接触凹进的部分的侧壁的区域中该欧姆接触没有延伸到该沟道层上。
40. 如权利要求 38 所述的晶体管,其中在延伸到该沟道层中的该接触凹进的部分的侧壁的区域中该欧姆接触延伸到该沟道层上。
41. 如权利要求 38 所述的晶体管,其中该表面面积扩大结构包括延伸到该沟道层中、在其中具有 n 型半导体材料的孔,并且其中该欧姆接触与这些孔中的该 n 型半导体材料接触。
42. 如权利要求 36 所述的晶体管,其中该接触区包括 InGa_N、InAlGa_N、InAlN 和 / 或 InN 层。
43. 如权利要求 36 所述的晶体管,其中该接触区包括 AlGa_N。
44. 如权利要求 36 所述的晶体管,其中该接触区包括 Ga_N。
45. 如权利要求 36 所述的晶体管,其中该接触区包括利用 Si、Ge 和 / 或 O 掺杂的 InGa_N、InAlGa_N、InAlN、AlGa_N、Ga_N 和 / 或 InN。
46. 如权利要求 36 所述的晶体管,进一步包括在该阻挡层上的氮化硅层,并且其中该栅接触被设置在该氮化硅层中的凹进中。
47. 如权利要求 38 所述的晶体管,其中该欧姆接触包括第一欧姆接触,该晶体管进一步包括与该栅接触相邻并且与该第一欧姆接触相对的第二欧姆接触。
48. 如权利要求 36 所述的晶体管,其中该接触区包括除了 Ga_N 和 AlGa_N 之外的 n 型简并半导体材料。
49. 如权利要求 48 所述的晶体管,其中该接触区包括非氮化物 III-V 族半导体材料、IV 族半导体材料和 / 或 II-VI 族半导体材料。
50. 如权利要求 36 所述的晶体管,其中该接触区包括金属和 / 或金属合金并且提供欧姆接触。
51. 如权利要求 36 所述的晶体管,其中该接触区延伸到该阻挡层上。
52. 如权利要求 36 所述的晶体管,进一步包括在该阻挡层上的介电层,并且其中该栅接触在该介电层上。
53. 如权利要求 36 所述的晶体管,其中该接触区包括在该至少一个接触凹进中该氮化

物基沟道层上用以提供欧姆接触的金属和 / 或金属合金的区域。

54. 如权利要求 53 所述的晶体管,其中该金属的区域延伸到该阻挡层上。

55. 如权利要求 36 所述的晶体管,其中该接触区包括在该至少一个接触凹进中该氮化物基沟道层上的除了 GaN 或 AlGaN 之外的 n 型简并半导体材料的区域 ;和
在该 n 型简并半导体材料的区域上的欧姆接触。

56. 如权利要求 55 所述的晶体管,其中该 n 型简并半导体材料的区域延伸到该阻挡层上。

制作具有再生长欧姆接触区的氮化物基晶体管的方法以及 具有再生长欧姆接触区的氮化物基晶体管

技术领域

[0001] 本发明涉及半导体器件并且,更具体地说,涉及包括氮化物基有源层的晶体管。

背景技术

[0002] 本发明涉及由半导体材料形成的晶体管,其可以使得它们适合高功率、高温、和 / 或高频率应用。已经发现材料例如硅 (Si) 和砷化镓 (GaAs) 在更低功率和 (在硅的情形下) 更低频率应用的半导体器件中的广泛应用。然而,由于它们的相对小的带隙 (例如在室温下 Si 为 1.12eV 以及 GaAs 为 1.42) 和 / 或相对小的击穿电压,这些更惯用的半导体材料可能并不很适合更高功率和 / 或高频率的应用。

[0003] 考虑到用 Si 和 GaAs 的困难,对高功率、高温、和 / 或高频率应用和器件的兴趣已经转向宽带隙半导体材料例如碳化硅 (在室温下 α -SiC 为 2.996eV) 和 III 族氮化物 (例如在室温下 GaN 为 3.36eV)。与砷化镓和硅相比,这些材料一般具有更高的电场击穿强度和更高的电子饱和速度。

[0004] 对于高功率和 / 或高频率应用特别令人感兴趣的器件是高电子迁移率晶体管 (HEMT),其也被称为调制掺杂场效应晶体管 (MODFET)。在许多环境下这些器件可以提供操作优点,因为在两种具有不同的带隙能量的半导体材料的异质结处形成了二维电子气 (2DEG),并且其中较小带隙的材料具有较高的电子亲和力。该 2DEG 是未掺杂的 (非故意掺杂的)、较小带隙的材料中的积累层并且可以获得非常高的薄层电子浓度,例如超过 10^{13} 载流子 / cm^2 。另外,来源于较宽带隙的半导体的电子转移到该 2DEG,由于减少的电离杂质散射而容许高的电子迁移率。

[0005] 高载流子浓度和高载流子迁移率的该组合能够给予 HEMT 非常大的跨导并且可以在用于高频率应用时提供优于金属 - 半导体场效应晶体管 (MESFET) 的强大的性能优点。

[0006] 由于包括上述的高击穿场、它们的宽带隙、大的导带偏移、和 / 或高饱和电子漂移速度的材料特性的组合,在氮化镓 / 氮化铝镓 (GaN/AlGaN) 材料体系中制作的高电子迁移率晶体管具有产生大量射频功率的潜能。该 2DEG 中的电子的主要部分是 AlGaN 中的极化的结果。已经阐述了在 GaN/AlGaN 体系中的 HEMT。美国专利 5,192,987 和 5,296,395 描述了 AlGaN/GaN HEMT 结构和制造方法。美国专利 NO. 6,316,793,其被共同赋予 Sheppard 等人并在此被并入作为参考,描述了 HEMT 器件,该 HEMT 器件具有半绝缘碳化硅衬底,在该衬底上的氮化铝缓冲层,在该缓冲层上的绝缘氮化镓层、在该氮化镓层上的氮化铝镓阻挡层,以及在氮化铝镓有源结构上的钝化层。

[0007] 氮化物基晶体管的制作的一个问题包括用于这些晶体管的欧姆接触的形成。常规地,通过反应离子刻蚀 (RIE) 欧姆接触被形成为用于接触的凹进。然而,在没有严格的过程控制实践的情况下,在氮化物基材料中的 RIE 可能会因均匀性和可重复性问题而受损害。这些问题可能导致难以控制制作过程。在没有 RIE 的情况下所形成的欧姆接触一般使用高的退火温度 (例如,900°C)。这种高退火温度可能损伤材料和 / 或器件。

发明内容

[0008] 本发明的一些实施例提供了晶体管的制作,其包括在衬底上形成氮化物基沟道层、在氮化物基沟道层上形成阻挡层、在阻挡层中形成接触凹进以暴露该氮化物沟道层的接触区以及利用低温沉积工艺在该氮化物基沟道层的该暴露的接触区上形成接触层。制作也可以包括在该接触层上形成欧姆接触以及形成设置在阻挡层上与该欧姆接触相邻的栅接触。

[0009] 在本发明的另外的实施例中,利用低温沉积工艺在该氮化物基沟道层的该暴露的接触区上形成接触层包括通过金属有机化学汽相沉积 (MOCVD)、分子束外延 (MBE)、等离子体增强化学汽相沉积 (PECVD)、溅射和 / 或氢化物汽相外延 (HVPE) 形成接触层。此外,该低温沉积工艺可以是除了从其上形成晶体管的晶片显著质量传递 (mass transport) 以外的工艺。

[0010] 在本发明的另外的实施例中,该晶体管的制作进一步包括在阻挡层上形成第一介电层以及在该第一介电层中形成凹进。形成栅接触包括在凹进中形成栅接触。形成接触凹进包括在第一介电层和暴露该氮化物基沟道层的一部分的阻挡层中形成接触凹进。在本发明的其它实施例中,栅接触可以被形成在第一介电层上。

[0011] 在本发明的更进一步的实施例中,第一介电层包含氮化硅层。该氮化硅层可以为晶体管提供钝化层。

[0012] 在本发明的另外的实施例中,该接触凹进延伸到该沟道层中。此外,形成欧姆接触可以包括在不对欧姆接触退火的情况下形成欧姆接触。形成欧姆接触可以包括图案化接触层上的金属层并且在大约 850°C 或更低的温度对该图案化的金属层退火。

[0013] 在本发明的其它实施例中,在该氮化物基沟道层的被暴露的部分上形成接触层包括在该氮化物基沟道层的被暴露的部分上形成接触层至足以提供比在该沟道层和该阻挡层之间的界面处形成的二维电子气区域的薄层电阻率小的薄层电阻率的厚度。形成接触层可以包括形成 n 型 InGa_N、AlIn_N、AlInGa_N 和 / 或 In_N 层。在本发明的一些实施例中,所形成的该 n 型氮化物基层是 Ga_N 和 / 或 AlGa_N。在形成期间可以利用 Si、Ge 和 / 或 O 对该 InGa_N、Ga_N、AlGa_N、AlIn_N、AlInGa_N 和 / 或 In_N 层掺杂。

[0014] 在本发明的一些实施例中,该接触层包括除 Ga_N 和 AlGa_N 之外的 n 型简并半导体材料。该接触层可以包括非氮化物 III-V 族半导体材料、IV 族半导体材料和 / 或 II-VI 族半导体材料。

[0015] 在本发明的另外的实施例中,该晶体管的制作进一步包括形成该沟道层的侧壁以在该沟道层和该 n 型接触层之间提供同平面界面相比增加表面面积的界面。在该接触层上形成欧姆接触可以包括在该接触层上形成欧姆接触,其延伸到该沟道层的一部分之上或者其在该沟道层的侧壁之前终止。

[0016] 在本发明的另外的实施例中,该晶体管的制作包括在沟道层中形成与接触区相邻的孔并且在这些孔中放置 n 型氮化物基半导体材料。在该接触层上形成欧姆接触进一步包括在该接触层上以及在这些孔中的该氮化物基半导体材料上形成欧姆接触。

[0017] 在本发明的另外的实施例中,该接触层延伸到该阻挡层上。

[0018] 在本发明的其它的实施例中,制作晶体管包括在衬底上形成氮化物基沟道层、在

该氮化物基沟道层上形成阻挡层、在该阻挡层上形成掩蔽层、图案化该掩蔽层和该阻挡层以提供暴露该氮化物基沟道层的一部分的接触开口、在该氮化物基沟道层的该暴露的部分和该掩蔽层上形成接触层、选择性地除去该掩蔽层和在该掩蔽层上的该接触层的一部分以提供接触区、在该接触区上形成欧姆接触以及形成设置在该阻挡层上与该欧姆接触相邻的栅接触。该晶体管的制作也可以包括在该阻挡层上形成第一介电层以及在该第一介电层中形成凹进。形成栅接触可以包括在该凹进中形成栅接触。在该阻挡层上形成掩蔽层可以包括在该第一介电层上形成掩蔽层。图案化该掩蔽层和该阻挡层以提供暴露该氮化物基沟道层的一部分的接触开口可以包括图案化该掩蔽层、该第一介电层和该阻挡层以提供暴露该氮化物基沟道层的一部分的接触开口。

[0019] 在本发明的特定实施例中,该第一介电层包括氮化硅层。该氮化硅层可以为晶体管提供钝化层。该掩蔽层可以是介电层。该介电层可以是氧化硅层。该掩蔽层可以是光致抗蚀剂掩蔽层。

[0020] 形成欧姆接触可以通过在不对欧姆接触退火的情况下形成欧姆接触来提供。可替换地,形成欧姆接触可以通过图案化该接触区上的金属层并且在大约 850°C 或更低的温度对该图案化的金属层退火来提供。

[0021] 在该氮化物基沟道层的该暴露的部分和该氧化物层上形成接触层可以包括通过金属有机化学汽相沉积 (MOCVD)、分子束外延 (MBE)、等离子体增强化学汽相沉积 (PECVD)、溅射和 / 或氢化物汽相外延 (HVPE) 形成接触层。在该氮化物基沟道层的被暴露的部分和该掩蔽层上形成接触层可以通过下述来提供:在该氮化物基沟道层的被暴露的部分和该掩蔽层上形成接触层至足以提供比在该沟道层和该阻挡层之间的界面处形成的二维电子气区域的薄层电阻率小的薄层电阻率的厚度。形成接触层可以包括形成 n 型 InGaN、AlInGaN、InAlN 和 / 或 InN 层。在一些实施例中,该氮化物基接触层可以是 GaN 和 / 或 AlGaN。在形成期间可以利用 Si、Ge 和 / 或 O 对该 InGaN、AlInGaN、InAlN、GaN、AlGaN、和 / 或 InN 层掺杂。

[0022] 在本发明的另外的实施例中,该晶体管的制作包括形成该沟道层的侧壁以在该沟道层和该 n 型接触层之间提供同平面界面相比增加表面面积的界面。在该接触层上形成欧姆接触可以包括在该接触层上形成欧姆接触,其延伸到该沟道层的一部分上或者其在该沟道层的侧壁之前终止。此外或可替换地,该晶体管的制作可以包括在沟道层中形成与接触区相邻的孔并且在这些孔中放置氮化物基半导体材料。在该氮化物基接触区上形成欧姆接触可以包括在该氮化物基接触区上以及在这些孔中的氮化物基半导体材料上形成欧姆接触。

[0023] 在本发明的其它实施例中,提供高电子迁移率晶体管 (HEMT) 以及制作 HEMT 的方法。该 HEMT 包括衬底上的氮化物基沟道层、该氮化物基沟道层上的阻挡层、在该阻挡层中的延伸到该沟道层中的接触凹进、在该接触凹进中该氮化物基沟道层上的接触区、设置在该阻挡层上的栅接触。该接触区和该氮化物基沟道层包括表面面积扩大结构。

[0024] 在本发明的一些实施例中,该表面面积扩大结构包括延伸到该沟道层中的接触凹进的部分的图案化的侧壁。在本发明的特定实施例中,欧姆接触被设置在没有延伸到在该侧壁区中的该沟道层上的接触区上。在本发明的其它实施例中,该欧姆接触延伸到在所述侧壁区中的该沟道层上。

[0025] 在本发明的另外的实施例中,该表面面积扩大结构包括延伸到沟道层中的孔且其中具有 n 型氮化物基半导体材料,并且该欧姆接触与在这些孔中的该氮化物基半导体材料接触。

[0026] 该 n 型氮化物基半导体材料可以包括 InN、AlGaIn、InGaIn、AlInGaIn、AlInIn 和 / 或 GaN。可以利用 Si、Ge 和 / 或 O 对该 n 型氮化物基半导体材料掺杂。也可以在该阻挡层上设置氮化硅层并且可以在该氮化硅层中的凹进中设置该栅接触。

[0027] 本发明的另外的实施例提供高电子迁移率晶体管以及制作包括在衬底上的氮化物基沟道层和在该氮化物基沟道层上的阻挡层的晶体管的方法。在该阻挡层中提供至少一个接触凹进,其延伸到该沟道层中。在该接触凹进中的该氮化物基沟道层上设置金属和 / 或金属合金的区域以提供欧姆接触。所设置的栅接触在该阻挡层上。该金属区域可以延伸到该阻挡层上。

[0028] 本发明的另外的实施例提供高电子迁移率晶体管以及制作包括在衬底上的氮化物基沟道层和在该氮化物基沟道层上的阻挡层的晶体管的方法。在该阻挡层中提供至少一个接触凹进,其延伸到该沟道层中。在该接触凹进中的该氮化物基沟道层上设置除 GaN 或 AlGaIn 以外的 n 型简并半导体材料的区域。在该 n 型简并半导体材料的区域上设置欧姆接触并且在该阻挡层上设置栅接触。该 n 型简并半导体材料的区域可以延伸到该阻挡层上。

附图说明

[0029] 图 1A-1G 是示出根据本发明的实施例晶体管中的欧姆接触的制作的示意图。

[0030] 图 2 是根据本发明的另外的实施例的晶体管的示意图。

[0031] 图 3A 和 3B 是根据本发明的另外的实施例的晶体管的示意图。

[0032] 图 4A-4C 是根据本发明的另外的实施例的晶体管的制作的示意图。

具体实施方式

[0033] 在下文中即将参考附图更完全地描述本发明,其中示出了本发明的实施例。然而该发明可以被体现为多种不同的形式并且不应被解释为受限于在此阐明的实施例。更确切地说,提供这些实施例以便该公开是全面的和完整的,并且将本发明的范围完全地传达给本领域的技术人员。在附图中,为清楚起见可以扩大层和区域的尺寸和相对尺寸。将要理解的是,当元件或层被称作在另一元件或层“之上”、“连接到”或“耦接到”另一元件或层时,它可以是直接在该另一元件或层上面、连接或耦接到该另一元件或层或者可以存在插入的元件或层。相比之下,当元件被称作“直接在”另一元件或层“之上”、“直接连接到”或“直接耦接到”另一元件或层时,不存在插入的元件或层。类似的数字始终指的是类似的元件。如在此所用的,术语“和 / 或”包括相关联的所列项中的一个或多个的任意和所有组合。

[0034] 将要理解的是,尽管术语第一、第二等在此可以被用来描述各种元件、部件、区域、层和 / 或部分,但是这些元件、部件、区域、层和 / 或部分不应被这些术语所限制。这些术语仅仅是被用来将一个元件、部件、区域、层和 / 或部分与另一区域、层或部分区别开。因此,在不脱离本发明的教导的情况下,第一元件、部件、区域、层或部分可以被称作第二元件、部件、区域、层或部分。

[0035] 此外,相对的术语,例如“下部”或“底部”以及“上部”或“顶部”在此可以被用来

描述如图所示的一个元件与另一元件的关系。将要理解的是,相对的术语旨在除了在图中示出的方向以外还包括该器件的不同方向。例如,如果在图中的该器件被翻转,那么被描述为在其它元件的“下”侧上的元件将取向于其它元件的“上”侧上。因此示例性术语“下部”可以包括“下部”和“上部”两个方向,取决于该图的具体取向。相似地,如果在其中一个图中的器件被翻转,那么被描述为在其它元件“下面”或“下方”的元件将取向于其它元件的“上方”。因此示例性术语“下面”或“下方”可以包括上方和下方两个方向。

[0036] 在此将参考作为本发明的理想实施例的示意图的截面图描述本发明的实施例。因而,将预料到由于例如制作技术和 / 或容差引起的这些图解的形状的变化。因此,本发明的实施例不应被解释为受限于在此示出的区域的特定形状,而应包括由于例如制作产生的形状偏差。例如,图示为长方形的注入区在它的边缘处一般将具有圆形或弯曲的特征和 / 或注入浓度梯度而不是从注入到非注入区的二进制变化。同样,通过注入形成的掩埋区可以在该掩埋区和通过其进行注入的表面之间的区域中产生一些注入。因此,在图中示出的区域实际上是示意性的,并且它们的形状并不旨在说明器件的区域的精确形状并且并不旨在限制本发明的范围。

[0037] 本发明的实施例提供在 III 族氮化物基晶体管的再生长接触区上的欧姆接触以及形成这种接触的方法。

[0038] 本发明的实施例可以适合在氮化物基 HEMT 例如 III 族氮化物基器件中使用。正如在此所使用的,术语“III 族氮化物”是指氮和周期表的 III 族中的元素(一般为铝(Al)、镓(Ga)、和 / 或铟(In))之间形成的那些半导体化合物。该术语也指三元和四元化合物,例如 AlGa_N 和 AlInGa_N。正如本领域的技术人员所充分理解的,III 族元素可以与氮组合形成二元(例如 GaN)、三元(例如 AlGa_N、AlIn_N)、和四元(例如 AlInGa_N)化合物。这些化合物全部具有实验式,其中一摩尔氮与一摩尔 III 族元素的总和组合。因此,经常利用公式例如 Al_xGa_{1-x}N 来描述它们,其中 $0 \leq x \leq 1$ 。

[0039] 例如在共同赋予的美国专利 6,316,793 和在 2001 年 7 月 12 日提交的关于“ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH-ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUMNITRIDE-BASED CAP SEGMENT AND METHODS OF FABRICATING SAME”的美国申请序列号 no. 09/904,333、在 2001 年 5 月 11 日提交的关于“GROUP III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR(HEMT)WITH BARRIER/SPACER LAYER”的美国临时申请序列号 no. 60/290,195 以及 Smorchkova 等人的题目为“GROUP-III NITRIDE BASED HIGH-ELECTRON MOBILITY TRANSISTOR(HEMT)WITH BARRIER/SPACER LAYER”的美国专利申请序列号 No. 10/102,272 中,描述了用于可以利用本发明的实施例的 GaN 基 HEMT 的合适的结构,在此并入其公开的全部内容作为参考。

[0040] 本发明的实施例的制作在图 1A-1G 中示意性地示出。正如在图 1A 中所见的,提供衬底 10,其上可以形成氮化物基器件。在本发明的具体实施例中,该衬底 10 可以是半绝缘碳化硅(SiC)衬底,其可以是例如 4H 多型碳化硅。其它碳化硅候选多型包括 3C、6H 和 15R 多型。术语“半绝缘的”是描述性地使用而不是绝对意义上的。在本发明的具体实施例中,该碳化硅体晶体在室温下具有等于或高于约 $1 \times 10^5 \Omega \cdot \text{cm}$ 的电阻率。

[0041] 可以在衬底 10 上设置可选的缓冲、成核和 / 或过渡层(未示出)。例如,可以提供 AlN 缓冲层以在碳化硅衬底和器件的剩余部分之间提供合适的晶体结构过渡。另

外,也可以提供应变平衡过渡层,如例如在 2002 年 7 月 19 日提交的题目为" STRAIN BALANCED NITRIDEHETROJUNCTION TRANSISTORS AND METHODS OF FABRICATING STRAINBALANCED NITRIDE HETEROJUNCTION TRANSISTORS"的共同赋予的美国专利申请序列号 No. 10/199,786、和在 2001 年 12 月 3 日提交的题目为" STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTOR"的美国临时专利申请序列号 No. 60/337,687 中所描述的,在此并入其公开的全部内容作为参考。

[0042] 碳化硅比蓝宝石 (Al_2O_3) 具有与 III 族氮化物更接近的晶格匹配,其是用于 III 族氮化物器件的非常普通的衬底材料。与在蓝宝石上通常可用的那些相比,该更接近的晶格匹配可以产生更高质量的 III 族氮化物膜。碳化硅还具有很高的热导率以便在碳化硅上的 III 族氮化物器件的总输出功率一般不如同在蓝宝石上形成的同样的器件的情形下那样受该衬底的热耗散的限制。而且,半绝缘碳化硅衬底的可用性可以提供器件隔离以及减小的寄生电容。通过例如本发明的受让人 Durham, N. C. 的 Cree, Inc. 制作合适的 SiC 衬底,并且在例如美国专利 Nos. Re. 34,861 ;4,946,547 ;5,200,022 ;和 6,218,680 中描述了制造方法,在此并入其全部内容作为参考。类似地,在例如美国专利 Nos. 5,210,051 ;5,393,993 ;5,523,589 ;和 5,292,501 中已经描述了 III 族氮化物的外延生长技术,在此也并入其全部内容作为参考。

[0043] 尽管碳化硅可以是优选的衬底材料,但是本发明的实施例可以利用任何合适的衬底,例如蓝宝石、氮化铝、氮化铝镓、氮化镓、硅、GaAs、LG0、ZnO、LAO、InP 等。在一些实施例中,也可以形成合适的缓冲层。

[0044] 回到图 1A,沟道层 20 被设置在衬底 10 上。可以利用如上所述的缓冲层、过渡层和 / 或成核层在衬底 10 上沉积该沟道层 20。沟道层 20 可以在压应变之下。此外,可以通过 MOCVD 或通过本领域技术人员已知的其它技术例如 MBE 或 HVPE 沉积沟道层和 / 或缓冲成核和 / 或过渡层。

[0045] 在本发明的一些实施例中,该沟道层 20 是 III 族氮化物,例如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$, 其中 $0 \leq x < 1$, 假设沟道层 20 的带隙小于阻挡层 22 的带隙。在本发明的特定实施例中, $x = 0$, 表示沟道层 20 是 GaN。沟道层 20 也可以是其它 III 族氮化物例如 InGaN、AlInGaN 等。沟道层 20 可以不被掺杂(“非故意掺杂”)并且可以生长成大于约 20 Å 的厚度。该沟道层 20 也可以是多层结构,例如 GaN、AlGaN 的组合或超晶格等。

[0046] 阻挡层 22 被设置在沟道层 20 上。沟道层 20 可以具有比阻挡层 22 的带隙小的带隙。阻挡层 22 可以被沉积在沟道层 20 上。在本发明的特定实施例中,阻挡层 22 是厚度在大约 1 和大约 100nm 之间的 AlN、AlInN、AlGaN 或 AlInGaN。在本发明的一些实施例中,阻挡层 22 包括多层。例如,阻挡层 22 可以是大约 1nm 的 AlN 并且在该 AlN 层上是大约 25nm 的 AlGaN。在 Smorchkova 等人的题目为" GROUP-III NITRIDEBASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER" 的美国专利申请序列号 No. 10/102,272 中描述了根据本发明的特定实施例的阻挡层的实例,在此并入其公开的全部内容作为参考。

[0047] 阻挡层 22 可以是 III 族氮化物并且具有比沟道层 20 的带隙大的带隙。因此,在本发明的特定实施例中,阻挡层 22 是 AlGaN、AlInGaN 和 / 或 AlN 或其层的组合。其它材料也可以用于阻挡层 22。例如,也可以使用 ZnGeN_2 、 ZnSiN_2 和 / 或 MgGeN_2 。阻挡层 22 例如可以

是从约 1 到约 100nm 厚,但是没有厚到在其中引起破裂或大量缺陷形成。优选地,该阻挡层 22 不掺杂或利用 n 型掺杂剂掺杂到小于约 10^{19}cm^{-3} 的浓度。在本发明的一些实施例中,阻挡层 22 是 $\text{Al}_x\text{Ga}_{1-x}\text{N}$, 其中 $0 < x < 1$ 。在这些实施例中,阻挡层 22 可以从约 3 到约 30nm 厚。在具体的实施例中,铝含量约为 25%。然而,在本发明的其它实施例中,阻挡层 22 包括铝含量在约 5% 和约 100% 之间的 AlGaIn 。在本发明的特定实施例中,铝含量大于约 10%。在阻挡层 22 包括 AlN 层的本发明的实施例中,该阻挡层 22 可以是例如从约 0.3nm 到约 4nm。

[0048] 图 1B 示出可选的第一介电层 24 的形成。该第一介电层 24 可以是氮化硅层,例如 Si_xN_y 层。该氮化硅层可以用作器件的钝化层。可以通过例如等离子体增强化学汽相沉积 (PECVD)、低压化学汽相沉积 (LPCVD) 和 / 或溅射来沉积该氮化硅层。可以在与晶体管的其它层相同的反应器中沉积该氮化硅层。在本发明的一些实施例中,也可以利用其它电介质,例如氮氧化硅和 / 或二氧化硅。

[0049] 图 1C 示出在第一介电层 24 上的掩模 30 的形成。该掩模 30 被形成在阻挡层 22 的随后将形成栅接触的区域上。如图 1C 中所示,可以从外延反应器 (epi reactor) 除去图 1C 的晶片并且利用掩模材料 30 图案化该晶片以暴露期望的凹进区域。该掩模材料 30 应当能够承受随后的处理的生长温度,包括如下所述的再生长接触区 26 的形成。在本发明的具体实施例中,该掩模 30 通过氧化物提供。在本发明的特定实施例中,利用剥离技术图案化该掩模 30。替换地,可以利用湿法或干法刻蚀来图案化该掩模 30。在本发明的特定实施例中, SiO_2 是掩模材料,尽管也可以使用其它材料例如 AlN 和 Si_xN_y 基材料。也可以利用光致抗蚀剂、电子束抗蚀剂材料或有机掩模材料,如果其不被随后的处理步骤例如沉积温度等过度地损伤的话。

[0050] 如图 1D 中所示,在形成和图案化掩模 30 以便在没有形成用于欧姆接触的接触凹进 23 的区域中留下掩模材料之后,穿过第一介电层 24、穿过阻挡层 22 刻蚀所述凹进至沟道层 20,并且在一些实施例中至并且进入沟道层 20,或在一些实施例中甚至穿过沟道层 20。可以通过例如湿法腐蚀、干法刻蚀和 / 或反应离子刻蚀等提供形成接触凹进 23 的刻蚀。可选地,可以对该结构退火以去除和 / 或减小由该刻蚀引起的损伤。此外,可选地,可以刻蚀该器件的外围以形成台面结构 (未示出),例如,如果不提供或除了这些结构之外可以提供其它的端接结构,诸如场板、注入或其它端接结构。

[0051] 如图 1E 中所示,在刻蚀接触凹进 23 之后,在沟道层 20 的被暴露的区域和掩模 30 之上形成接触层 26'。例如,可以将图 1D 中的晶片放回外延反应器中用来沉积该接触层 26'。在本发明的一些实施例中,通过金属有机化学汽相沉积 (MOCVD)、分子束外延 (MBE)、等离子体增强化学汽相沉积 (PECVD)、溅射和 / 或氢化物汽相外延 (HVPE) 形成该接触层 26'。在一些实施例中,在降低的沉积温度下再生长该接触层 26'。特别地,可以利用低温沉积工艺。正如此处所利用的,“低温沉积”是指在低于从晶片到该再生区域进行显著质量传递的温度的温度下形成层。例如,可以在从约室温到约 950°C 的温度下形成接触层 26'。在一些实施例中,在低于 960°C 的温度下形成接触层 26'。在本发明的具体实施例中,在非常低的温度下形成接触层 26',例如在低于约 450°C 的温度下,并且在一些实施例中是在低于约 200°C 的温度下。这种非常低的温度条件可以与例如溅射和 / 或 PECVD 生长技术一起使用。降低的沉积温度和 / 或低温沉积的使用可以降低俘获和 / 或可以提供改善的可靠性。

[0052] 如以下所讨论的,可以不均匀地形成该接触层 26' 以便在掩模 30 上的部分是多孔

的或不连续的。在一些实施例中,在掩模 30 上没有形成接触层 26'。接触层 26' 的这种选择性形成可以取决于该接触层 26' 的组分、掩模 30 以及该接触层 26' 的生长条件。

[0053] 在本发明的一些实施例中,该接触层 26' 可以是 n 型简并半导体材料。在本发明的特定实施例中,该接触层 26' 可以是重掺杂 n 型 InN、InAlN、AlGaN、AlInGaN、GaN 和 / 或 InGaN。在本发明的其它实施例中,该接触层 26' 可以是除了 GaN 或 AlGaN 之外的 n 型简并半导体材料。例如,该接触层可以是非氮化物 III-V 族半导体材料、IV 族半导体材料和 / 或 II-VI 族半导体材料。可能的接触层 26' 材料的实例包括例如 ZnO、ZnGeN₂ 和 / 或 ZnSnN₂。在本发明的其它实施例中,该接触层 26' 可以是能够在低温共形沉积的金属或金属合金,例如金属硅化物,其具有低的功函数并且不形成肖特基接触。例如,Al 的 MOCVD 共形沉积,利用 DMA1H 在至少约 200°C 的温度下以接触 2DEG。可以随后刻蚀掉在沟道和栅区中的金属。此外,可以在沉积金属之前沉积钝化层。

[0054] 如果沟道层 22 也是 GaN,那么 GaN 接触层 26' 的形成可以减小和 / 或消除与沟道层 22 的能带不连续性。接触层 26' 被形成为足以提供低薄层电阻率的厚度。例如,接触层 26' 可以被生长为足以提供比在沟道层 20 和阻挡层 22 之间的界面处形成的 2DEG 的薄层电阻率小的薄层电阻率的厚度。对接触层 26' 而言,例如几十纳米的 GaN 可以是足够的厚度,然而,较厚的层可以具有较低的电阻并且增加迁移长度 (L_T)。该接触层 26' 可以利用 Si、Ge 和 / 或 O 或其它合适的 n 型掺杂剂掺杂或可以是按照沉积的自然 n 型。接触层 26' 可以按照形成的来掺杂而不是通过随后的离子注入。在没有离子注入的情况下形成掺杂的接触层 26' 可以避免需要极高的温度退火以激活掺杂剂。在本发明的具体实施例中,接触层 26' 具有从约 10 到约 400 $\Omega/\square$ 的薄层电阻率。在本发明的特定实施例中,掺杂该接触层以提供从约 10^{18} 到约 10^{21}cm^{-3} 的载流子浓度。在本发明的更进一步的实施例中,接触层 26' 是从约 10nm 到约 1000nm 厚。

[0055] 对非 III 族氮化物材料的接触层 26' 而言,由于该材料可以被毯式沉积然后在沉积后被图案化以及被刻蚀,所以可以不需要掩模 30。

[0056] 图 1F 示出形成在掩模 30 上的接触层 26' 的部分的去除以及掩模 30 的去除以暴露第一介电层 24,由此提供接触区 26。例如可以通过在缓冲的 HF 或其它将除去掩模层 30 并且留下第一介电层 24 和接触区 26 的蚀刻剂中刻蚀掩模 30 来除去该掩模 30 和接触层 26' 的该部分。在本发明的一些实施例中,形成在掩模 30 上的接触层 26' 的该部分可以被形成成为多孔的或不连续的以便允许通过接触层 26' 刻蚀掩模 30。以这种方式,可以利用相对于接触层 26' 和第一介电层 24 具有刻蚀选择性的蚀刻剂刻蚀掩模 30。对于较小几何形状的器件,例如,可以从各侧刻蚀掩模层 30 以除去该掩模层和在掩模层 30 上的接触层 26' 的该部分,如果在掩模层上的接触层 26' 的该部分不是多孔的或者是连续的。

[0057] 图 1G 示出在第一介电层 24 中的栅凹进的形成和在该栅凹进中在阻挡层 22 的暴露部分之上的栅接触 44 的形成。例如,可以利用例如干法刻蚀、湿法腐蚀和 / 或 RI E 等通过第一介电层 24 刻蚀栅凹进。可选地,可以对该结构退火以修补由该栅凹进的刻蚀所引起的损伤中的一些或全部。合适的栅接触材料包括例如 Ni、Pt、Pd 或其它这种肖特基接触材料。也可以提供另外的迭层 (overlayer)。在本发明的一些实施例中,栅接触 44 可以被形成在介电层 24 之上。

[0058] 如图 1G 中进一步所见,欧姆接触 40 和 42 被形成在接触区 26 之上并且可以提供

源和漏接触。可以在形成栅凹进和 / 或接触 44 之前或之后形成欧姆接触 40 和 42。在本发明的一些实施例中,例如在约 850°C 或更低的温度下,欧姆接触 40 和 42 被退火。在其它实施例中,不执行欧姆接触的退火。使用降低的退火温度或不退火可以减少俘获和 / 或可以提供改善的可靠性。高掺杂的 n 型接触区的存在可以降低接触电阻,其可以提供增加的效率和 / 或射频频率密度。合适的欧姆接触材料包括,例如,可以使用 Ti/Al/Ni/Au 堆叠。相似地,可以使用 Ti/Al/X/Au 结构,其中 X 可以是 Mo、Pt 和 / 或 Ti。

[0059] 虽然已经参考接触层 26' 的毯式沉积描述了本发明的实施例,但是可替换地,在仍受益于本发明的教导的同时也可以利用接触区 26 的选择性再生长。此外,该再生长接触区 26 可以仅提供用于欧姆接触 40 和 42 中的一个并且常规的接触结构提供用于另一接触。因此,本发明的实施例不应被解释为受限于在图 1A-1G 中所示出的特定处理步骤。

[0060] 此外,虽然已经描述了处理步骤的特定顺序,但是在仍在本发明的实施例的范围之内的同时可以提供从该顺序的偏移。例如,可以在形成欧姆接触之前或之后或者甚至在形成接触凹进之前形成栅凹进和栅接触。因此,本发明的实施例不应被解释为受限于以上所述的操作的特定顺序。

[0061] 图 2、3A 和 3B 是包括接触面积扩大结构的本发明的实施例的图,其提供接触区 26 和沟道层 20 之间的界面的增加的垂直表面面积。图 2 示出包括在沟道层 20 的一部分的侧壁中的接触面积扩大面积结构的本发明的实施例,并且图 3A 和 3B 示出通过填充延伸到接触层 20 中的孔来提供该接触扩大面积结构的本发明的实施例。虽然在这里分别描述了每一个接触面积扩大结构,但是也可以彼此组合或与其它结构组合来提供接触面积扩大结构,其与平面垂直接触面积相比增加了沟道层 20 和接触区 26 之间的垂直接触面积。这些结构可以提供用于增加 n 型氮化物基半导体材料接触区 26 和氮化物基沟道层 20 的垂直部分之间的界面的表面面积的装置。

[0062] 图 2、3A 和 3B 示出晶体管的局部部分,其示出单个欧姆接触区。正如本领域的技术人员所理解的,对应的部分可以被提供用于与栅接触相对的第二欧姆接触区以便提供源和漏接触。可替换地,本发明的实施例可以仅为所述欧姆接触中的一个提供接触面积扩大结构。

[0063] 图 2 是根据本发明的另外的实施例的 HEMT 的一部分的顶视图。如图 2 中所见,可以通过提供沟道层 20 和 / 或阻挡层 22 的增加的表面面积侧壁 200 来增加接触区 26 与沟道层 20 和 / 或阻挡层 22 之间的界面的表面面积。该增加的表面面积侧壁 200 相对于直的侧壁具有增加的表面面积。增加接触区 26 与沟道层 20 之间的界面的表面面积可以降低接触区 26 与沟道层 20 之间的电阻。

[0064] 可以在上述的接触凹进刻蚀期间通过将沟道层 20 图案化来提供图案化的侧壁 200。例如,可以执行通过第一介电层 24 和阻挡层 22 的第一刻蚀并且可以接着利用在沟道层 20 的暴露的部分上的掩模执行进入沟道层 22 的第二刻蚀以提供侧壁的图案。可替换地,如果掩模 30 具有与想要得到的沟道层 20 的侧壁图案相对应的图案,那么可以执行单次刻蚀。

[0065] 该侧壁可以具有规则的或不规则的重复或不重复的形状。在图 2 中示出的锯齿形状被提供作为可以使用的形状的实例。然而,也可以使用其它形状,例如可以使用凹口形状、一系列曲线等。因此,本发明的一些实施例不应局限于用于该增加的表面面积侧壁 200

的具体形状。

[0066] 在图 2 中欧姆接触金属 42' 也被示出在接触区 26 上。该接触金属 42' 被示为在接触区 26 的外围前停止。然而,该接触金属 42' 可以比图示的更远地延伸并且可以例如延伸到沟道层 22 之上。

[0067] 图 3A 是本发明的另外的实施例的顶视图并且图 3B 是沿图 3A 的线 I-I' 的截面。如在图 3 中所见的,可以通过提供延伸到沟道层 20 中的孔 300 增加再生长接触区 26 与沟道层 20 之间的界面的表面面积。这些孔 300 在其中具有如在接触区 26 中所提供的 n 型材料。欧姆接触 42' 延伸以覆盖这些孔 300 以便在这些孔 300 中的 n 型材料电连接到接触区 26。

[0068] 可以在上述的接触凹进刻蚀期间通过将沟道层 20 图案化来提供被填充的孔 300, 以便提供在形成接触层 26' 时出现的孔。例如,可以执行通过第一介电层 24 和阻挡层 22 的第一刻蚀并且接着可以利用在沟道层 20 的暴露部分上的掩模执行进入沟道层 22 的第二刻蚀以提供这些孔。

[0069] 可替换地,如果掩模 30 具有与想要得到的沟道层 20 的孔相对应的图案,那么可以执行单次刻蚀。在这种情况下,这些孔将延伸通过阻挡层 22 并且到达或进入沟道层 20。该接触金属然后将延伸到阻挡层 22 上以接触在孔 300 中的材料,如图 3B 中所示。

[0070] 这些孔 300 可以具有规则的或不规则的重复或不重复的图案。此外,这些孔 300 也可以具有圆形或其它形状的外围。在图 3A 中示出的孔的图案和孔的形状被提供作为可以使用的图案和形状的实例。然而,也可以使用其它图案和 / 或形状。因此,本发明的一些实施例不应局限于用于这些孔 300 的具体图案和 / 或形状。

[0071] 图 4A-4C 示出本发明的另外的实施例的制作,其中提供延伸到阻挡层上的接触区。在图 4A-4C 中示出的本发明的实施例的制作可以与图 1A-1F 中示出的相同,除了第一介电层 24 被调整大小为较小尺寸的第一介电层 424 以便例如通过利用各向同性刻蚀来钻蚀掩模 30 到第一介电层 24 中来暴露阻挡层 22 的一部分。可替换地,可以剥离掩模 30 并且施加另一掩模以及可以利用该第二掩模刻蚀第一介电层 24。虽然在图 4A 中的第一介电层 424 在此被描述作为介电材料,但是可以利用其它可除去材料,其可以承受用于沉积接触区的条件。

[0072] 如在图 4A 中所见的,如以上所讨论的再生长接触区 426 并且除去掩模 30。如在图 4B 中所见的,第一介电层 424 被除去并且第二介电层 430 被共形地沉积在接触层 426 和阻挡层 22 上。一般将各向同性地沉积第二介电层 430。在该第二介电层 430 中的窗口可以被设置在接触层 426 上并且用于源和漏接触 440 和 442 的欧姆接触可以被形成在接触层 426 上。也可以在沉积第二介电层 430 之前形成欧姆接触。

[0073] 如在图 4C 中所见的,各向异性地刻蚀第二介电层 430 以暴露阻挡层 22 并且提供侧壁间隔物 (spacer) 430' 和栅接触凹进。栅金属可以被沉积并且例如利用剥离技术被图案化,以提供栅接触 444。该栅接触 444 的长度可以大约为第一介电层 424 的宽度,小于第二介电层 430 的厚度的两倍。在本发明的具体实施例中,第一介电层 424 可以具有约 0.5 到约 1 μm 的宽度并且第二介电层 430 可以具有从约 0.1 到约 0.5 μm 的厚度。

[0074] 虽然已经利用用于源和漏接触的再生长接触区说明了本发明的实施例,但是这些再生长区域可以被提供仅用于源极或漏极中的一个。此外,虽然栅接触已经被示为基本上

中心在源极和漏极之间,但是在本发明的特定实施例中,该栅接触可以例如向源接触偏移。

[0075] 此外,虽然已经参考制作步骤的具体顺序描述了本发明的实施例,但是在仍落入本发明的范围内的同时可以利用步骤的不同顺序。因此,本发明的实施例不应被解释为局限于在此所述的步骤的具体顺序。

[0076] 在附图和说明书中,已经公开了本发明的典型实施例,并且,尽管采用了特定的术语,但是它们只是一般和描述意义上的使用并且不是用于限制的目的,本发明的范围在下面的权利要求中被阐明。

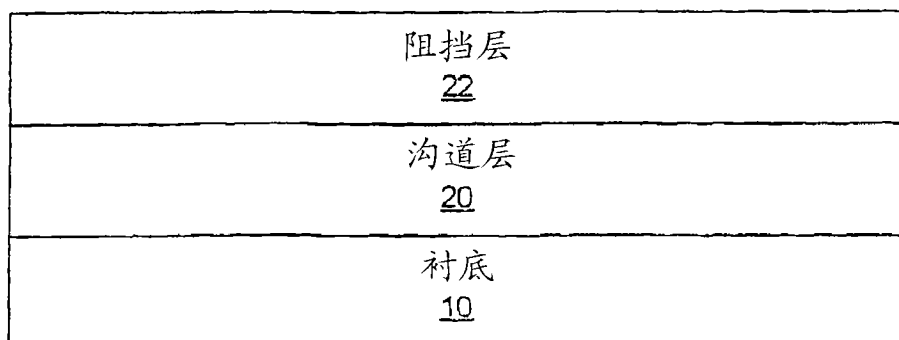


图 1A

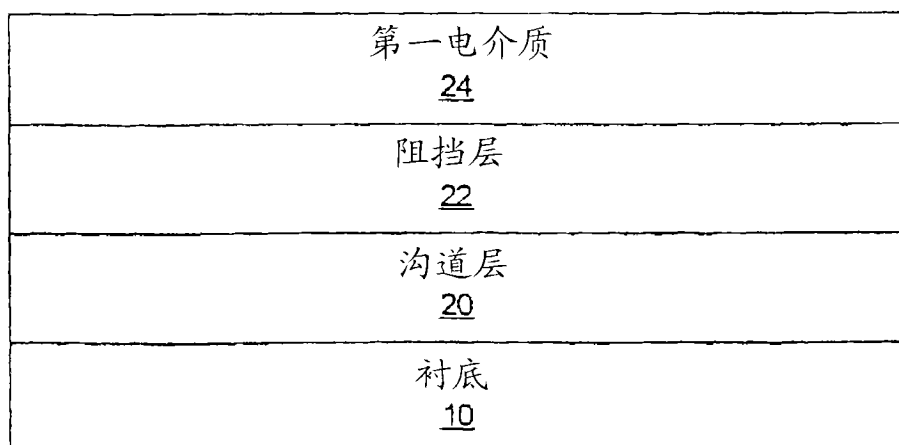


图 1B

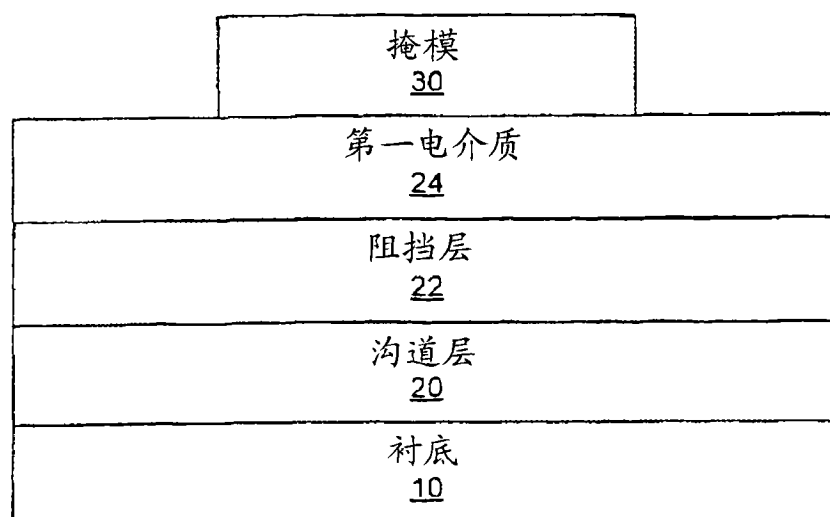


图 1C

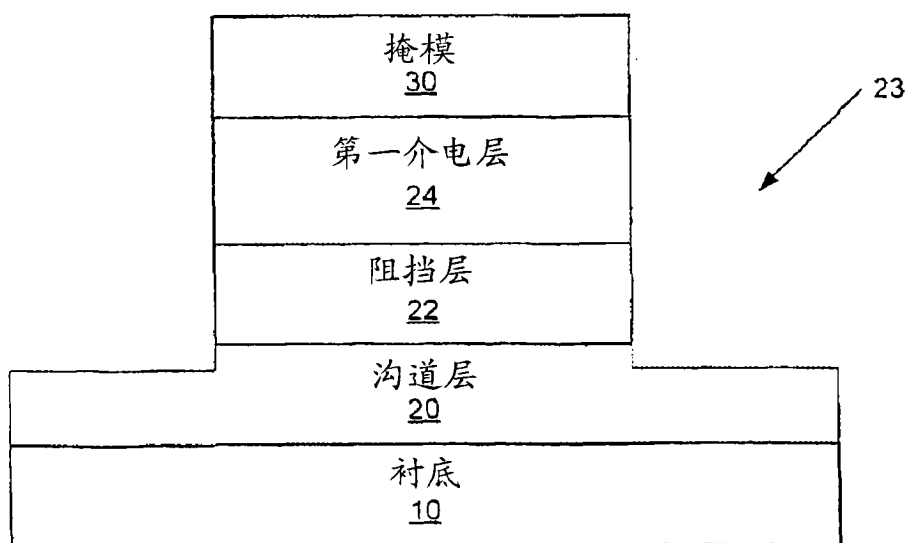


图 1D

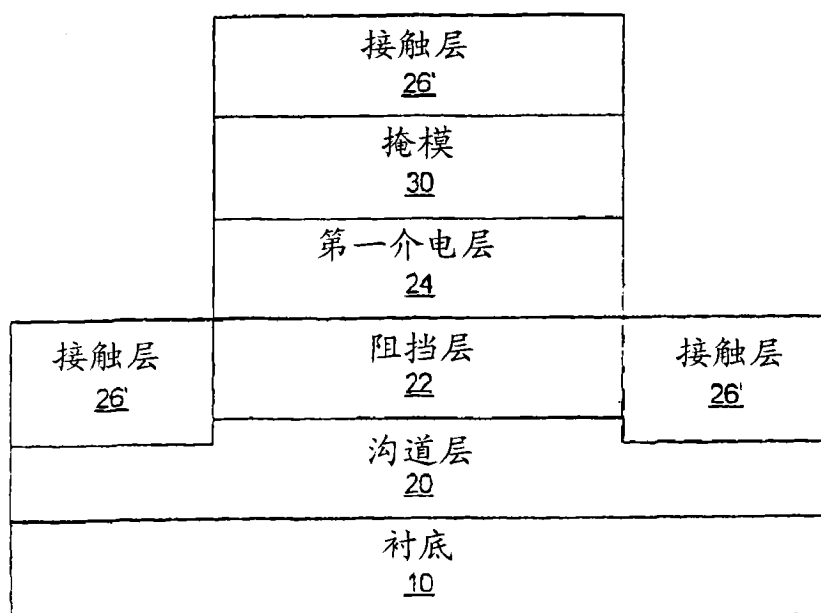


图 1E

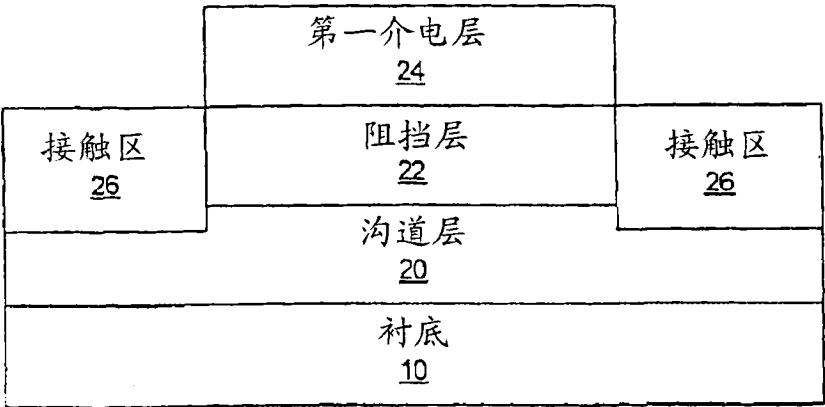


图 1F

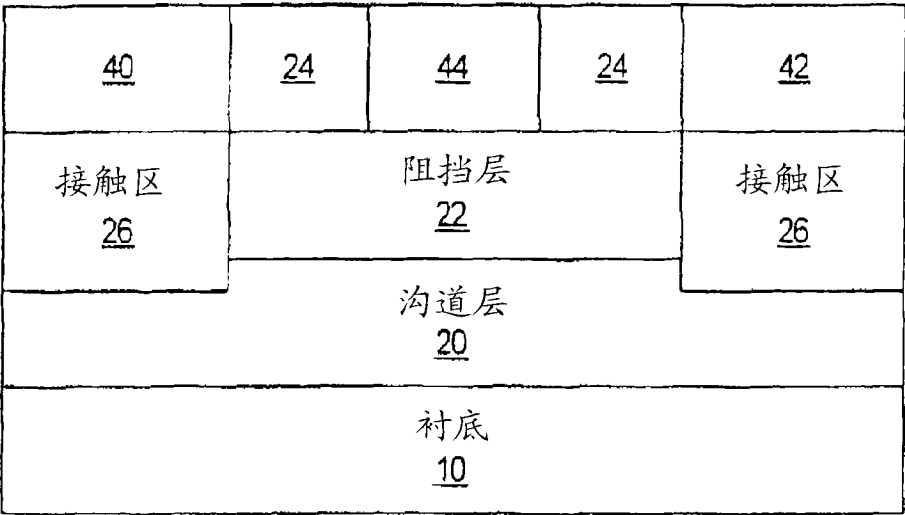


图 1G

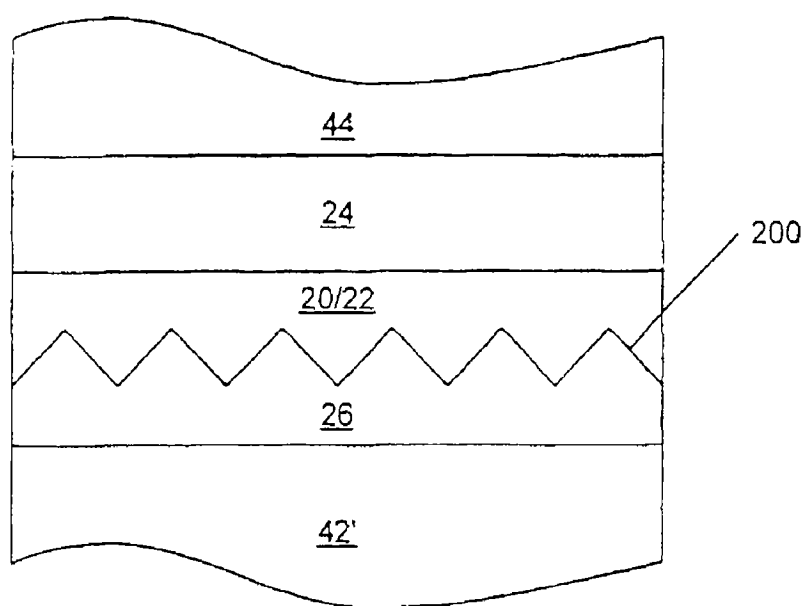


图 2

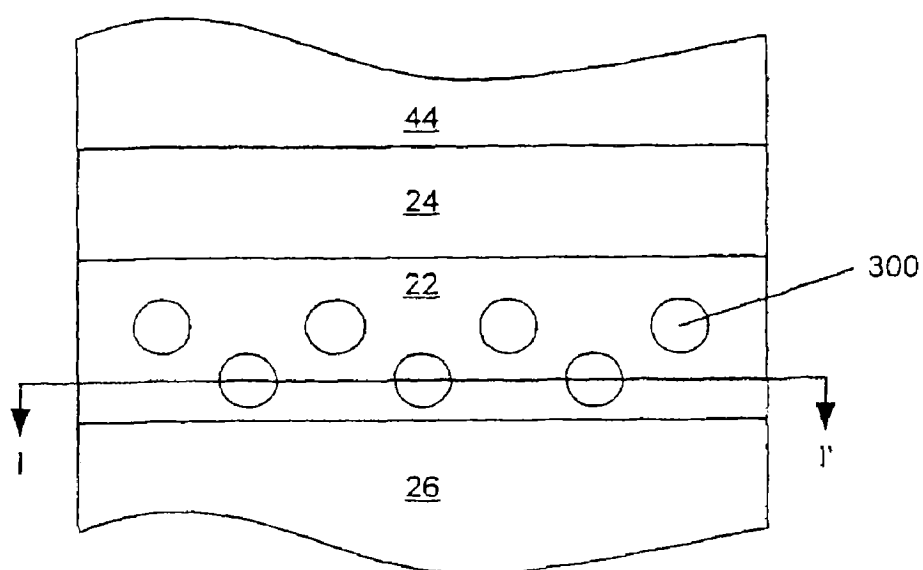


图 3A

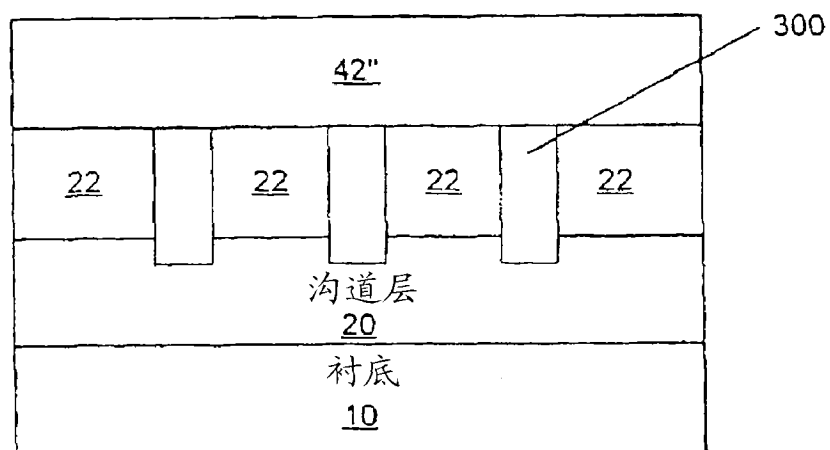


图 3B

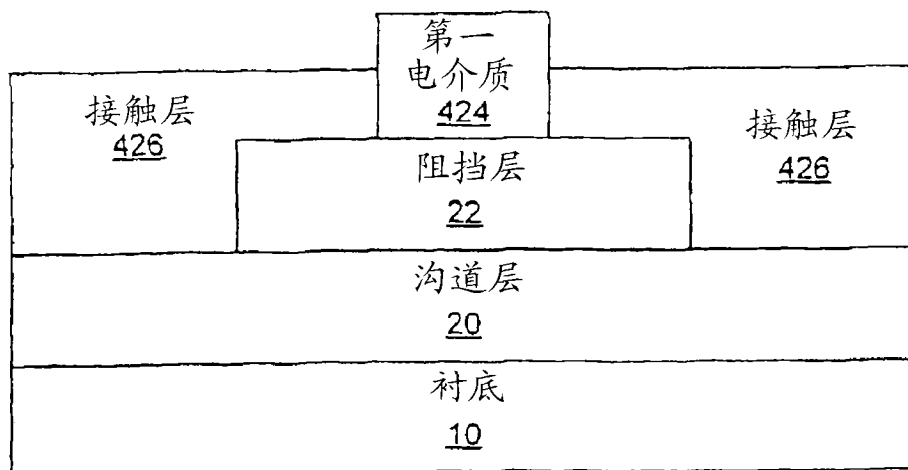


图 4A

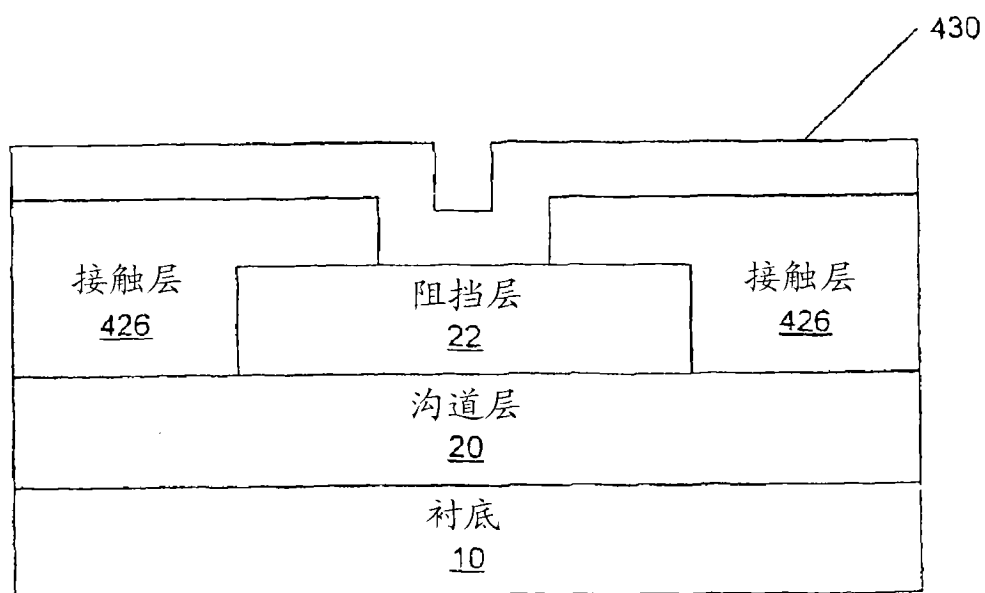


图 4B

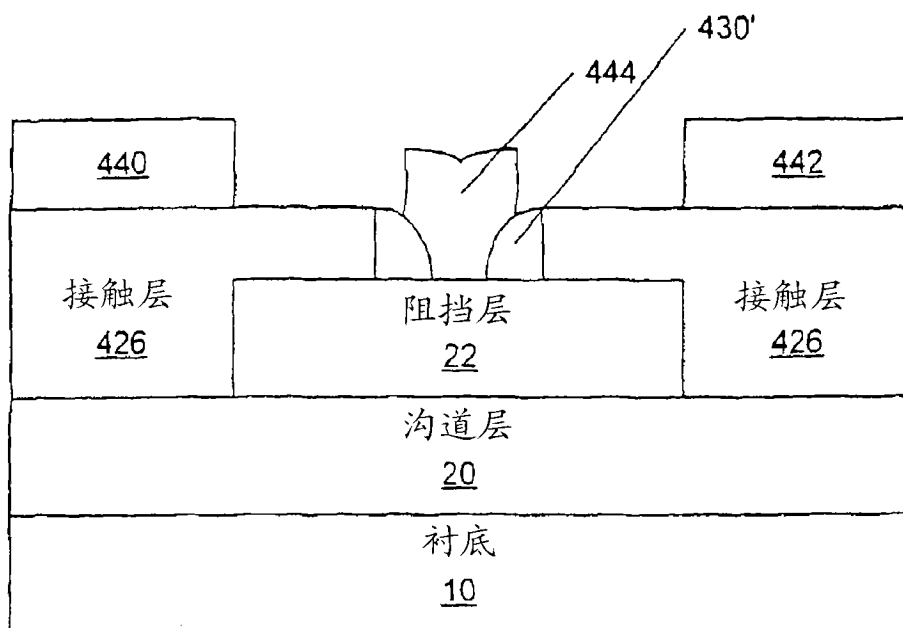


图 4C