

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】令和2年2月27日(2020.2.27)

【公表番号】特表2019-509557(P2019-509557A)
 【公表日】平成31年4月4日(2019.4.4)
 【年通号数】公開・登録公報2019-013
 【出願番号】特願2018-543628(P2018-543628)
 【国際特許分類】

G 0 6 F 12/0893 (2016.01)

G 0 6 F 12/0804 (2016.01)

G 0 6 F 12/0864 (2016.01)

【F I】

G 0 6 F 12/0893

G 0 6 F 12/0804 1 0 0

G 0 6 F 12/0864

【手続補正書】

【提出日】令和2年1月17日(2020.1.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

高帯域幅メモリの一部であるダイナミックランダムアクセスメモリ(DRAM)キャッシュに通信可能に結合されるとともに、システムメモリDRAMに通信可能にさらに結合されたDRAMキャッシュ管理回路であって、

前記DRAMキャッシュが、前記システムメモリDRAMからメモリラインをキャッシュするように構成され、

前記システムメモリDRAMがマスタテーブルを記憶するように構成され、前記マスタテーブルは、前記システムメモリにおけるメモリラインに対するキャッシュインジケータを記憶するためのものであり、前記キャッシュインジケータは、メモリラインが前記DRAMキャッシュに記憶されているか否かを示し、

前記DRAMキャッシュ管理回路が、前記システムメモリDRAM内のマスタテーブルから読み取られた複数のDRAMキャッシュインジケータをキャッシュするように構成された、DRAMキャッシュインジケータキャッシュを備え、前記複数のDRAMキャッシュインジケータが、前記システムメモリDRAMの対応するメモリラインが前記DRAMキャッシュ内にキャッシュされているか否かを示し、

前記DRAMキャッシュ管理回路が、

データをとり出すべきメモリアドレスを指定する読取りアドレスを備えるメモリ読取り要求を受信すること、

前記読取りアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つかるか否かを決定すること、

前記読取りアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つからないという決定に回答して、前記システムメモリDRAM内で前記読取りアドレスにおけるデータを読み取ること、および

前記読取りアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つかるという決定に回答して、

前記読取りアドレスが前記DRAMキャッシュ内で見つかるか否かを、前記DRAMキャッシュインジケータキャッシュに基づいて決定し、

前記読取りアドレスが前記DRAMキャッシュ内で見つからないという決定にตอบสนองして、前記システムメモリDRAM内で前記読取りアドレスにおけるデータを読み取り、

前記読取りアドレスが前記DRAMキャッシュ内で見つかるという決定にตอบสนองして、前記読取りアドレスのためのデータを前記DRAMキャッシュから読み取ることを行うように構成された、DRAMキャッシュ管理回路。

【請求項2】

ライトバックモードで動作するように構成され、前記読取りアドレスが前記DRAMキャッシュ内で見つかるという決定にตอบสนองして、前記DRAMキャッシュ内の前記読取りアドレスのための前記データがクリーンであるか否かを決定するようにさらに構成され、

前記DRAMキャッシュ管理回路が、前記DRAMキャッシュ内の前記読取りアドレスのための前記データがクリーンではないという決定にさらにตอบสนองして、前記読取りアドレスのための前記データを前記DRAMキャッシュから読み取るように構成された、請求項1に記載のDRAMキャッシュ管理回路。

【請求項3】

前記DRAMキャッシュ内の前記読取りアドレスのための前記データがクリーンであるという決定にตอบสนองして、

前記DRAMキャッシュ管理回路の負荷分散回路に基づいて、前記DRAMキャッシュおよび前記システムメモリDRAMの中から好適なデータソースを識別すること、

前記好適なデータソースとしての前記DRAMキャッシュの識別にตอบสนองして、前記DRAMキャッシュからデータを読み取ること、および

前記好適なデータソースとしての前記システムメモリDRAMの識別にตอบสนองして、前記システムメモリDRAMからデータを読み取ること

を行うようにさらに構成された、請求項2に記載のDRAMキャッシュ管理回路。

【請求項4】

ライトスルーモードで動作するように構成され、前記読取りアドレスが前記DRAMキャッシュ内で見つかるという決定にตอบสนองして、

前記DRAMキャッシュ管理回路の負荷分散回路に基づいて、前記DRAMキャッシュおよび前記システムメモリDRAMの中から好適なデータソースを識別すること、および

前記好適なデータソースとしての前記システムメモリDRAMの識別にตอบสนองして、前記システムメモリDRAMからデータを読み取ること

を行うようにさらに構成され、

前記DRAMキャッシュ管理回路が、前記DRAMキャッシュ内の前記読取りアドレスのための前記データがクリーンであるという決定、および前記好適なデータソースとしての前記DRAMキャッシュの識別にさらにตอบสนองして、前記読取りアドレスのための前記データを前記DRAMキャッシュから読み取るように構成された、請求項1に記載のDRAMキャッシュ管理回路。

【請求項5】

前記DRAMキャッシュ管理回路が、システムキャッシュにさらに結合され、

前記DRAMキャッシュ管理回路が、前記システムキャッシュにおけるミスにตอบสนองして、前記読取りアドレスを備える前記メモリ読取り要求を受信するように構成された、請求項1に記載のDRAMキャッシュ管理回路。

【請求項6】

ライトスルーモードで動作するように構成され、

書込みアドレスと、ダーティなエビクト済みデータを備える書込みデータとを備える、メモリ書込み要求を、システムキャッシュから受信すること、

前記書込みアドレスが前記DRAMキャッシュ内で見つかるか否かを決定すること、

前記書込みアドレスが前記DRAMキャッシュ内で見つからないという決定にตอบสนองして、前記書込みアドレスと前記ダーティなエビクト済みデータとを前記DRAMキャッシュに確率的

に書き込むこと、

前記書込みアドレスが前記DRAMキャッシュ内で見つかるという決定に応答して、前記ダーティなエビクト済みデータを前記DRAMキャッシュに書き込むこと、および

前記ダーティなエビクト済みデータを前記システムメモリDRAMに書き込むことを行うようにさらに構成された、請求項1に記載のDRAMキャッシュ管理回路。

【請求項7】

前記書込みアドレスが前記DRAMキャッシュ内で見つかるか否かの決定より前に、

前記書込みアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つかるか否かを決定すること、および

前記書込みアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つからないという決定に応答して、前記DRAMキャッシュインジケータキャッシュを確率的に補充すること、

前記DRAMキャッシュインジケータキャッシュの非補充に応答して、

前記マスタテーブル内の前記書込みアドレスに対応するDRAMキャッシュインジケータを更新すること、および

前記ダーティなエビクト済みデータを前記DRAMキャッシュに書き込むことを行うようにさらに構成され、

前記DRAMキャッシュ管理回路が、前記DRAMキャッシュインジケータキャッシュの補充に応答して、前記書込みアドレスが前記DRAMキャッシュ内で見つかるか否かを決定するように構成された、請求項6に記載のDRAMキャッシュ管理回路。

【請求項8】

前記DRAMキャッシュからエビクトされるべきウェイを選択すること、

前記DRAMキャッシュから、前記選択されたウェイのメモリアドレスを読み取ること、

前記書込みアドレスと前記ダーティなエビクト済みデータとを、前記DRAMキャッシュ内の前記選択されたウェイに書き込むこと、

前記DRAMキャッシュインジケータキャッシュ内の前記書込みアドレスのためのウェイ番号を、前記選択されたウェイのウェイ番号に更新すること、

前記選択されたウェイの前記メモリアドレスが前記DRAMキャッシュインジケータキャッシュ内に存在するか否かを決定すること、および

前記選択されたウェイの前記メモリアドレスが前記DRAMキャッシュインジケータキャッシュ内に存在するという決定に応答して、前記DRAMキャッシュインジケータキャッシュ内の前記メモリアドレスのための前記選択されたウェイの前記ウェイ番号をリセットすること

を行うように構成されることによって、前記書込みアドレスと前記ダーティなエビクト済みデータとを前記DRAMキャッシュに確率的に書き込むように構成された、請求項6に記載のDRAMキャッシュ管理回路。

【請求項9】

前記メモリアドレスに対応する、前記選択されたウェイのマスタテーブルエントリを読み取ること、および

前記マスタテーブルエントリに基づいて、前記メモリアドレスのための前記選択されたウェイの前記ウェイ番号を、前記DRAMキャッシュインジケータキャッシュに書き込むことを行うように構成されることによって、前記選択されたウェイの前記メモリアドレスが前記DRAMキャッシュインジケータキャッシュ内に存在しないという決定に応答して、前記DRAMキャッシュインジケータキャッシュを補充するようにさらに構成された、請求項8に記載のDRAMキャッシュ管理回路。

【請求項10】

ライトバックモードで動作するように構成され、

書込みアドレスと、ダーティなエビクト済みデータを備える書込みデータとを備える、メモリ書込み要求を、システムキャッシュから受信すること、

前記書込みアドレスが前記DRAMキャッシュ内で見つかるか否かを決定すること、

前記書込みアドレスが前記DRAMキャッシュ内で見つからないという決定にตอบสนองして、前記書込みアドレスと前記ダーティなエビクト済みデータとを前記DRAMキャッシュに確率的に書き込むこと、

前記DRAMキャッシュへの前記書込みアドレスと前記ダーティなエビクト済みデータとの非書込みにตอบสนองして、前記ダーティなエビクト済みデータを前記システムメモリDRAMに書き込むこと、および

前記書込みアドレスが前記DRAMキャッシュ内で見つかるという決定にตอบสนองして、前記ダーティなエビクト済みデータを前記DRAMキャッシュに書き込むこと
を行うようにさらに構成された、請求項1に記載のDRAMキャッシュ管理回路。

【請求項 1 1】

前記書込みアドレスが前記DRAMキャッシュ内で見つかるか否かの決定より前に、

前記書込みアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つかるか否かを決定すること、および

前記書込みアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つからないという決定にตอบสนองして、前記DRAMキャッシュインジケータキャッシュを確率的に補充すること、

前記DRAMキャッシュインジケータキャッシュの非補充にตอบสนองして、

前記マスタテーブルから、前記書込みアドレスのためのDRAMキャッシュインジケータを読み取ること、

前記ダーティなエビクト済みデータを前記システムメモリDRAMに書き込むこと、および

前記マスタテーブルからの前記書込みアドレスのための前記DRAMキャッシュインジケータが、前記書込みアドレスが前記DRAMキャッシュ内にあることを示すか否かを決定すること

を行うようにさらに構成され、

前記DRAMキャッシュ管理回路が、前記DRAMキャッシュインジケータキャッシュの補充にตอบสนองして、前記書込みアドレスが前記DRAMキャッシュ内で見つかるか否かを決定するように構成された、請求項10に記載のDRAMキャッシュ管理回路。

【請求項 1 2】

前記DRAMキャッシュからエビクトされるべきウェイを選択すること、

前記DRAMキャッシュから、前記選択されたウェイのメモリアドレスを読み取ること、

前記DRAMキャッシュから、前記選択されたウェイの前記メモリアドレスを読み取った後、前記書込みアドレスと前記ダーティなエビクト済みデータとを前記DRAMキャッシュ内の前記選択されたウェイに書き込むこと、

前記DRAMキャッシュインジケータキャッシュ内の前記書込みアドレスのためのウェイ番号を、前記選択されたウェイのウェイ番号に更新すること、

前記DRAMキャッシュインジケータキャッシュ内の前記書込みアドレスのためのダーティインジケータを設定すること、

前記選択されたウェイの前記メモリアドレスが前記DRAMキャッシュインジケータキャッシュ内に存在するか否かを決定すること、および

前記選択されたウェイの前記メモリアドレスが前記DRAMキャッシュインジケータキャッシュ内に存在するという決定にตอบสนองして、前記DRAMキャッシュインジケータキャッシュ内の前記選択されたウェイの前記書込みアドレスのための前記ウェイ番号と前記ダーティインジケータとをリセットすること

を行うように構成されることによって、前記書込みアドレスと前記ダーティなエビクト済みデータとを前記DRAMキャッシュに確率的に書き込むように構成された、請求項10に記載のDRAMキャッシュ管理回路。

【請求項 1 3】

前記メモリアドレスに対応する、前記選択されたウェイのマスタテーブルエントリを読み取ること、および

前記マスタテーブルエントリに基づいて、前記メモリアドレスのための前記選択されたウェイの前記ウェイ番号を、前記DRAMキャッシュインジケータキャッシュに書き込むことを行うように構成されることによって、前記選択されたウェイの前記メモリアドレスが前記DRAMキャッシュインジケータキャッシュ内に存在しないという決定にตอบสนองして、前記DRAMキャッシュインジケータキャッシュを補充するようにさらに構成された、請求項12に記載のDRAMキャッシュ管理回路。

【請求項14】

ダイナミックランダムアクセスメモリ(DRAM)キャッシュのためのスケーラブルDRAMキャッシュ管理を提供するための方法であって、

前記DRAMキャッシュが、システムメモリDRAM内のメモリラインをキャッシュするように構成され、前記システムメモリDRAMがマスタテーブルを備え、前記マスタテーブルは、前記システムメモリにおけるメモリラインに対するキャッシュインジケータを記憶するためのものであり、前記キャッシュインジケータは、メモリラインが前記DRAMキャッシュに記憶されているか否かを示し、

前記方法は、

前記システムメモリDRAM内の前記マスタテーブルから読み取られた複数のDRAMキャッシュインジケータをDRAMキャッシュインジケータキャッシュ内にキャッシュするステップであって、前記複数のDRAMキャッシュインジケータは、前記システムメモリDRAMの対応するメモリラインが前記DRAMキャッシュ内にキャッシュされているか否かを示す、ステップと

、
DRAMキャッシュ管理回路によって、データをとり出すべきメモリアドレスを指定する読取りアドレスを備えるメモリ読取り要求を受信するステップと、

前記読取りアドレスが、前記DRAMキャッシュ管理回路のDRAMキャッシュインジケータキャッシュ内で見つかるか否かを決定するステップと、

前記読取りアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つからないという決定にตอบสนองして、システムメモリDRAM内で前記読取りアドレスにおけるデータを読み取るステップと、

前記読取りアドレスが前記DRAMキャッシュインジケータキャッシュ内で見つかるという決定にตอบสนองして、

前記読取りアドレスが、高帯域幅メモリの一部であるDRAMキャッシュ内で見つかるか否かを、前記DRAMキャッシュインジケータキャッシュに基づいて決定し、

前記読取りアドレスが前記DRAMキャッシュ内で見つからないという決定にตอบสนองして、前記システムメモリDRAM内で前記読取りアドレスにおけるデータを読み取り、

前記読取りアドレスが前記DRAMキャッシュ内で見つかるという決定にตอบสนองして、前記読取りアドレスのためのデータを前記DRAMキャッシュから読み取るステップとを含む方法。

【請求項15】

コンピュータ実行可能な命令を記憶したコンピュータ可読記録媒体であって、前記命令は、コンピューティングデバイスのプロセッサにより実行されると、前記コンピューティングデバイスに請求項14に記載の方法を実行させる、コンピュータ可読記録媒体。