



[12] 发明专利申请公开说明书

[21] 申请号 200410091400.4

[43] 公开日 2005 年 10 月 5 日

[11] 公开号 CN 1677575A

[22] 申请日 2004. 11. 25

[21] 申请号 200410091400.4

[30] 优先权

[32] 2004. 3. 31 [33] KR [31] 10-2004-0021986

[32] 2004. 4. 30 [33] KR [31] 10-2004-0030337

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国汉城

[72] 发明人 文秀琰

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

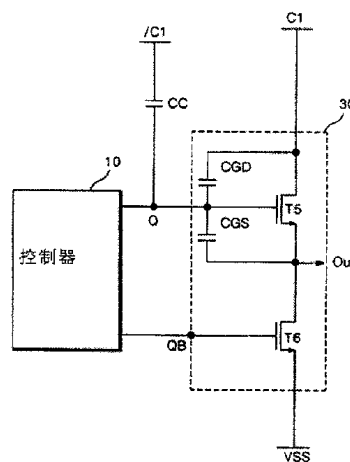
代理人 祁建国 徐金国

权利要求书 5 页 说明书 15 页 附图 13 页

[54] 发明名称 移位寄存器及其驱动方法

[57] 摘要

一种移位寄存器，其具有用于将起始脉冲移位以将经过移位的起始脉冲输出到下一级的多级，所述多级中的每一级包括受第一节点控制以将第一时钟信号施加给输出线的上拉晶体管；受第二节点控制以将第一驱动电压施加给所述输出线的第一下拉晶体管；用于控制所述第一与第二节点的控制电路；以及连接在所述第一节点与第二时钟信号的输入线之间的补偿电容器，所述第二时钟信号与所述第一时钟信号不同。



- 1、一种移位寄存器，其具有用于将起始脉冲移位、并将经过移位的起始脉冲输出到下一级的多级，所述多级中的每一级包括：
- 5 受第一节点控制以将第一时钟信号施加给输出线的上拉晶体管；
受第二节点控制以将第一驱动电压施加给所述输出线的第一下拉晶体管；
用于控制第一与第二节点的控制器的；以及
连接在第一节点与第二时钟信号的输入线之间的补偿电容器，第二时钟
- 10 信号与第一时钟信号不同。
- 2、根据权利要求1所述的移位寄存器，其中所述的补偿电容器具有比寄生电容大的电容。
- 3、根据权利要求1所述的移位寄存器，其中在第一节点处的电压随着经
- 15 正处于浮动状态的寄生电容所传送的第一时钟信号的转变电压而变化之前或者几乎同时，第一节点处的电压电平随着第二时钟信号的转变电压以相反方向变化。
- 4、根据权利要求1所述的移位寄存器，其中所述的控制器包括：
第一晶体管，用于响应第二时钟信号将起始脉冲施加给第一节点；
第二晶体管，用于响应第二时钟信号将第二驱动电压施加给第二节点；
- 20 第三晶体管，用于响应第一时钟信号将第一驱动电压施加给第二节点；
以及
第四晶体管，用于响应第一节点处的电压将第一驱动电压施加给第三晶体管。
- 5、根据权利要求1所述的移位寄存器，其中所述的移位寄存器形成在玻
- 25 璃基板上。
- 6、根据权利要求1所述的移位寄存器，所述的每一级还包括：
第二下拉晶体管，其受第三节点的控制，并与第一下拉晶体管并联连接于输出线和第一驱动电压的输送线之间。
- 7、根据权利要求1所述的移位寄存器，其中所述的控制器包括：
- 30 第一节点控制器，用于响应第二时钟信号将起始脉冲施加给第一节点；

第二节点控制器，用于响应第一时钟信号和第二时钟信号有选择地施加第四节点处的电压和所述第一驱动电压；

第三节点控制器，用于响应第一时钟信号和第二时钟信号，以相反的方式将所述第四节点处的电压和所述第二驱动电压施加第二节点；以及

5 第四节点控制器，用于响应第一时钟信号、第二时钟信号和第一节点处的电压，有选择地将所述第一和第二驱动电压施加给第四节点。

8、根据权利要求7所述的移位寄存器，其中所述的第一节点控制器包括第一晶体管，其用于响应第二时钟信号将起始脉冲施加给第一节点。

9、根据权利要求7所述的移位寄存器，其中所述的第四节点控制器包括：
10 第二晶体管，用于响应第二时钟信号将第二驱动电压施加给所述第四节点；

第三晶体管，用于响应第一时钟信号将第二驱动电压施加给所述第四节点；以及

15 第四晶体管，用于响应第一节点处的电压将第一驱动电压施加给所述第四节点。

10、一种驱动移位寄存器的方法，其中所述移位寄存器具有用于将起始脉冲移位并将经过移位的起始脉冲输出到下一级的多级，所述多级中的每一级包括受第一节点控制以将第一时钟信号施加给输出线的上拉晶体管；受第二节点控制以将第一驱动电压施加给所述输出线的第一下拉晶体管；用于控制第一与第二节点的控制器的；以及连接在第一节点与第二时钟信号的输入线之间的补偿电容器，第二时钟信号与第一时钟信号不同，所述方法包括：

使所述第一节点浮动；并且

随着经补偿电容器所传送的第二时钟信号的转变电压向相反方向改变所述被浮动了的第一节点处的电压。

25 11、根据权利要求10所述的方法，其中随着经所述上拉晶体管的寄生电容所传送的第一时钟信号的转变电压改变在所述被浮动的第一节点处的电压之前或者几乎同时，执行改变在所述被浮动的第一节点处的电压的步骤，由此补偿由所述第一时钟信号和上拉晶体管的寄生电容所引起的在所述第一节点处的电压变化。

30 12、一种用于液晶显示板装置的驱动装置，包括：

移位寄存器，其具有用于将起始脉冲移位并将经过移位的起始脉冲输出到下一级的多级，所述多级中的每一级包括：

受第一节点控制以将第一时钟信号施加给一输出线的上拉晶体管；

受第二节点控制以将第一驱动电压施加给所述输出线的第一下拉晶体管；

用于控制所述第一与第二节点的控制器的；以及

连接在所述第一节点与第二时钟信号的输入线之间的补偿电容器，所述第二时钟信号与所述第一时钟信号不同。

13、根据权利要求12所述的驱动装置，其中所述的移位寄存器形成在玻璃基板上。

14、根据权利要求12所述的驱动装置，其中所述多级中的每一级的输出线与液晶显示板的栅极线连接。

15、一种移位寄存器，其具有用于将起始脉冲移位并将经过移位的起始脉冲输出到下一级的多级，所述多级中的每一级包括：

15 受第一节点控制以将第一时钟信号施加给一输出线的上拉晶体管；

受第二节点控制以将第一驱动电压施加给所述输出线的下拉晶体管；

用于控制所述第一与第二节点的控制器的；以及

与所述第一节点连接的补偿电路，该补偿电路有选择地将所述第一驱动电压施加给所述第一节点。

20 16、根据权利要求15所述的移位寄存器，其中所述的补偿电路有选择地防止所述第一节点被浮动。

17、根据权利要求15所述的移位寄存器，其中当所述第一节点被浮动时，所述补偿电路将所述第一驱动电压施加给所述第一节点。

18、根据权利要求15所述的移位寄存器，其中所述的补偿电路包括：

25 第一补偿晶体管，其受第二驱动电压控制以将所述第一时钟信号施加给第三节点；

第二补偿晶体管，其受所述第三节点处的电压控制以将所述第一驱动电压施加给所述第一节点；以及

30 第三补偿晶体管，其受所述第三节点处的电压控制以将所述第一驱动电压施加给所述第三节点。

19、根据权利要求15所述的移位寄存器，其中所述的补偿电路包括：

第一补偿晶体管，其受所述第一时钟信号控制以将第二驱动信号施加给第三节点；

第二补偿晶体管，其受所述第三节点处的电压控制将第一驱动电压施加给所述第一节点；以及

第三补偿晶体管，其受所述第三节点处的电压控制以将所述第一驱动电压施加给所述第三节点。

20、根据权利要求15所述的移位寄存器，其中所述的补偿电路包括：

10 第一补偿晶体管，其受所述第一时钟信号控制以将所述第一时钟信号施加给第三节点；

第二补偿晶体管，其受所述第三节点处的电压控制以将所述第一驱动电压施加给所述第一节点；以及

第三补偿晶体管，其受所述第三节点处的电压控制以将所述第一驱动电压施加给所述第三节点。

15 21、一种驱动移位寄存器的方法，该移位寄存器具有用于将起始脉冲移位并将经过移位的起始脉冲输出到下一级的多级，所述多级中的每一级包括受第一节点控制以将第一时钟信号施加给输出线的上拉晶体管，受第二节点控制以将第一驱动电压施加给所述输出线的下拉晶体管，用于控制所述第一与第二节点的控制器，以及与第一节点连接的补偿电路，该方法包括：

20 通过所述补偿电路将所述第一驱动电压有选择地施加给所述第一节点。

22、根据权利要求21所述的移位寄存器的驱动方法，其中所述第一驱动电压被有选择地施加给所述第一节点，以防止所述第一节点被浮动。

23、根据权利要求21所述的移位寄存器的驱动方法，其中当第一节点被浮动时执行将第一驱动电压有选择地施加给第一节点的步骤。

25 24、一种用于液晶显示板装置的驱动装置，包括：

移位寄存器，其具有用于将起始脉冲移位并将经过移位的起始脉冲输出到下一级的多级，所述多级中的每一级包括：

受第一节点控制以将第一时钟信号施加给输出线的上拉晶体管；

受第二节点控制以将第一驱动电压施加给所述输出线的下拉晶体

30 管；

用于控制所述第一与第二节点的控制器的；以及
与所述第一节点连接的补偿电路，其有将所述第一驱动电压选择地施加给所述第一节点。

25、根据权利要求24所述的驱动装置，其中所述移位寄存器形成在玻璃基板上。

26、根据权利要求24所述的驱动装置，其中所述多级中的每一级的输出线与液晶显示板的栅极线连接。

移位寄存器及其驱动方法

- 5 本申请要求享有2004年3月31日于韩国递交的号为P2004-21986的韩国专利申请和2004年4月30日于韩国递交的号为P2004-30337的韩国专利申请的权益，它们在此引作参考。

技术领域

- 10 本发明涉及一种用于液晶显示器的驱动电路，尤其涉及一种采用非晶硅薄膜晶体管的移位寄存器，其防止对输出缓冲器进行控制的节点处的电压由于薄膜晶体管的寄生电容而发生改变。

背景技术

- 15 通常，液晶显示（LCD）装置用于电视机、计算机或者便携式装置中。LCD装置利用液晶分子的光学各向异性和偏振性以产生所需的图像。特别是，液晶分子可以沿特定取向排列，这可以通过在这些液晶分子上施加电场来控制。由于光学的各向异性，入射光根据这些液晶分子的取向而被折射，从而产生所需的图像。
- 20 此外，LCD装置通常包括具有排列成一个矩阵的多个液晶盒的液晶显示板，和用于驱动所述液晶显示板的驱动电路。液晶显示板通常包括彼此交叉的栅极线和数据线。一个液晶盒定位于由栅极线与数据线之间的交叉线所限定的每个区域。液晶显示板还包括用于在所述每个液晶盒内施加电场的像素电极和公共电极。每个像素电极通过作为开关装置的薄膜晶体管的源极端和
- 25 漏极端与这些数据线中的一条连接。薄膜晶体管的栅极端与这些栅极线中的一条连接。

- 驱动电路包括用于驱动这些栅极线的栅极驱动器，和用于驱动这些数据线的数据驱动器。栅极驱动器向这些栅极线施加一扫描信号，以相继地逐行驱动所述液晶盒。只要扫描信号被施加给一条栅极线，数据驱动器就将视频
- 30 信号施加给每条数据线。因此，根据用于每个液晶盒的视频信号，LCD通过施

加在像素电极与公共电极之间的电场控制光透射率，从而显示一幅图像。通常，在这种驱动电路中，栅极驱动器使用移位寄存器产生用于相继驱动栅极线的扫描信号。此外，数据驱动器用移位寄存器产生一采样信号，用于相继采样由某个单元从其外部输入的视频信号。

5 图1为表示现有技术的双相移位寄存器 (two-phase shift register) 的结构 的示意性方块图。在图1中，双相移位寄存器包括级联的第一至第n级。所述第一至第n级通常被提供时钟信号C1、反向时钟信号/C1、高电平驱动电压（未示出）、和低电平驱动电压（未示出）。此外，将起始脉冲Vst施加给 10 第一级，而将来自第一至第(n-1)级中的每一级的输出信号施加给各自的下 一级。所述第一至第n级具有相同的电路结构，并将起始脉冲Vst的特定电压 相继移位。第一至第n个输出信号Out1到Outn被提供作为用于相继驱动液晶显 示板的栅极线的扫描信号，或者作为用于在数据驱动器内相继采样视频信号 的采样信号。

图2为图1中所示的一个级的详细电路图。在图2中，一个级包括输出缓冲 15 器20和控制器10，其中所述输出缓冲器20具有在第一节点Q的控制下将时钟信 号C1输出至输出线OUT的第五NMOS晶体管T5，和在第二节点QB的控制下将低电 平驱动电压VSS输出至输出线OUT的第六NMOS晶体管T6；所述控制器10具有用 于控制第一节点Q和第二节点QB的第一至第四NMOS晶体管T1至T4。该级被提供 有高电平驱动电压VDD、低电平驱动电压VSS、起始脉冲Vst、时钟信号C1和反 20 向时钟信号/C1。

图3为图2中所示的级的驱动波形图。如图3中所示，在第一周期A期间， 反向时钟信号/C1处于高态 (high state)，从而使第一晶体管T1导通，使得 起始脉冲Vst的高态施加给第一节点Q。因而，第五晶体管T5导通，并将时钟 信号C1的低态 (low state) 电压施加给输出线OUT。此外，高电平反向时钟信 25 号/C1使第二晶体管T2导通，使得高电平驱动电压VDD施加到第二节点QB。因 而，第六晶体管T6导通，并将低电平驱动电压Vss施加给输出线OUT。因此， 在第一周期A期间，该级输出低态输出信号OUT。

在第二周期B期间，反向时钟信号/C1处于低态，从而，截止第一晶体管 T1且使第一节点Q在高态浮动。因此，第五晶体管T5保持导通。另外，时钟信 30 号C1处于高态，且由于第二寄生电容CGS（图2中所示）的影响，被浮动的第

一节点Q被自举 (boot-strapped)。因此，第一节点Q处的电压可以被升高，必然使第五晶体管T5导通，从而将第一时钟信号C1的高态电压迅速地输送给输出线OUT。同时，高电平时钟信号C1使第三晶体管T3导通。第四晶体管T4也由自举的第一节点Q导通，从而将低电平驱动电压VSS施加给第二节点QB。因此，第六晶体管T6被截止。结果，在第二周期B期间，该级输出高态输出信号OUT。

在第三周期C期间，反向时钟信号/C1处于高态，从而使第一晶体管T1导通，使得起始脉冲Vst的低态电压施加给第一节点Q。因此，第五晶体管T5被截止。同时，高态反向时钟信号/C1使第二晶体管T2导通，从而将高电平驱动电压VDD施加给第二节点QB。因此，第六晶体管T6导通，并将低电平驱动电压VSS施加给输出线OUT。此外，低电平时钟信号C1使第三晶体管T3截止，而低电平第一节点Q使第四晶体管T4截止。结果，在第三周期C期间，该级输出低态输出信号OUT。

在第四周期D期间，反向时钟信号/C1处于低态，从而第一和第二晶体管T1和T2截止。因此，第一节点Q浮动到其以前的低态，从而截止第五晶体管T5。因而，低电平第一节点Q使第四晶体管T4截止。同时，高电平第一时钟信号C1使第三晶体管T3导通。因此，第二节点QB在稍微低于前一周期C中所提供的高电平驱动电压VDD的高态浮动。从而，第六晶体管T6导通，并将低电平驱动电压VSS施加给输出线OUT。结果，在第四周期D期间，该级可以输出低态输出信号OUT。

然而，由于由非晶硅薄膜晶体管工艺制作的第一到第六NMOS晶体管T1至T6中的每一个具有这样一种结构，即其中栅极/栅极端与其源极和漏极/漏极端重叠，其必定包括寄生电容器CGD和CGS。而且，当相当大地增大第五和第六NMOS晶体管T5和T6的尺寸以补偿非晶硅薄膜晶体管的低迁移率时，寄生电容CGD和CGS的电容值也会增加。

尽管第五NMOS晶体管T5的栅极与源极之间的重叠部分处形成的寄生电容CGS有助于第一节点Q的自举，但是第五NMOS晶体管T5的栅极与漏极之间的重叠部分处形成的寄生电容CGD引起了问题。例如，只要在时钟信号C1从低态转换到高态并引起输出电压Vout摆动时，寄生电容CGD改变在浮动的Q节点处的电压。如图3中所示，在D周期中由转变成高态的时钟信号C1浮动成低态的第一节点Q处

的电压被变成稍微更高的状态。从而，输出电压 V_{out} 也会从低电平电压稍稍地升高，并且具有失真。由于使用通过这种方式被失真的输出电压 V_{out} 作为下一级的输入，当其经过许多级时，输出电压 V_{out} 的失真量增大，从而在LCD装置操作中产生重大误差。

5

发明内容

因此，本发明涉及移位寄存器及其驱动方法，其基本上可消除由于现有技术的局限性和缺点所导致的一个或更多的问题。

本发明的目的在于提供一种移位寄存器及其驱动方法，其防止对输出缓冲器进行控制的节点处的电压由于薄膜晶体管的寄生电容而被改变。

在下面的描述中提出了本发明的附加特征和优点，其中部分会从描述中是显而易见的，或者可通过本发明的实践而获悉。通过所述说明书和其权利要求以及附图中特别指出的结构，将实现和达到本发明的所述目的和其他优点。

15 为了实现这些和其他优点且根据本发明的目的，如这里具体表达和概括描述的，移位寄存器具有用于将起始脉冲移位、并将经过移位的起始脉冲输出给下一级的多级，所述多级中的每一级包括受第一节点控制以将第一时钟信号施加给输出线的上拉晶体管；受第二节点控制以将第一驱动电压施加给输出线的第一下拉晶体管；用于控制第一和第二节点的控制器的；以及连接在
20 第一节点与第二时钟信号的输入线之间的补偿电容器，第二时钟信号与第一时钟信号不同。

另一方面，移位寄存器的驱动方法，其中该移位寄存器具有用于将起始脉冲移位并且将经过移位的起始脉冲输出至下一级的多级，其中所述多级中的每一个包括受第一节点控制以将第一时钟信号施加给输出线的上拉晶体管，
25 管，受第二节点控制以将第一驱动电压施加给所述输出线的第一下拉晶体管，用于控制第一和第二节点的控制器的，以及连接在第一节点与第二时钟信号的输入线之间的补偿电容器，第二时钟信号与第一时钟信号不同，该移位寄存器的驱动方法包括使第一节点浮动，并根据经补偿电容器传递的第二时钟信号的转变电压以相反方向改变被浮动的第一节点处的电压。

30 再一方面，用于液晶显示板装置的驱动装置，包括移位寄存器，其中所

述移位寄存器具有用于将起始脉冲移位并将经过移位的起始脉冲输出至下一级的多级，所述多级中的每一级包括受第一节点控制以将第一时钟信号施加给输出线的上拉晶体管，受第二节点控制以将第一驱动电压施加给所述输出线的第一下拉晶体管，用于控制第一与第二节点的控制器，以及连接在第一节点与第二时钟信号的输入线之间的补偿电容器，第二时钟信号与第一时钟信号不同。

又一方面，具有用于将起始脉冲移位并且将经过移位的起始脉冲输出至下一级的多级的移位寄存器，所述多级中的每一级包括受第一节点控制以将第一时钟信号施加给一输出线的上拉晶体管，受第二节点控制以将第一驱动电压施加给所述输出线的下拉晶体管，控制第一与第二节点的控制器，以及连接第一节点的补偿电路，所述补偿电路将第一驱动电压有选择性地施加给第一节点。

另一方面，移位寄存器的驱动方法，其中移位寄存器具有用于将起始脉冲移位并且将经过移位的起始脉冲输出至下一级的多级，所述多级中的每一级包括受第一节点控制以将第一时钟信号施加给一输出线的上拉晶体管，受第二节点控制以将第一驱动电压施加给所述输出线的下拉晶体管，控制第一与第二节点的控制器，以及连接第一节点的补偿电路，该方法包括通过所述补偿电路将第一驱动电压有选择地施加给第一节点。

另一方面，用于液晶显示板装置的驱动装置，包括移位寄存器，其中移位寄存器具有用于将起始脉冲移位并将经过移位的起始脉冲输出至下一级的多级，所述多级中的每一级包括受第一节点控制以将第一时钟信号施加给一输出线的上拉晶体管，受第二节点控制以将第一驱动电压施加给所述输出线的下拉晶体管，用于控制第一与第二节点的控制器，以及连接第一节点的补偿电路，所述补偿电路将第一驱动电压有选择地施加给第一节点。

应当理解的是，上面的概括描述和下面的详细描述都是示例性和解释性的，意在对所要求保护的本发明提供进一步解释。

附图说明

用于提供本发明进一步理解并包含和构成本说明书一部分的附图，图示说明了本发明的实施例，且与描述一起用于解释本发明的原理。在附图中：

图1为表示现有技术双相移位寄存器结构的示意性方块图；

图2为图1中所示的一个级的详细电路图；

图3为图2中所示的级的驱动波形图；

图4是表示根据本发明一个实施例的移位寄存器的一个级的输出部分的
5 电路图；

图5为图4中所示的级的驱动波形图；

图6为根据本发明另一实施例的移位寄存器的一个级的详细电路图；

图7为图6中所示的级的驱动波形图；

图8A和图8B为表示图6中所示级中补偿电容器CC的作用的驱动波形图；以

10 及

图9为根据本发明另一实施例的移位寄存器的一个级的详细电路图；

图10为图9中所示的级的驱动波形图；

图11为根据本发明另一实施例的补偿电路的详细电路图；以及

图12为根据本发明另一实施例的补偿电路的详细电路图。

15

具体实施方式

现在结合对比文件详细描述优选实施例，优选实施例的示例在附图中图示说明。

图4是表示根据本发明一个实施例的移位寄存器的一个级的输出部分的
20 电路图，图5为图4中所示的级的驱动波形图。在图4中，移位寄存器的一个级可以包括输出缓冲器30，所述输出缓冲器30具有在第一节点Q的控制下将时钟信号C1输出至输出线OUT的第五晶体管T5，和在第二节点QB的控制下将低电平驱动电压VSS输出至输出线OUT的第六晶体管T6。第五晶体管T5可以为上拉晶体管并且可包括一NMOS晶体管。此外，第六晶体管T6可以为下拉晶体管并且
25 可以包括一NMOS晶体管。第五晶体管T5的源极端可以与第六晶体管T6的漏极端连接。因为第五晶体管T5可以具有一种其栅极/接线端与其源极和漏极/接线端重叠的结构，可以考虑在第五晶体管T5的栅极端与漏极端之间设置第一寄生电容CGD，可以考虑在第五晶体管T5的栅极端、第五晶体管T5的源极端与第六晶体管T6的漏极端之间设置第二寄生电容CGS。

30 此外，可以提供控制器10来控制第一节点Q和第二节点QB。控制器10可以

构造成具有图2中所示的第一到第四NMOS晶体管T1到T4，但可以具有能控制第一节点Q和第二节点QB的任何结构。而且，可以包括补偿电容器CC用于补偿第一节点Q处的电压改变。补偿电容器CC可以连接在第一节点Q和提供反向时钟信号/C1的电源之间。结果，补偿电容器CC可以使与寄生电容CGD相反的电压施加给第一节点Q，从而防止第一节点Q处电压改变。

特别是，因为补偿电容器CC的电容可大于第一寄生电容CGD的电容，所以第一节点Q可以在时钟信号C1转变之前对反向时钟信号/C1的转变作出响应，即在第一节点Q处反向时钟信号/C1和补偿电容器CC可以以与时钟信号C1相反的方向改变。例如，如图5中所示，当在C和D周期的边界线处时钟信号C1从低态转变到高态时，第一节点Q可以变成具有由第一寄生电容CGD所引起的初始状态的低电平。因此，减小输出电压Vout的失真变得可能。

此外，图5表示图4中的级的驱动波形图，其中控制器10具有图2中所示的相同结构。在第一周期A期间，反向时钟信号/C1可以处于高态，从而使第一晶体管T1导通，使得起始脉冲Vst的高态施加给第一节点Q。因此，第五晶体管T5导通，可以将时钟信号C1的低态电压施加给输出线OUT。此外，高电平反向时钟信号/C1可使第二晶体管T2导通，从而使得高电平驱动电压VDD被施加给第二节点QB。因此，第六晶体管T6可以被导通，并可以将低电平驱动电压VSS施加给输出线OUT。结果，在第一周期A期间，该级可以输出低态输出信号OUT。

在第二周期B期间，反向时钟信号/C1可以处于低态，从而第一晶体管T1截止，并使第一节点Q在高态浮动。因而，第五晶体管T5可以保持导通。此外，时钟信号C1可以处于高态，且由于第二寄生电容CGS的作用被浮动的第一节点Q可以被自举。因此，第一节点Q处的电压可以被升高，必然使第五晶体管T5导通，从而将第一时钟信号C1的高态电压迅速地输送给输出线OUT。同时，高电平时钟信号C1可使第三晶体管T3导通。第四晶体管T4也可以由被自举的第一节点Q导通，从而将低电平驱动电压VSS施加给第二节点QB。因此，第六晶体管T6可以被截止。结果，在第二周期B期间，该级可以输出高态输出信号OUT。

在第三周期C期间，反向时钟信号/C1可以再次处于高态，从而使第一晶体管T1导通，使得起始脉冲Vst的低态电压施加给第一节点Q。因此，第五晶体管T5截止。同时，高态的反向时钟信号/C1可以使第二晶体管T2导通，从而

将高电平驱动电压VDD施加到第二节点QB。因此，第六晶体管T6可以导通，并可以将低电平驱动电压VSS施加到所述输出线OUT。此外，低电平时钟信号C1使第三晶体管T3截止，低电平第一节点Q使第四晶体管T4截止。结果，在第三周期C期间，该级可输出低态输出信号OUT。

5 在第四周期D期间，反向时钟信号/C1可以处于低态，从而使第一晶体管T1和第二晶体管T2截止。因此，可以使第一节点Q浮动到其以前的低态，从而使第五晶体管T5截止。因而，低电平第一节点Q可以使第四晶体管T4截止。同时，高电平第一时钟信号C1可以使第三晶体管T3导通。因此，可以使第二节点QB在比前一周期C中提供的高电平驱动电压VDD稍低的高态浮动。因而，第
10 六晶体管T6可以导通，并可以将低电平驱动电压VSS施加到输出线OUT。结果，在第四周期D期间，该级可以输出低态输出信号OUT。

与图3中所示的现有技术不同，如图5中所示，在第四周期D的起点处，在从低态转变成高态的时钟信号C1经第五晶体管T5的寄生电容CGD传递到第一节点Q之前，反向时钟信号/C1经补偿电容器CC传递到第一节点Q。因而，第
15 节点Q处的电压能随下降的反向时钟信号/C1而被降得更低，从而能随上升的时钟信号C1而被返回到初始低态电压。

而且，尽管没有示出，但是在剩余周期期间，所述级可重复第三和第四周期C和D期间的操作，使得所述级可以继续输出低态输出信号OUT。此外，尽管没有示出，但是图4中所示的级可以与移位寄存器中的其他级级联。

20 图6为根据本发明另一实施例的移位寄存器的一个级的详细电路图。在图6中，移位寄存器的每一级可以包括输出缓冲器，所述输出缓冲器具有在第一节点Q的控制下将时钟信号C1输出至第一输出线的第五晶体管T5，和在第二和第三节点QB1和QB2的控制下将低电平驱动电压VSS输出至第二输出线的第六和第七晶体管T6和T7。

25 第五晶体管T5可以为上拉晶体管，并且可包括一NMOS晶体管。此外，第六和第七晶体管T6和T7可以彼此平行，并可以形成一下拉晶体管。第六和第七晶体管T6和T7可以包括NMOS晶体管。第五晶体管T5的源极端可以与第六晶体管T6的漏极端和第七晶体管T7的漏极端连接。因为第五晶体管T5可具有一种其栅极/接线端与其源极和漏极/接线端重叠的结构，所以可以考虑在第五
30 晶体管T5的栅极端与漏极端之间连接第一寄生电容CGD，可以考虑第二寄生电

容CGS与第五晶体管T5的栅极端、第五晶体管T5的源极端、第六晶体管T6的漏极端和第七晶体管T7的漏极端连接。

此外，移位寄存器的每一级可以包括用于控制第一节点Q的第一晶体管T1，用于控制第四节点QB的第二、第三和第四晶体管T2、T3和T4，用于控制第二节点QB1的第八和第九晶体管T8和T9，以及用于控制第三节点QB2的第十和第十一晶体管T10和T11。第一晶体管T1可包括一NMOS晶体管，该NMOS晶体管接收起始脉冲 V_{st} 和经用于补偿第一节点Q处电压改变的补偿电容器CC接收第二时钟信号/C1。第一晶体管T1的栅极端可与第二晶体管T2的栅极端连接。第二晶体管T2可以是接收第二时钟信号/C1和高电平驱动电压VDD的NMOS晶体管。第二晶体管T2还可以与第四节点QB连接。第三晶体管T3可包括接收第一时钟信号C1且与第二晶体管T2并联的NMOS晶体管。而且，第四NMOS晶体管T4可包括接收低电平驱动电压VSS且与第四节点QB连接的NMOS晶体管。

第八晶体管T8可包括接收第一时钟信号C1且连接于第二节点QB1与第四节点QB之间的NMOS晶体管。第九晶体管T9可包括接收第二时钟信号/C1和低电平驱动电压VSS且与第二节点QB1连接的NMOS晶体管。此外，第十晶体管T10可包括接收第二时钟信号/C1且连接于第三节点QB2与第四节点QB之间的NMOS晶体管。第十一晶体管T11可包括接收第一时钟信号C1和低电平驱动电压VSS且与第三节点QB2连接的NMOS晶体管。

第一电容器CQ可以连接在第一节点Q与低电平驱动电压VSS的输入线之间，用于消除第一节点Q处的噪声。同样，第二电容CBQ可以连接在第四节点QB与低电平驱动电压VSS的输入线之间，用于消除第四节点QB处的噪声。

图7为图6中所示的级的驱动波形图。如图7中所示，在第一周期A期间，第二时钟信号/C1可以处于高态，从而使第一晶体管T1导通，使得起始脉冲 V_{st} 的高态被施加给第一节点Q。因此，第五晶体管T5可以导通，并可以将时钟信号C1的低态电压施加给所述输出线。此外，高电平第二时钟信号/C1可以使第二、第九和第十晶体管T2、T9和T10导通。通过使第二、第九和第十晶体管T2、T9和T10导通，高电平驱动电压VDD可以施加到第四节点QB和第三节点QB2，而低电平驱动电压VSS可以施加到第二节点QB1。因此，第七晶体管T7可以导通，且可以将低电平驱动电压VSS施加给所述输出线。结果，在第一周期A期间，该级可以输出低态输出信号OUT。

在第二周期B期间，第二时钟信号/C1可以处于低态，从而使第一晶体管T1截止，并且使第一节点Q在高态浮动。因此，第五晶体管T5可以保持导通。此外，第一时钟信号C1可以处于高态，并且由于第二寄生电容CGS的作用被浮动的第一节点Q可以被自举。因此，第一节点Q处的电压可以被升高，必然使5 第五晶体管T5导通，从而将第一时钟信号C1的高态电压迅速地输送到所述输出线。同时，高电平第一时钟信号C1可以使第三、第八和第十一晶体管T3、T8和T11导通。由被自举的第一节点Q可以使第四晶体管T4导通，从而将低电平驱动电压VSS施加给第四节点QB，并将第四节点QB改变到低电平。因而，第二节点QB1和第三节点QB2可以处于低态。由此，第六和第七晶体管T6和T7可以10 以被截止。结果，在第二周期B期间，该级输出高态输出信号OUT。

在第三周期C期间，第二时钟信号/C1可再次处于高态，从而使第一晶体管T1导通，从而使起始脉冲的低态电压Vst施加给第一节点Q。因此，第五晶体管T5截止。同时，第二时钟信号/C1可以使第二晶体管T2导通，从而将高电平驱动电压VDD施加给第四节点QB。而且，第二时钟信号/C1也可以导通第九15 和第十晶体管T9和T10，从而将低电平驱动电压VSS施加给第二节点QB1，并将输送给第四节点QB的高电平驱动电压VDD施加给第三节点QB2。因此，第七晶体管T7可以导通，并且可以将低电平驱动电压VSS施加给输出线。结果，在第三周期C期间，该级可输出低态输出信号OUT。

在第四周期D期间，第二时钟信号/C1可以处于低态，从而使第一和第二20 晶体管T1和T2截止。因此，第一节点Q可以被浮动到其以前的低态，从而使第五晶体管T5截止。同时，高电平第一时钟信号C1可以使第三、第八和第十一晶体管T3、T8和T11导通。因此，高电平驱动电压VDD可以施加给第四节点QB及施加给第二节点QB1，而低电平驱动电压VSS可以施加给第三节点QB2。因此，第六NMOS晶体管T6可以被导通，并可以将低电平驱动电压VSS施加给所述输出25 线。结果，在第四周期D期间，该级可以输出低态输出信号OUT。

尽管图中没有示出，但是在剩余周期期间，该级可重复第三和第四周期C和D期间的操作，从而使得该级可继续输出低态输出信号OUT。此外，尽管图中没有示出，但是图4中所示的该级可与移位寄存器中的其他级级联。

由于第六和第七晶体管T6与T7可彼此并联，所以通过第二节点QB1和第三30 节点QB2的交流（AC）驱动，第六和第七晶体管T6和T7可以以相反方式操作。

AC驱动可以包括将第一和第二时钟信号C1和/C1施加给第六和第七晶体管T6和T7的栅极端。因此，可防止直流（DC）偏压施加给第六和第七晶体管T6和T7的栅极端，从而防止第六和第七晶体管T6和T7由于在高温驱动时的栅极偏压应力（gate bias stress）而被误操作。尽管形成具有第六与第七晶体管T6和T7（取代图4中所示的一个晶体管）的下拉电路可以使尺寸减小，但是第六和第七晶体管具有相当小的尺寸。

图8A和图8B为表示图6中所示的级的补偿电容器CC的作用的驱动波形图。如图8A中所示，如果图6中所示的级不包含补偿电容器CC，那么输出电压Vout例如在第四周期D中可能会产生失真。这种失真的发生可能是由于第一寄生电容CGD和第一时钟信号C1所引起的第一节点Q处的电压改变所导致的。

然而，如图8B中所示，补偿电容器CC（图6中所示）可使得在从低态转变到高态的第一时钟信号C1经寄生电容CGD而被传送到第一节点Q之前，从高态转变到低态的第二时钟信号/C1就被传送到第一节点Q。因此，第一节点Q处的电压随下降的第二时钟信号/C1可以被降得更低，然后随着上升的第一时钟信号C1又恢复到初始低级电压。结果，减小输出电压Vout的失真成为可能。

图9为根据本发明另一实施例的移位寄存器的一个级的详细电路图。在图9中，移位寄存器的每一级可以包括输出缓冲器330，所述输出缓冲器330具有在第一节点Q的控制下将第一时钟信号C1输出至输出线OUT的上拉晶体管T35，和在第二节点QB的控制下将低电平电压VSS输出至输出线OUT的下拉晶体管T36。

每一级还可以包括补偿电路350，用于补偿第一节点Q中的电压改变。补偿电路350包括第一补偿晶体管T36_1，第二补偿晶体管T37和第三补偿晶体管T39。高电平电压VDD可以使第一补偿晶体管T36_1总被导通，并且可以将第一时钟信号C1施加给第三节点P。此外，第二补偿晶体管T37可以由第三节点P处的电压控制，将低电平电压VSS有选择地施加给第一节点Q。

另外，第三补偿晶体管T39可以由第一节点Q处的电压控制，以将低电平电压VSS有选择地施加给第三节点P。第三补偿晶体管T39可以比第一补偿晶体管T36_1大得多，从而减小由第一补偿晶体管T36_1所经受的应力大小。例如，第三补偿晶体管T39与第一补偿晶体管T36_1的尺寸可以是近似3:1的比率。因此，第一补偿晶体管T36_1很少可能由于应力而被失真，并且可具有更长寿命。

因此，每个周期D，即当从一个级产生了一个高态输出OUT后第一时钟信号C1变成高态时，补偿电路350将低电平电压VSS输送给第一节点Q，从而防止第一节点Q被浮动到低态。换言之，补偿电路350防止第一节点Q被浮动到低态，从而防止上拉晶体管T35的第二寄生电容CGS的耦合所引起的第一节点Q处的电压改变。因此，防止由第一节点Q中电压改变所致的输出信号OUT的失真成为可能。

此外，可设置控制器340用以控制第一和第二节点Q和QB。控制器340可接收第二时钟信号/C1。第二时钟信号/C1可以为第一时钟信号C1的反向信号，且不必是第一时钟信号C1的严格的反向。控制器340可以设计成具有图2中所示的第一到第四NMOS晶体管T1到T4，但可具有能控制第一和第二节点Q和QB的任何结构。

图10为图9中所示的级的驱动波形图。如图10中所示，在第一周期A期间，第一时钟信号C1可以处于低态，并且尽管图中没有示出，第二时钟信号/C1可以处于高态。因此，第一晶体管T1（图2中所示）导通，并且将起始脉冲Vst的高态施加给第一节点Q。因而，上拉晶体管T5可以导通，从而可以将第一时钟信号C1的低态电压施加给输出线OUT。同时，第二节点QB和第三节点P可处于低态。结果，在第一周期A期间，该级可输出低态输出信号OUT。

在第二周期B期间，第一时钟信号C1可以处于高态，而第二时钟信号/C1可以处于低态。因此，第一晶体管T1（图2中所示）截止，且使第一节点Q在高态浮动。因为第一节点Q在高态浮动，所以第三补偿晶体管T39（图9中所示）导通，并将低电平电压施加给第三节点P。此外，时钟信号C1可以处于高态，并且由于上拉晶体管T35的第二寄生电容CGS的作用被浮动的第一节点Q可以被自举。因此，第一节点Q处的电压可以被升高，必然使上拉晶体管T35导通，从而将第一时钟信号C1的高态电压迅速地输送给输出线OUT。同时，高电平时钟信号C1可导通第三晶体管T3（图2中所示）。第四晶体管T4（图2中所示）也可以通过被自举的第一节点Q而被导通，从而将低电平驱动电压VSS施加给第二节点QB。结果，在第二周期B期间，该级可以输出高态输出信号OUT。

在第三周期C期间，第一时钟信号C1可以处于低态，而第二时钟信号/C1可以再次处于高态，从而使第一晶体管T1（图2中所示）导通，并使起始脉冲Vst的低态电压施加给第一节点Q（图9中所示）。因此，上拉晶体管T35（图9

中所示)可以被截止。同时,第二时钟信号/C1可以使第二晶体管T2(图2中所示)导通,从而将高电平电压VDD施加给第二节点QB,并使下拉晶体管T36(图9中所示)导通。因而,低电平电压VSS被施加到输出线OUT。同时,第三节点保持在低态。结果,在第三周期C期间,该级可以输出低态输出信号OUT。

5 在第四周期D期间,第二时钟信号/C1可处于低态,从而使第一和第二晶体管T1和T2(图2中所示)截止。因此,第一节点Q可以被浮动到其以前的低态,从而使上拉晶体管T35(图9中所示)截止。同时,高电平第一时钟信号C1可以被施加给第三节点P,从而使第二补偿晶体管T37导通。因而,低电平电压VSS可以被施加给第一节点Q。由此,第一节点Q未被浮动,且通过上拉晶体管T35的第二寄生电容CGS的耦合作用防止第一节点Q随第一时钟信号C1的高态电压而变化。

同样,第二晶体管T2(图2中所示)由第二时钟信号/C1的低态电压截止,第四晶体管T4(图2中所示)由第一节点Q的低态截止。因此,即使第三晶体管T3(图2中所示)由第一时钟信号C1的高态电压导通,也会使第二节点QB在15比前一周期C中所输送的高电平驱动电压VDD低的高态浮动。因而,下拉晶体管T36处于导通状态,从而将低电平电压VSS输出至输出线OUT。结果,在D周期中,该级的输出线输出低态输出信号OUT。

在剩余周期中,可交替地重复C和D周期中的操作,以便该级的输出信号OUT可连续地保持低态而没有任何失真。

20 图11为根据本发明另一实施例的补偿电路的详细电路图。在图11中,用于补偿第一节点Q(例如图9中所示)中电压改变的补偿电路460可以包括第一补偿晶体管T46_2,第二补偿晶体管T47和第三补偿晶体管T49。第一补偿晶体管T46_2可受第一时钟信号C1的控制,且将高电平电压VDD有选择地施加给第三节点P。此外,第二补偿晶体管T47可以受第三节点P处的电压控制,以将低25电平电压VSS有选择地施加给第一节点Q。而且,第三补偿晶体管T49可以受第一节点Q处的电压控制,以将低电平电压VSS有选择地施加给第三节点P。

结果,在第一周期A期间,第一时钟信号C1的低态电压使第一补偿晶体管T46_2截止,而高态第一节点Q使第三补偿晶体管T49导通,从而将低电平电压VSS输送给第三节点P。因此,第二补偿晶体管T47截止。

30 在第二周期B期间,第一时钟信号C1的高态电压使第一补偿晶体管T46_2

导通，而高态第一节点Q使第三补偿晶体管T49导通。然而，由于第三补偿晶体管T49比第一补偿晶体管T46_2大，所以第三节点P通过第三补偿晶体管T49被提供低电平电压VSS。因此，第二补偿晶体管T47保持截止。第三补偿晶体管T49与第一补偿晶体管T46_2的幅值关系近似为至少3:1的比值。

5 在第三周期C期间，第一时钟信号C1的低态电压使第一补偿晶体管T46_2截止，低态第一节点Q使第三补偿晶体管T49截止，从而使第三节点P浮动到以前的低态。因此，第二补偿晶体管T47保持截止。

在第四周期D期间，第一时钟信号C1的高态电压使第一补偿晶体管T46_2导通，低态第一节点Q使第三补偿晶体管T49截止。因此，高电平电压VDD被施
10 加给第三节点P，从而使第二补偿晶体管T47导通。因而，第二补偿晶体管T47导通，以将低电平电压VSS输送给第一节点Q，从而防止第一节点Q由于第一时钟信号C1的高态电压而发生改变。

图12为根据本发明另一实施例的补偿电路的详细电路图。在图12中，用于补偿第一节点Q（例如图9中所示）中的电压改变的补偿电路570可以包括第
15 一补偿晶体管T56_3，第二补偿晶体管T57和第三补偿晶体管T59。第一补偿晶体管T56_3可以受第一时钟信号C1控制，并且可以将第一时钟信号C1有选择地施加给第三节点P。此外，第二补偿晶体管T57可以受第三节点P处的电压控制，以将低电平电压VSS有选择地施加给第一节点Q。而且，第三补偿晶体管T59可以受第一节点Q处的电压控制，以将低电平电压VSS有选择地施加给第三节点
20 P。

结果，在第一周期A期间，第一时钟信号C1的低态电压使第一补偿晶体管T56_3截止，高态第一节点Q使第三补偿晶体管T59导通，从而将低电平电压VSS输送给第三节点P。因此，第二补偿晶体管T57截止。

在第二周期B期间，第一时钟信号C1的高态电压使第一补偿晶体管T56_3
25 导通，高态第一节点Q使第三补偿晶体管T59导通。然而，由于第三补偿晶体管T59大于第一补偿晶体管T56_3，所以通过第三补偿晶体管T59向第三节点P提供低电平电压VSS。因此，第二补偿晶体管T57保持截止。第三补偿晶体管T59与第一补偿晶体管T56_3的幅值关系大约至少为3:1的比值。

在第三周期C期间，第一时钟信号C1的低态电压使第一补偿晶体管T56_3
30 截止，低态第一节点Q使第三补偿晶体管T59截止，从而浮动第三节点P到以前

的低态。因此，第二补偿晶体管T57保持截止。

在第四周期D期间，第一时钟信号C1的高态电压使第一补偿晶体管T56₃导通，低态第一节点Q使第三补偿晶体管T59截止。因此，第一时钟信号C1的高态电压施加给第三节点P，从而使第二补偿晶体管T57导通。因此，第二补偿晶体管T57导通，以将低电平电压VSS施加给第一节点Q，从而防止第一节点Q由于第一时钟信号C1的高态电压而改变。

如上所述，根据本发明的移位寄存器使用反向时钟信号和补偿电容器/电路，防止上拉晶体管的控制节点Q随时钟信号而改变，从而减小输出电压的失真。因此，防止由于输出电压的失真所导致的电路误操作成为可能。

10 在不偏离本发明精神和范围的条件下，本领域技术人员显然可以对本发明的移位寄存器以及驱动方法进行多种变型和改变。因此，本发明意在覆盖本发明的这些变型和改变，只要这些变型和改变处于所附权利要求和其等效的范围内。

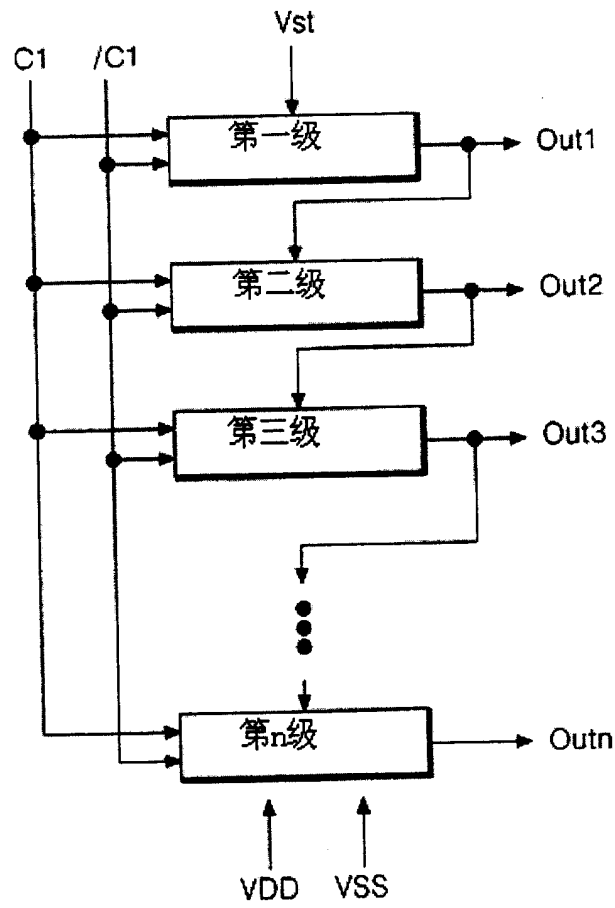


图 1

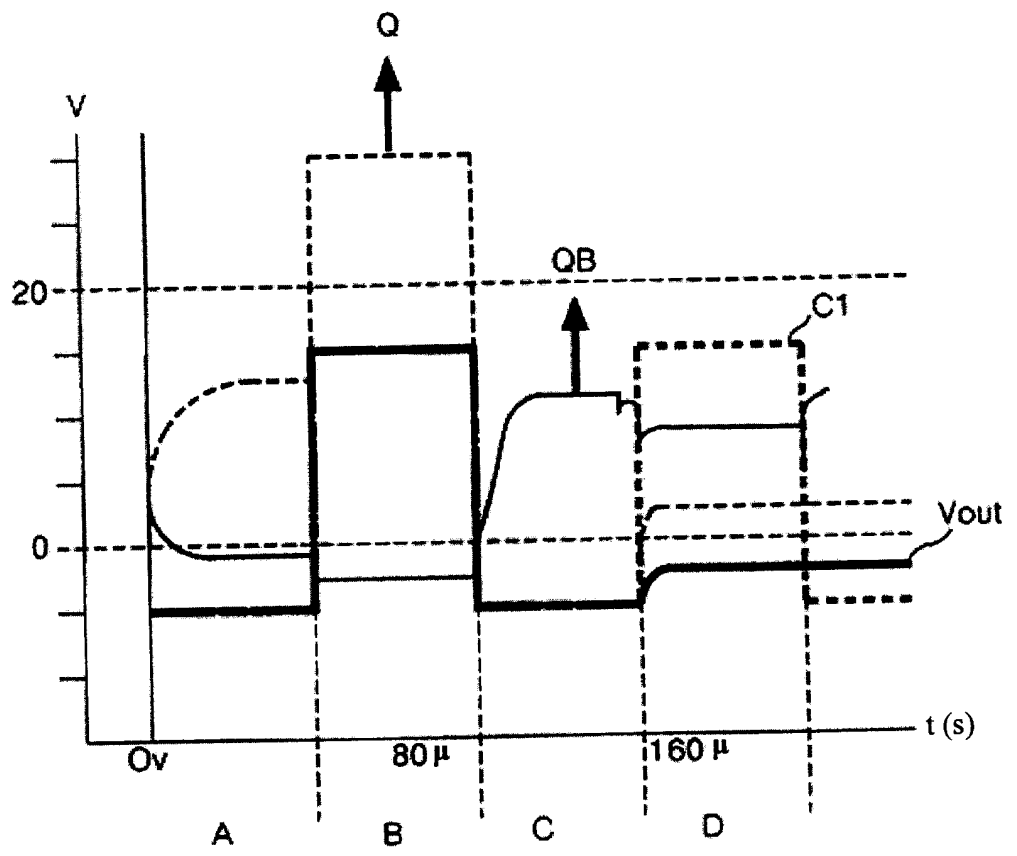


图 3

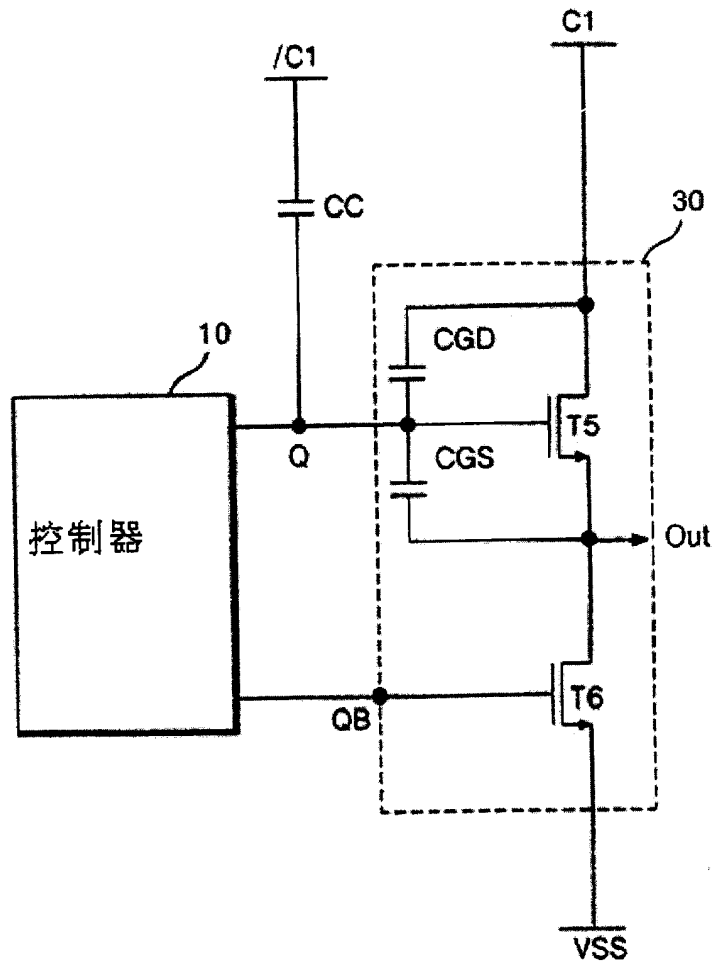


图 4

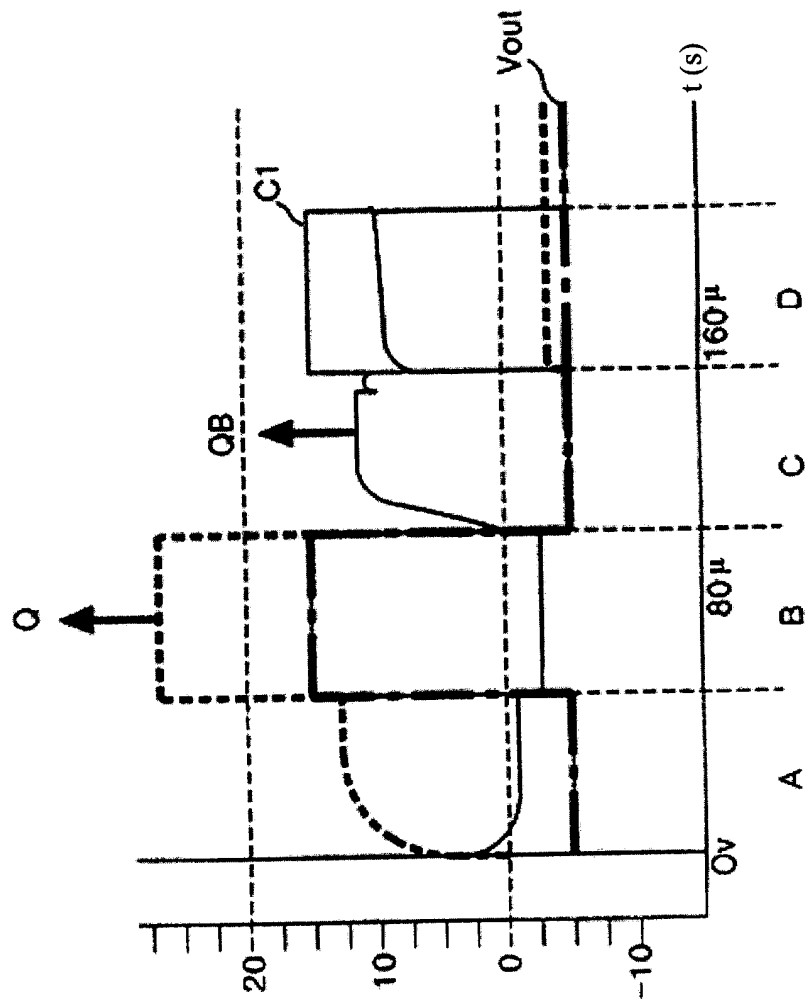


图 5

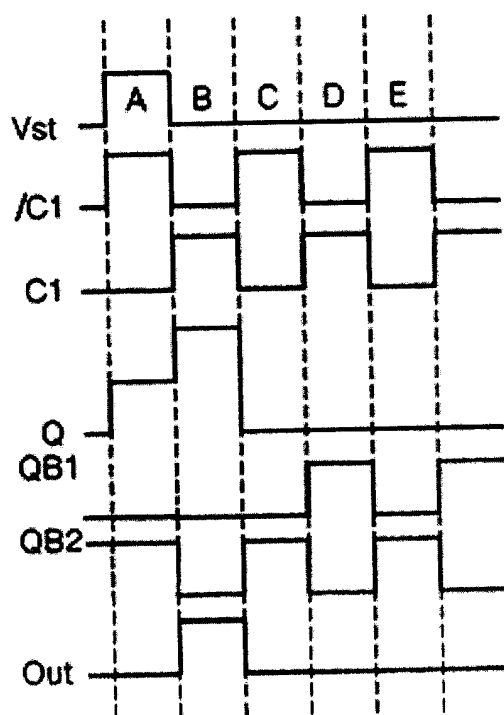


图 7

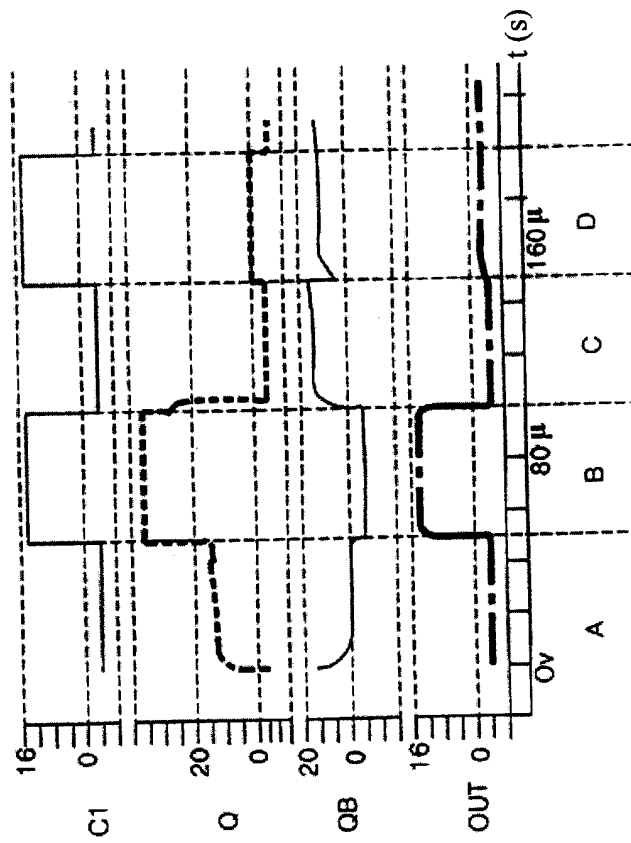


图 8A

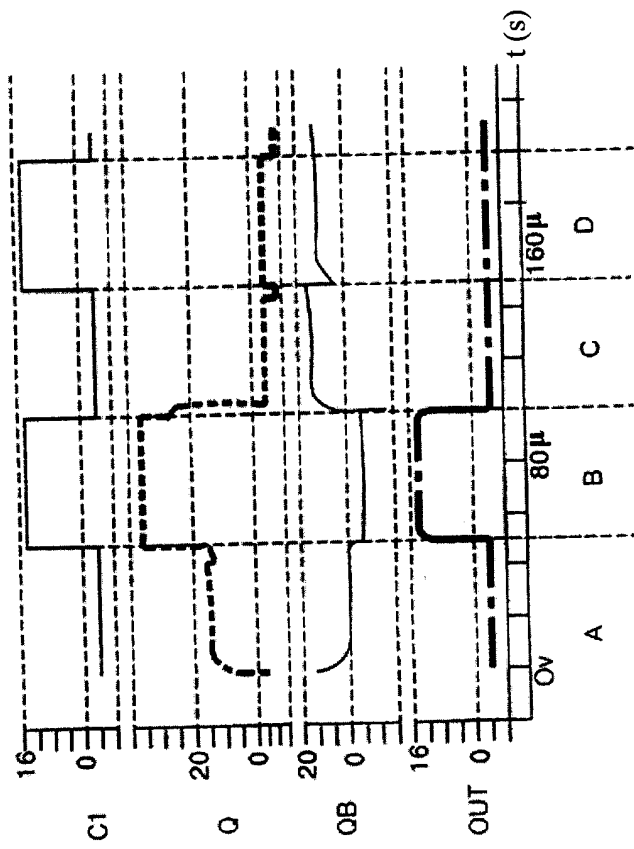


图 8B

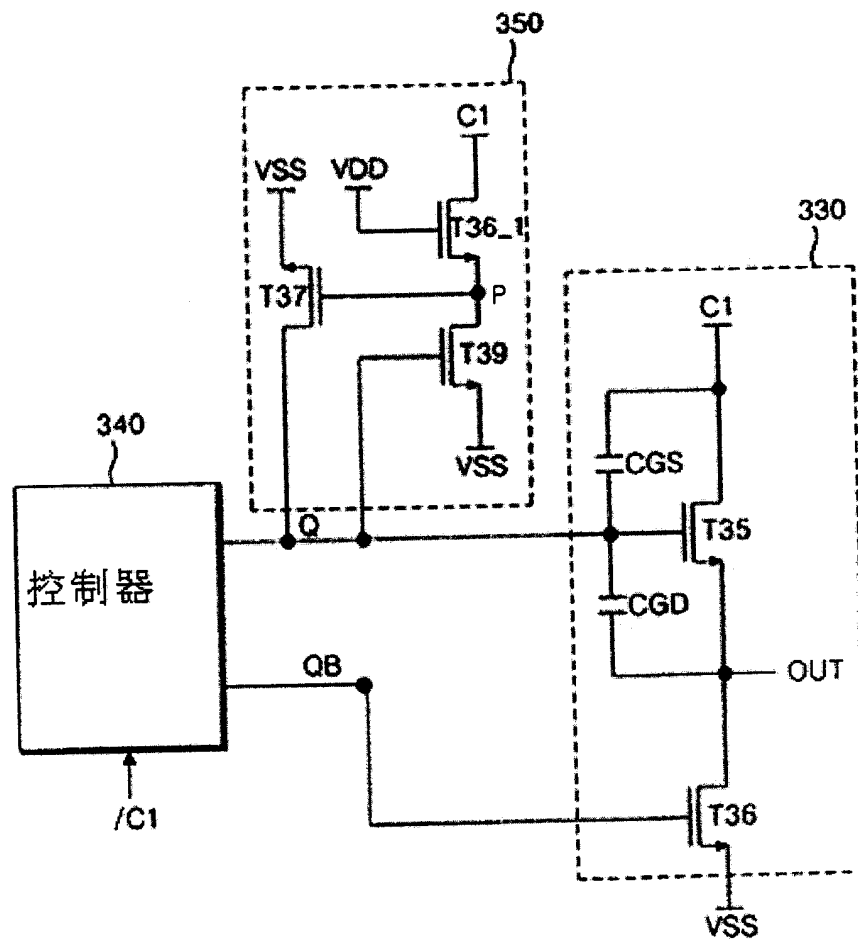


图 9

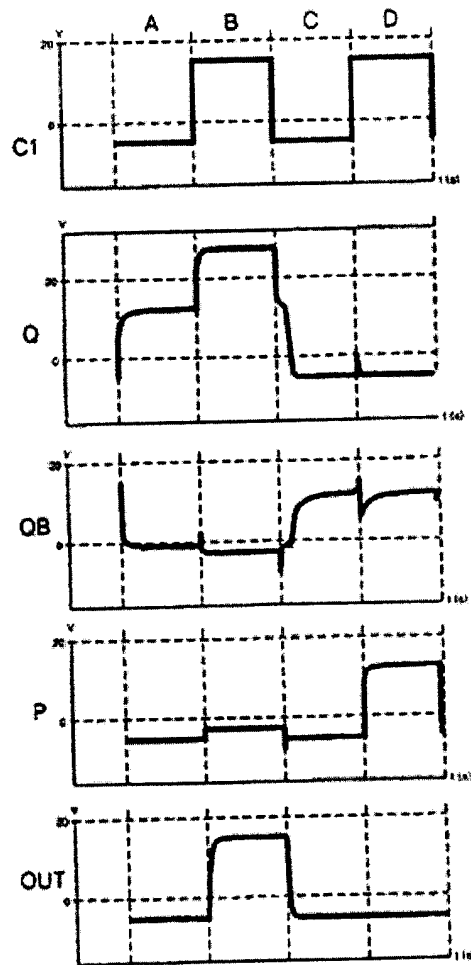


图 10

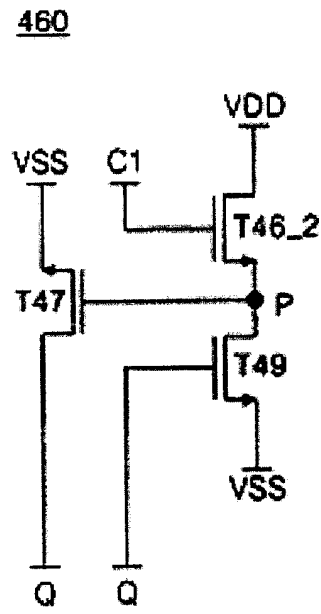


图 11

570

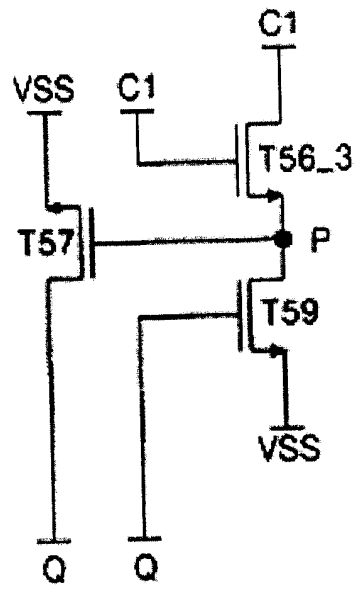


图 12