(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/68 (2006.01)

(45) 공고일자 2006년04월18일
(11) 등록번호 10-0571878
(24) 등록일자 2006년04월11일

(21) 출원번호 10-2003-7013032
(22) 출원일자 2003년10월02일
번역문 제출일자 2003년10월02일
(86) 국제출원번호 PCT/JP2002/003283
국제출원일자 2002년04월02일

(65) 공개번호 10-2003-0090713
(43) 공개일자 2003년11월28일
(87) 국제공개번호 WO 2002/84731
국제공개일자 2002년10월24일

(30) 우선권주장 JP-P-2001-00108926 2001년04월06일 일본(JP)

(73) 특허권자
동경 엘렉트론 주식회사
일본국 도쿄도 미나토구 아카사카 5초메 3반 6고

(72) 발명자
이이지마 기요히토
일본 야마나시켄 니라사키시 호사카쵸 미츠자와 650 동경 엘 렉트론 에이티 주식회사 나이

가이세 세이이치
일본 야마나시켄 니라사키시 후지이쵸 기타게죠 동경 엘렉트 론 에이티 주식회사 나이

다카하시 게이코
일본 야마나시켄 니라사키시 호사카쵸 미츠자와 650 동경 엘 렉트론 에이티 주식회사 나이

오비 아키라
일본 야마나시켄 니라사키시 호사카쵸 미츠자와 650 동경 엘 렉트론 에이티 주식회사 나이

(74) 대리인
김창세

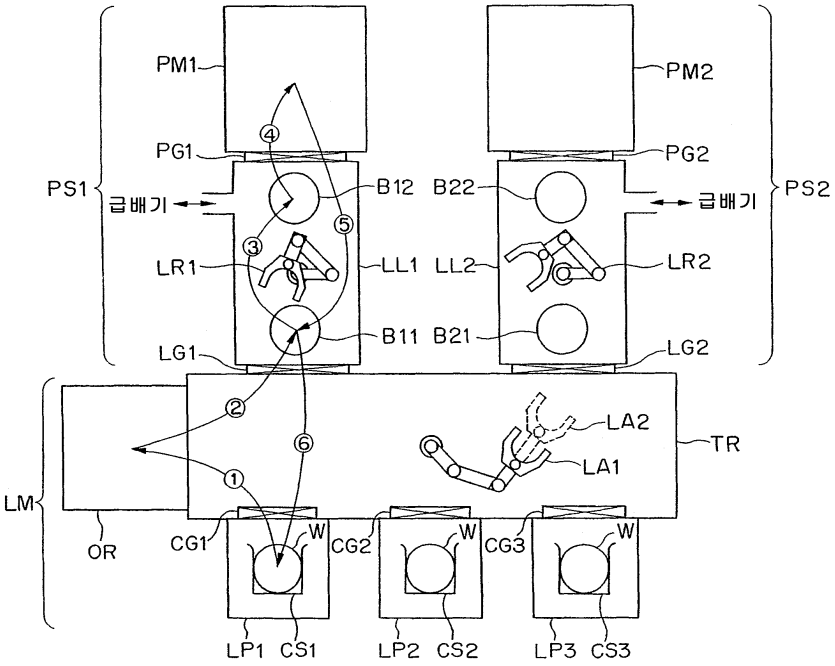
심사관 : 김윤선

(54) 클러스터 툴 및 반송 제어 방법

요약

로드 로크실(LL1, LL2)과 로더 모듈(LM) 사이에서의 웨이퍼(W)의 교체 타이밍을 기준으로 하여, 어느 하나의 로드 로크실(LL1, LL2)에 웨이퍼(W)가 반입된 때(Tp)에, 그 로드 로크실(LL1, LL2)에 다음 웨이퍼(W)를 반입 가능해지기까지의 PSL 시간을 산출한다. 그리고, 이 PSL이 산출되면, 로더 아암(LA1, LA2)은 로드 로크실(LL1, LL2)에 반입 가능해지기까지의 시간이 가장 짧은 다음 웨이퍼(W)를 로드 포트(LP1 내지 LP3)로부터 선택한다. 이에 따라, 로드 로크실이 설치된 클러스터 툴에서의 반송 지연을 개선한다.

대표도



명세서

기술분야

본 발명은 클러스터 툴 및 반송 제어 방법에 관한 것이다.

배경기술

종래의 클러스터 툴에서는, 각 프로세스실에서 현재 처리되고 있는 웨이퍼의 처리 잔여 시간을 각각 산출하여, 이 처리 잔여 시간이 가장 적은 프로세스실에 다음 웨이퍼가 반송되도록 로드 포트로부터 꺼내는 웨이퍼의 선택이 이루어졌었다.

그러나, 로드 로크실이 마련된 클러스터 툴에서는, 이 로드 로크실을 통해서 각 프로세스실로의 반송이 이루어진다. 로드 로크실에서는, 로더 모듈과 로드 로크실 사이에서의 웨이퍼의 전달을 하거나, 로드 로크실과 프로세스실 사이에서의 웨이퍼의 전달을 하기 위해서, 로더 모듈 또는 프로세스실의 진공도에 대응한 급배기가 반복된다. 이 때문에, 단순히 프로세스실에서의 처리 잔여 시간만을 고려하여, 로드 포트로부터 꺼내는 웨이퍼를 선택하면, 로드 로크실에서의 급배기 등의 처리로 반송 대기가 발생하여, 반송 지연이 오히려 증가하는 경우가 있었다.

또한, 레시피(recipe) 실행 시간이 다른 웨이퍼를 반송을 하는 경우, 단순히 처리 잔여 시간만을 고려하여 웨이퍼를 선택하면, 레시피 실행 시간이 짧은 반송이 대기되는 경우가 있어, 시스템 전체로 봤을 경우의 스루풋이 저하된다는 문제점이 있었다.

발명의 요약

본 발명의 목적은, 로드 로크실이 마련된 클러스터 툴에서의 반송 지연을 개선하는 것이 가능한 클러스터 툴 및 반송 제어 방법을 제공하는 것이다.

상술한 과제를 해결하기 위해서, 본 발명에 따르면, 처리 대상의 프로세스 처리를 하는 복수의 프로세스실과, 상기 프로세스실에 각각 연결되어, 상기 프로세스실에 상기 처리 대상을 반송하는 로드 로크실과, 상기 로드 로크실에 연결되어, 상기 로드 로크실에 상기 처리 대상을 반송하는 로더 모듈과, 상기 처리대상중 어느 하나가 상기 로드 로크실에 반입되는 때에, 각각의 상기 로드 로크실에 다음에 반송가능해지는 시간을, 각각의 상기 로드 로크실에 연결된 상기 프로세스실에서의 처

리 시간과 각각의 상기 로드 로크실에서의 처리 시간에 따라서 산출하는 반송 시간 산출 수단과, 이 반송 시간 산출 수단의 산출 결과에 따라서, 상기 로더 모듈이 다음에 반송하는 상기 처리 대상으로 하여, 반송 가능해지는 시간이 가장 짧은 상기 처리 대상을 선택하는 선택 수단을 구비한 반송 제어 수단을 구비한 것을 특징으로 한다.

이에 따라, 로드 로크실에서의 처리 시간을 고려하여, 다음 웨이퍼를 로드 로크실에 반입 가능해지기까지의 시간을 산출하는 것이 가능해진다. 이 때문에, 프로세스 잔여 시간이 짧은 프로세스실과, 프로세스 잔여 시간이 긴 프로세스실이 있는 경우, 프로세스 잔여 시간이 짧은 프로세스실에서는, 여기에 연결된 로드 로크실에서의 처리가 지연되기 때문에, 반송 지연이 오히려 증가하는 경우에는, 프로세스 잔여 시간이 길더라도, 로드 로크실에서의 처리가 빠르게 끝나는 쪽을 선택할 수 있어, 반송 지연을 저감하는 것이 가능해진다.

삭제

삭제

또한, 본 발명에 따르면, 처리 대상의 프로세스 처리를 하는 복수의 프로세스실과, 상기 프로세스실에 각각 연결되어 상기 프로세스실에 상기 처리 대상을 반송하는 로드 로크실과, 상기 로드 로크실에 연결되어 상기 로드 로크실에 상기 처리 대상을 반송하는 로더 모듈과, 상기 처리대상중 어느 하나가 상기 로드 로크실에 반입되는 때에, 각각의 상기 프로세스실에 다음에 반송가능해지는 시간을, 각각의 상기 프로세스실에서의 처리 시간과 각각의 상기 프로세스실에 연결된 상기 로드 로크실에서의 처리 시간에 따라서 산출하는 반송 시간 산출 수단과, 이 반송 시간 산출 수단의 산출 결과에 따라서, 상기 로더 모듈이 다음에 반송하는 상기 처리 대상으로 하여, 반송 가능해지는 시간이 가장 짧은 상기 처리 대상을 선택하는 선택 수단을 구비한 반송 제어 수단을 구비한 것을 특징으로 한다.

이에 따라, 로드 로크실에서의 처리 시간을 고려하면서, 다음의 웨이퍼를 프로세스실에 반입 가능해지기까지의 시간을 산출하는 것이 가능해진다. 이 때문에, 로드 로크실에 반입 가능해지기까지의 시간은 짧지만, 로드 로크실에 반입 후, 프로세스실에 추가로 반입되기까지의 시간이 긴 경우에는, 로드 로크실에 반입 가능해지기까지의 시간은 길지만, 로드 로크실에 반입 후, 프로세스실에 추가로 반입되기까지의 시간이 짧은 쪽을 선택할 수 있다. 그 결과, 어떠한 로드 로크실에 대해서도 반입 대기 상태가 길게 계속되어, 로더 모듈이 장시간 정지해 있는 상태가 되는 것을 방지할 수 있어, 시스템 전체로 봤을 경우의 스루풋을 향상시킬 수 있다.

삭제

삭제

또한, 본 발명에 따르면, 상기 로더 모듈에 상기 처리 대상의 위치 맞춤을 행하는 위치 맞춤 기구가 마련되어 있는 것을 특징으로 하며, 또한, 상기 반송 제어 수단에 의해 선택한 다음에 반송할 처리 대상을, 상기 위치 맞춤 기구로 위치 맞춤한 후, 상기 로드 로크실의 전방까지 반송하여 대기시키는 것을 특징으로 한다.

또한, 본 발명에 따르면, 복수의 프로세스실이 마련되어, 상기 프로세스실에 로드 로크실을 통해서 처리 대상을 반송하는 반송 제어 방법에 있어서, 상기 처리 대상중 어느 하나가 상기 로드 로크실에 반입될 때, 각각의 상기 로드 로크실에 다음에 반송 가능해지는 시간을, 각각의 상기 로드 로크실에 연결된 상기 프로세스실에서의 처리 시간과 각각의 상기 로드 로크실에서의 처리 시간에 따라 산출하여, 이 산출된 결과에 따라서, 다음에 반송할 처리 대상을 선택하는 것을 특징으로 한다.

이에 따라, 프로세스실에서의 처리 잔여 시간뿐 아니라, 로드 로크실에서의 처리 시간을 고려하여, 반송 순서를 결정하는 것이 가능해져, 반송 지연을 저감시킬 수 있다.

또한, 본 발명에 따르면, 복수의 프로세스실이 마련되어, 상기 프로세스실에 로드 로크실을 통해서 처리 대상을 반송하는 반송 제어 방법에 있어서, 상기 처리 대상중 어느 하나가 상기 로드 로크실에 반입될 때, 각각의 상기 프로세스실에 다음에 반송 가능해지는 시간을, 각각의 상기 프로세스실에서의 처리 시간과 각각의 상기 프로세스실에 연결된 상기 로드 로크실에서의 처리 시간에 따라 산출하여, 이 산출된 결과에 따라서, 다음에 반송할 처리 대상을 선택하는 것을 특징으로 한다.

이에 따라, 로드 로크실에서의 처리 시간을 고려하면서, 프로세스실에서 처리 가능해지는 시간을 산출하는 것이 가능해져, 시스템 전체로 봤을 경우의 스루풋을 향상시킬 수 있다.

또한, 본 발명에 따르면, 상기 선택한 다음에 반송하는 처리 대상을 위치 맞춤 기구로 위치 맞춤한 후, 상기 로드 로크실의 전방까지 반송하여 대기시키는 것을 특징으로 한다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 클러스터 툴의 개략 구성을 나타내는 단면도,

도 2는 본 발명의 제 1 실시예에 따른 반입 타이밍의 산출 방법을 나타내는 도면,

도 3은 본 발명의 제 1 실시예에 따른 반입 타이밍을 설명하는 도면,

도 4는 본 발명의 제 2 실시예에 따른 반입 타이밍을 설명하는 도면.

발명의 상세한 설명

이하, 본 발명의 실시예에 따른 클러스터 툴 및 반송 제어 방법에 대하여 도면을 참조하면서 설명한다.

도 1은 본 발명의 일 실시예에 따른 클러스터 툴의 개략 구성을 나타내는 단면도이다. 도 1에 있어서, 로더 모듈(LM)에는, 웨이퍼(W)를 수용하는 로드 포트(LP1 내지 LP3), 웨이퍼(W)를 반송하는 반송실(TR) 및 웨이퍼(W)의 위치 결정을 하는 오리엔터(OR)가 설치되어 있다. 로드 포트(LP1 내지 LP3)에는, 미처리된 웨이퍼(W) 및 처리 완료된 웨이퍼(W)를 수용하는 카세트 또는 FOUP(후프)(CS1 내지 CS3)가 설치된다.

또한, 이들 로드 포트(LP1 내지 LP3)는 더미 웨이퍼를 수용한 카세트 등이 설치되는 더미 웨이퍼용의 포트에 설정할 수 있도록 되어 있다.

반송실(TR)은 오리엔터(OR)가 연결되는 동시에, 로드 로크 도어(LG1, LG2)를 통해서 프로세스 쉽(PS1, PS2)이 연결되며, 또한 로드 포트 도어(CG1 내지 CG3)를 통해 로드 포트(LP1 내지 LP3)가 연결되어 있다.

반송실(TR)에는 2단 구성의 로더 아암(LA1, LA2)이 설치되며, 이 로더 아암(LA1, LA2)은 로드 포트(LP1 내지 LP3)와 로드 로크실(LL1, LL2)과의 사이, 또는 오리엔터(OR)와의 사이에서의 웨이퍼(W)의 반송을 수행한다(도 1의 ①, ②, ⑥의 반송). 여기에서, 로더 아암(LA1, LA2)을 2단 구성으로 함으로써, 한쪽의 로더 아암(LA1, LA2)으로 웨이퍼(W)의 반입을 수행하면서, 다른 쪽 로더 아암(LA1, LA2)으로 웨이퍼(W)의 반출을 수행하는 것이 가능해져, 웨이퍼(W)의 교체를 효율적으로 하는 것이 가능해진다.

프로세스 쉽(PS1, PS2)에는 로드 로크실(LL1, LL2) 및 프로세스실(PM1, PM2)이 설치되고, 로드 로크실(LL1, LL2)과 프로세스실(PM1, PM2)은 프로세스 게이트(PG1, PG2)를 통해서 서로 연결되어 있다. 로드 로크실(LL1, LL2)에는 웨이퍼 탑재대(B11, B12, B21, B 22) 및 로드 로크 아암(LR1, LR2)이 각각 설치되고, 웨이퍼 탑재대(B12, B22)에는 로더 모듈(LM)로부터 반입된 웨이퍼(W)가 탑재되는 동시에, 로드 로크실(LL1, LL2)로부터 반출되는 웨이퍼(W)가 탑재된다. 또한, 웨이퍼 탑재대(B11, B21)에는 프로세스실(PM1, PM2)에 반입되는 웨이퍼(W)가 탑재된다. 또한, 로드 로크 아암(LR1, LR2)은 로드 로크실(LL1, LL2)과 프로세스실(PM1, PM2) 사이에서의 웨이퍼(W)의 반송을 수행한다(도 1의 ③, ④, ⑤의 반송).

반송의 효율화를 도모하기 위해, 반송실(TR)은 대기 개방되는 동시에, 로드 포트 도어(CG1 내지 CG3)는 개방된 상태로 유지된다. 또한, 오염을 방지하기 위해, 프로세스실(PM1, PM2)은 소정의 진공도로 유지된다. 이 때문에, 로드 로크실(LL1, LL2)에서는 반송실(TR)과의 사이에서의 반송, 또는 프로세스실(PM1, PM2)과의 사이에서의 반송에 따라서, 각각의 진공도에 대응시키기 위한 급배기가 이루어진다. 이하, 로드 포트(LP1)와 프로세스 쉽(PS1) 사이에서의 반송을 수행하는 경우를 예로 들어 반송 시퀀스를 설명한다.

우선, 로더 아암(LA1, LA2)은 로드 포트(LP1)에 탑재되어 있는 웨이퍼(W)를 꺼내어 오리엔터(OR)로 반입한다(①).

오리엔터(OR)는 웨이퍼(W)가 반입되면, 웨이퍼(W)의 위치 결정을 수행한다. 웨이퍼(W)의 위치 결정이 끝나면, 로더 아암(LA1, LA2)은 웨이퍼(W)를 오리엔터(OR)로부터 꺼내어, 로드 로크실(LL1)의 앞까지 반송하여 여기에서 대기한다. 그리

고, 로드 로크실(LL1)의 대기 개방이 종료하면, 로드 로크실(LL1)의 로드 로크 도어(LG1)가 열린다. 로드 로크 도어(LG1)가 열리면, 로더 아암(LA1, LA2)은 그 웨이퍼(W)를 로드 로크실(LL1)내에 반입하여, 웨이퍼 탑재대(B11) 상에 탑재한다(②).

웨이퍼 탑재대(B11)상에 웨이퍼(W)가 탑재되면, 로드 로크 도어(LG1)가 닫히고, 로드 로크실(LL1)내의 배기가 이루어지는 동시에, 로드 로크 아암(LR1)이 웨이퍼 탑재대(B11)상의 웨이퍼(W)를 웨이퍼 탑재대(B12)로 반송한다(③).

웨이퍼(W)가 웨이퍼 탑재대(B12)에 반송되어, 프로세스실(PM1)에 웨이퍼(W)를 반입 가능한 상태가 되면, 프로세스실(PM1)의 프로세스 게이트(PG1)가 열리고, 로드 로크 아암(LR1)은 웨이퍼 탑재대(B12)상의 웨이퍼(W)를 프로세스실(PM1)내에 반입한다(④).

웨이퍼(W)가 프로세스실(PM1)내에 반입되면, 프로세스 게이트(PG1)가 닫히고, 웨이퍼(W)가 프로세스실(PM1)내에서 처리된다. 프로세스실(PM1)내에서의 웨이퍼(W)의 처리가 종료하여, 로드 로크실(LL1)에 웨이퍼(W)를 반출 가능한 상태가 되면, 프로세스 게이트(PG1)가 열리고, 로드 로크 아암(LR1)은 프로세스실(PM1)내의 웨이퍼(W)를 웨이퍼 탑재대(B11)에 반송한다(⑤).

그리고, 프로세스 게이트(PG1)가 닫히고, 로드 로크실(LL1)내의 대기 개방이 이루어진다. 로드 로크실(LL1)내의 대기 개방이 종료하면, 다음 웨이퍼(W)의 반입타이밍에 따라서, 로드 로크 도어(LG1)가 열리고, 한쪽 로더 아암(LA1, LA2)이 웨이퍼 탑재대(B11)상의 웨이퍼(W)를 로드 포트(LP1)에 반출하는 동시에 (⑥), 다른 쪽 로더 아암(LA1, LA2)이 오리엔터(OR)에서 위치 결정된 다음 웨이퍼(W)를 로드 로크실(LL1)내에 반입한다(②).

또한, 웨이퍼(W)의 반송을 수행하는 로드 로크 아암(LR1, LR2)등은 장치 정지 후의 복귀시등에, 각 부에 웨이퍼(W)가 남아 있지 않는 것을 확인하기 위해, 웨이퍼(W)가 존재할 가능성이 있는 각 부에 대하여, 탐색 동작을 수행하도록 되어 있다. 그리고, 이 탐색 동작을 수행한 결과, 로드 로크 아암(LR1, LR2) 위에 웨이퍼(W)가 탑재된 경우에는 이 웨이퍼(W)를 회수하도록 되어 있고, 이에 따라 그 후의 처리를 안전하게 할 수 있도록 되어 있다.

도 2는 본 발명의 제 1 실시예에 따른 반입 타이밍의 산출 방법을 나타내는 도면이다. 또한, 이러한 계산은 CPU 등으로 구성되는 도시하지 않은 반송 제어 수단에 의해 산출된다.

이 제 1 실시예에서는, 로드 로크실(LL1, LL2)과 로더 모듈(LM) 사이에서의 웨이퍼(W)의 교체 타이밍을 기준으로 하여, 어느 하나의 로드 로크실(LL1, LL2)에 웨이퍼(W)가 반입된 때(Tp)에, 그 로드 로크실(LL1, LL2)에 다음 웨이퍼(W)를 반입 가능해지기까지의 PSL 시간을 산출한다. 그리고, 이 PSL 시간이 산출되면, 로더 아암(LA1, LA2)은 로드 로크실(LL1, LL2)에 반입 가능해지기까지의 시간이 가장 짧은 다음 웨이퍼(W)를 로드 포트(LP1 내지 LP3)로부터 선택한다. 이 PSL 시간은 프로세스 쉽(PS1, PS2)내에서의 웨이퍼(W)의 반송 매수에 따라서 다음과 같이 산출된다.

또한, 이하의 설명에서는 반송에 관계되는 시간을 다음과 같이 정의한다.

CL: 로드 로크 도어(LG1, LG2)의 폐쇄 시간

VAC: 로드 로크실(LL1, LL2)의 배기 시간

GO: 프로세스 게이트(PG1, PG2)의 개방 시간

GC: 프로세스 게이트(PG1, PG2)의 폐쇄 시간

PI: 로드 로크실(LL1, LL2)로부터 프로세스실(PM1, PM2)로의 반입 시간

PO: 프로세스실(PM1, PM2)로부터 로드 로크실(LL1, LL2)로의 반출 시간

PIO: 프로세스실(PM1, PM2)과 로드 로크실(LL1, LL2) 사이에서의 웨이퍼 교체 시간

PM: 프로세스실(PM1, PM2)에서의 처리 시간

APM: 프로세스실(PM1, PM2)에서의 처리 잔여 시간

VENT: 급기 시간

APM: 프로세스실(PM1, PM2)의 후처리(애프터 레시피) 시간

우선, 프로세스 쉽(PS1, PS2)내에서 1장의 웨이퍼(W)를 반송하는 경우에 대하여 설명한다.

도 2a에 있어서, 웨이퍼(W)의 반입시에 다음 웨이퍼(W)를 반입 가능해지기까지의 시간은, 로더 모듈(LM)로부터 프로세스 쉽(PS1, PS2)에 반입된 웨이퍼(W)가 프로세스실(PM1, PM2)내에서 처리되고, 그 처리가 완료된 웨이퍼(W)가 웨이퍼 탑재대(B11, B21)에 탑재되고, 로드 로크실(LL1, LL2)이 대기 개방되기까지의 시간이다.

따라서, 이 경우의 PSL 시간은,

PSL = CL + VAC + GO + PI + GC + PM + GO + PO + Max(VENT,APM) … 수학식(1)

이 된다. 단, Max( )는 큰 값을 선택하는 것을 나타낸다. 또한, 수학식(1)에 있어서, 웨이퍼 탑재대(B11, B21)로부터 웨이퍼 탑재대(B12, B22)로의 웨이퍼(W)의 반송 시간이 가산되어 있지 않은 것은 웨이퍼 탑재대(B11, B21)로부터 웨이퍼 탑재대(B12, B22)로의 반송(③)은 로드 로크실(LL1, LL2)의 배기중에 이루어지며, 이 반송 시간은 로드 로크실(LL1, LL2)의 배기 시간(VAC)에 가려지기 때문이다(이하 동일).

다음으로, 프로세스 쉽(PS1, PS2)내에서 2장의 웨이퍼(W)를 반송하는 경우에 대하여 설명한다. 또한, 이하의 설명에서는, 각 프로세스실(PS1, PS2)내에는 최대 2장의 웨이퍼(W)를 동시에 수용 가능하도록 하고, 프로세스실(PM1, PM2)에 웨이퍼(W)를 1장만 수용할 수 있고, 로드 로크실(LL1, LL2)에 웨이퍼(W)를 1장만 수용할 수 있는 것으로 한다.

우선, 도 2b에 있어서, 프로세스 쉽(PS1, PS2)내에 웨이퍼(W)가 없는 상태에서는, 프로세스 쉽(PS1, PS2)내에 반입된 웨이퍼(W)가 프로세스실(PM1, PM2)내에 반입되면, 다음 웨이퍼(W)를 로드 로크실(LL1, LL2)에 반입할 수 있다. 이 때문에, 웨이퍼(W)의 반입시에, 다음 웨이퍼(W)를 반입 가능하게 되기까지의 시간은 로더 모듈(LM)로부터 프로세스 쉽(PS1, PS2)에 반입된 웨이퍼(W)가 프로세스실(PM1, PM2)내에 반입되고, 로드 로크실(LL1, LL2)이 대기 개방되기까지의 시간이다.

따라서, 이 경우의 PSL 시간은,

PSL = CL + VAC + GO + PI + GC + VENT … 수학식(2)

가 된다.

다음으로, 도 2c에 있어서, 프로세스 쉽(PS1, PS2)내에 2장의 웨이퍼(W)가 있는 상태에서는, 로더 모듈(LM)로부터 프로세스 쉽(PS1, PS2)에 웨이퍼(W)를 반입하기 위해서는, 이제부터 프로세스 쉽(PS1, PS2)에 반입되는 웨이퍼(W)가 프로세스 쉽(PS1, PS2)내에서 처리 완료된 웨이퍼(W)와 교환될 필요가 있다. 이 때문에, 웨이퍼(W)의 반입시에, 다음 웨이퍼(W)를 반입 가능해지기까지의 시간은, 프로세스실(PM1, PM2)내에 반입되어 있는 웨이퍼(W)의 처리가 끝나고, 로더 모듈(LM)로부터 프로세스 쉽(PS1, PS2)에 반입된 웨이퍼(W)가 프로세스실(PM1, PM2)내에서 처리된 웨이퍼(W)와 교환되어, 로드 로크실(LL1, LL2)이 대기 개방되기까지의 시간이다. 여기에서, 프로세스 쉽(PS1, PS2)내에서는, 프로세스실(PM1, PM2)내에서의 웨이퍼(W)의 프로세스 처리와, 로드 로크실(LL1, LL2)의 배기 등의 처리를 동시에 수행할 수 있다.

따라서, 이 경우의 PSL 시간은,

PSL = Max((CL + VAC), ΔPM) + GO + PIO + GC + VENT … 수학식(3)

이 된다.

다음으로, 도 2d에 있어서, 프로세스 쉽(PS1, PS2)내에 웨이퍼(W)가 2장 있는 상태에서, 프로세스실(PM1, PM2)의 후처리를 수행하는 경우, 이 후처리에 필요한 시간을 수학식(3)에 가산할 필요가 있다.

따라서, 이 경우의 PSL 시간은,

PSL = Max((CL+VAC), ΔPM)+GO+PO+GC+APM+GO+PI+GC+VENT … 수학식(4)

가 된다.

다음에, 도 2e에 있어서, 프로세스 쉽(PS1, PS2)내에 1장의 웨이퍼(W)가 있는 상태에서는, PSL 시간은 프로세스 쉽(PS1, PS2)내의 최후의 웨이퍼(W)를 프로세스 쉽(PS1, PS2)으로부터 반출 가능해지기까지의 시간이다.

따라서, 이 경우의 PSL 시간은,

PSL = Max((CL+VAC), ΔPM)+GO+PO+GC+VENT …수학식(5)

가 된다.

이상의 산출 방법에 따라, PSL 시간이 산출되면, 이 PSL 시간에 따라서, 다음 웨이퍼(W)를 각 프로세스 쉽(PS1, PS2)에 반입 가능해지는 시간을 산출한다. 그리고, 오리엔터(OR)에 웨이퍼(W)가 존재하지 않는 경우, 로더 아암(LA1, LA2)은 반입 가능해지는 시간이 가장 짧은 웨이퍼(W)를 로드 포트(LP1 내지 LP3)로부터 꺼내고, 그 꺼낸 웨이퍼(W)를 오리엔터(OR)에 반입한다.

또한, 오리엔터(OR)에 웨이퍼(W)가 존재하는 경우, 오리엔터(OR)상의 웨이퍼(W)가 로드 로크실(LL1, LL2)에 반입된 후의 PSL 시간을 재계산한다. 그리고, 로더 아암(LA1, LA2)은 반입 가능해지는 시간이 가장 짧은 웨이퍼(W)를 로드 포트(LP1 내지 LP3)로부터 꺼내고, 그 꺼낸 웨이퍼(W)를 오리엔터(OR)에 반입한다.

여기에서, 각 프로세스 쉽(PS1, PS2)에 반입 가능해지는 시간을 재계산할 경우, 예컨대 프로세스 쉽(PS1)에 웨이퍼(W)가 반입된 것으로 하면, 프로세스 쉽(PS2)에서는 로드 로크실(LL2)의 급배기 등의 처리가 이미 진행되고 있어, 그 만큼 프로세스 쉽(PS2)에 반입 가능해지는 시간이 빨라진다. 이 때문에, 상기 방법으로 산출된 PSL 시간을 보정할 필요가 있다. 반송처 이외의 보정후의 PSL 시간(PSL')은 이하의 식으로 산출할 수 있다.

PSL' = PSL-TR(in) … 수학식(6)

단, TR(in)은 오리엔터(OR)상의 웨이퍼(W)를 반송처의 로드 로크실(LL1, LL2)에 반입 가능해지기까지의 시간을 나타내며, 프로세스 쉽(PS1, PS2)내에 웨이퍼(W)가 있는 경우에는 이하와 같이 구할 수 있다.

i) 프로세스 쉽(PS1, PS2)내 2장 반송에 있어서, 로드 로크실(LL1, LL2)에 처리전 웨이퍼(W)가 있는 경우

PSL > TR(LM)의 경우: PMx = PMs

TR(in) = 반송처의 PSL

PSL < TR(LM)의 경우: PMx = PMs-TR(LM) (단, PMs < TR(LM)의 경우 0)

TR(in) = TR(LM)

단, PMx는 로드 로크실(LL1, LL2)에서의 처리를 고려한 프로세스실(PM1, PM2)의 처리 잔여 시간을 나타내며, 반송처의 PSL을 구하는 경우, 수학식(3) 내지 (5)의 ΔPM을 PMx로 치환한다. 또한, TR(LM)은 로드 포트(LP1 내지 LP3)로부터 로드 로크실(LL1, LL2)까지의 반송 시간을 나타내며, 예컨대, 가장 먼 로드 포트(LP3)로부터 오리엔터(OR)를 경유하여 로드 로크실(LL1, LL2)까지 반송되는 시간으로 나타낼 수 있다. PMs는 프로세스실(PM1, PM2)에서 웨이퍼(W)를 교체 반송하며, 로드 로크실(LL1, LL2)을 대기 개방한 후의 프로세스실(PM1, PM2)의 처리 잔여 시간을 나타내며, 다음과 같이 구할 수 있다.

PMt > VENT의 경우: PMs = PMt-VENT

PMt < VENT의 경우: PMs = 0

단, PMt는 로드 로크실(LL1, LL2)에서 처리되기 전의 웨이퍼(W)의 프로세스실(PM1, PM2)에서의 처리 시간이다.

ii) 프로세스 쉽(PS1, PS2)내 2장 반송에 있어서, 로드 로크실(LL1, LL2)에 처리후 웨이퍼(W)가 있는 경우

PSL > TR(LM)의 경우: TR(in) = 반송처의 PSL

PSL < TR(LM)의 경우: TR(in) = TR(LM)

PMc > TR(in)의 경우: PMx = PMc-TR(in)

TR(in) < PMc의 경우: PMx = 0

단, PMc는 프로세스실(PM1, PM2)의 웨이퍼(W)의 프로세스실(PM1, PM2)에서의 처리 잔여 시간이다.

또한, 프로세스실(PM1, PM2)에 웨이퍼(W)가 없는 경우, 프로세스실(PM1, PM2)에서의 처리 잔여 시간(ΔPM)을 0으로 하여 계산한다.

iii) 프로세스 쉽(PS1, PS2)내 1장 반송의 경우

PSL > TR(LM)의 경우: TR(in) = 반송처의 PSL

PSL < TR(LM)의 경우: TR(in) = TR(LM)

이에 따라, 프로세스실(PM1, PM2)에서의 처리 잔여 시간(ΔPM)뿐만 아니라, 로드 로크실(LL1, LL2)에서의 처리 시간을 고려하여, 웨이퍼(W)의 반송 순서를 결정할 수 있어, 반송 지연을 줄이는 것이 가능해진다.

도 3은 본 발명의 제 1 실시예에 따른 반입 타이밍을 설명하는 도면이다. 도 3에 있어서, 예컨대 시간(TP1)에 웨이퍼(W)가 로드 로크실(LL1)에 반입되면, 이 시간(TP1)을 기준으로 하여, 다음 웨이퍼(W)를 프로세스 쉽(PS1, PS2)에 반입 가능해지는 시간(PSL1, PSL2)이 각각 산출된다.

여기에서, 이 PSL1, PSL2의 산출에 의해, 프로세스 쉽(PS1)에 다음 웨이퍼(W)를 반입 가능해지는 시간은 TL1, 프로세스 쉽(PS2)에 다음 웨이퍼(W)를 반입 가능해지는 시간은 TL2가 된 것으로 한다. 이 경우, 프로세스실(PM1, PM2)에서의 처리 잔여 시간(ΔPM)만을 고려하여, 다음 웨이퍼(W)의 반송 순서를 결정하면, 프로세스실(PM1)에서의 처리 잔여 시간(ΔPM)이, 프로세스실(PM2)에서의 처리 잔여 시간(ΔPM)보다 짧기 때문에, 프로세스 쉽(PS1)에 보내지는 웨이퍼(W)가 로드 포트(LP1 내지 LP3)로부터 선택된다. 이 결과, 프로세스쉽(PS1)에 웨이퍼(W)를 반입할 수 있는 시간은 TL2보다 느린 TL1이기 때문에, 프로세스 쉽(PS2)에 웨이퍼(W)를 반입하는 경우에 비해, 오리엔터(OR)로부터의 웨이퍼(W)의 반송 타이밍이 TL1-TL2 만큼 늦어진다.

한편, 로드 로크실(LL1, LL2)에 반송 가능해지는 시간(PSL1, PSL2)을 기준으로 하여, 다음 웨이퍼(W)의 반송 순서를 결정하면, PSL2 쪽이 PSL1보다 짧기 때문에, 프로세스 쉽(PS2)에 보내지는 웨이퍼(W)를 로드 포트(LP1 내지 LP3)로부터 선택할 수 있어, 반송 지연을 TL1-TL2 만큼 줄이는 것이 가능해진다.

이와 같이, 로드 로크실(LL1, LL2)에 반송 가능해지는 타이밍을 기준으로 하여, 다음 웨이퍼(W)의 반송 순서를 결정하는 방법에서는, 프로세스실(PM1, PM2)에서의 레시피 시간이 긴 쪽을 우선하여 선택할 수 있다. 이 때문에, 로드 로크실(LL1, LL2)에서의 배기 등의 처리가 종료하여, 웨이퍼(W)를 프로세스실(PM1, PM2)에 바로 넣을 수 있는 상태에서, 웨이퍼(W)를 로드 로크실(LL1, LL2)에서 대기시킬 수 있다. 이 결과, 레시피 시간이 긴 웨이퍼(W)의 처리가 지속적으로 이루어지도록 하여, 레시피 시간이 긴 웨이퍼(W)의 프로세스 처리가 이루어지고 있는 동안에, 레시피 시간이 짧은 웨이퍼(W)의 반송을 하도록 할 수 있어, 반송 지연을 줄이는 것이 가능해진다.

이상, 상술한 제 1 실시예에서는, 로드 로크실(LL1, LL2)과 로더 모듈(LM) 사이에서의 웨이퍼(W)의 교체 타이밍을 기준으로 하여, 웨이퍼(W)의 반송 순서를 결정하는 방법에 대하여 설명하였다.

그러나, 로드 로크실(LL1, LL2)에 반송 가능해지는 타이밍을 기준으로 했을 경우, 프로세스실(PM1, PM2)에서 현재 수행되고 있는 웨이퍼의 레시피 시간이 길면, 다음에 프로세스실(PM1, PM2)에서 처리되는 웨이퍼(W)가 로드 로크실(LL1, LL2)내에서 대기된다. 그리고, 이러한 상태가 모든 프로세스 쉽(PS1, PS2)에서 일어나면, 로드 모듈(LM) 내에서의 웨이퍼(W)의 반송이 그동안 정지되어, 로드 포트(LP1 내지 LP3)로부터의 웨이퍼(W)의 취출이 이루어지지 않게 된다. 이와 같은 상태는 시스템 전체로 봤을 경우에 프로세스실에서의 프로세스 시간에 따라서는 반송저하를 초래하여, 로드 포트(LP1 내지 LP3)로부터의 웨이퍼(W)의 취출을 끊임없이 행하게 하는 편이 시스템 전체로 봤을 경우의 반송 효율을 향상시킬 수 있다.

이에, 프로세스실(PM1, PM2)과 로드 로크실(LL1, LL2) 사이에서의 웨이퍼(W)의 교체 타이밍을 기준으로 하여, 어느 하나의 로드 로크실(LL1, LL2)에 웨이퍼(W)가 반입되었을 때에, 프로세스실(PM1, PM2)에 다음 웨이퍼(W)를 반입 가능해지기까지의 PSS 시간을 산출하도록 할 수 있다.

도 4는 본 발명의 제 2 실시예에 따른 반입 타이밍을 설명하는 도면이다. 도 4에 있어서, 예컨대 시간(TP1)에 웨이퍼(W)가 로드 로크실(LL1)에 반입되면, 이 시간(TP1)을 기준으로 하여, 다음 웨이퍼(W)를 프로세스실(PM1, PM2)에 반입 가능해지기까지의 시간(PSS1, PSS2)이 산출된다. 여기에서, 다음 웨이퍼(W)를 프로세스실(PM1, PM2)에 반입하기 위해서는, 로드 로크실(LL1, LL2)로부터 프로세스실(PM1, PM2)에 반입된 웨이퍼(W)의 프로세스 처리가 끝나고, 또한 로드 로크실(LL1, LL2)이 진공 흡인되어 있을 필요가 있다. 이 때문에, 프로세스실(PM1, PM2)에 다음 웨이퍼(W)가 반입 가능해지기 위해서는, 도 3의 PSS 시간(PSS1, PSS2)에 비해, 이 처리에 소비되는 시간(PMb1, PMb2)만큼 지연된다. 또한, 도 4의 TR(1lm)은 로드 로크실(LL1, LL2)에서의 교체 시간이다.

이 때문에, 프로세스실(PM1)에 다음 웨이퍼(W)를 반입 가능해지는 시간은 TS1, 프로세스실(PM2)에 다음 웨이퍼(W)를 반입 가능해지는 시간은 TS2가 되고, 프로세스실(PM2)에서의 처리 시간이 길면 PSS1이 PSS2보다 짧아진다. 이 때문에, 프로세스 쉽(PS1)에 보내지는 웨이퍼(W)를 로드 포트(LP1 내지 LP3)로부터 선택할 수 있어, 레시피 시간이 짧은 쪽을 우선하여 선택할 수 있다.

이 PSS 시간은, 프로세스 쉽(PS1, PS2)내에서의 웨이퍼(W)의 반송 매수에 따라 다음과 같이 산출할 수 있다.

즉, PSS 시간의 산출에서는, 프로세스실(PM1, PM2)과 로드 로크실(LL1, LL2) 사이에서의 웨이퍼(W)의 교체 타이밍이 기준이라 할 수 있다. 이 때문에, 로드 로크실(LL1, LL2)에 반입된 웨이퍼(W)가 프로세스실(PM1, PM2)에 반입되기까지 대기되는 반입 대기 시간(PMb)을 산출하고, 이 반입 대기 시간(PMb)을 PSL 시간에 가산하면 좋다.

여기에서, 도 2a의 1장 반송의 경우, 도 2b의 2장 반송에 있어서 프로세스 쉽(PS1, PS2)내에 웨이퍼(W)가 없는 경우, 도 2e의 2장 반송에 있어서 프로세스 쉽(PS1, PS2)내에 웨이퍼(W)가 1장 있는 경우에서는, 로드 로크실(LL1, LL2)에 반입된 웨이퍼(W)가 프로세스실(PM1, PM2)에 반입되기까지 대기되는 반입 대기 시간(PMb) = 0이기 때문에, 수학식 (1), (2), (5)와 같이 된다.

한편, 도 2c 및 도 2d의 2장 반송에 있어서 프로세스 쉽(PS1, PS2)내에 웨이퍼(W)가 2장 있는 경우에는, 수학식 (3) 및 (4)에 각각 PMb를 가산함으로써, PSS 시간은 다음과 같이 구할 수 있다.

i) 프로세스실(PM1, PM2)에서의 후처리가 없는 경우

PSS = Max((CL+VAC), ΔPM)+GO+PIO+GC+VENT+PMb … 수학식(7)

ii) 프로세스실(PM1, PM2)에서의 후처리가 있는 경우

PSS = Max((CL+VAC),ΔPM)+GO+PO+GC+APM+GO+PI+GC+VENT+PMb … 수학식(8)

단, PMb = PMa-Tllm

Tllm = VAC+TR(11m)+VENT

이다. 여기에서,

PMa: 로드 로크실(LL1, LL2)에 반입된 웨이퍼(W)의 프로세스 시간

Tllm: 로드 로크실(LL1, LL2)에서의 처리 시간

이다.

또한, 오리엔터(OR)상에 웨이퍼(W)가 존재하는 경우의 재계산에서는 수학식(7) 및 (8)의 PMa 대신에 PMo를 사용하는 것 이외에는 수학식(6)의 계산 방법과 동일하게 수행할 수 있다. 단, PMo는 오리엔터(OR)상의 웨이퍼(W)의 프로세스 처리 시간이다.

또한, 상술한 실시예에서는 프로세스 쉽(PS1, PS2)이 2대, 로드 포트(LP1 내지 LP3)가 3대, 오리엔터(OR)가 1대만 설치되어 있는 경우에 대하여 설명했지만, 프로세스 쉽(PS1, PS2)은 2대 이상이면 몇 대라도 무방하며, 로드 포트(LP1 내지 LP3)는 1대 이상 있으면 몇 대라도 무방하며, 오리엔터는 반송실(TR)의 양측에 2대를 설치할 수 있다.

또한, 로드 포트 게이트(CG1 내지 CG3)를 개방한 채로 반송을 하는 방법에 대하여 설명했지만, 반송까지 시간이 있는 경우에는, 로드 포트 게이트(CG1 내지 CG3)를 일시적으로 닫히도록 할 수 있다.

또한, 상술한 실시예에서는, 반송실(TR)은 대기 개방된 상태를 예로 하여 설명했지만, 반송실(TR)의 진공 흡인을 실시할 수 있다. 또한, 각 로드 로크실(LL1, LL2)에는 웨이퍼 탑재대(B11, B12, B21, B22)가 2대씩 설치되어 있는 경우에 대하여 설명했지만, 웨이퍼 탑재대는 1대씩 설치할 수 있고, 또한 로드 로크 아암(LR1, LR2)을 웨이퍼 탑재대와 겸용시키도록 할 수 있다. 또한, 로더 아암(LA1, LA2)은 바로 앞의 웨이퍼 탑재대(B11, B21)와 액세스 가능한 경우를 예로 하여 설명했지만, 내부의 웨이퍼 탑재대(B12, B22)와 직접 액세스하도록 할 수 있다. 또한, 로더 아암(LA1, LA2)은 2단 구성의 경우에 대하여 설명했지만 1단일 수 있다.

산업상 이용 가능성

본 발명에 따른 클러스터 툴 및 반송 제어 방법은 반도체 장치의 제조를 하는 반도체 제조 산업 등에서 사용하는 것이 가능하다. 따라서, 산업상의 이용 가능성을 갖는다.

(57) 청구의 범위

청구항 1.

클러스터 툴에 있어서,

처리 대상의 프로세스 처리를 수행하는 복수의 프로세스실과,

상기 프로세스실에 각각 연결되어, 상기 프로세스실에 상기 처리 대상을 반송하는 로드 로크실과,

상기 처리 대상의 위치 맞춤을 수행하는 위치 맞춤 기구가 설치되고, 상기 로드 로크실에 연결되어, 상기 처리 대상을 상기 로드 로크실에 반송하는 로더 모듈과,

각 상기 로드 로크실에 다음으로 반송 가능하게 되는 시간을, 상기 처리 대상이 어느 하나의 상기 로드 로크실에 반입되었을 때, 각 상기 로드 로크실에 연결된 상기 프로세스실에서의 처리 시간과 각 상기 로드 로크실에서의 처리 시간에 의거하여 산출하는 반송 시간 산출 수단과,

상기 반송 시간 산출 수단의 산출 결과에 의거하여, 상기 로더 모듈에 의하여 다음으로 반송되는 처리 대상으로서, 반송 가능하게 되는 시간이 가장 짧은 처리 대상을 선택하는 선택 수단을 포함하는 반송 제어 수단을 구비하는 것을 특징으로 하는

클러스터 툴.

청구항 2.
삭제

청구항 3.
삭제

청구항 4.

제 1 항에 있어서,

상기 반송 제어 수단에 의해 선택한 다음에 반송하는 처리 대상을, 상기 위치 맞춤 기구로 위치 맞춤한 후, 상기 로드 로크실의 전방까지 반송하여 대기시키는 것을 특징으로 하는

클러스터 툴.

청구항 5.

처리 대상의 프로세스 처리를 수행하는 복수의 프로세스실과,

상기 프로세스실에 각각 연결되어, 상기 처리 대상을 상기 프로세스실에 반송하는 로드 로크실과,

상기 처리 대상의 위치 맞춤을 수행하는 위치 맞춤 기구가 설치되고, 상기 로드 로크실에 연결되어, 상기 처리 대상을 상기 로드 로크실에 반송하는 로더 모듈과,

각 상기 프로세스실에 다음으로 반송 가능하게 되는 시간을, 상기 처리 대상이 어느 하나의 상기 로드 로크실에 반입되었을 때, 각 상기 프로세스실에서의 처리 시간과 각 상기 프로세스실에 연결된 상기 로드 로크실에서의 처리 시간에 의거하여 산출하는 반송 시간 산출 수단과,

상기 반송 시간 산출 수단의 산출 결과에 의거하여, 상기 로더 모듈에 의하여 다음에 반송되는 처리 대상으로서, 반송 가능하게 되는 시간이 가장 짧은 상기 처리 대상을 선택하는 선택 수단을 포함하는 반송 제어 수단을 구비하는 것을 특징으로 하는

클러스터 툴.

청구항 6.
삭제

청구항 7.
삭제

청구항 8.

제 5 항에 있어서,

상기 반송 제어 수단에 의해 선택한 다음에 반송할 처리 대상을 상기 위치 맞춤 기구로 위치 맞춤한 후, 상기 로드 로크실의 전방까지 반송하여 대기시키는 것을 특징으로 하는

클러스터 툴.

청구항 9.

복수의 프로세스실이 설치되어, 상기 프로세스실에 로드 로크실을 통해서 처리 대상을 반송하는 반송 제어 방법에 있어서,

상기 처리 대상이 어느 하나의 상기 로드 로크실에 반입되었을 때, 각 상기 로드 로크실에 다음으로 반송 가능하게 되는 시간을, 각 상기 로드 로크실에 연결된 상기 프로세스실에서의 처리 시간과 각 상기 로드 로크실에서의 처리 시간에 의거하여 산출하여, 이 산출 결과에 의거하여 다음으로 반송되는 처리 대상을 선택하고,

상기 선택한 다음으로 반송되는 처리 대상을, 위치 맞춤 기구로 위치 맞춤한 후, 상기 로드 로크실의 전방까지 반송하여 대기시키는 것을 특징으로 하는

반송 제어 방법.

청구항 10.

삭제

청구항 11.

복수의 프로세스실이 마련되어, 상기 프로세스실에 로드 로크실을 통해서 처리 대상을 반송하는 반송 제어 방법에 있어서,

상기 처리 대상이 어느 하나의 상기 로드 로크실에 반입되었을 때, 각 상기 프로세스실에 다음으로 반송 가능하게 되는 시간을, 각 상기 프로세스실에서의 처리 시간과 각 상기 프로세스실에 연결된 상기 로드 로크실에서의 처리 시간에 의거하여 산출하여, 이 산출 결과에 의거하여 다음으로 반송되는 처리 대상을 선택하고,

상기 선택한 다음으로 반송되는 처리 대상을, 위치 맞춤 기구로 위치 맞춤한 후, 상기 로드 로크실의 전방까지 반송하여 대기시키는 것을 특징으로 하는

반송 제어 방법.

청구항 12.

삭제

청구항 13.

제 1 항에 있어서,

상기 로드 로크실에서의 처리 시간이 적어도 상기 로드 로크실의 배기 시간과, 상기 로드 로크실의 대기 개방 시간을 포함하는 것을 특징으로 하는

클러스터 툴.

청구항 14.

제 5 항에 있어서,

상기 로드 로크실에서의 처리 시간이 적어도 상기 로드 로크실의 배기 시간과, 상기 로드 로크실의 대기 개방 시간을 포함하는 것을 특징으로 하는

클러스터 툴.

청구항 15.

제 1 항에 있어서,

상기 반송 시간 산출 수단은 상기 로드 로크실과 상기 로더 모듈 사이의 처리 대상의 교체 타이밍에 의거하여, 각 상기 프로세스실이 다음으로 반송 가능하게 되는 시간을 산출하는 것을 특징으로 하는

클러스터 툴.

청구항 16.

제 1 항에 있어서,

상기 반송 시간 산출 수단은 상기 프로세스실과 상기 로드 로크실 사이의 처리 대상의 교체 타이밍에 의거하여, 각 상기 프로세스실이 다음으로 반송 가능하게 되는 시간을 산출하는 것을 특징으로 하는

클러스터 툴.

청구항 17.

제 1 항에 있어서,

상기 반송 시간 산출 수단은 상기 위치 맞춤 기구에 있어서 반송처의 로드 로크실이 처리 대상이 반송 가능하게 되는 시간에 따라서, 각 로드 로크실이 다음으로 반송 가능하게 되는 시간의 보정을 행하는 것을 특징으로 하는

클러스터 툴.

청구항 18.

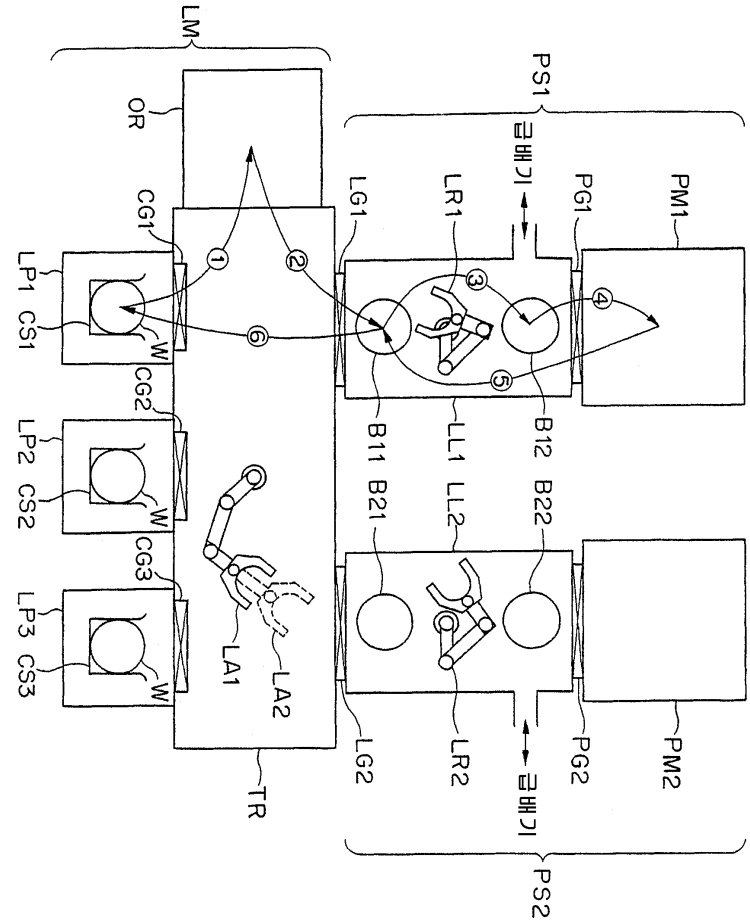
제 1 항에 있어서,

상기 반송 시간 산출 수단은 상기 위치 맞춤 기구에 있어서 반송처의 로드 로크실이 처리 대상이 반송 가능하게 되는 시간에 따라서, 각 프로세스실이 다음으로 반송 가능하게 되는 시간의 보정을 행하는 것을 특징으로 하는

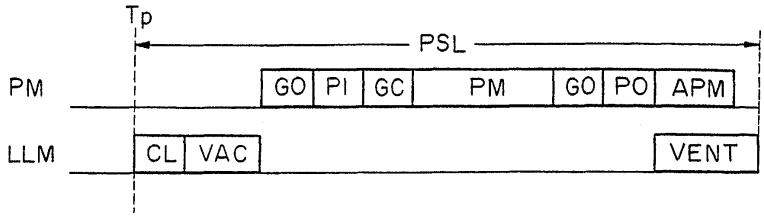
클러스터 툴.

도면

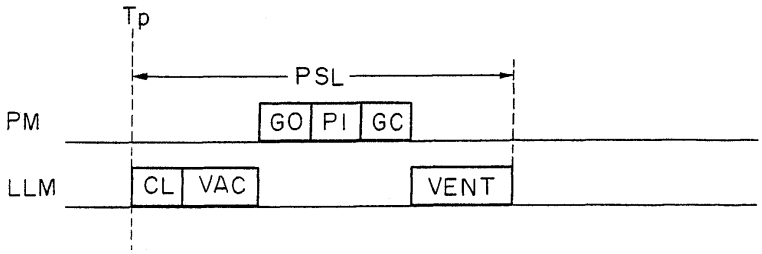
도면1



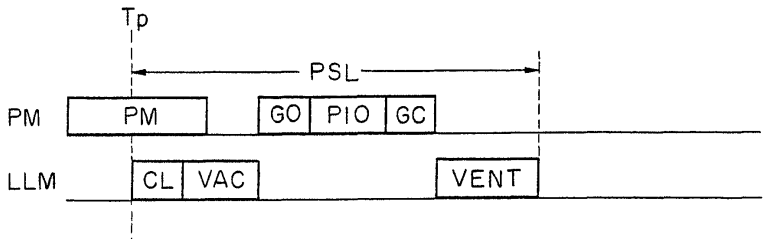
도면2a



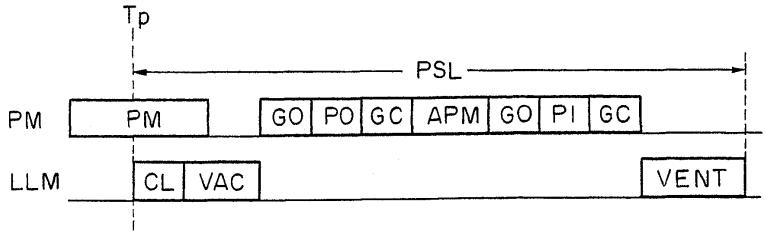
도면2b



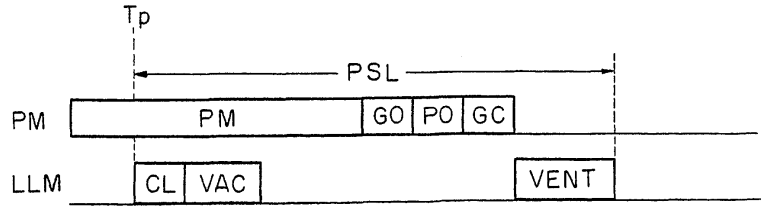
도면2c



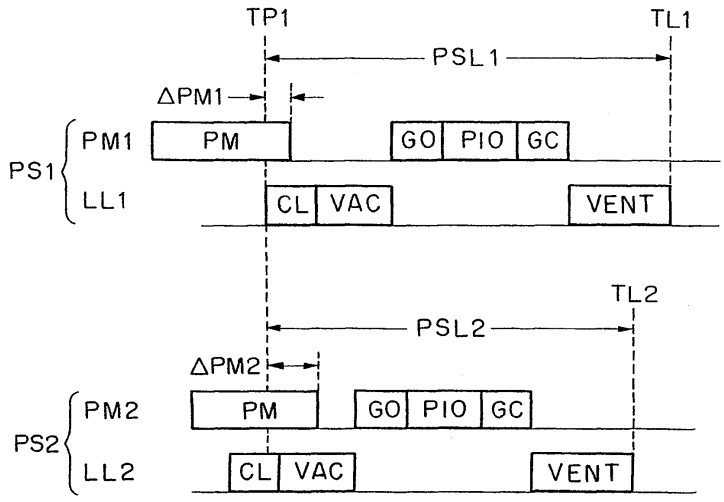
도면2d



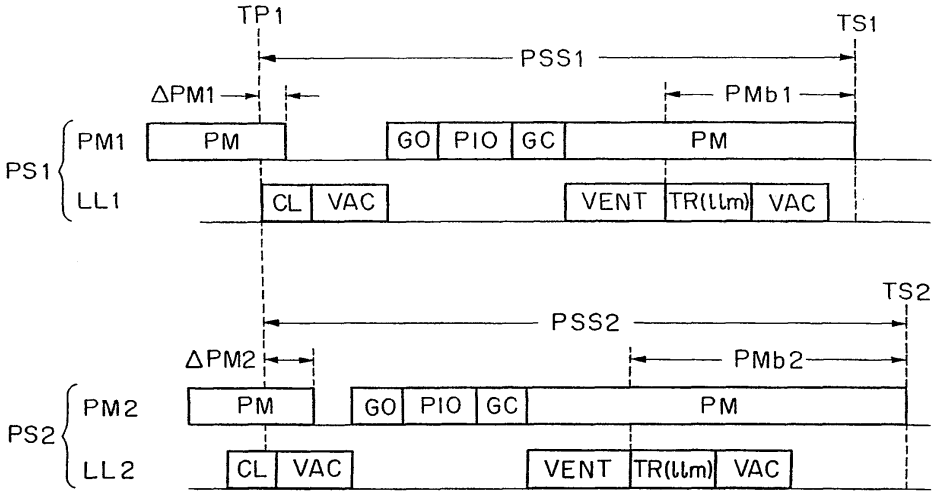
도면2e



도면3



도면4


TP1
TS1
PSS1
ΔPM1
PMb1
PS1
PM1
PM
GO
PIO
GC
PM
LL1
CL
VAC
VENT
TR(llm)
VAC
TS2
PSS2
ΔPM2
PMb2
PS2
PM2
PM
GO
PIO
GC
PM
LL2
CL
VAC
VENT
TR(llm)
VAC