

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6857779号
(P6857779)

(45) 発行日 令和3年4月14日(2021.4.14)

(24) 登録日 令和3年3月24日(2021.3.24)

(51) Int.Cl.	F I
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 670K
H01L 51/50 (2006.01)	H05B 33/14 A

請求項の数 8 (全 21 頁)

(21) 出願番号	特願2020-510553 (P2020-510553)	(73) 特許権者	519293715
(86) (22) 出願日	平成29年10月26日 (2017.10.26)		深▲せん▼市華星光電半導体顯示技術有限公司
(65) 公表番号	特表2020-531906 (P2020-531906A)		SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD
(43) 公表日	令和2年11月5日 (2020.11.5)		中国広東省深▲せん▼市光明新区公明街道塘明大道9-2号
(86) 国際出願番号	PCT/CN2017/107820		No. 9-2, Tangming Road, Gongming Street, Guangming New District Shenzhen, Guangdong 518132 China
(87) 国際公開番号	W02019/037232		最終頁に続く
(87) 国際公開日	平成31年2月28日 (2019.2.28)		
審査請求日	令和2年2月21日 (2020.2.21)		
(31) 優先権主張番号	201710734275.1		
(32) 優先日	平成29年8月24日 (2017.8.24)		
(33) 優先権主張国・地域又は機関	中国 (CN)		

(54) 【発明の名称】 O L E Dピクセル回路及びO L E D素子の劣化遅延方法

(57) 【特許請求の範囲】

【請求項1】

第1 薄膜トランジスタ、第5 薄膜トランジスタ、第1 キャパシタ及び第1 発光ダイオードを含む第1 サブピクセル駆動ユニットと、

第2 薄膜トランジスタ、第6 薄膜トランジスタ、第2 キャパシタ及び第2 発光ダイオードを含む第2 サブピクセル駆動ユニットと、

第3 薄膜トランジスタ、第7 薄膜トランジスタ及び第9 薄膜トランジスタを含む第1 逆バイアスユニットと、

第4 薄膜トランジスタ、第8 薄膜トランジスタ及び第10 薄膜トランジスタを含む第2 逆バイアスユニットと、を包含するO L E Dピクセル回路であって、

前記第1 薄膜トランジスタのソース電極及び前記第2 薄膜トランジスタのソース電極は電源の正電圧を受け取り、前記第1 薄膜トランジスタのゲート電極は第1 ノードに電氣的に接続されており、前記第2 薄膜トランジスタのゲート電極は第2 ノードに電氣的に接続されており、前記第1 薄膜トランジスタのドレイン電極は前記第1 発光ダイオードのアノードに電氣的に接続されており、前記第2 薄膜トランジスタのドレイン電極は前記第2 発光ダイオードのアノードに電氣的に接続されており、

前記第5 薄膜トランジスタのソース電極及び前記第6 薄膜トランジスタのソース電極はデータ信号を受信し、前記第5 薄膜トランジスタのドレイン電極は前記第1 ノードに電氣的に接続されており、前記第6 薄膜トランジスタのドレイン電極は前記第2 ノードに電氣的に接続されており、前記第5 薄膜トランジスタのゲート電極は第2 制御信号を受信し、

10

20

前記第 6 薄膜トランジスタのゲート電極は第 3 制御信号を受信し、

前記第 1 キャパシタの一端は前記第 1 ノードに電氣的に接続されており、前記第 1 キャパシタの他端は前記電源の正電圧を受け取り、前記第 2 キャパシタの一端は前記第 2 ノードに電氣的に接続されており、前記第 2 キャパシタの他端は前記電源の正電圧を受け取り、

前記第 3 薄膜トランジスタのゲート電極及び前記第 4 薄膜トランジスタのゲート電極は第 1 制御信号を受信し、前記第 3 薄膜トランジスタのソース電極及び前記第 4 薄膜トランジスタのソース電極は前記電源の正電圧を受け取り、前記第 3 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのカソードに電氣的に接続されており、前記第 4 薄膜トランジスタのドレイン電極は前記第 2 発光ダイオードのカソードに電氣的に接続されており、

10

前記第 7 薄膜トランジスタのゲート電極及び前記第 8 薄膜トランジスタのゲート電極は前記第 1 制御信号を受信し、前記第 7 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのアノード端子に電氣的に接続されており、前記第 8 薄膜トランジスタのドレイン電極は前記第 2 発光ダイオードのアノード端子に電氣的に接続されており、前記第 7 薄膜トランジスタのソース電極及び前記第 8 薄膜トランジスタのソース電極は電源の負電圧を受け取り、

前記第 9 薄膜トランジスタのゲート電極及び前記第 10 薄膜トランジスタのゲート電極は前記第 1 制御信号を受信し、前記第 9 薄膜トランジスタのソース電極及び前記第 10 薄膜トランジスタのソース電極は前記電源の負電圧を受け取り、前記第 9 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのカソードに電氣的に接続されており、前記第 10 薄膜トランジスタのドレイン電極は前記第 2 発光ダイオードのカソードに電氣的に接続されており、

20

前記第 1 制御信号、前記第 2 制御信号及び前記第 3 制御信号はいずれも、外部のタイミングコントローラによって供給され、

前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ、前記第 3 薄膜トランジスタ、前記第 4 薄膜トランジスタ、前記第 5 薄膜トランジスタ、前記第 6 薄膜トランジスタ、前記第 7 薄膜トランジスタ、前記第 8 薄膜トランジスタ、前記第 9 薄膜トランジスタ及び前記第 10 薄膜トランジスタはいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタであり、

30

前記第 1 制御信号、前記第 2 制御信号及び前記第 3 制御信号は互いに組み合わせたり、順に第 1 発光ダイオードの電位記憶段階、第 1 発光ダイオードの発光表示段階、第 2 発光ダイオードの電位記憶段階、及び第 2 発光ダイオードの発光表示段階に対応し、

前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ、前記第 3 薄膜トランジスタ、前記第 5 薄膜トランジスタ、前記第 6 薄膜トランジスタ、前記第 7 薄膜トランジスタ及び前記第 10 薄膜トランジスタはいずれも、N 型薄膜トランジスタであり、前記第 4 薄膜トランジスタ、前記第 8 薄膜トランジスタ及び前記第 9 薄膜トランジスタはいずれも、P 型薄膜トランジスタであり、

前記第 1 発光ダイオードの電位記憶段階において、前記第 1 制御信号は低電位を提供し、前記第 2 制御信号は高電位を提供し、前記第 3 制御信号は低電位を提供し、

40

前記第 1 発光ダイオードの発光表示段階において、前記第 1 制御信号は低電位を提供し、前記第 2 制御信号は低電位を提供し、前記第 3 制御信号は低電位を提供し、

前記第 2 発光ダイオードの電位記憶段階において、前記第 1 制御信号は高電位を提供し、前記第 2 制御信号は低電位を提供し、前記第 3 制御信号は高電位を提供し、

前記第 2 発光ダイオードの発光表示段階において、前記第 1 制御信号は高電位を提供し、前記第 2 制御信号は低電位を提供し、前記第 3 制御信号は低電位を提供することを特徴とする OLED ピクセル回路。

【請求項 2】

第 1 薄膜トランジスタ、第 5 薄膜トランジスタ、第 1 キャパシタ及び第 1 発光ダイオードを含む第 1 サブピクセル駆動ユニットと、

50

第2薄膜トランジスタ、第6薄膜トランジスタ、第2キャパシタ及び第2発光ダイオードを含む第2サブピクセル駆動ユニットと、

第3薄膜トランジスタ、第7薄膜トランジスタ及び第9薄膜トランジスタを含む第1逆バイアスユニットと、

第4薄膜トランジスタ、第8薄膜トランジスタ及び第10薄膜トランジスタを含む第2逆バイアスユニットと、を包含するOLEDピクセル回路であって、

前記第1薄膜トランジスタのソース電極及び前記第2薄膜トランジスタのソース電極は電源の正電圧を受け取り、前記第1薄膜トランジスタのゲート電極は第1ノードに電氣的に接続されており、前記第2薄膜トランジスタのゲート電極は第2ノードに電氣的に接続されており、前記第1薄膜トランジスタのドレイン電極は前記第1発光ダイオードのアノードに電氣的に接続されており、前記第2薄膜トランジスタのドレイン電極は前記第2発光ダイオードのアノードに電氣的に接続されており、

10

前記第5薄膜トランジスタのソース電極及び前記第6薄膜トランジスタのソース電極はデータ信号を受信し、前記第5薄膜トランジスタのドレイン電極は前記第1ノードに電氣的に接続されており、前記第6薄膜トランジスタのドレイン電極は前記第2ノードに電氣的に接続されており、前記第5薄膜トランジスタのゲート電極は第2制御信号を受信し、前記第6薄膜トランジスタのゲート電極は第3制御信号を受信し、

前記第1キャパシタの一端は前記第1ノードに電氣的に接続されており、前記第1キャパシタの他端は前記電源の正電圧を受け取り、前記第2キャパシタの一端は前記第2ノードに電氣的に接続されており、前記第2キャパシタの他端は前記電源の正電圧を受け取り

20

、
前記第3薄膜トランジスタのゲート電極及び前記第4薄膜トランジスタのゲート電極は第1制御信号を受信し、前記第3薄膜トランジスタのソース電極及び前記第4薄膜トランジスタのソース電極は前記電源の正電圧を受け取り、前記第3薄膜トランジスタのドレイン電極は前記第1発光ダイオードのカソードに電氣的に接続されており、前記第4薄膜トランジスタのドレイン電極は前記第2発光ダイオードのカソードに電氣的に接続されており、

前記第7薄膜トランジスタのゲート電極及び前記第8薄膜トランジスタのゲート電極は前記第1制御信号を受信し、前記第7薄膜トランジスタのドレイン電極は前記第1発光ダイオードのアノード端子に電氣的に接続されており、前記第8薄膜トランジスタのドレイン電極は前記第2発光ダイオードのアノード端子に電氣的に接続されており、前記第7薄膜トランジスタのソース電極及び前記第8薄膜トランジスタのソース電極は電源の負電圧を受け取り、

30

前記第9薄膜トランジスタのゲート電極及び前記第10薄膜トランジスタのゲート電極は前記第1制御信号を受信し、前記第9薄膜トランジスタのソース電極及び前記第10薄膜トランジスタのソース電極は前記電源の負電圧を受け取り、前記第9薄膜トランジスタのドレイン電極は前記第1発光ダイオードのカソードに電氣的に接続されており、前記第10薄膜トランジスタのドレイン電極は前記第2発光ダイオードのカソードに電氣的に接続されており、

前記第1制御信号、前記第2制御信号及び前記第3制御信号は互いに組み合わせたり、順に第1発光ダイオードの電位記憶段階、第1発光ダイオードの発光表示段階、第2発光ダイオードの電位記憶段階、及び第2発光ダイオードの発光表示段階に対応し、

40

前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはいずれもN型薄膜トランジスタであり、前記第4薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはいずれもP型薄膜トランジスタであり、

前記第1発光ダイオードの電位記憶段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は高電位を提供し、前記第3制御信号は低電位を提供し、

前記第1発光ダイオードの発光表示段階において、前記第1制御信号は低電位を提供し

50

、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供し、
 前記第2発光ダイオードの電位記憶段階において、前記第1制御信号は高電位を提供し
 、前記第2制御信号は低電位を提供し、前記第3制御信号は高電位を提供し、
 前記第2発光ダイオードの発光表示段階において、前記第1制御信号は高電位を提供し
 、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供することを特徴
 とするOLEDピクセル回路。

【請求項3】

前記第1制御信号、前記第2制御信号及び前記第3制御信号はいずれも、外部のタイミ
 ングコントローラによって供給されることを特徴とする請求項2に記載のOLEDピクセル
 回路。

10

【請求項4】

前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、
 前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前
 記第7薄膜トランジスタ、前記第8薄膜トランジスタ、前記第9薄膜トランジスタ及び前
 記第10薄膜トランジスタはいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導
 体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタであることを特徴とする
 請求項2に記載のOLEDピクセル回路。

【請求項5】

OLEDピクセル回路を提供するステップ1と、
 第1発光ダイオードの電位記憶段階に入るステップ2と、
 第1発光ダイオードの発光表示段階に入るステップ3と、
 第2発光ダイオードの電位記憶段階に入るステップ4と、
 第2発光ダイオードの発光表示段階に入るステップ5と、を含むOLED素子の劣化遅
 延方法であって、

20

前記ステップ1において、前記OLEDピクセル回路は、
 第1薄膜トランジスタ、第5薄膜トランジスタ、第1キャパシタ及び第1発光ダイオー
 ドを含む第1サブピクセル駆動ユニットと、
 第2薄膜トランジスタ、第6薄膜トランジスタ、第2キャパシタ及び第2発光ダイオー
 ドを含む第2サブピクセル駆動ユニットと、
 第3薄膜トランジスタ、第7薄膜トランジスタ及び第9薄膜トランジスタを含む第1逆
 バイアスユニットと、
 第4薄膜トランジスタ、第8薄膜トランジスタ及び第10薄膜トランジスタを含む第2
 逆バイアスユニットと、を包含し、

30

前記第1薄膜トランジスタのソース電極及び前記第2薄膜トランジスタのソース電極は
 電源の正電圧を受け取り、前記第1薄膜トランジスタのゲート電極は第1ノードに電気的
 に接続されており、前記第2薄膜トランジスタのゲート電極は第2ノードに電気的に接続
 されており、前記第1薄膜トランジスタのドレイン電極は前記第1発光ダイオードのアノ
 ードに電気的に接続されており、前記第2薄膜トランジスタのドレイン電極は前記第2発
 光ダイオードのアノードに電気的に接続されており、

前記第5薄膜トランジスタのソース電極及び前記第6薄膜トランジスタのソース電極は
 データ信号を受信し、前記第5薄膜トランジスタのドレイン電極は前記第1ノードに電気
 的に接続されており、前記第6薄膜トランジスタのドレイン電極は前記第2ノードに電気
 的に接続されており、前記第5薄膜トランジスタのゲート電極は第2制御信号を受信し、
 前記第6薄膜トランジスタのゲート電極は第3制御信号を受信し、

40

前記第1キャパシタの一端は前記第1ノードに電気的に接続されており、前記第1キャ
 パシタの他端は前記電源の正電圧を受け取り、前記第2キャパシタの一端は前記第2ノ
 ードに電気的に接続されており、前記第2キャパシタの他端は前記電源の正電圧を受け取り

、
 前記第3薄膜トランジスタのゲート電極及び前記第4薄膜トランジスタのゲート電極は
 第1制御信号を受信し、前記第3薄膜トランジスタのソース電極及び前記第4薄膜トラン

50

ジスタのソース電極は前記電源の正電圧を受け取り、前記第3薄膜トランジスタのドレイン電極は前記第1発光ダイオードのカソードに電氣的に接続されており、前記第4薄膜トランジスタのドレイン電極は前記第2発光ダイオードのカソードに電氣的に接続されており、

前記第7薄膜トランジスタのゲート電極及び前記第8薄膜トランジスタのゲート電極は前記第1制御信号を受信し、前記第7薄膜トランジスタのドレイン電極は前記第1発光ダイオードのアノード端子に電氣的に接続されており、前記第8薄膜トランジスタのドレイン電極は前記第2発光ダイオードのアノード端子に電氣的に接続されており、前記第7薄膜トランジスタのソース電極及び前記第8薄膜トランジスタのソース電極は電源の負電圧を受け取り、

10

前記第9薄膜トランジスタのゲート電極及び前記第10薄膜トランジスタのゲート電極は前記第1制御信号を受信し、前記第9薄膜トランジスタのソース電極及び前記第10薄膜トランジスタのソース電極は前記電源の負電圧を受け取り、前記第9薄膜トランジスタのドレイン電極は前記第1発光ダイオードのカソードに電氣的に接続されており、前記第10薄膜トランジスタのドレイン電極は前記第2発光ダイオードのカソードに電氣的に接続されており、

前記ステップ2において、前記第1発光ダイオードの電位記憶段階は第Nフレームの画像期間にあり、前記第1制御信号、前記第2制御信号及び前記第3制御信号により、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはオンとなるように制御され、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはオフとなるように制御され、前記第1キャパシタは前記データ信号の電位を記憶し、且つ前記第2発光ダイオードは逆バイアス状態となり、

20

前記ステップ3において、前記第1発光ダイオードの発光表示段階は第Nフレームの画像期間にあり、前記第1制御信号、前記第2制御信号及び前記第3制御信号により、前記第1薄膜トランジスタ、前記第4薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはオンとなるように制御され、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはオフとなるように制御され、前記第1発光ダイオードは発光し、且つ前記第2発光ダイオードは引き続き、逆バイアス状態となり、

30

前記ステップ4において、前記第2発光ダイオードの電位記憶段階は第N+1フレームの画像期間にあり、前記第1制御信号、前記第2制御信号及び前記第3制御信号により、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはオンとなるように制御され、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはオフとなるように制御され、前記第2キャパシタは前記データ信号の電位を記憶し、且つ前記第1発光ダイオードは逆バイアス状態となり、

40

前記ステップ5において、前記第2発光ダイオードの発光表示段階は第N+1フレームの画像期間にあり、前記第1制御信号、前記第2制御信号及び前記第3制御信号により、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはオンとなるように制御され、前記第1薄膜トランジスタ、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはオフとなるように制御され、前記第2発光ダイオードは発光し、且つ前記第1発光ダイオードは引き続き、逆バイアス状態となることを特徴とするOLED素子の劣化遅延方法。

【請求項6】

前記第1制御信号、前記第2制御信号及び前記第3制御信号はいずれも、外部のタイミ

50

ングコントローラによって供給されることを特徴とする請求項5に記載のOLED素子の劣化遅延方法。

【請求項7】

前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ、前記第8薄膜トランジスタ、前記第9薄膜トランジスタ及び前記第10薄膜トランジスタはいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタであることを特徴とする請求項5に記載のOLED素子の劣化遅延方法。

【請求項8】

前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはいずれもN型薄膜トランジスタであり、前記第4薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはいずれもP型薄膜トランジスタであり、

前記第1発光ダイオードの電位記憶段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は高電位を提供し、前記第3制御信号は低電位を提供し、

前記第1発光ダイオードの発光表示段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供し、

前記第2発光ダイオードの電位記憶段階において、前記第1制御信号は高電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は高電位を提供し、

前記第2発光ダイオードの発光表示段階において、前記第1制御信号は高電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供することを特徴とする請求項5に記載のOLED素子の劣化遅延方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ技術の分野に関するものであり、特にOLEDピクセル回路及びOLED素子の劣化遅延方法に関するものである。

【背景技術】

【0002】

アクティブマトリックス発光ダイオード(Active Matrix Organic Light Emitting Diode、AMOLED)は、駆動薄膜トランジスタ(Thin Film Transistor、TFT)が飽和状態にあるときに生成される電流によって駆動されることで発光し、従来のAMOLEDピクセル回路は通常、2T1Cの駆動回路である。図1を参照されたい。このような2T1Cの回路は、2つのTFTと1つのキャパシタ(Capacitor)を含む。ここで、T1はピクセル回路の駆動トランジスタであり、T2はスイッチングトランジスタである。走査線GateはスイッチングトランジスタT2を起動させ、データ電圧VdataはストレージキャパシタCstに対して充電を行ない、スイッチングトランジスタT2は発光期間中にオフとなり、キャパシタに蓄積された電圧が駆動トランジスタT1をオンの状態に保つことで、オン電流が発光ダイオードOLEDを発光させる。発光ダイオードOLEDが長期間直流バイアス状態にあるため、内部のイオンが分極化して内蔵電界を形成し、発光ダイオードOLEDの閾値電圧は絶え間なく増加し、発光ダイオードOLEDの発光輝度は絶え間なく下降するようになり、発光ダイオードOLEDの寿命が短くなる。また、異なるグレースケールでの発光ダイオードOLEDの直流バイアス電圧が異なるため、各サブピクセルの発光ダイオードOLEDの劣化の程度も異なり、ディスプレイ画面に表示される画像が不均一となり、表示効果に影響を与えることとなる。

【0003】

2T1Cの駆動回路にみられる上記問題に鑑みて、有機発光ダイオードOLEDが長期

10

20

30

40

50

間直流バイアスの状態にあるという問題を解決するために、従来技術に対するさらなる改善がなされている。しかしながら、改善後の回路は通常、非常に多数の電圧制御線を必要とし、制御タイミングも自ずと比較的複雑なものとなり、大幅なコストの増加を招いていた。

【0004】

従って、従来技術に存在する問題を解決することのできる、OLEDピクセル回路及びOLED素子の劣化遅延方法を提供する必要がある。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、既存のOLEDピクセル回路中の発光ダイオードが長期間直流バイアス状態にあるために劣化しやすいという問題を解決できる、OLEDピクセル回路及びOLED素子の劣化遅延方法を提供することである。

【課題を解決するための手段】

【0006】

上述の目的を達成するために、本発明の提供するOLEDピクセル回路はさらに、以下のような技術案を採用している。

【0007】

本発明のOLEDピクセル回路は、

【0008】

第1薄膜トランジスタ、第5薄膜トランジスタ、第1キャパシタ及び第1発光ダイオードを含む第1サブピクセル駆動ユニットと、

【0009】

第2薄膜トランジスタ、第6薄膜トランジスタ、第2キャパシタ及び第2発光ダイオードを含む第2サブピクセル駆動ユニットと、を包含する。

【0010】

ここで、前記第1薄膜トランジスタのソース電極及び前記第2薄膜トランジスタのソース電極は電源の正電圧を受け取り、前記第1薄膜トランジスタのゲート電極は第1ノードに電氣的に接続されており、前記第2薄膜トランジスタのゲート電極は第2ノードに電氣的に接続されており、前記第1薄膜トランジスタのドレイン電極は前記第1発光ダイオードのアノードに電氣的に接続されており、前記第2薄膜トランジスタのドレイン電極は前記第2発光ダイオードのアノードに電氣的に接続されている。

【0011】

前記第5薄膜トランジスタのソース電極及び前記第6薄膜トランジスタのソース電極はデータ信号を受信し、前記第5薄膜トランジスタのドレイン電極は前記第1ノードに電氣的に接続されており、前記第6薄膜トランジスタのドレイン電極は前記第2ノードに電氣的に接続されており、前記第5薄膜トランジスタのゲート電極は第2制御信号を受信し、前記第6薄膜トランジスタのゲート電極は第3制御信号を受信する。

【0012】

前記第1キャパシタの一端は前記第1ノードに電氣的に接続されており、前記第1キャパシタの他端は前記電源の正電圧を受け取り、前記第2キャパシタの一端は前記第2ノードに電氣的に接続されており、前記第2キャパシタの他端は前記電源の正電圧を受け取る。

【0013】

本発明のOLEDピクセル回路はさらに、

第3薄膜トランジスタ、第7薄膜トランジスタ及び第9薄膜トランジスタを含む第1逆バイアスユニットと、

【0014】

第4薄膜トランジスタ、第8薄膜トランジスタ及び第10薄膜トランジスタを含む第2逆バイアスユニットと、を包含する。

10

20

30

40

50

【 0 0 1 5 】

ここで、前記第3薄膜トランジスタのゲート電極及び前記第4薄膜トランジスタのゲート電極は第1制御信号を受信し、前記第3薄膜トランジスタのソース電極及び前記第4薄膜トランジスタのソース電極は前記電源の正電圧を受け取り、前記第3薄膜トランジスタのドレイン電極は前記第1発光ダイオードのカソードに電氣的に接続されており、前記第4薄膜トランジスタのドレイン電極は前記第2発光ダイオードのカソードに電氣的に接続されている。

【 0 0 1 6 】

前記第7薄膜トランジスタのゲート電極及び前記第8薄膜トランジスタのゲート電極は前記第1制御信号を受信し、前記第7薄膜トランジスタのドレイン電極は前記第1発光ダイオードのアノード端子に電氣的に接続されており、前記第8薄膜トランジスタのドレイン電極は前記第2発光ダイオードのアノード端子に電氣的に接続されており、前記第7薄膜トランジスタのソース電極及び前記第8薄膜トランジスタのソース電極は電源の負電圧を受け取る。

10

【 0 0 1 7 】

前記第9薄膜トランジスタのゲート電極及び前記第10薄膜トランジスタのゲート電極は前記第1制御信号を受信し、前記第9薄膜トランジスタのソース電極及び前記第10薄膜トランジスタのソース電極は前記電源の負電圧を受け取り、前記第9薄膜トランジスタのドレイン電極は前記第1発光ダイオードのカソードに電氣的に接続されており、前記第10薄膜トランジスタのドレイン電極は前記第2発光ダイオードのカソードに電氣的に接続されている。

20

【 0 0 1 8 】

前記第1制御信号、前記第2制御信号及び前記第3制御信号はいずれも、外部のタイミングコントローラによって供給される。

【 0 0 1 9 】

前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ、前記第8薄膜トランジスタ、前記第9薄膜トランジスタ及び前記第10薄膜トランジスタはいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタである。

30

【 0 0 2 0 】

本発明のOLEDピクセル回路において、前記第1制御信号、前記第2制御信号及び前記第3制御信号は互いに組み合わせり、順に第1発光ダイオードの電位記憶段階、第1発光ダイオードの発光表示段階、第2発光ダイオードの電位記憶段階、及び第2発光ダイオードの発光表示段階に対応する。

【 0 0 2 1 】

本発明のOLEDピクセル回路において、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはいずれも、N型薄膜トランジスタであり、前記第4薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはいずれも、P型薄膜トランジスタであり、

40

【 0 0 2 2 】

前記第1発光ダイオードの電位記憶段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は高電位を提供し、前記第3制御信号は低電位を提供し、

【 0 0 2 3 】

前記第1発光ダイオードの発光表示段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供し、

【 0 0 2 4 】

前記第2発光ダイオードの電位記憶段階において、前記第1制御信号は高電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は高電位を提供し、

50

【 0 0 2 5 】

前記第 2 発光ダイオードの発光表示段階において、前記第 1 制御信号は高電位を提供し、前記第 2 制御信号は低電位を提供し、前記第 3 制御信号は低電位を提供する。

【 0 0 2 6 】

本発明の提供する O L E D ピクセル回路はさらに、以下のような技術案を採用している。

【 0 0 2 7 】

本発明の O L E D ピクセル回路は、

【 0 0 2 8 】

第 1 薄膜トランジスタ、第 5 薄膜トランジスタ、第 1 キャパシタ及び第 1 発光ダイオードを含む第 1 サブピクセル駆動ユニットと、

10

【 0 0 2 9 】

第 2 薄膜トランジスタ、第 6 薄膜トランジスタ、第 2 キャパシタ及び第 2 発光ダイオードを含む第 2 サブピクセル駆動ユニットと、を包含する。

【 0 0 3 0 】

ここで、前記第 1 薄膜トランジスタのソース電極及び前記第 2 薄膜トランジスタのソース電極は電源の正電圧を受け取り、前記第 1 薄膜トランジスタのゲート電極は第 1 ノードに電氣的に接続されており、前記第 2 薄膜トランジスタのゲート電極は第 2 ノードに電氣的に接続されており、前記第 1 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのアノードに電氣的に接続されており、前記第 2 薄膜トランジスタのドレイン電極は前記第 2 発光ダイオードのアノードに電氣的に接続されている。

20

【 0 0 3 1 】

前記第 5 薄膜トランジスタのソース電極及び前記第 6 薄膜トランジスタのソース電極はデータ信号を受信し、前記第 5 薄膜トランジスタのドレイン電極は前記第 1 ノードに電氣的に接続されており、前記第 6 薄膜トランジスタのドレイン電極は前記第 2 ノードに電氣的に接続されており、前記第 5 薄膜トランジスタのゲート電極は第 2 制御信号を受信し、前記第 6 薄膜トランジスタのゲート電極は第 3 制御信号を受信する。

【 0 0 3 2 】

前記第 1 キャパシタの一端は前記第 1 ノードに電氣的に接続されており、前記第 1 キャパシタの他端は前記電源の正電圧を受け取り、前記第 2 キャパシタの一端は前記第 2 ノードに電氣的に接続されており、前記第 2 キャパシタの他端は前記電源の正電圧を受け取る。

30

【 0 0 3 3 】

本発明の O L E D ピクセル回路はさらに、

第 3 薄膜トランジスタ、第 7 薄膜トランジスタ及び第 9 薄膜トランジスタを含む第 1 逆バイアスユニットと、

【 0 0 3 4 】

第 4 薄膜トランジスタ、第 8 薄膜トランジスタ及び第 1 0 薄膜トランジスタを含む第 2 逆バイアスユニットと、を包含する。

【 0 0 3 5 】

ここで、前記第 3 薄膜トランジスタのゲート電極及び前記第 4 薄膜トランジスタのゲート電極は第 1 制御信号を受信し、前記第 3 薄膜トランジスタのソース電極及び前記第 4 薄膜トランジスタのソース電極は前記電源の正電圧を受け取り、前記第 3 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのカソードに電氣的に接続されており、前記第 4 薄膜トランジスタのドレイン電極は前記第 2 発光ダイオードのカソードに電氣的に接続されている。

40

【 0 0 3 6 】

前記第 7 薄膜トランジスタのゲート電極及び前記第 8 薄膜トランジスタのゲート電極は前記第 1 制御信号を受信し、前記第 7 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのアノード端子に電氣的に接続されており、前記第 8 薄膜トランジスタのドレイ

50

ン電極は前記第2発光ダイオードのアノード端子に電氣的に接続されており、前記第7薄膜トランジスタのソース電極及び前記第8薄膜トランジスタのソース電極は電源の負電圧を受け取る。

【0037】

前記第9薄膜トランジスタのゲート電極及び前記第10薄膜トランジスタのゲート電極は前記第1制御信号を受信し、前記第9薄膜トランジスタのソース電極及び前記第10薄膜トランジスタのソース電極は前記電源の負電圧を受け取り、前記第9薄膜トランジスタのドレイン電極は前記第1発光ダイオードのカソードに電氣的に接続されており、前記第10薄膜トランジスタのドレイン電極は前記第2発光ダイオードのカソードに電氣的に接続されている。

10

【0038】

本発明のOLEDピクセル回路において、前記第1制御信号、前記第2制御信号及び前記第3制御信号はいずれも、外部のタイミングコントローラによって供給される。

【0039】

本発明のOLEDピクセル回路において、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ、前記第8薄膜トランジスタ、前記第9薄膜トランジスタ及び前記第10薄膜トランジスタはいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタである。

20

【0040】

本発明のOLEDピクセル回路において、前記第1制御信号、前記第2制御信号及び前記第3制御信号は互いに組み合わせたり、順に第1発光ダイオードの電位記憶段階、第1発光ダイオードの発光表示段階、第2発光ダイオードの電位記憶段階、及び第2発光ダイオードの発光表示段階に対応する。

【0041】

本発明のOLEDピクセル回路において、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはいずれもN型薄膜トランジスタであり、前記第4薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはいずれもP型薄膜トランジスタであり、

30

【0042】

前記第1発光ダイオードの電位記憶段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は高電位を提供し、前記第3制御信号は低電位を提供し、

【0043】

前記第1発光ダイオードの発光表示段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供し、

【0044】

前記第2発光ダイオードの電位記憶段階において、前記第1制御信号は高電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は高電位を提供し、

40

【0045】

前記第2発光ダイオードの発光表示段階において、前記第1制御信号は高電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供する。

【0046】

本発明はさらにOLED素子の劣化遅延方法を提供し、当該方法の技術案は以下の通りである。

【0047】

ステップ1、OLEDピクセル回路を提供する。

【0048】

ステップ1における前記OLEDピクセル回路は、

50

【 0 0 4 9 】

第 1 薄膜トランジスタ、第 5 薄膜トランジスタ、第 1 キャパシタ及び第 1 発光ダイオードを含む第 1 サブピクセル駆動ユニットと、

【 0 0 5 0 】

第 2 薄膜トランジスタ、第 6 薄膜トランジスタ、第 2 キャパシタ及び第 2 発光ダイオードを含む第 2 サブピクセル駆動ユニットと、を包含する。

【 0 0 5 1 】

ここで、前記第 1 薄膜トランジスタのソース電極及び前記第 2 薄膜トランジスタのソース電極は電源の正電圧を受け取り、前記第 1 薄膜トランジスタのゲート電極は第 1 ノードに電氣的に接続されており、前記第 2 薄膜トランジスタのゲート電極は第 2 ノードに電氣的に接続されており、前記第 1 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのアノードに電氣的に接続されており、前記第 2 薄膜トランジスタのドレイン電極は前記第 2 発光ダイオードのアノードに電氣的に接続されている。

10

【 0 0 5 2 】

前記第 5 薄膜トランジスタのソース電極及び前記第 6 薄膜トランジスタのソース電極はデータ信号を受信し、前記第 5 薄膜トランジスタのドレイン電極は前記第 1 ノードに電氣的に接続されており、前記第 6 薄膜トランジスタのドレイン電極は前記第 2 ノードに電氣的に接続されており、前記第 5 薄膜トランジスタのゲート電極は第 2 制御信号を受信し、前記第 6 薄膜トランジスタのゲート電極は第 3 制御信号を受信する。

【 0 0 5 3 】

前記第 1 キャパシタの一端は前記第 1 ノードに電氣的に接続されており、前記第 1 キャパシタの他端は前記電源の正電圧を受け取り、前記第 2 キャパシタの一端は前記第 2 ノードに電氣的に接続されており、前記第 2 キャパシタの他端は前記電源の正電圧を受け取る。

20

【 0 0 5 4 】

ステップ 1 における前記 O L E D ピクセル回路はさらに、

第 3 薄膜トランジスタ、第 7 薄膜トランジスタ及び第 9 薄膜トランジスタを含む第 1 逆バイアスユニットと、

【 0 0 5 5 】

第 4 薄膜トランジスタ、第 8 薄膜トランジスタ及び第 1 0 薄膜トランジスタを含む第 2 逆バイアスユニットと、を包含する。

30

【 0 0 5 6 】

ここで、前記第 3 薄膜トランジスタのゲート電極及び前記第 4 薄膜トランジスタのゲート電極は第 1 制御信号を受信し、前記第 3 薄膜トランジスタのソース電極及び前記第 4 薄膜トランジスタのソース電極は前記電源の正電圧を受け取り、前記第 3 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのカソードに電氣的に接続されており、前記第 4 薄膜トランジスタのドレイン電極は前記第 2 発光ダイオードのカソードに電氣的に接続されている。

【 0 0 5 7 】

前記第 7 薄膜トランジスタのゲート電極及び前記第 8 薄膜トランジスタのゲート電極は前記第 1 制御信号を受信し、前記第 7 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのアノード端子に電氣的に接続されており、前記第 8 薄膜トランジスタのドレイン電極は前記第 2 発光ダイオードのアノード端子に電氣的に接続されており、前記第 7 薄膜トランジスタのソース電極及び前記第 8 薄膜トランジスタのソース電極は電源の負電圧を受け取る。

40

【 0 0 5 8 】

前記第 9 薄膜トランジスタのゲート電極及び前記第 1 0 薄膜トランジスタのゲート電極は前記第 1 制御信号を受信し、前記第 9 薄膜トランジスタのソース電極及び前記第 1 0 薄膜トランジスタのソース電極は前記電源の負電圧を受け取り、前記第 9 薄膜トランジスタのドレイン電極は前記第 1 発光ダイオードのカソードに電氣的に接続されており、前記第

50

10 薄膜トランジスタのドレイン電極は前記第2発光ダイオードのカソードに電氣的に接続されている。

【0059】

ステップ2、第1発光ダイオードの電位記憶段階に入る。前記第1発光ダイオードの電位記憶段階は、第Nフレームの画像期間にある。

【0060】

ステップ2において、前記第1制御信号、前記第2制御信号及び前記第3制御信号により、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはオンとなるように制御され、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはオフとなるように制御され、前記第1キャパシタは前記データ信号の電位を記憶し、且つ前記第2発光ダイオードは逆バイアス状態となる。

10

【0061】

ステップ3、第1発光ダイオードの発光表示段階に入る。前記第1発光ダイオードの発光表示段階は、第Nフレームの画像期間にある。

【0062】

ステップ3において、前記第1制御信号、前記第2制御信号及び前記第3制御信号により、前記第1薄膜トランジスタ、前記第4薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはオンとなるように制御され、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはオフとなるように制御され、前記第1発光ダイオードは発光し、且つ前記第2発光ダイオードは引き続き、逆バイアス状態となる。

20

【0063】

ステップ4、第2発光ダイオードの電位記憶段階に入る。前記第2発光ダイオードの電位記憶段階は、第N+1フレームの画像期間にある。

【0064】

ステップ4において、前記第1制御信号、前記第2制御信号及び前記第3制御信号により、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはオンとなるように制御され、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはオフとなるように制御され、前記第2キャパシタは前記データ信号の電位を記憶し、且つ前記第1発光ダイオードは逆バイアス状態となる。

30

【0065】

ステップ5、第2発光ダイオードの発光表示段階に入る。前記第2発光ダイオードの発光表示段階は、第N+1フレームの画像期間にある。

【0066】

ステップ5において、前記第1制御信号、前記第2制御信号及び前記第3制御信号により、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはオンとなるように制御され、前記第1薄膜トランジスタ、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはオフとなるように制御され、前記第2発光ダイオードは発光し、且つ前記第1発光ダイオードは引き続き、逆バイアス状態となる。

40

【0067】

本発明のOLED素子の劣化遅延方法において、前記第1制御信号、前記第2制御信号及び前記第3制御信号はいずれも、外部のタイミングコントローラによって供給される。

【0068】

50

本発明のOLED素子の劣化遅延方法において、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第4薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ、前記第8薄膜トランジスタ、前記第9薄膜トランジスタ及び前記第10薄膜トランジスタはいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタである。

【0069】

本発明のOLED素子の劣化遅延方法において、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタ、前記第5薄膜トランジスタ、前記第6薄膜トランジスタ、前記第7薄膜トランジスタ及び前記第10薄膜トランジスタはいずれもN型薄膜トランジスタであり、前記第4薄膜トランジスタ、前記第8薄膜トランジスタ及び前記第9薄膜トランジスタはいずれもP型薄膜トランジスタであり、

10

【0070】

前記第1発光ダイオードの電位記憶段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は高電位を提供し、前記第3制御信号は低電位を提供し、

【0071】

前記第1発光ダイオードの発光表示段階において、前記第1制御信号は低電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供し、

【0072】

前記第2発光ダイオードの電位記憶段階において、前記第1制御信号は高電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は高電位を提供し、

20

【0073】

前記第2発光ダイオードの発光表示段階において、前記第1制御信号は高電位を提供し、前記第2制御信号は低電位を提供し、前記第3制御信号は低電位を提供する。

【発明の効果】

【0074】

本発明のOLEDピクセル回路及びOLED素子の劣化遅延方法において、第1サブピクセル駆動ユニットと、第2サブピクセル駆動ユニットと、第1逆バイアスユニットと、第2逆バイアスユニットが設けられ、加えて、簡単な制御シーケンスにより、第1発光ダイオード及び第2発光ダイオードが常に直流バイアス状態にはならず、且つ第1発光ダイオードと第2発光ダイオードとが異なるフレームの画像期間で交互に発光するようになり、第1発光ダイオード及び第2発光ダイオードの発光時間が減少し、第1発光ダイオード及び第2発光ダイオードの劣化を遅延させることで、パネルの表示品質が改善される。

30

【0075】

上記の本発明に関する内容をより明確に理解するために、以下において、好ましい実施形態を挙げ、且つ添付の図面を併用して詳細に説明する。

【図面の簡単な説明】

【0076】

以下において、添付の図面を用いて、本発明の具体的な実施形態について詳述することで、本発明の技術案及びその他の有益な効果が明らかとなる。

40

【0077】

【図1】従来における2T1C構造のOLEDピクセル回路の回路図である。

【図2】本発明におけるOLEDピクセル回路の回路図である。

【図3】本発明におけるOLEDピクセル回路のタイミング図である。

【図4】本発明におけるOLED素子の劣化遅延方法のステップ2を示す図である。

【図5】本発明におけるOLED素子の劣化遅延方法のステップ3を示す図である。

【図6】本発明におけるOLED素子の劣化遅延方法のステップ4を示す図である。

【図7】本発明におけるOLED素子の劣化遅延方法のステップ5を示す図である。

【発明を実施するための形態】

【0078】

50

本発明で用いられている技術的手段及びその効果についてより詳細に説明するために、以下において、本発明の好ましい実施形態及び添付の図面を組み合わせた上で詳述する。明らかに、記載されている実施形態は、本発明における一部の実施形態にすぎず、全ての実施形態ではない。本発明の実施形態に基づいて、本分野の通常の技術者がいかなる創造的労力も費やすことなく得られた他の全ての実施形態はいずれも、本発明の保護範囲に属する。

【0079】

図2を参照されたい。本発明はOLEDピクセル回路を提供し、当該OLEDピクセル回路は、第1サブピクセル駆動ユニット101と、第2サブピクセル駆動ユニット102と、第1逆バイアスユニット103と、第2逆バイアスユニット104とを含む。ここで、第1サブピクセル駆動ユニット101は、第1薄膜トランジスタT1と、第5薄膜トランジスタT5と、第1キャパシタC1と、第1発光ダイオードOLED1とを含む。第2サブピクセル駆動ユニット102は、第2薄膜トランジスタT2と、第6薄膜トランジスタT6と、第2キャパシタC2と、第2発光ダイオードOLED2とを含む。第1逆バイアスユニット103は、第3薄膜トランジスタT3と、第7薄膜トランジスタT7と、第9薄膜トランジスタT9とを含む。第2逆バイアスユニット104は、第4薄膜トランジスタT4と、第8薄膜トランジスタT8と、第10薄膜トランジスタT10とを含む。

10

【0080】

さらに、第1薄膜トランジスタT1のソース電極及び第2薄膜トランジスタT2のソース電極は、電源の正電圧OVDDを受け取る。第1薄膜トランジスタT1のゲート電極は第1ノードN1に電氣的に接続されており、第2薄膜トランジスタT2のゲート電極は第2ノードN2に電氣的に接続されている。第1薄膜トランジスタT1のドレイン電極は第1発光ダイオードOLED1のアノードに電氣的に接続されており、第2薄膜トランジスタT2のドレイン電極は第2発光ダイオードOLED2のアノードに電氣的に接続されている。

20

【0081】

第5薄膜トランジスタT5のソース電極及び第6薄膜トランジスタT6のソース電極は、データ信号Vdataを受信する。第5薄膜トランジスタT5のドレイン電極は第1ノードN1に電氣的に接続されており、第6薄膜トランジスタT6のドレイン電極は第2ノードN2に電氣的に接続されている。第5薄膜トランジスタT5のゲート電極は第2制御信号S2を受信し、第6薄膜トランジスタT6のゲート電極は第3制御信号S3を受信する。

30

【0082】

第1キャパシタC1の一端は第1ノードN1に電氣的に接続されており、他端は電源の正電圧OVDDを受け取る。第2キャパシタC2の一端は第2ノードN2に電氣的に接続されており、他端は電源の正電圧OVDDを受け取る。

【0083】

第3薄膜トランジスタT3のゲート電極及び第4薄膜トランジスタT4のゲート電極は、第1制御信号S1を受信する。第3薄膜トランジスタT3のソース電極及び第4薄膜トランジスタT4のソース電極は、電源の正電圧OVDDを受け取る。第3薄膜トランジスタT3のドレイン電極は第1発光ダイオードOLED1のカソードに電氣的に接続されており、第4薄膜トランジスタT4のドレイン電極は第2発光ダイオードOLED2のカソードに電氣的に接続されている。

40

【0084】

第7薄膜トランジスタT7のゲート電極及び第8薄膜トランジスタT8のゲート電極は、第1制御信号S1を受信する。第7薄膜トランジスタT7のドレイン電極は第1発光ダイオードOLED1のアノード端子に電氣的に接続されており、第8薄膜トランジスタT8のドレイン電極は第2発光ダイオードOLED2のアノード端子に電氣的に接続されている。第7薄膜トランジスタT7のソース電極及び第8薄膜トランジスタT8のソース電極は、電源の負電圧OVSSを受け取る。

50

【 0 0 8 5 】

第 9 薄膜トランジスタ T 9 のゲート電極及び第 1 0 薄膜トランジスタ T 1 0 のゲート電極は、第 1 制御信号 S 1 を受信する。第 9 薄膜トランジスタ T 9 のソース電極及び第 1 0 薄膜トランジスタ T 1 0 のソース電極は、電源の負電圧 O V S S を受け取る。第 9 薄膜トランジスタ T 9 のドレイン電極は第 1 発光ダイオード O L E D 1 のカソードに電氣的に接続されており、第 1 0 薄膜トランジスタ T 1 0 のドレイン電極は第 2 発光ダイオード O L E D 2 のカソードに電氣的に接続されている。

【 0 0 8 6 】

具体的には、第 1 薄膜トランジスタ T 1、第 2 薄膜トランジスタ T 2、第 3 薄膜トランジスタ T 3、第 4 薄膜トランジスタ T 4、第 5 薄膜トランジスタ T 5、第 6 薄膜トランジスタ T 6、第 7 薄膜トランジスタ T 7、第 8 薄膜トランジスタ T 8、第 9 薄膜トランジスタ T 9、及び第 1 0 薄膜トランジスタ T 1 0 はいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタである。さらに、第 1 薄膜トランジスタ T 1、第 2 薄膜トランジスタ T 2、第 3 薄膜トランジスタ T 3、第 5 薄膜トランジスタ T 5、第 6 薄膜トランジスタ T 6、第 7 薄膜トランジスタ T 7、及び第 1 0 薄膜トランジスタ T 1 0 はいずれも、N 型薄膜トランジスタである。第 4 薄膜トランジスタ T 4、第 8 薄膜トランジスタ T 8 及び第 9 薄膜トランジスタ T 9 はいずれも、P 型薄膜トランジスタである。

10

【 0 0 8 7 】

具体的には、第 1 制御信号 S 1、第 2 制御信号 S 2 及び第 3 制御信号 S 3 はいずれも、外部のタイミングコントローラによって供給されるものである。

20

【 0 0 8 8 】

図 3 は、本発明の実施形態における O L E D ピクセル回路内の各々の制御信号を示すタイミング図である。図 2 及び図 3 を参照されたい。本実施形態における、第 1 制御信号 S 1、第 2 制御信号 S 2 及び第 3 制御信号 S 3 は互いに組み合わせたり、順に第 1 発光ダイオードの電位記憶段階 t 1、第 1 発光ダイオードの発光表示段階 t 2、第 2 発光ダイオードの電位記憶段階 t 3、及び第 2 発光ダイオードの発光表示段階 t 4 に対応する。ここで、第 1 発光ダイオードの電位記憶段階 t 1 及び第 1 発光ダイオードの発光表示段階 t 2 はいずれも、第 N フレームの画像期間にある。第 2 発光ダイオードの電位記憶段階 t 3 及び第 2 発光ダイオードの発光表示段階 t 4 はいずれも、第 N + 1 フレームの画像期間にある。

30

【 0 0 8 9 】

図 4 乃至図 7 を参照し、且つ図 2 及び図 3 も併せて参照されたい。本発明の O L E D ピクセル回路の動作過程は以下の通りである。

【 0 0 9 0 】

図 3 及び図 4 を参照されたい。第 1 発光ダイオードの電位記憶段階 t 1 において、第 1 制御信号 S 1 が低電位を提供し、第 2 制御信号 S 2 が高電位を提供し、第 3 制御信号 S 3 が低電位を提供するため、第 4 薄膜トランジスタ T 4、第 5 薄膜トランジスタ T 5、第 8 薄膜トランジスタ T 8 及び第 9 薄膜トランジスタ T 9 はオンとなるように制御され、第 1 薄膜トランジスタ T 1、第 2 薄膜トランジスタ T 2、第 3 薄膜トランジスタ T 3、第 6 薄膜トランジスタ T 6、第 7 薄膜トランジスタ T 7 及び第 1 0 薄膜トランジスタ T 1 0 はオフとなるように制御され、第 1 キャパシタ C 1 はデータ信号 V d a t a の電位を記憶し、且つ第 2 発光ダイオード O L E D 2 は逆バイアス状態となり、即ち、第 2 発光ダイオード O L E D 2 のアノード端子は電源の負電圧 O V S S を受け取り、カソード端子は電源の正電圧 O V D D を受け取る。

40

【 0 0 9 1 】

図 3 及び図 5 を参照されたい。第 1 発光ダイオードの発光表示段階 t 2 において、第 1 制御信号 S 1 が低電位を提供し、第 2 制御信号 S 2 が低電位を提供し、第 3 制御信号 S 3 が低電位を提供するため、第 1 薄膜トランジスタ T 1、第 4 薄膜トランジスタ T 4、第 8 薄膜トランジスタ T 8 及び第 9 薄膜トランジスタ T 9 はオンとなるように制御され、第 2 薄膜トランジスタ T 2、第 3 薄膜トランジスタ T 3、第 5 薄膜トランジスタ T 5、第 6 薄

50

膜トランジスタT6、第7薄膜トランジスタT7及び第10薄膜トランジスタT10はオフとなるように制御され、第1発光ダイオードOLED1は発光し、且つ第2発光ダイオードOLED2は引き続き、逆バイアス状態となる。

【0092】

図3及び図6を参照されたい。第2発光ダイオードの電位記憶段階t3において、第1制御信号S1が高電位を提供し、第2制御信号S2が低電位を提供し、第3制御信号S3が高電位を提供するため、第1薄膜トランジスタT1、第2薄膜トランジスタT2、第3薄膜トランジスタT3、第6薄膜トランジスタT6、第7薄膜トランジスタT7及び第10薄膜トランジスタT10はオンとなるように制御され、第4薄膜トランジスタT4、第5薄膜トランジスタT5、第8薄膜トランジスタT8及び第9薄膜トランジスタT9はオフとなるように制御され、第2キャパシタC2はデータ信号Vdataの電位を記憶し、且つ第1発光ダイオードOLED1は逆バイアス状態となり、即ち、第1発光ダイオードOLED1のアノード端子は電源の負電圧OVSSを受け取り、カソード端子は電源の正電圧OVDDを受け取る。

10

【0093】

図3及び図7を参照されたい。第2発光ダイオードの発光表示段階t4において、第1制御信号S1が高電位を提供し、第2制御信号S2が低電位を提供し、第3制御信号S3が低電位を提供するため、第2薄膜トランジスタT2、第3薄膜トランジスタT3、第7薄膜トランジスタT7及び第10薄膜トランジスタT10はオンとなるように制御され、第1薄膜トランジスタT1、第4薄膜トランジスタT4、第5薄膜トランジスタT5、第6薄膜トランジスタT6、第8薄膜トランジスタT8及び第9薄膜トランジスタT9はオフとなるように制御され、第2発光ダイオードOLED2は発光し、且つ第1発光ダイオードOLED1は引き続き、逆バイアス状態となる。

20

【0094】

本発明のOLEDピクセル回路において、第1サブピクセル駆動ユニットと、第2サブピクセル駆動ユニットと、第1逆バイアスユニットと、第2逆バイアスユニットが設けられ、加えて、簡単な制御シーケンスにより、第1発光ダイオード及び第2発光ダイオードが常に直流バイアス状態にはならず、且つ第1発光ダイオードと第2発光ダイオードが交互に発光するようになり、第1発光ダイオード及び第2発光ダイオードの発光時間が減少し、第1発光ダイオード及び第2発光ダイオードの劣化を遅延させることで、パネルの表示品質が改善される。

30

【0095】

図4乃至図7を参照し、且つ図2及び図3も併せて参照されたい。上述のOLEDピクセル回路に基づいて、本発明はさらにOLED素子の劣化遅延方法を提供し、当該方法は以下のステップを含む。

【0096】

ステップ1、OLEDピクセル回路を提供する。

【0097】

当該OLEDピクセル回路は、以下の構成を含む。

【0098】

第1薄膜トランジスタT1と、第5薄膜トランジスタT5と、第1キャパシタC1と、第1発光ダイオードOLED1とを含む第1サブピクセル駆動ユニット101。

40

【0099】

第2薄膜トランジスタT2と、第6薄膜トランジスタT6と、第2キャパシタC2と、第2発光ダイオードOLED2とを含む第2サブピクセル駆動ユニット102。

【0100】

ここで、第1薄膜トランジスタT1のソース電極及び第2薄膜トランジスタT2のソース電極は、電源の正電圧OVDDを受け取る。第1薄膜トランジスタT1のゲート電極は第1ノードN1に電氣的に接続されており、第2薄膜トランジスタT2のゲート電極は第2ノードN2に電氣的に接続されている。第1薄膜トランジスタT1のドレイン電極は第

50

1 発光ダイオード O L E D 1 のアノードに電氣的に接続されており、第 2 薄膜トランジスタ T 2 のドレイン電極は第 2 発光ダイオード O L E D 2 のアノードに電氣的に接続されている。

【 0 1 0 1 】

第 5 薄膜トランジスタ T 5 のソース電極及び第 6 薄膜トランジスタ T 6 のソース電極は、データ信号 V d a t a を受信する。第 5 薄膜トランジスタ T 5 のドレイン電極は第 1 ノード N 1 に電氣的に接続されており、第 6 薄膜トランジスタ T 6 のドレイン電極は第 2 ノード N 2 に電氣的に接続されている。第 5 薄膜トランジスタ T 5 のゲート電極は第 2 制御信号 S 2 を受信し、第 6 薄膜トランジスタ T 6 のゲート電極は第 3 制御信号 S 3 を受信する。

10

【 0 1 0 2 】

第 1 キャパシタ C 1 の一端は第 1 ノード N 1 に電氣的に接続されており、他端は電源の正電圧 O V D D を受け取る。第 2 キャパシタ C 2 の一端は第 2 ノード N 2 に電氣的に接続されており、他端は電源の正電圧 O V D D を受け取る。

【 0 1 0 3 】

第 3 薄膜トランジスタ T 3 と、第 7 薄膜トランジスタ T 7 と、第 9 薄膜トランジスタ T 9 とを含む第 1 逆バイアスユニット 1 0 3 。

【 0 1 0 4 】

第 4 薄膜トランジスタ T 4 と、第 8 薄膜トランジスタ T 8 と、第 1 0 薄膜トランジスタ T 1 0 とを含む第 2 逆バイアスユニット 1 4 。

20

【 0 1 0 5 】

第 3 薄膜トランジスタ T 3 のゲート電極及び第 4 薄膜トランジスタ T 4 のゲート電極は、第 1 制御信号 S 1 を受信する。第 3 薄膜トランジスタ T 3 のソース電極及び第 4 薄膜トランジスタ T 4 のソース電極は、電源の正電圧 O V D D を受け取る。第 3 薄膜トランジスタ T 3 のドレイン電極は第 1 発光ダイオード O L E D 1 のカソードに電氣的に接続されており、第 4 薄膜トランジスタ T 4 のドレイン電極は第 2 発光ダイオード O L E D 2 のカソードに電氣的に接続されている。

【 0 1 0 6 】

第 7 薄膜トランジスタ T 7 のゲート電極及び第 8 薄膜トランジスタ T 8 のゲート電極は、第 1 制御信号 S 1 を受信する。第 7 薄膜トランジスタ T 7 のドレイン電極は第 1 発光ダイオード O L E D 1 のアノード端子に電氣的に接続されており、第 8 薄膜トランジスタ T 8 のドレイン電極は第 2 発光ダイオード O L E D 2 のアノード端子に電氣的に接続されている。第 7 薄膜トランジスタ T 7 のソース電極及び第 8 薄膜トランジスタ T 8 のソース電極は電源の負電圧 O V S S を受け取る。

30

【 0 1 0 7 】

第 9 薄膜トランジスタ T 9 のゲート電極及び第 1 0 薄膜トランジスタ T 1 0 のゲート電極は、第 1 制御信号 S 1 を受信する。第 9 薄膜トランジスタ T 9 のソース電極及び第 1 0 薄膜トランジスタ T 1 0 のソース電極は、電源の負電圧 O V S S を受け取る。第 9 薄膜トランジスタ T 9 のドレイン電極は第 1 発光ダイオード O L E D 1 のカソードに電氣的に接続されており、第 1 0 薄膜トランジスタ T 1 0 のドレイン電極は第 2 発光ダイオード O L E D 2 のカソードに電氣的に接続されている。

40

【 0 1 0 8 】

ステップ 2、第 1 発光ダイオードの電位記憶段階 t 1 に入る。

【 0 1 0 9 】

第 1 制御信号 S 1、第 2 制御信号 S 2 及び第 3 制御信号 S 3 により、第 4 薄膜トランジスタ T 4、第 5 薄膜トランジスタ T 5、第 8 薄膜トランジスタ T 8 及び第 9 薄膜トランジスタ T 9 はオンとなるように制御され、第 1 薄膜トランジスタ T 1、第 2 薄膜トランジスタ T 2、第 3 薄膜トランジスタ T 3、第 6 薄膜トランジスタ T 6、第 7 薄膜トランジスタ T 7 及び第 1 0 薄膜トランジスタ T 1 0 はオフとなるように制御され、第 1 キャパシタ C 1 はデータ信号 V d a t a の電位を記憶し、且つ第 2 発光ダイオード O L E D 2 は逆バイ

50

アス状態となる。

【0110】

ステップ3、第1発光ダイオードの発光表示段階t2に入る。

【0111】

第1制御信号S1、第2制御信号S2及び第3制御信号S3により、第1薄膜トランジスタT1、第4薄膜トランジスタT4、第8薄膜トランジスタT8及び第9薄膜トランジスタT9はオンとなるように制御され、第2薄膜トランジスタT2、第3薄膜トランジスタT3、第5薄膜トランジスタT5、第6薄膜トランジスタT6、第7薄膜トランジスタT7及び第10薄膜トランジスタT10はオフとなるように制御され、第1発光ダイオードOLED1は発光し、且つ第2発光ダイオードOLED2は引き続き、逆バイアス状態となる。

10

【0112】

ステップ4、第2発光ダイオードの電位記憶段階t3に入る。

【0113】

第1制御信号S1、第2制御信号S2及び第3制御信号S3により、第1薄膜トランジスタT1、第2薄膜トランジスタT2、第3薄膜トランジスタT3、第6薄膜トランジスタT6、第7薄膜トランジスタT7及び第10薄膜トランジスタT10はオンとなるように制御され、第4薄膜トランジスタT4、第5薄膜トランジスタT5、第8薄膜トランジスタT8及び第9薄膜トランジスタT9はオフとなるように制御され、第2キャパシタC2はデータ信号Vdataの電位を記憶し、且つ第1発光ダイオードOLED1は逆バイアス状態となる。

20

【0114】

ステップ5、第2発光ダイオードの発光表示段階t4に入る。

【0115】

第1制御信号S1、第2制御信号S2及び第3制御信号S3により、第2薄膜トランジスタT2、第3薄膜トランジスタT3、第7薄膜トランジスタT7及び第10薄膜トランジスタT10はオンとなるように制御され、第1薄膜トランジスタT1、第4薄膜トランジスタT4、第5薄膜トランジスタT5、第6薄膜トランジスタT6、第8薄膜トランジスタT8及び第9薄膜トランジスタT9はオフとなるように制御され、第2発光ダイオードOLED2は発光し、且つ第1発光ダイオードOLED1は引き続き、逆バイアス状態となる。

30

【0116】

好ましくは、第1制御信号S1、第2制御信号S2及び第3制御信号S3はいずれも、外部のタイミングコントローラによって供給される。

【0117】

好ましくは、第1薄膜トランジスタT1、第2薄膜トランジスタT2、第3薄膜トランジスタT3、第4薄膜トランジスタT4、第5薄膜トランジスタT5、第6薄膜トランジスタT6、第7薄膜トランジスタT7、第8薄膜トランジスタT8、第9薄膜トランジスタT9、及び第10薄膜トランジスタT10はいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタである。

40

【0118】

好ましくは、第1薄膜トランジスタT1、第2薄膜トランジスタT2、第3薄膜トランジスタT3、第5薄膜トランジスタT5、第6薄膜トランジスタT6、第7薄膜トランジスタT7、及び第10薄膜トランジスタT10はいずれも、N型薄膜トランジスタであり、第4薄膜トランジスタT4、第8薄膜トランジスタT8及び第9薄膜トランジスタT9はいずれも、P型薄膜トランジスタである。

【0119】

第1発光ダイオードの電位記憶段階t1において、第1制御信号S1は低電位を提供し、第2制御信号S2は高電位を提供し、第3制御信号S3は低電位を提供する。

50

【 0 1 2 0 】

第 1 発光ダイオードの発光表示段階 t 2 において、第 1 制御信号 S 1 は低電位を提供し、第 2 制御信号 S 2 は低電位を提供し、第 3 制御信号 S 3 は低電位を提供する。

【 0 1 2 1 】

第 2 発光ダイオードの電位記憶段階 t 3 において、第 1 制御信号 S 1 は高電位を提供し、第 2 制御信号 S 2 は低電位を提供し、第 3 制御信号 S 3 は高電位を提供する。

【 0 1 2 2 】

第 2 発光ダイオードの発光表示段階 t 4 において、第 1 制御信号 S 1 は高電位を提供し、第 2 制御信号 S 2 は低電位を提供し、第 3 制御信号 S 3 は低電位を提供する。

【 0 1 2 3 】

本発明の O L E D ピクセル回路及び O L E D 素子の劣化を遅延させる方法において、第 1 サブピクセル駆動ユニットと、第 2 サブピクセル駆動ユニットと、第 1 逆バイアスユニットと、第 2 逆バイアスユニットが設けられ、加えて、簡単な制御シーケンスにより、第 1 発光ダイオード及び第 2 発光ダイオードが常に直流バイアス状態にはならず、且つ第 1 発光ダイオードと第 2 発光ダイオードが異なるフレームの画像期間で交互に発光するようになり、第 1 発光ダイオード及び第 2 発光ダイオードの発光時間が減少し、第 1 発光ダイオード及び第 2 発光ダイオードの劣化を遅延させることで、パネルの表示品質が改善される。

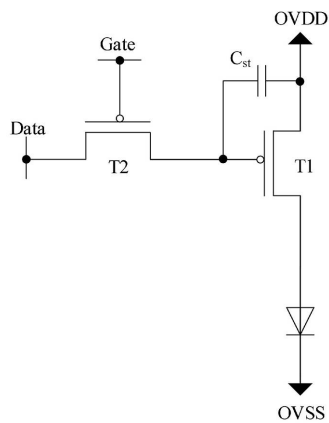
10

【 0 1 2 4 】

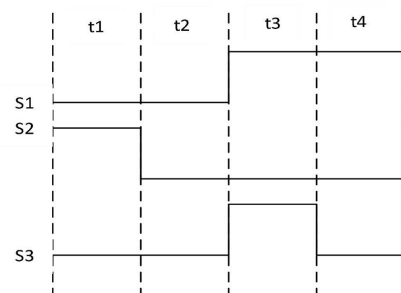
以上のように、本発明はその好ましい実施形態を通じて上記において開示されたが、上述の好ましい実施形態は本発明を限定するためのものではない。本分野の通常の技術者は、本発明の趣旨及び範囲から逸脱しない限りにおいて、様々な変更及び修整を施すことができる。従って、本発明の保護範囲は、特許請求の範囲で定められた範囲を基準とする。

20

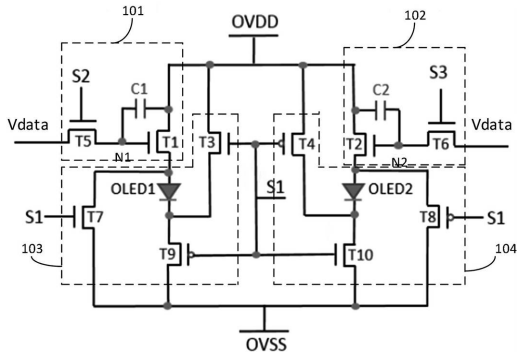
【 図 1 】



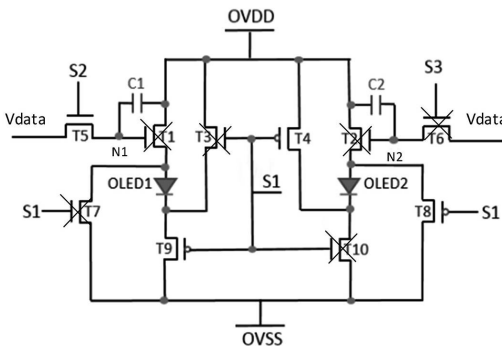
【 図 3 】



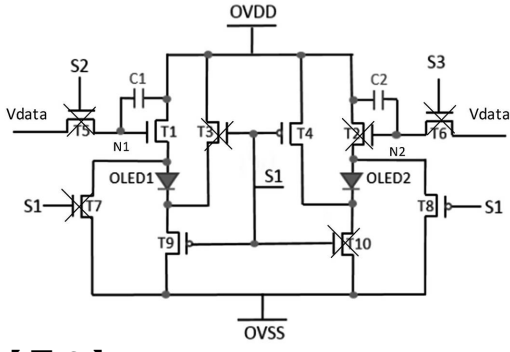
【 図 2 】



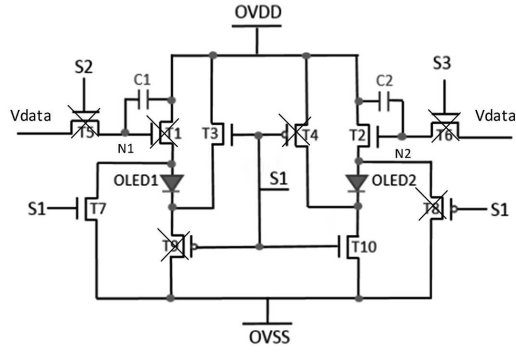
【 図 4 】



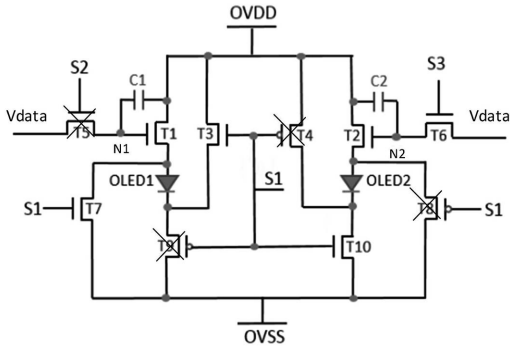
【 図 5 】



【 図 7 】



【 図 6 】



フロントページの続き

- (74)代理人 110003063
特許業務法人牛木国際特許事務所
- (72)発明者 常 勃彪
中国広東省深 せん 市光明新区公明街道塘明大道9 - 2号
- (72)発明者 陳 小龍
中国広東省深 せん 市光明新区公明街道塘明大道9 - 2号
- (72)発明者 温 亦謙
中国広東省深 せん 市光明新区公明街道塘明大道9 - 2号

審査官 塚本 丈二

- (56)参考文献 中国特許出願公開第105895028(CN, A)
米国特許出願公開第2015/0287359(US, A1)
中国特許出願公開第105185321(CN, A)
韓国公開特許第10-2008-0102630(KR, A)
米国特許出願公開第2016/0012779(US, A1)
米国特許出願公開第2016/0125803(US, A1)

(58)調査した分野(Int.Cl., DB名)

G09G 3/3233
G09G 3/20
H01L 51/50
H05B 33/14