公告本

394900

申請日期	84 年 12 月 19 日
案號	84113577
類別	G06F 9/455 13/14

A4 C4

394900

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書（修正本）

一、發明 ~~新型~~ 名稱	中文	模擬器及使用它之系統評鑑裝置
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 佐々木宏幸 (2) 青砥義一 (3) 藤田秀哉
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都府中市西府町三－一五－六－一〇二 (2) 日本國東京都小金井市貫井北町二－一〇－一九－四〇二 (3) 日本國東京都小金井市貫井北町二－一〇－一九－三〇三
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立微電腦系統股份有限公司 株式会社日立マイコンシステム
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都小平市上水本町五丁目二二番一號
	代表人姓名	(1) 金井務 (2) 米山貞夫

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1995 年 12 月 12 日	7-322771	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1　)

〔發明所屬之技術範圍〕

本發明乃關於資料處理系統之資料取得技術者，尤其係適於利用於取得模擬器（emulator）之匯流排（bus）上之信號的追踪記憶體（trace memory）之構成方式及追踪控制方法者。

〔以往之技術〕

以往對新開發之微電腦應用系統（以下稱爲：使用者系統）進行詳細之評鑑時，則使用模擬器（emulator）進行。

以往之系統評鑑裝置係例如在於個人電腦等之主電腦和呈標的之使用者系統之間，連接有備有取代使用者系統之微電腦機能之評鑑用微電腦，或取得使用者系統之匯流排上之信號之追踪記憶體等之稱之爲線路內模擬器（incircuit emulator）之裝置，一邊轉換使用者程式與模擬程式加以執行，於使用者程式執行中解析記憶於記憶體之資料，進而進行除錯（debug）等地加以構成。

此種模擬器乃如圖9所示，由執行模擬（emutation）或各種除錯機能所用之模擬控制部１０１，及設定使用者程式之執行停止條件，當條件成立時令使用者程式停止之暫停控制部１０２，及經由探針（probe）１０９及使用者系統Ｉ／Ｆ排線，來取得使用者系統之匯流排上之信號之追踪記憶體１０３，及未準備有使用者系統之記憶體時被借出之取代記憶體１０４，及在與主電腦之間進行資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(2　)

料通信所用之串列介面１０５，以及負責其等之控制之控制用微電腦１０６等所構成；自模擬器１００所延長之使用者介面排線１０７先端之箱（pod）部１０８則經由結合於使用者系統上之ＭＰＵ插座，與使用者系統連接。此外，上述箱部１０８內亦設有：取代使用者系統內之微電腦機能之微電腦。關於此種模擬器，乃曾刊載於日本歐姆公司發行之「ＬＳＩ手冊」第５６２頁～第５６３頁（日本昭和５９年１１月３０發行）。

〔本發明擬解決之問題〕

於模擬器（emulator）中，若取得匯流排上之信號之追踪記憶體（trace memory）之存取時間，較微電腦之工作頻率爲長時，則將發生追踪資料之缺漏等問題。因此，經由將追踪記憶體構成呈複數之區庫（bank）以交替地儲存資料，由此來防止追踪資料之缺漏等之發明，亦曾被提出（日本特開平６－５２０１３號專利公報）。

惟在模擬器中，將使用者程式執行中之匯流排上之所有信號，取自追踪記憶體係伴隨記憶容量爲有限且微電腦之工作頻率之提高，單位時間內應取得之資料量愈加增加之現狀下，實乃非妥當之選擇。爲此，才有設定規定之條件（追踪條件），僅將合乎此條件時之匯流排上之信號儲存於追踪記憶體之構想。

然而，例如採用：將追踪記憶體以兩個區庫來構成，將資料交替儲存於各區庫，同時設定規定之追踪條件，僅

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

將合乎此條件時之匯流排上之信號儲存於追踪記憶體等之追踪方式時，卻有：合乎條件時之資料亦未必能交替被儲存於兩個區庫之追踪記憶體，有時有效之追踪資料亦可能偏向於一方之區庫；記憶體內之追踪資料之儲存順序將發生紊亂，無法辨認等之問題。

本發明之目的乃在於令追踪記憶體以複數之區庫（bank）所構成之模擬器中，提供可將需要之資料以良好之效率來儲存於追踪記憶體內之追踪記憶體之構成方式以及追踪控制方法者。

本發明之其他目的則於令追踪記憶體以複數之區庫所構成之模擬器中提供：被取得於追踪記憶體內之資料之順序，不致發生散亂無序之現象，可被儲存成有條不紊之追踪記憶體之構成方式以及追踪控制方法者。

本發明：前述以及其他目的與新穎之特徵，將從本說明書之說明以及附圖，獲得明確之瞭解。

〔解決上述問題之方法〕

下面將說明本發明中所揭示之本發明之代表性者之概要如下。

亦即，本發明乃令追踪記憶體以複數之區庫所構成，原則上令控制電路構造呈：將追踪資料按順序儲存於各區庫之構成，同時亦設置追踪條件設定機構及追踪條件一致檢測機構等，以生成表示與追踪條件一致之資料或不一致之資料等之位元（bit）或資料（以下稱爲：有效／無效

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(4　)

旗標），而與追踪資料一起儲存於各區庫內；等爲構成者。

由此，追踪記憶體之各區庫之記憶，乃成爲數次中僅被存取一次，故即使追踪記憶體之存取時間較微電腦之工作頻率爲長時，亦不致發生資料之缺漏地可取得匯流排上之信號，同時追踪資料亦將被附加有效／無效旗標加以儲存之故，不致發生追踪記憶體內之資料之儲存順序無法辨認之事情。

進一步，追踪記憶體之各區庫之位址，亦被構造呈：由共同之計數器所生成之構成，而上述計數器亦被構造成：於任何1個區庫儲存有效資料時被更新，所有之區庫被儲存無效資料時則不被更新等之構成。故由此，將可回避無效資料被儲存於多數追踪記憶體，因此可提高追踪記憶體之利用效率。

〔發明之實施形態〕

下面來詳細說明本發明之一實施例。圖1乃表示本發明之模擬器(emulator)之構成例者。

在圖1中，11乃爲內藏有：具有與使用於開發之使用者系統之微電腦同一機能之微電腦之評鑑用晶片（以下稱爲評鑑片（eva-chip），20乃爲控制模擬器全體或與主電腦之間進行資料通信之控制處理器（control processor），12乃爲包含保持取樣匯流排上之信號之記憶體之追踪電路，13乃爲：設定使用者程式之執行或追踪條件及停止條件，於條件成立時開始追踪或令使用者程式停

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(5　)

止等之追踪及暫停控制電路，１４乃爲儲存有：實現模倣（emulation）或各種之除錯（debug）機能所用之模擬控制用程式之固定ＲＡＭ（隨機存取記憶體），１５乃爲：在評鑑片１１與控制處理器２０之間進行通信所用之並列（parallel）通信機構之共用ＲＡＭ（shared RAM），１６乃爲使用者系統未準備有充分容量之記憶體時，或爲儲存使用者所開發之程式所使用而作爲借出記憶體之模擬ＲＡＭ（emulation RAM），１７乃爲可將上述模擬ＲＡＭ１６配置（allocate）於位址空間之任意位置所用之位址映像（address map）控制電路，１８乃爲：在使用者程式執行中向匯流排上輸出之位址信號或中斷信號（interruptsig-nal）以即時來取入之暫存器等所構成之監視電路，而因控制處理器２０參照此監視電路１８，即可隨時來確認使用者程式執行狀態者。控制處理器２０乃以與所謂之微處理器同一構成之裝置，由一個半導體晶片所構成。

本實施例之模擬器乃備有：連接在評鑑片１１之使用者系統之信號被載之追踪匯流排ＴＢＳ，及連接在控制處理器２０之ＣＰＵ匯流排ＣＢＳ等。上述各種記憶電路１２，１４，１５，１６，１８等，乃各連接在上述２個匯流排ＴＢＳ，ＣＢＳ，而形成可從評鑑片１１及控制處理器２０之任何側來存取之狀態。ＢＦＦ乃爲被設在各匯流排ＴＢＳ，ＣＢＳ上之匯流排，而具有連接／遮斷機能之匯流排緩衝器，ＬＴ則爲可將匯流排上之信號加以閂鎖

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(6　)

（latch）之D型正反器所構成之閂鎖電路。在上述追踪匯流排TBS，乃含有：例如載有32位元之資料信號之資料匯流排，及載有如24位元之位址信號之位址匯流排，及載有各種控制信號或狀態信號之控制匯流排等。CPU匯流排CBS在圖1亦被表示成含有所有：位址匯流排，資料匯流排及控制匯流排等之總括匯流排。

在本實施例之模擬器，上述追踪電路12乃由2個之區庫記憶體BMEM0，BMEM1所構成，與各區庫記憶體BMEM0，BMEM1相對應，追踪及暫停控制電路13亦設有2組；同時，亦設有：與2個區庫記憶體BMEM0，BMEM1共同之位址指標器（位址計數器）50，及以來自上述追踪及暫停控制電路13之信號來控制上述共同位址指標器50之指標控制電路70等。

並且設有：形成交替取得追踪匯流排TBS上之信號於上述各區庫記憶體BMEM0，BMEM1之時鐘CLK0，CLK1等之時鐘形成電路30，及根據表示：從評鑑片11被輸出之使用者程式執行中或模擬程式執行中之信號／ASEBRKAK，來形成：上述時鐘形成電路30或對追踪及暫停控制電路13之控制信號／RUNSTEP之信號生成電路40等。上述信號／ASEBRKAK及控制信號／RUNSTEP之定時（timing）乃略爲相同。在此信號生成電路40內亦設有：表示是否於將使用者程式按每1命令逐一加以執行之模態等之旗標或暫存器。

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(7　)

圖２乃表示上述時鐘形成電路３０之實施例，而圖３則表示上述追踪電路１２以及追踪及暫停控制電路１３等之更詳細之實施例者。

圖２所示時鐘形成電路３０乃由：表示從上述評鑑片１１所輸出之追踪匯流排ＴＢＳ上之信號之有效性之信號／ＡＳＥＴＳ，以及將基準時鐘作爲輸入信號之ＡＮＤ閘３１，及由反相器３２，３３，３４以及ＮＡＮＤ閘３５等所構成之單穩脈衝（one-shot pulse）生成電路３６，及在該單發脈衝生成電路３６所生成之脈波被輸入於清除端子ＣＬＲ，且上述ＡＮＤ閘３１之輸出信號輸入於時鐘端子ＣＫ，同時倒相輸出端子／Ｑ卻被反饋連接於資料端子Ｄ所成之Ｄ型正反器３７等所構成；而從正反器３７之輸出端子Ｑ／Ｑ將輸出互爲反相之時鐘ＣＬＫ及ＣＬＫ１。上述單穩脈衝生成電路３６將檢出：表示從前述信號生成電路４０所供給之使用者程式是否執行中，或模擬程式是否執行中之信號／ＲＵＮＳＴＥＰ之下降邊（trailing edge），以形成單穩脈衝。

上述追踪及暫停控制電路１３，及如圖３所示，由：設定各追踪條件之暫存器４２，及將被設定在該暫存器４２之條件與匯流排ＢＢ０（或ＢＢ１）上之信號加以比較，以判定是否一致之比較器４３，及根據上述ＲＵＮＳＴＥＰ信號及時鐘ＣＬＫ０等來形成：批准上述比較器４３所作之比較動作之信號ＣＭＰＥＮ０（ＣＭＰＥＮ１），或供給向區庫記憶體ＢＭＥＭ０（或

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(8　)

ＢＭＥＭ１）之資料寫入定時之寫入控制信號／ＷＲ０（／ＷＲ１）等之追踪及暫停控制電路４１，等所構成。從追踪及暫停控制電路４１所輸出之信號ＣＭＰＥＮ０，ＣＭＰＥＮ１，乃在從前述信號生成電路４０所輸出之信號／ＲＵＮＳＴＥＰ表示使用者程式爲執行中之期間，使比較器４３動作。

並且，上述比較器４３檢出匯流排ＢＢ０（ＢＢ１）上之信號與被設定暫存器４２之追踪條件爲一致時，將對區庫記憶體ＢＭＥＭ０（ＢＭＥＭ１）之前段之選擇器ＳＥＬ１０（ＳＥＬ１１）輸出：寫入有效信號ＷＲＶ０（ＷＲＶ１）。此寫入有效信號乃被構造成：可作爲寫入資料來處理之構成：經過選擇器ＳＥＬ１０，ＳＷＬ１１對區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１１，有匯流排ＢＢ０，ＢＢ１上之信號被儲存時，將在設於區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１之有效旗標位元ＦＢ，有與寫入有效信號ＷＲＤ，ＷＲＶ１之電平相對應之資料被寫入，而作爲表示從追踪匯流排被取入於區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１之資料之有效／無效資訊被記憶（儲存）。

此外，雖未圖示，但上述追踪及暫存控制電路１３，亦備有：設定使用者程式之停止條件所用之暫存器，及將被設定於該暫存器之暫停條件與追踪匯流排ＴＢＳ上之信號加以比較，若一致即對評鑑片１１供給使用者程式之暫行停止信號之比較器；對此等暫存器，比較器之控制信號，亦由上述追踪及暫停控制電路４１來形成。

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(9　)

而且，雖無特別之限制，但在本實施例，上述位址指標控制電路７０乃由ＮＯＲ閘７１所構成，位址指標５０則由計數電路５１及閂鎖電路５２所構成，同時上述各追踪及暫停控制電路１３內之比較器４３之輸出信號，亦被輸入至作爲上述位址指標控制電路７０之ＮＯＲ閘７１，該ＮＯＲ閘７１之輸出信號則被輸入構成位址指標器５０之計數電路５１之使能端子ＥＮ。然後，在此計數電路５１之時鐘端子ＣＬＫ，亦有來自上述時鐘形成電路３０之時鐘ＣＬＫ被輸入，而形成：當上述追踪及暫停控制電路１３內之比較器４３輸出一致檢測信號，則與時鐘ＣＬＫ０同步，使計數電路７１被更新等之構成。

由此，當第１區庫及第２區庫之任何一方之追踪條件成立，則位址指標器５０之計數電路５１將被更新。惟更新乃僅與時鐘ＣＬＫ０同步來進行，故即使雙方之區庫之追踪條件成立，位址指標器亦僅被更新一個，而不會更新兩個。並且，向區庫記憶體ＢＭＥＭ１亦使計數電路５１之值經由與時鐘ＣＬＫ１同步被閂鎖之閂鎖電路５２來供給，放即使第１區庫側之比較器４３之一致信號被輸出而計數電路５１被更新，亦因閂鎖電路５２保持有更新前之值，故更新後之位址將不致有追踪信號被儲存。

在上述暫存器４２，爲使控制處理器２０能夠經由ＣＰＵ匯流排ＣＢＳ來設定追踪條件，乃連接有ＣＰＵ資料匯流排。上述位址指標器之計數電路５１亦爲使控制處理器２０能夠讀入其值，被連接於ＣＰＵ資料匯流部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(10)

ＣＤＢＳ。此外，爲使上述控制處理器２０能夠指定上述暫存器４２，計數電路５１，亦經由解碼器，使上述暫存器４２，計數電路５１被連接在位址匯流排ＣＡＢＳ。由控制處理器２０來指定暫存器，向資料匯流排供給資料來進行設定。並且，由於指定計數電路，由此將可讀入其值。

在區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１，乃有來自ＣＰＵ位址匯流排ＣＡＢＳ及來自位址指標器５０之計數電路５１之位址，經由選擇器ＳＥＬ０，ＳＥＬ１，選擇性地能夠被供給其中；而在使用者程式（模擬）執行時，則有來自位址指標器５０之計數電路５１（或閂鎖電路５２）之位址被供給，模擬停止時亦有ＣＰＵ位址匯流排ＣＡＢＳ上之位址被供給。並且，在區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１，亦經由選擇器ＳＥＬ１０，ＳＥＬ１１，有區庫匯流排ＢＢ０，ＢＢ１及ＣＰＵ資料匯流排ＣＤＢＳ，成爲連接可能狀態，而在使用者程式執行時，則有區庫匯流排ＢＢ０，ＢＢ１上之信號被供給至區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１，成爲追踪可能狀態，同時在模擬停止時亦有ＣＰＵ資料匯流排ＣＤＢＳ被連接在區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１，形成控制處理器２０可讀入區庫記憶體內之追踪資料之構成。

雖未特別限制，但在本實施例，追踪匯流排ＴＢＳ上之信號乃由閂鎖電路ＬＴ０，ＬＴ１，各與反相之時鐘ＣＬＫ及ＣＬＫ１同步，被閂鎖而被輸出至上述區庫匯流

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(11)

排ＢＢ０及ＢＢ１上；此區庫匯流排ＢＢ０及ＢＢ１上之各信號，亦各被同樣與時鐘ＣＬＫ０及ＣＬＫ１同步，進行閂鎖動作之閂鎖電路ＬＴ１０，ＬＴ１１閂鎖後，再經由上述選擇器ＳＥＬ１０，ＳＥＬ１１，被供給至各區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１，等爲構成。

因此，由於形成：經由２個閂鎖電路，將追踪匯流排ＴＳＢ上之信號供給至區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１等之構成，將可使對區庫記憶體之寫入定時之設計成爲容易。而且，因時鐘ＣＬＫ０與ＣＬＫ１乃爲反相之時鐘，追踪匯流排ＴＢＳ上之信號將在時間系列上交替被取入閂鎖電路ＬＴ０，ＬＴ１，而進一步，被取入之資料則將延遲１時鐘各被供給至相對應之區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１。

圖４及圖５乃爲表示追踪匯流排ＴＢＳ上之信號之追踪定時（trace timing）之例子者。

圖４乃表示：追踪匯流排ＴＢＳ之匯流循環（buscycle）４～１０之信號，與追踪條件一致而被追踪記憶體取得之情形之定時（timing）。在此，匯流循環從２轉換至３時信號／ＲＵＮＳＴＥＰ從高電平變化至低電平，則區庫時鐘ＣＬＫ０，ＣＬＫ１之形成將開始。由此區庫時鐘ＣＬＫ０，ＣＬＫ１，閂鎖電路ＬＴ０，ＬＴ１亦被動作，而在區庫匯流排ＢＢ０，ＢＢ１上將有追踪匯流排ＴＢＳ上之信號，被交替載上。而且，根據上述區庫時鐘ＣＬＫ０，ＣＬＫ１，追踪及暫停控制電路４１將形成各

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (12)

延遲1時鐘之寫入控制信號／ＷＲ０，ＷＲ１，並向區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１供給。進一步，與區庫時鐘ＣＬＫ０最初之上升同步，控制信號ＣＭＰＥＮ０將被變化成低電平，而與ＣＬＫ１最初之上升同步，控制信號ＣＭＰＥＮ１亦被變化成低電平，構成追踪及暫停控制電路１３之比較器４３則各開始作比較之動作。

於是，首先，第２區庫（區庫記憶體ＢＭＥＭ１）側之比較器４３之輸出信號ＷＲＶ１將變化成表示條件一致之高電平。由此，在區庫記憶體ＢＭＥＭ１之有效／無效旗標位元ＦＢ，如表１所示，將被寫入〝１〞，同時位址指標器５０之計數電路５１將與區庫時鐘ＣＬＫ０同步，從「０」被更新爲「１」。此計數電路５１之值乃經由選擇器ＳＥＬ０被供給至區庫記憶體ＢＭＥＭ０，區庫匯流排ＢＢ０上之信號（追踪匯流循環５之信號）將被儲存在下一個位址，同時與時鐘ＣＬＫ１之上升同步被取入閂鎖電路５２，並經由選擇器ＳＥＬ１被供給至區庫記憶體ＢＭＥＭ１，區庫匯流排ＢＢ１上之信號（追踪匯流循環６之信號）則將被儲存在其位址。此時，因比較器４３乃任何區庫側均將檢出條件一致，故在各區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１之有效／無效旗標位元，將被寫入〝１〞，同時位址指標器５０之計數電路５１亦將從「１」被更新爲「２」。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (13)

表 1

位址指標器	區庫 0		區庫 1	
5				
4	(19)	0	(20)	0
3	9	1	10	1
2	7	1	8	1
1	5	1	6	1
0	(3)	0	4	1

反覆進行上述動作直至匯流循環１０之信號之追踪終了，則此以後比較器４３之輸出信號ＷＲＶ０，ＷＲＶ１將變化成爲表示條件不一致之低電平。爲此，匯流循環１１以後，位址指標器５０之計數電路５１之值將維持「４」而不被更新，各區庫匯流排上之信號將重複之區庫記

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(14)

憶體ＢＭＥＭ０，ＢＭＥＭ１之同一位址一直被寫入。結果，追踪記憶體之利用效率將提高。

圖５乃表示：追踪匯流排ＴＢＳ之匯流循環３，４，６，８，１３，１８之信號與追踪條件一致而被追踪記憶體所取得之定時（timing）者。而且，在圖５中，亦表示：信號／ＲＵＮＳＴＥＰ爲低電平之期間，乃爲需要追踪之使用者程式執行狀態，信號／ＲＵＮＳＴＥＰ爲高電平之匯流循環９～１２，則爲模擬程式之執行期間。

在圖５中，匯流循環從２轉換爲３時信號／ＲＵＮＳＴＥＰ從高電平變化至低電平，則區庫時鐘ＣＬＫ０，ＣＬＫ１之形成將開始。由此區庫時鐘ＣＬＫ０，ＣＬＫ１，閂鎖電路ＬＴ０，ＬＴ１將動作，而區庫匯流排ＢＢ０，ＢＢ１上將有追踪匯流排ＴＢＳ上之信號交替被載於其上。而且，根據上述區庫時鐘ＣＬＫ０，ＣＬＫ１，追踪及暫停控制電路４１將形成各延遲１時鐘之寫入時鐘／ＷＲ０・／ＷＲ１，並向區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１供給。進一步，與區庫時鐘ＣＬＫ０最初之上升同步，控制信號ＣＭＰＥＮ０將被變化成低電平，同時亦ＣＬＫ１最初之上升同步，控制信號ＣＭＰＥＮ１亦被變化爲低電平，構成追踪及暫停控制電路１３之比較器４３亦各開始比較之動作。

於是，首先，區庫記憶體ＢＭＥＭ０有區庫匯流排ＢＢ０上之信號（追踪匯流循環３之信號）被儲存時，第１區庫側之比較器４３之輸出信號ＷＲＶ０將變化成爲表

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(15)

示條件一致之高電平。由此，在區庫記憶體ＢＭＥＭ０之有效／無效旗標位元ＦＢ，如表２所示，將被寫入〝１〞，同時位址指標器５０之計數電路５１將與區庫時鐘ＣＬＫ０同步，從「０」被更新至「１」。惟此時，在位址指標器５０之閂鎖電路５２，將有計數電路５１之前面之值（位址「０」）被保持，而此閂鎖電路５２之值因將經由選擇器ＳＥＬ１被供給至區庫記憶體ＢＭＥＭ１，故在前面之位址「０」，將有區庫匯流排ＢＢ１上之信號（追踪匯流循環４之信號）被儲存。此時，第２區庫側之比較器４３之輸出信號ＷＲＶ１，將被變化成表示條件一致之高電平。由此，在區庫記憶體ＢＭＥＭ１之有效／無效旗標位元ＦＢ，如表２所示，將有〝１〞被寫入。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(16)

表 2

位址指標器	區庫0		區庫1	
5				
4	(17)	0	18	1
3	13	1	(14)	0
2	(7)	1	8	1
1	(5)	1	6	1
0	3	0	4	1

另方面，上述被更新之計數電路51之值（位址「1」）乃經由選擇器SEL0被供給至區庫記憶體BMEM0，而此位址將有區庫匯流排BB0上之信號（追踪匯流循環5之信號）被儲存，同時與時鐘CLK1之上升同步被取入於閂鎖電路52，並經由選擇器SEL1

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (17)

被供給至區庫記憶體ＢＭＥＭ１，而在其位址乃有區庫匯流排ＢＢ１上之信號（追踪匯流循環６之信號）被儲存。此時，第１區庫側之比較器４３爲檢出條件不一致，在區庫記憶體ＢＭＥＭ０之有效／無效旗標位元，如表２所示，將被寫入〝０〞，同時，第２區庫側之比較器４３則爲檢出條件一致，將在區庫記憶體ＢＭＥＭ１之有效／無效旗標位元被寫入〝１〞。並且，此時第２區庫側之比較器４３之輸出信號ＷＲＶ１因已成爲表示條件一致之高電平，故位址指標器５０之計數電路５１將從「１」被更新爲「２」。

被更新之計數電路５１之值（位址「２」），乃經由選擇器ＳＥＬ０被供給至區庫記憶體ＢＭＥＭ０，而在此位址將有區庫匯流排ＢＢ０上之信號（追踪匯流循環７之信號）被儲存，同時與時鐘ＣＬＫ１之上升同步被取入於閂鎖電路５２，而經由選擇器ＳＥＬ１被供給至區庫記憶體ＢＭＥＭ１，則在其位址將有區庫匯流排ＢＢ上之信號（追踪匯流循環８之信號）被儲存。此時，第１區庫側之比較器４３爲檢出條件不一致，在區庫記憶體ＢＭＥＭ０之有效／無效旗標位元將被寫入〝０〞。另方面，第２區庫側之比較器４３則爲檢出條件一致，在區庫記憶體ＢＭＥＭ１之有效／無效旗標位元將被寫入〝１〞。並且，此時第２區庫側之比較器４３之輸出信號ＷＲＶ１，因已成爲表示條件一致之高電平，故位址指標器５０之計數電路５１將從「２」被更新爲「３」。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (18)

被更新之計數電路51之值（位址「3」）乃經由選擇器SEL0被供給至區庫記憶體BMEM0，而在其位址將有區庫匯流排BB0上之信號（追踪匯流循環9之信號）被儲存，同時與時鐘CLK1之上升同步被取入於閂鎖電路52，並經由選擇器SEL1被供給至區庫記憶體BMEM1，而在其位址則將有區庫匯流排BB1上之信號（追踪匯流循環10之信號）被儲存。此時，第1區庫及第2區庫之追踪及暫停控制電路41因均將按信號／RUNSTEP向高電平之變化，使寫入控制信號／WR0，／WR1維持高電平，故向區庫記憶體BMEM0，BMEM1之資料之取入將不被進行，同時，第1區庫及第2區庫之比較器43之輸出信號亦因均將成爲表示條件不一致之低電平，故位址指標器50之計數電路51將不被更新。

然後，匯流循環從「12」變爲「13」時，信號／RUNSTEP從高電平變化爲低電平，則因第1區庫及第2區庫之追踪及暫停控制電路41所輸出之寫入控制信號／WR0，／WR1將從高電平變化爲低電平，故匯流循環13之信號將被儲存於區庫記憶體BMEM0，同時比較器43之輸出信號WRV0亦將變化爲表示條件一致之高電平。爲此，在區庫記憶體BMEM0之有效／無效旗標位元，如表2所示，將有〝1〞被寫入，同時位址指標器50之計數電路51將從「3」被更新爲「4」。另方面，第2區庫匯流排BB1上之信號14若與追踪條件

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (19)

未一致，則第2區庫側之比較器43將檢出條件不一致，而在區庫記憶體BMEM1之有效／無效旗標位元將被寫入〝0〞。

此後，若再度持續追踪匯流循環15，16，17與追踪條件不一致之信號，則此時第1區庫側及第2區庫側之比較器43因將檢出條件不一致，故輸出信號WRV0，WRV1將一起成爲表示條件不一致之低電平，而位址指標器50之計數電路51不更新。爲此，各區庫匯流上之信號將一直被重複寫入區庫記憶體BMEM0，BMEM1之同一位址。

然後，當與追踪條件一致之匯流循環18之信號從第2區庫匯流排BB1被儲存在區庫記憶體BMEM1時，第1區庫側之比較器43之輸出信號WRV1將變化成表示條件一致之高電平。爲此，在區庫記憶體BMEM1之有效／無效旗標位元，如表2所示，將被寫入〝1〞，同時位址指標器50之計數電路51將從「4」被更新爲「5」。

如上述，在此實施例中，當在區庫記憶體BMEM0或BMEM1之任何1個若有有效之追踪資料被儲存，則位址指標器將被更新，而第1區庫及第2區庫之任何資料若均與追踪條件不一致時，則因位址指標器將不被更新而追踪資料將持續被重複寫入同一位址，故追踪記憶體之利用效率將提高，同時對於被儲存於區庫記憶體BMEM0及BMEM1之資料之中無效之資料，因在有效／無效旗

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(20)

標位元將被寫入〝0〞，因此，追踪記憶體內之資料之儲存順序無法辨認之事將不致發生，可僅將有效之追踪資料取出來顯示。

圖6乃表示使用本發明之模擬器之系統評鑑裝置全體之構成例者。在圖6中，10乃爲將成爲靶標（target）之使用者系統與模擬器加以連接所用之使用者介面電路，具體言乃被設在從此使用者介面電路19被抽出之電纜之端部之連接器，被連接在設於搭載有使用者系統之板（board）上之MPU插座。另方面，在CPU匯流排CBS乃連接有串列介面電路21，在此串列介面電路21則連接有：從例如個人電腦所成之主電腦80所延設之串列通信用電纜81之一端。

在如上述被構成之系統評鑑裝置中，操作員將從主電腦80輸入擬中斷程式執行之位址值，資料值或追踪條件等，並將此設定於追踪及暫停控制電路13內之暫存器。然後，從主電腦80輸入命令，則經由串列通信用電纜81，將被輸入至控制處理器20。於是，控制處理器20將解讀其命令，例如其爲使用者程式執行命令時，將轉換匯流緩衝器BFF，同時經由共用RAM（shared RAM）15對評鑑片11供給指令，使評鑑片11開始使用者程式之執行。然後，來到預先設定之岔點（break point），則將由追踪及暫停控制電路13來檢出，而使用者程式之執行乃停止。此期間，追踪匯流排TBS上之信號將由追踪電路12被取樣而被記憶在區庫記憶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (21)

ＢＭＥＭ０，ＢＭＥＭ１。

接著，從主電腦８０輸入指示追踪內容之顯示之命令，則由控制處理器２０將讀出被記憶在追踪電路１２內之追踪資料，而祇有有效之資料將被顯示在主電腦８０之顯示裝置之畫面。由解析其顯示內容，除錯將成爲可能。

此外，在上述實施例中，追踪匯流排ＴＢＳ乃含有：位址匯流排及控制匯流排，而向區庫記憶體一次被取入之信號之位元數，乃爲接近百位元之值。與此相對應，ＣＰＵ匯流排ＣＢＳ之資料匯流排寬度，乃爲３２位元。爲此，控制處理器２０乃被構造成：將被儲存於位址指標器所表示之一個位址之資料，分成複數次來順次加以讀出之構成。追踪電路１２亦形成：因追踪匯流排ＴＢＳ上之信號之寫入時及控制處理器２０所作讀出時，而輸出入資料寬度爲可變之構成。

亦即：各區庫記憶體乃被構造成：例如在追踪匯流排上之信號之寫入時，如圖７（Ａ）所示，具有９６位元之資料寬度，而以１６進制數位表示被配置於如００００～ＦＦＦＦ之位址空間等之構成。另方面，在控制處理器２０所作讀出時，如圖７（Ｂ）所示，區庫記憶體ＢＭＥＭ０亦具有３２位元之資料寬度，而以１６進制數位表示被配置在如１０００００～１ＢＦＦＦＦ之位址空間，而區庫記憶ＢＭＥＭ１亦具有３２位元之資料寬度，以１６進制數位表示被配置於如１Ｃ００００～２６ＦＦＦＦ之位址空間，等爲構成。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (22)

此外，於圖７（Ａ），（Ｂ）中亦被決定成：在以編號ＴＢＭ０所表示之記憶區域乃儲存有追踪匯流排ＴＢＳ上之位址信號，而以編號ＴＢＭ１所表示之記憶區域則有追踪匯流排ＴＢＳ上之資料信號被儲存，進一步以編號ＴＢＭ２所表示之記憶區域亦有追踪匯流排ＴＢＳ上之控制信號或狀態信號等被儲存；等之狀態。並且在圖７（Ａ）及圖７（Ｂ）中，ＣＨＢ乃爲儲存：表示是否與追踪條件一致之資料之旗標區域（資料區域）。此外，區庫記憶體之位址映像構成，亦不限定於圖７之例子，可按使用之記憶體之容量或應取得之信號之數等來任意構成。

在圖８乃詳細表示有：向上述區庫記憶體ＢＭＥＭ０，ＢＭＥＭ１表示被追踪之資料時之模擬器之動作順序。

控制處理器２０首先將讀入位址指標器之值，並確認追踪資料顯示終了位址（步驟Ｓ１）。其次，讀出第１區庫記憶體ＢＭＥＭ０之起始位址（或前次之追踪終了位址之下一位址）之資料，並調查有效／無效旗標來判定是否成爲有效（步驟Ｓ２）。在此若旗標成爲有效，則根據被讀出之追踪資料之中所含表示資料大小之資訊或命令是否已被執行之狀態資訊，來解析追踪資料（步驟Ｓ３），將其解析結果送入主電腦８０並顯示於顯示裝置之畫面上（步驟Ｓ４）。

另方面，若從第１區庫記憶體所讀出之追踪資料之有效／無效旗標爲無效時，則從步驟Ｓ２跳至Ｓ５而讀出第２區庫記憶體ＢＭＥＭ１之起始位址之資料，並調查有效

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(23)

／無效旗標來判定是否已成爲有效。在此，若旗標已成爲有效，則根據表示：被讀出之追踪資料中所含之表示資料大小之資訊或命令是否已被執行之狀態資訊，來解析追踪資料（步驟Ｓ６），並將其解析結果送至主電腦８０使其顯示出來（步驟Ｓ７）。並且，若從第２區庫記憶體被讀出之追踪資料之有效／無效旗標爲無效時，則從步驟Ｓ５跳至Ｓ８，並更新位址，判定此更新之位址是否與追踪之最終位址相對應（步驟Ｓ８）。在此，位址若非爲最終位址，則回到Ｓ２從區庫記憶體進行下一資料之讀出；反覆進行上述手續，而在步驟Ｓ８判定讀出位址已成爲最終位址，則結束追踪資料之顯示（步驟Ｓ９）。

如上面之說明，上述實施例乃將追踪記憶體以複數之區庫來構成，原則上將追踪資料順次儲存在各區庫，以此方法來構成控制電路，同時亦設置追踪條件設定機構及追踪條件一致檢測機構等，以生成：表示與追踪條件一致之有效資料抑或不一致之無效資料之位元（bit）或資料，並與追踪資料一起儲存在各區庫內，等爲構成；故追踪記憶體之各區庫之記憶體將成爲數次僅有一次被接達，即使追踪記憶體之接達時間較微電腦之工作頻率爲長，亦不致發生資料之缺漏而可取得匯流排上之信號，同時在追踪資料亦因有有效／無效旗標被附加儲存，故將具有：可解除追踪記憶體內之資料之儲存順序無法辨別等缺點之效果。

而且，追踪記憶體之各區庫之位址乃被構造成：可由共同之計數電路來生成之構成，而上述計數電路乃在任何

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(24)

1個區庫有有效資料被儲存時被更新，所有區庫均被儲存無效資料時則不被更新爲構成；因此將能避免無效資料被儲存於多數追踪記憶體之情形，由此將具有追踪記憶體之利用效率可提高之效果。

上面已將本發明所作發明根據實施例加以具體之說明，但本發明將不限定於上述實施例，在不逸越其要旨之範圍內尙可作種種之變更，亦爲不必贅言者。例如：在上述實施例中，乃對追踪記憶體以2個區庫來構成之情形加以說明，惟區庫數卻不限定於2個，3個以上亦可。

作爲上述之追踪條件，例如乃使用位址。在此情形下，由控制處理器20，對上述暫存器42，來設定表示擬追踪之位址之位址資料。由此，乃進行如上述之追踪。

在上述之實施例中，暫存器42及比較器43等乃設有兩組（BMEM0及BMEM1），惟亦將不限定於此。例如：對於追踪區庫記憶體（BMEM0及BMEM1）之各個，設置兩組（兩個之暫存器及兩個之比較器）亦可。由於如此，故將規定之空間（位址空間）作爲追踪之對象較爲容易。

例如，對兩組中之一個，乃在其組之暫存器設定擬追踪之空間之上位側位址之資料，對剩餘之組，則在其組之暫存器設定擬追踪之空間之下位側位址之資料。由此，對由兩組所示之空間（上述下位側位址與上述上位側位址之間之空間），將可進行追踪。當然，使較上位側位址爲上位之空間，及較上述下位側位址爲下位之空間，被追踪亦

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(25)

可。另外，在此情形下，例如，對在各個之區庫被設置之2個比較器，使上述控制信號CMPEN0（CMPEN1）能共同被共給，使此2個之比較器之輸出在邏輯上被OR，而能作爲上述信號WRV0（WRV1）來被使用即可。並且，使此兩個比較器之信號各被供給至位址指標控制電路70即可。因此，在此情形下，從四個比較器之輸出，將被供給至位址指標控制電路70。

並且，與主電腦80之連接，亦不限定於以串列通信所作者。例如，將CPU之匯流排直接與主電腦連接亦可，以LAN（loaca/area network）來連接亦可。

在上面之說明，乃主要將本發明人所作發明適用於：成爲其背景利用範圍之使用微電腦之使用者系統之模擬器之情形加以說明；惟本發明卻不限定於此，亦可利用於：在微電腦系統中，設計取得匯流排上之信號之電路等之情形。

〔發明之效果〕

在本發明中所開示之發明中代表性者其可獲得之效果，說明如下。

亦即，可實現令所需之資料能以良好之效率儲存於追踪記憶體內，同時亦可使取自追踪記憶體內之資料之順序，不致散亂無序地加以收容等之模擬器（emulatok）者。

〔附圖之簡單說明〕

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(26)

〔圖１〕　表示本發明之模擬器之一實施例之方塊圖。

〔圖２〕　表示圖１之實施例之模擬器之時鐘形成電路之構成例之邏輯構成圖。

〔圖３〕　圖１之實施例之模擬器以詳細之具體例來表示之方塊圖。

〔圖４〕　表示適用本發明之模擬器之系統評鑑裝置之全體構成之方塊圖。

〔圖５〕　表示圖１之實施例之模擬器之追踪定時之一例之時間圖（time chart）。

〔圖６〕　表示圖１之實施例之模擬器之追踪定時之其他例之時間圖。

〔圖７〕　表示圖１之實施例之模擬器之區庫記憶體之寫入時與讀出時之位址映像構成之差異之說明圖。

〔圖８〕　表示將被圖１之實施例之模擬器之區庫記憶體所追踪之資料加以顯示時之動作順序之流程圖。

〔圖９〕　表示以往之模擬器之構成側之方塊圖。

（附圖中編號之說明）

１１……評鑑用晶片（eva-chip），１２……追踪記憶體，１３……追踪及暫停控制電路，１４……固定ＲＡＭ（firm RAM）；１５……共用ＲＡＭ（shared RAM），１７……位址映像控制電路，１８……監視電路，２０……控制處理器，３０……時鐘形成電路，５０……位址指標器，５１……計數電路，７０……位址指標控制電路，

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(27)

ＴＢＳ……追踪匯流排，ＣＢＳ……ＣＰＵ匯流排，ＢＢ０，ＢＢ１……區庫匯流排，ＢＭＥＭ０，ＢＭＥＭ１……區庫記憶體，ＳＥＬ０，ＳＥＬ１……選擇器。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

模擬器及使用它之系統評鑑裝置

本發明係一種模擬器及使用它之系統評鑑裝置，提供於令追踪記憶體以複數之區庫構成之模擬器中，將必要之資料有效收容於追踪記憶體內的同時，取至追踪記憶體內之資料之順序，可不被混亂地加以收容之追踪記憶體之構成方式及追踪控制方法。

就解決手段而言，令追踪記憶體以複數區庫構成，原則上於各區庫順序收容追踪資料地加以控制的同時，設定追踪條件設定手段和追踪條件一致檢出手段，生成顯示與追踪條件一致之資料或不一致資料的有效／無效旗標，於各區塊內與追踪資料一同收容者。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

修正補充 87年5月20日

第84113571號專利申請案

中文申請專利範圍修正本

民國87年5月修正

1. 一種模擬器，其特徵係具有複數之區庫記憶體，

令欲評估之系統之匯流排上之信號，向上述複數之區庫記憶體順序地加以記憶地，控制上述複數區庫記憶體之存取的控制電路，

以及追蹤控制電路；

上述追蹤控制電路係具有設定追蹤條件之追蹤條件設定電路，及形成顯示上述匯流排上之信號，是否對應於上述追蹤條件的資料檢出電路；資料之檢出電路；經由上述檢出電路所形成之資料係與上述匯流排上之信號之同時，向上述區庫記憶體記憶者。

2. 如申請專利範圍第1項之模擬器，其中，上述控制電路係具有形成對上述複數區庫記憶體之位址的計數器，對應上述追蹤條件之匯流排上的信號，則記憶於區庫記憶體時，上述計數器之值則被更新。

3. 如申請專利範圍第1項之模擬器，其中，上述控制電路係具有形成對上述複數區庫記憶體之位址的計數器，

對應上述追蹤條件之匯流排上的信號，於記憶於上述複數區庫記憶體之至少一個時，上述計數器之值則被更新，

非對應上述追蹤條件之匯流排上的信號，於記憶於上述複數區庫記憶體之全部時，上述計數器之值則不會被更

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

修正補充 87年5月20日

第84113571號專利申請案

中文申請專利範圍修正本

民國87年5月修正

1. 一種模擬器，其特徵係具有複數之區庫記憶體，

令欲評估之系統之匯流排上之信號，向上述複數之區庫記憶體順序地加以記憶地，控制上述複數區庫記憶體之存取的控制電路，

以及追蹤控制電路；

上述追蹤控制電路係具有設定追蹤條件之追蹤條件設定電路，及形成顯示上述匯流排上之信號，是否對應於上述追蹤條件的資料檢出電路；資料之檢出電路；經由上述檢出電路所形成之資料係與上述匯流排上之信號之同時，向上述區庫記憶體記憶者。

2. 如申請專利範圍第1項之模擬器，其中，上述控制電路係具有形成對上述複數區庫記憶體之位址的計數器，對應上述追蹤條件之匯流排上的信號，則記憶於區庫記憶體時，上述計數器之值則被更新。

3. 如申請專利範圍第1項之模擬器，其中，上述控制電路係具有形成對上述複數區庫記憶體之位址的計數器，

對應上述追蹤條件之匯流排上的信號，於記憶於上述複數區庫記憶體之至少一個時，上述計數器之值則被更新，

非對應上述追蹤條件之匯流排上的信號，於記憶於上述複數區庫記憶體之全部時，上述計數器之值則不會被更

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

新・

4. 如申請專利範圍第1項之模擬器，其中，上述檢出電路係執行欲評估系統之程式時，會有動作者・

5. 如申請專利範圍第1項之模擬器，其中，上述複數之區庫記憶體，係介由上述匯流排，結合欲評估系統之評估用處理器，介由與上述匯流排不同之匯流排，結合於上述模擬器之處理器者・

6. 一種系統評鑑裝置，其特徵係包含

結合於上述系統之匯流排；

結合於上述匯流排，具有複數之區庫記憶體、和令上述匯流排上之信號，向上述複數區庫記憶體順序加以記憶地，控制各上述區庫記憶體之存取的控制電路、和具有設定追蹤條件之追蹤條件設定電路、和形成顯示上述匯流排上之信號是否對應於上述追蹤條件的資料之檢出電路、將經由上述檢出電路所形成之資料，與上述匯流排之信號同時地，記憶於上述區庫記憶體之追蹤控制電路的模擬器；以及具有顯示裝置，介由排線結合於上述模擬器，可執行上述系統評估地，根據上述資料，檢索記憶於上述複數區庫記憶體匯流排上之信號，顯示於顯示裝置之電腦者・

7. 一種追蹤資料顯示方法，其特徵係包含

令記憶於複數區庫記憶體之追蹤資料，序列加以讀取之工程，

讀取之追蹤資料爲判定是否對應於追蹤條件，檢查附於上述追蹤資料之資料的工程，

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

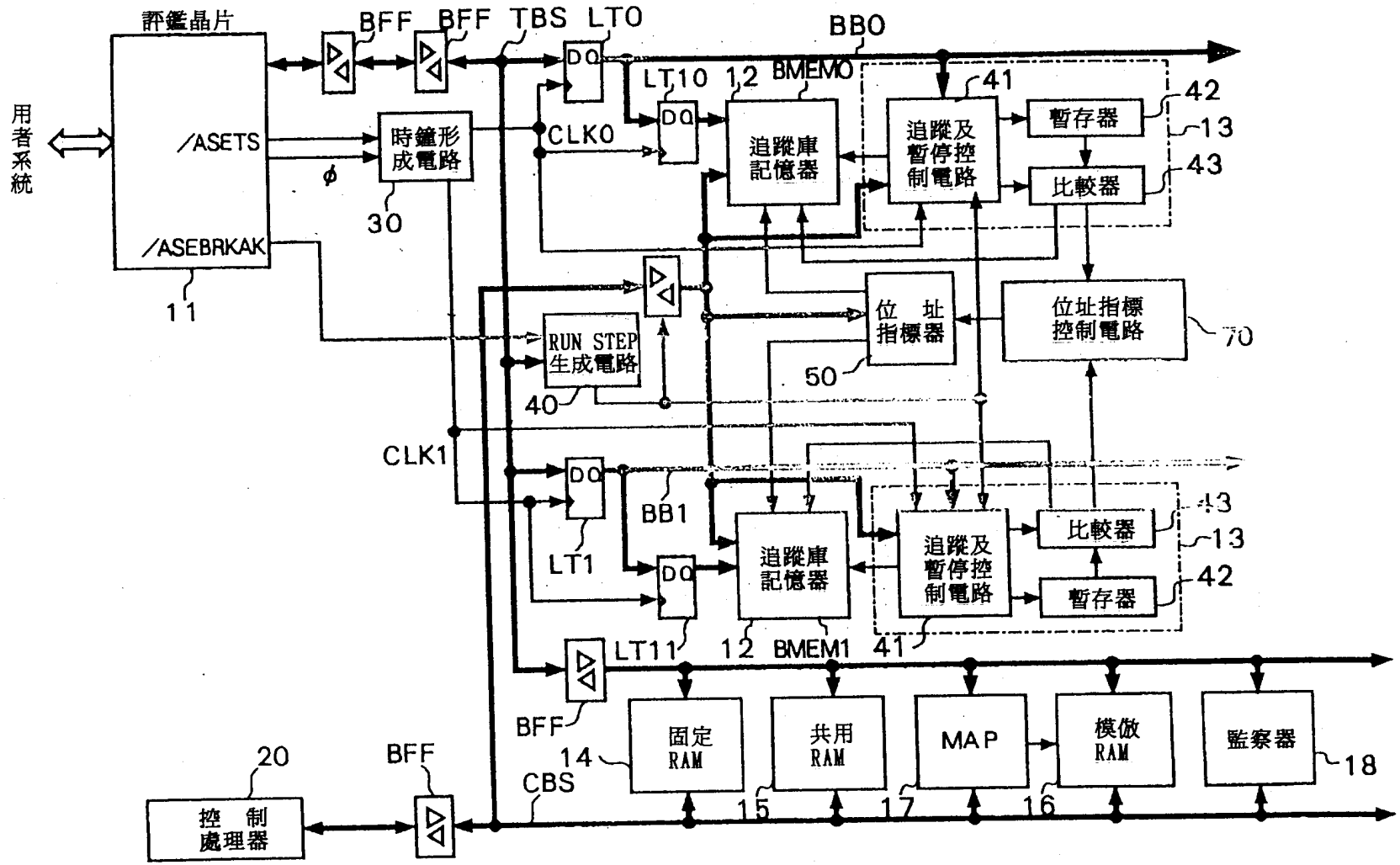
以及選擇判定對應追蹤資料的追蹤資料，送至顯示裝置之工程。

（請先閱讀背面之注意事項再填寫本頁）

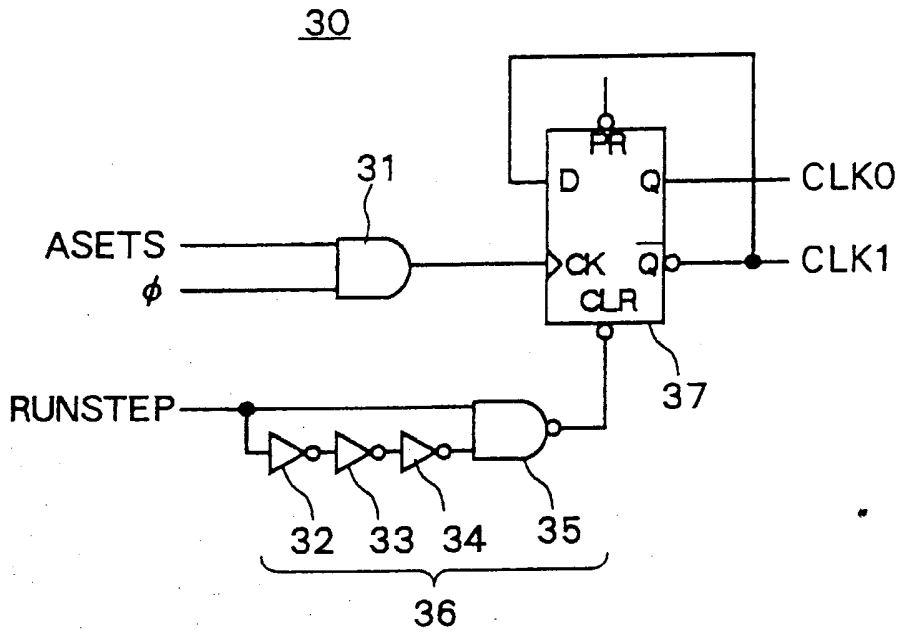
訂

線

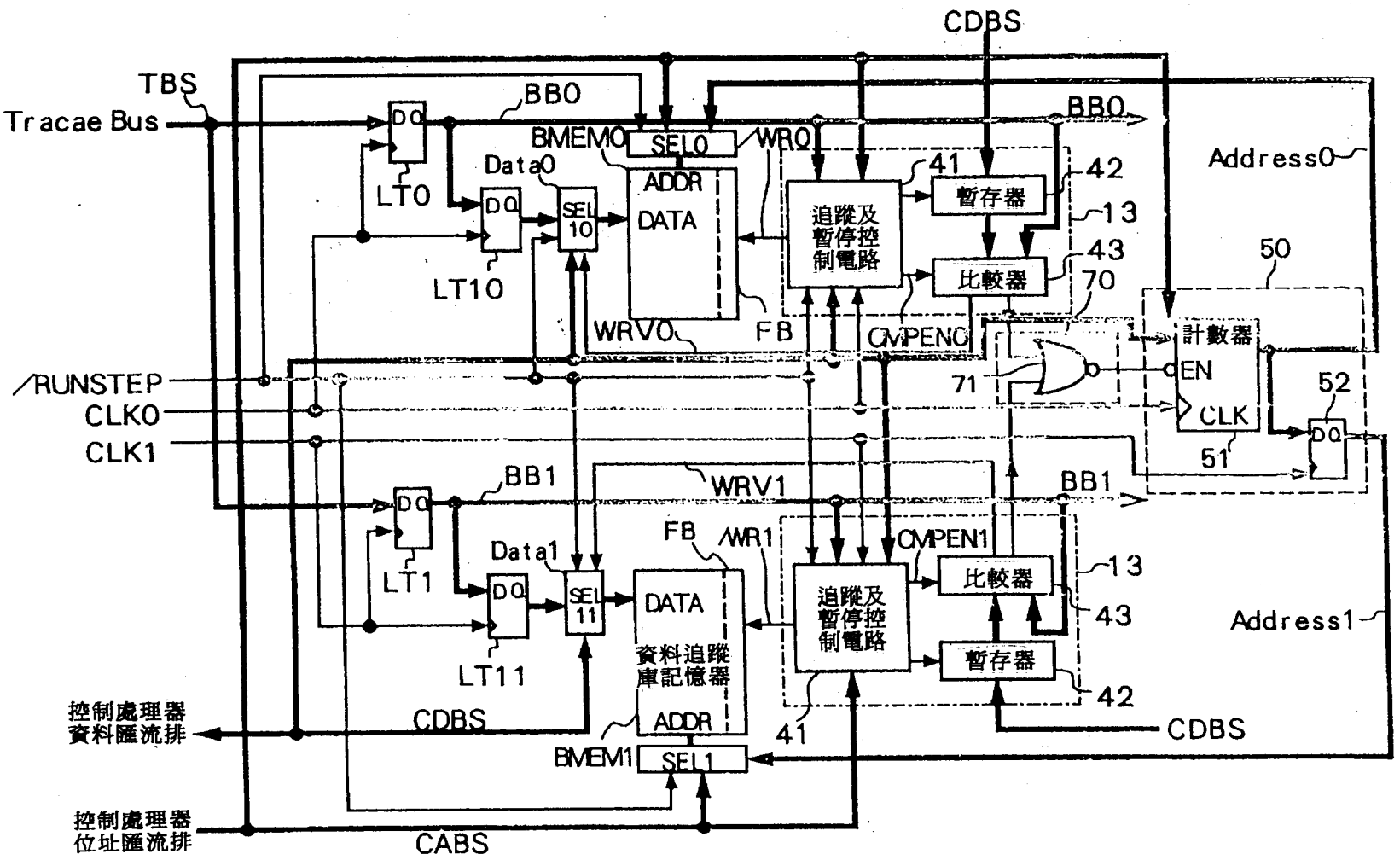
經濟部中央標準局員工消費合作社印製


評鑑晶片
用者系統
/ASETS
/ASEBRKAK
11
BFF
BFF
TBS
LT0
BB0
DQ
LT10
12
BMEM0
41
42
13
43
時鐘形成電路
30
φ
CLK0
追蹤庫記憶器
追蹤及暫停控制電路
暫存器
比較器
位址指標器
50
位址指標控制電路
70
RUN STEP 生成電路
40
CLK1
BB1
LT1
LT11
BMEM1
BFF
固定 RAM
共用 RAM
MAP
模倣 RAM
監察器
14
15
17
16
18
CBS
20
控制處理器

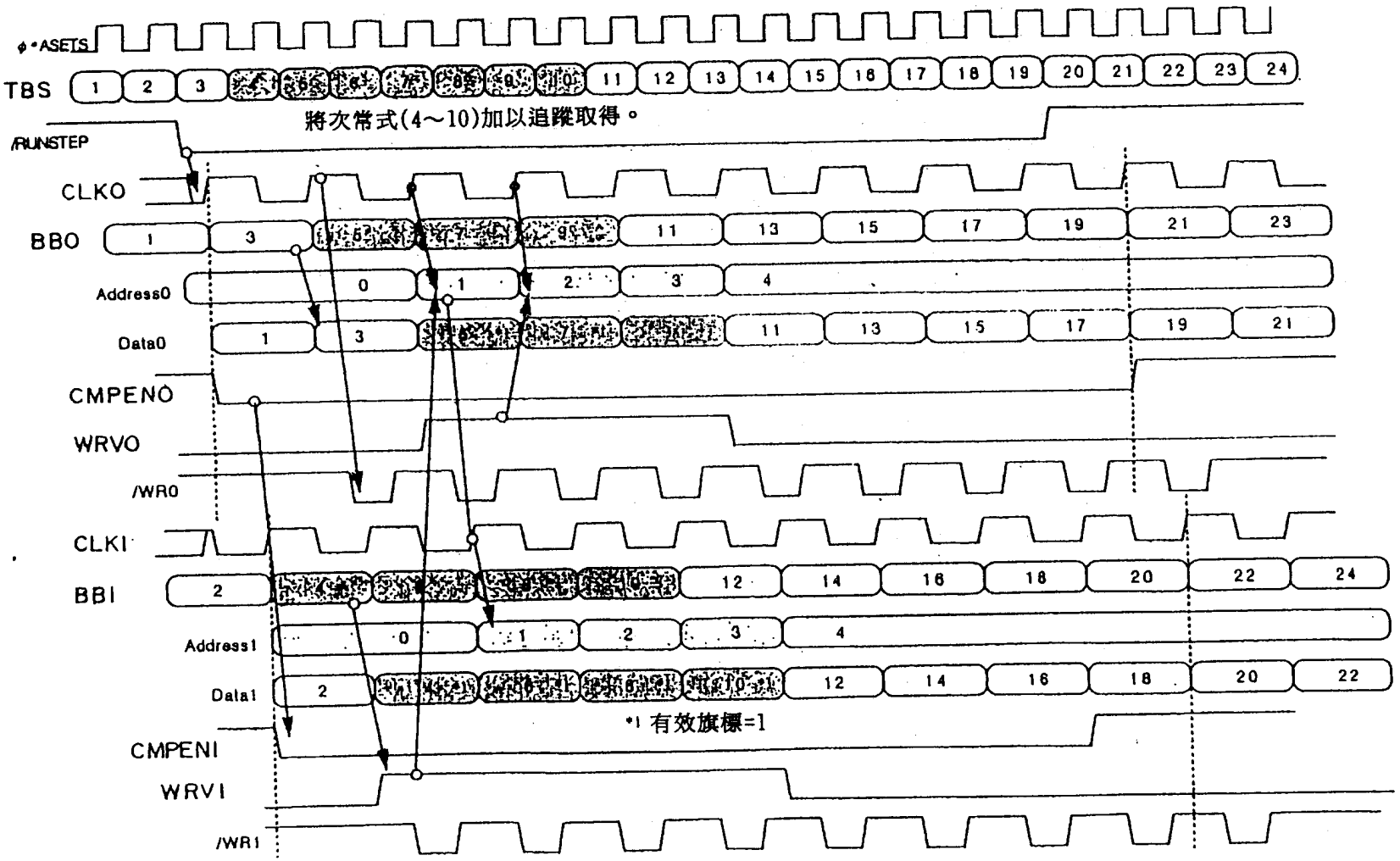
第1圖



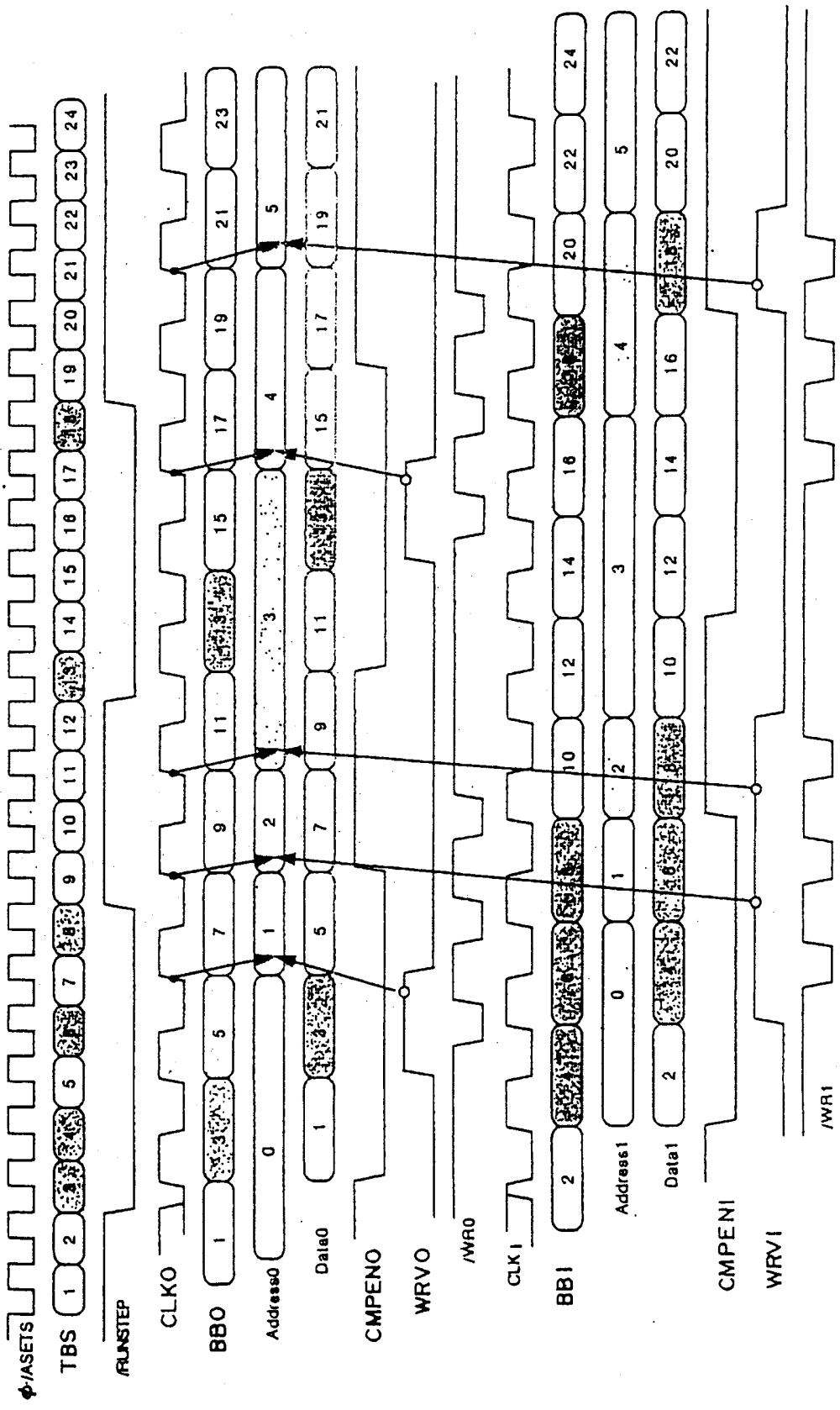
第 2 圖


CDBS
TBS
Tracae Bus
BBO
BMEMO
SEL0
WRO
Data0
ADDR
DATA
LT0
LT10
SEL 10
追蹤及暫停控制電路
41
暫存器
42
13
43
比較器
70
50
Address0
WRV0
FB
CMPENC
計數器
EN
CLK
71
52
51
/RUNSTEP
CLK0
CLK1
BB1
WRV1
Data1
LT1
LT11
SEL 11
DATA
資料追蹤庫記憶器
ADDR
BMEM1
SEL1
WR1
CMPEN1
Address1
控制處理器資料匯流排
控制處理器位址匯流排
CABS

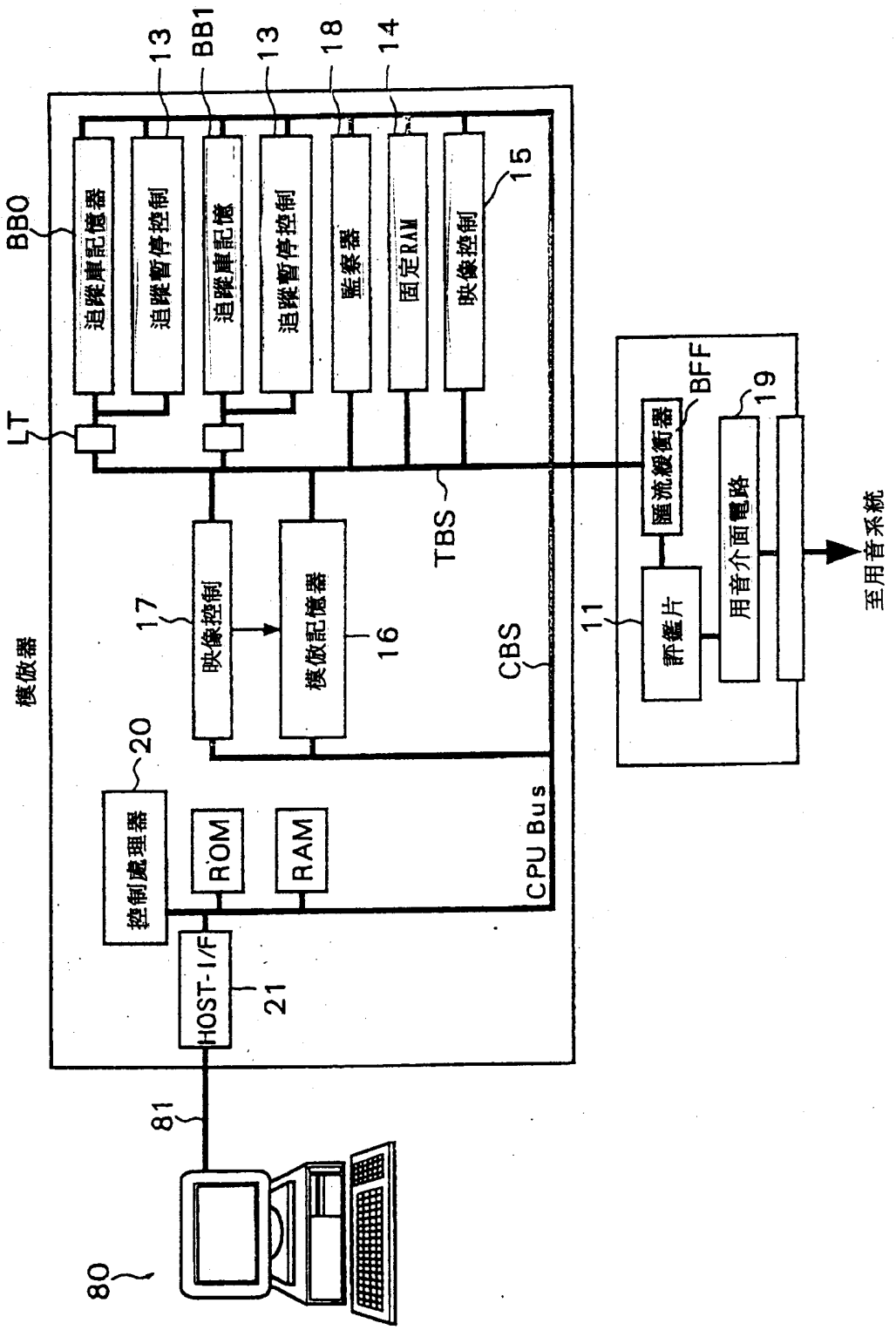
第 3 圖


φ*ASETS
TBS
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24
將次常式(4～10)加以追蹤取得。
/RUNSTEP
CLKO
BBO
1 3 5 7 9 11 13 15 17 19 21 23
Address0
0 1 2 3 4
Data0
1 3 5 7 9 11 13 15 17 19 21
CMPENO
WRVO
/WR0
CLKI
BBI
2 4 6 8 10 12 14 16 18 20 22 24
Address1
0 1 2 3 4
Data1
2 4 6 8 10 12 14 16 18 20 22
*1 有效旗標=1
CMPENI
WRVI
/WR1

第 4 圖

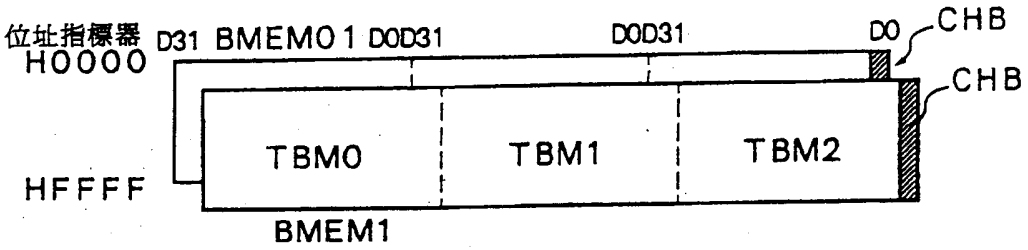

Φ/ASETS
TBS
/RUNSTEP
CLKO
BBO
Address0
Data0
CMPENO
WRVO
/WR0
CLK1
BB1
Address1
Data1
CMPENI
WRV1
/WR1

第5圖

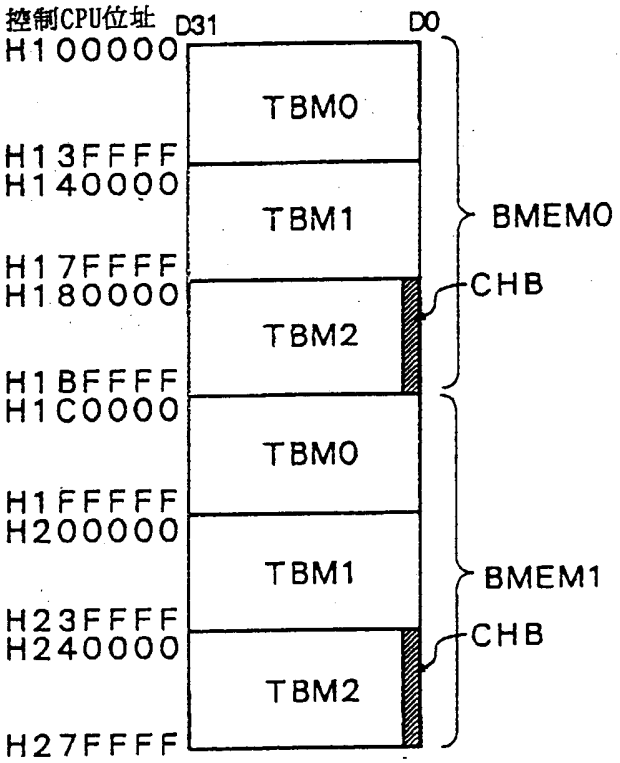

模倣器
BB0
追蹤庫記憶器
13
BB1
追蹤暫停控制
13
追蹤庫記憶
18
追蹤暫停控制
14
監察器
15
固定RAM
映像控制
LT
TBS
CBS
11
BFF
匯流緩衝器
19
評鑑片
用音介面電路
至用音系統
17
映像控制
16
模倣記憶器
20
控制處理器
ROM
RAM
CPU Bus
HOST-I/F
21
81
80

第 6 圖

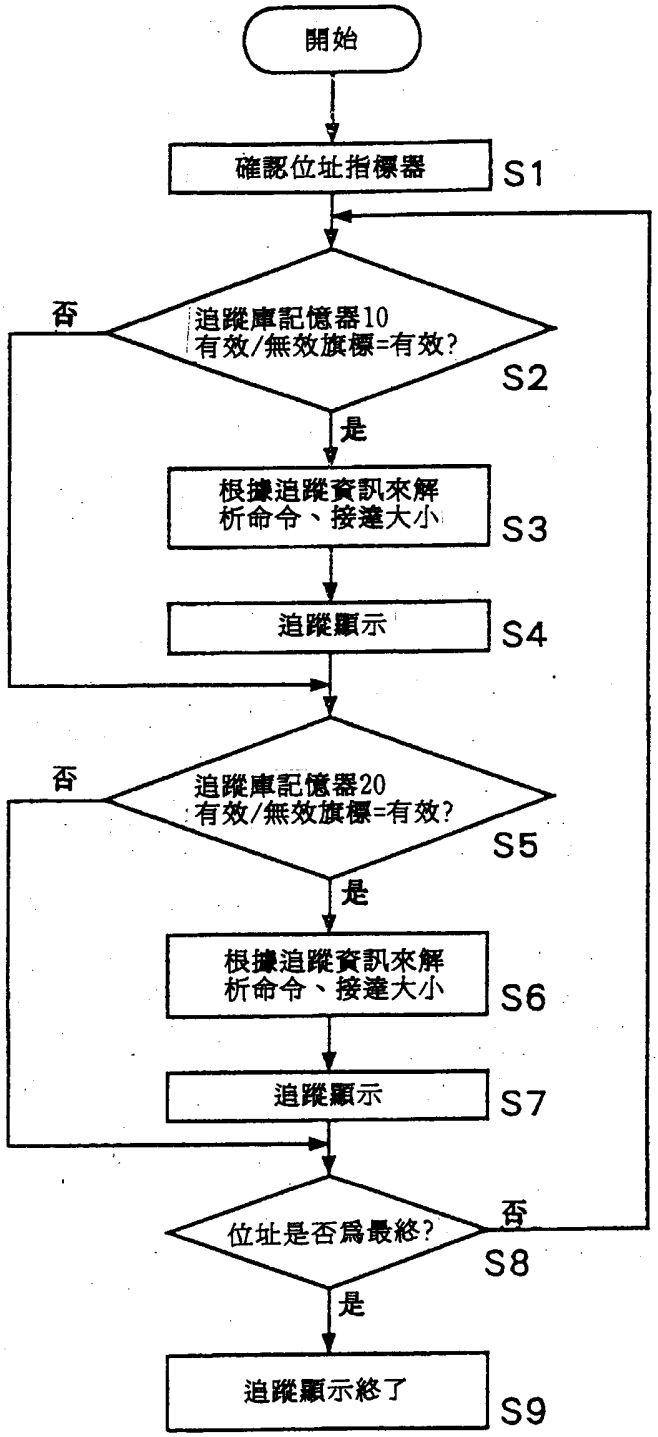
(A)


位址指標器
H0000
D31 BMEM0 1 D0D31
D0D31
D0
CHB
CHB
TBM0
TBM1
TBM2
HFFFF
BMEM1

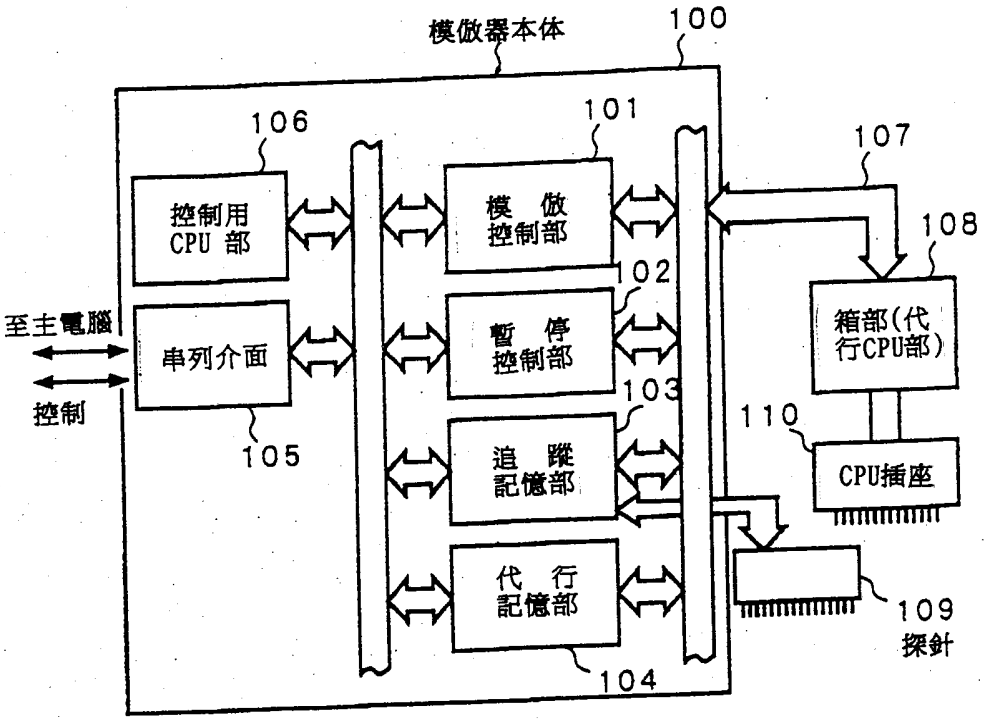
(B)


控制CPU位址
D31
D0
H100000
TBM0
H13FFFF
H140000
TBM1
BMEM0
H17FFFF
H180000
CHB
TBM2
H1BFFFF
H1C0000
TBM0
H1FFFFF
H200000
TBM1
BMEM1
H23FFFF
H240000
CHB
TBM2
H27FFFF

第7圖


開始
確認位址指標器
S1
追蹤庫記憶器10
有效/無效旗標=有效?
否
S2
是
根據追蹤資訊來解
析命令、接達大小
S3
追蹤顯示
S4
追蹤庫記憶器20
有效/無效旗標=有效?
否
S5
是
根據追蹤資訊來解
析命令、接達大小
S6
追蹤顯示
S7
位址是否爲最終?
否
S8
是
追蹤顯示終了
S9

第 8 圖


模倣器本体
100
106
101
107
108
控制用
CPU 部
模 倣
控制部
102
暫 停
控制部
箱部(代
行CPU部)
至主電腦
串列介面
控制
105
103
110
追 蹤
記憶部
CPU插座
代 行
記憶部
109
探針
104

第 9 圖