

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 27 日(27.12.2012)



(10) 国際公開番号

WO 2012/176914 A1

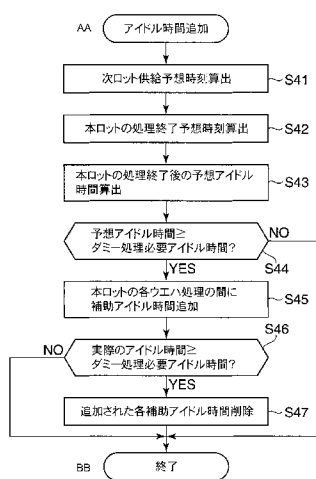
- (51) 国際特許分類:
H01L 21/3065 (2006.01) H01L 21/677 (2006.01)
- (21) 国際出願番号: PCT/JP2012/066090
- (22) 国際出願日: 2012 年 6 月 18 日(18.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-140459 2011 年 6 月 24 日(24.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 若林 真士 (WAKABAYASHI, Shinji) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 650 東京エレクトロン宮城株式会社内 Yamanashi (JP).
- (74) 代理人: 別役 重尚, 外(BECCHAKU, Shigehisa et al.); 〒1050004 東京都港区新橋 5 丁目 22 番 10 号 松岡田村町ビル 7 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: METHOD FOR SETTING SUBSTRATE-TREATMENT TIME, AND STORAGE MEDIUM

(54) 発明の名称: 基板処理時間設定方法及び記憶媒体

図 4



S41 CALCULATION OF THE PREDICTED SUPPLY TIME OF THE FOLLOWING BATCH
S42 CALCULATION OF THE PREDICTED TREATMENT COMPLETION TIME OF THE PRESENT BATCH
S43 CALCULATION OF THE PREDICTED IDLE TIME AFTER TREATMENT COMPLETION OF THE PRESENT BATCH
S44 IS THE PREDICTED IDLE TIME ≥ THE IDLE TIME REQUIRED FOR DUMMY TREATMENT?
S45 ADD SUPPLEMENTARY IDLE TIME DURING THE TREATMENT OF EACH WAFER OF THE PRESENT BATCH
S46 IS ACTUAL IDLE TIME ≥ THE IDLE TIME REQUIRED FOR DUMMY TREATMENT?
S47 REMOVE ALL OF THE ADDED SUPPLEMENTARY IDLE TIME
AA ADD IDLE TIME
BB COMPLETION

(57) Abstract: Provided is a method for setting substrate-treatment time with which dummy treatment can be phased out as much as possible. Substrate-treatment time is set by the following method: the predicted plasma-treatment completion time of another substrate treatment apparatus (11) forms the basis upon which the predicted supply time of the following batch to said substrate treatment apparatus (11) is calculated; the predicted plasma-treatment completion time of all of the wafers of the present batch is calculated; the predicted supply time of the following batch and the predicted plasma-treatment completion time of the present batch form the basis upon which the predicted idle time, which continues after the completion of the plasma treatment of all of the wafers of the present batch, is calculated; if the predicted idle time is more than or equal to the idle time required for dummy treatment then supplementary idle time is added during the plasma treatment of each untreated wafer of the present batch.

(57) 要約: ダミー処理を極力廃止することができる基板処理時間設定方法を提供する。他の基板処理装置 11 におけるプラズマ処理の終了予想時刻に基づいて、次ロットの当該基板処理装置 11 への供給予想時刻が算出され、本ロットの全てのウェハのプラズマ処理の終了予想時刻が算出され、次ロットの供給予想時刻及び本ロットのプラズマ処理の終了予想時刻に基づいて、本ロットの全てのウェハのプラズマ処理の終了後に続く予想アイドル時間が算出され、予想アイドル時間がダミー処理必要アイドル時間以上である場合、本ロットの未処理の各ウェハのプラズマ処理の間に補助アイドル時間が追加されて設定される。

WO 2012/176914 A1

WO 2012/176914 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, — 国際調査報告 (条約第 21 条(3))
NE, SN, TD, TG).

明細書

[発明の名称] 基板処理時間設定方法及び記憶媒体

[技術分野]

[0001]

5 本発明は、基板処理時間設定方法及び記憶媒体に関する。

[背景技術]

[0002]

基板としての半導体デバイス用ウエハ（以下、単に「ウエハ」という）にプラズマ処理、例えば、ドライエッチング処理や成膜処理を施す基板処理装置では、
10 複数枚、例えば25枚のウエハからなる1ロットのウエハが1つの容器（キャリア）に收容されて供給される。また、基板処理装置では供給されたキャリアからウエハが取り出されて枚葉で各ウエハにプラズマ処理が施される。

[0003]

半導体デバイスを製造するためには、ウエハに何種類ものプラズマ処理を施す
15 必要があり、1つの基板処理装置だけでは必要な全てのプラズマ処理をウエハに施すことができない。したがって、ある基板処理装置においてウエハに何種類かのプラズマ処理を施した後、他の基板処理装置において当該ウエハに他の何種類かのプラズマ処理を施している。各ウエハは基板処理装置間を移動する際、キャリアに收容されてロット単位で移動される。

20 [0004]

各基板処理装置がウエハに施す所定のプラズマ処理の種類は異なるため、各基板処理装置において所定のプラズマ処理を1ロットの全てのウエハへ施すために要する時間は異なる。したがって、半導体デバイスの製造工程のうち後半の工程を受け持つ基板処理装置が、前半の工程を受け持つ基板処理装置における1ロットの全てのウエハのプラズマ処理の終了まで待機（アイドル）状態となることが
25 ある。

[0005]

アイドル状態の間、基板処理装置のプロセスモジュールではプラズマ処理が行われないため、プロセスモジュールの処理室内の状態が所定のプラズマ処理に最適な状態から変化する。アイドル状態が余りに長いと処理室内の状態が所定のプラズマ処理に不適切な状態にまで変化することがあるため、次のロットのキャリア

5 アが供給されて当該キャリアの各ウエハに所定のプラズマ処理を施す前に、ダミーウエハを処理室内に搬入して該ダミーウエハに所定のプラズマ処理に類似するダミー処理を施し、処理室内の状態を所定のプラズマ処理に適した状態へ変化させる。また、ダミー処理を実行するか否かは、アイドル状態となる時間が所定の時間を超えるか否かに基づいて判断される（例えば、特許文献1参照。）。

10 [先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2006-121030号公報

[発明の概要]

15 [発明が解決しようとする課題]

[0007]

しかしながら、ダミー処理は本質的に不必要な処理であるため、例え、実行回数が少なくてもスループットを低下させるという問題があり、また、ダミー処理にはダミーウエハが必要となるため、コストの増加を招くという問題がある。

20 [0008]

本発明の目的は、ダミー処理を極力廃止することができる基板処理時間設定方法及び記憶媒体を提供することにある。

[課題を解決するための手段]

[0009]

25 上記目的を達成するために、本発明の第1の態様によれば、複数枚の基板を含む1ロットの前記基板へ枚葉に所定の処理を施す基板処理装置における基板処理時間設定方法であって、前記基板処理装置において現在、前記所定の処理を施し

- ている前記基板を含む第1のロットの供給後に前記基板処理装置に供給される第2のロットの供給予想時刻を算出する第1の算出ステップと、前記第1のロットの全ての前記基板の前記所定の処理の終了予想時刻を算出する第2の算出ステップと、前記算出された供給予想時刻及び前記算出された終了予想時刻に基づいて、
- 5 前記基板処理装置における前記第1のロットの全ての前記基板の前記所定の処理の終了後に続く待機時間である予想待機時間を算出する第3の算出ステップと、前記算出された予想待機時間がダミー処理を必要とする基準待機時間よりも長い
- 10 の処理の間に補助待機時間を追加して設定する追加設定ステップとを有することを特徴とする基板処理時間設定方法が提供される。

[0010]

- 本発明の第1の態様において、前記追加設定ステップにおいて前記補助待機時間が追加して設定された際における、前記第1のロットの全ての前記基板の前記
- 15 所定の処理の終了後に続く待機時間である他の待機時間が前記基準待機時間よりも長い
- も長い
- かを判定する他の判定ステップと、前記他の待機時間が前記基準待機時間以上である場合、前記追加して設定された補助待機時間を削除する削除ステップとをさらに有することが好ましい。

[0011]

- 20 本発明の第1の態様において、前記設定される全ての前記補助待機時間は同じ長さであることが好ましい。

[0012]

- 本発明の第1の態様において、他の基板処理装置において前記第2のロットにおける最初の前記基板の他の所定の処理が終了した際に、前記第1の算出ステップ
- 25 プを実行して前記基板処理装置に供給される第2のロットの供給予想時刻を算出することが好ましい。

[0013]

本発明の第 1 の態様において、前記補助待機時間の長さは前記基準待機時間よりも短いことが好ましい。

[0014]

本発明の第 2 の態様によれば、複数枚の基板を含む 1 ロットの前記基板へ枚葉
5 に所定の処理を施す基板処理装置における基板処理時間設定方法をコンピュータ
に実行させるプログラムを格納するコンピュータで読み取り可能な記憶媒体であ
って、前記基板処理時間設定方法は、前記基板処理装置において現在、前記所定
の処理を施している前記基板を含む第 1 のロットの供給後に前記基板処理装置に
供給される第 2 のロットの供給予想時刻を算出する第 1 の算出ステップと、前記
10 第 1 のロットの全ての前記基板の前記所定の処理の終了予想時刻を算出する第 2
の算出ステップと、前記算出された供給予想時刻及び前記算出された終了予想時
刻に基づいて、前記基板処理装置における前記第 1 のロットの全ての前記基板の
前記所定の処理の終了後に続く待機時間である予想待機時間を算出する第 3 の算
出ステップと、前記算出された予想待機時間がダミー処理を必要とする基準待機
15 時間よりも長いかな否かを判定する判定ステップと、前記算出された予想待機時
間が前記基準待機時間以上である場合、前記第 1 のロットにおける未処理の各前記
基板の前記所定の処理の間に補助待機時間を追加して設定する追加設定ステップ
とを有する記憶媒体が提供される。

[0015]

20 本発明の第 2 の態様において、前記基板処理時間設定方法は、前記追加設定ス
テップにおいて前記補助待機時間が追加して設定された際における、前記第 1 の
ロットの全ての前記基板の前記所定の処理の終了後に続く待機時間である他の待
機時間が前記基準待機時間よりも長いかな否かを判定する他の判定ステップと、前
記他の待機時間が前記基準待機時間以上である場合、前記追加して設定された補
25 助待機時間を削除する削除ステップとをさらに有することが好ましい。

[発明の効果]

[0016]

本発明によれば、基板処理装置において現在、所定の処理を施している基板を含む第1のロットの供給後に基板処理装置に供給される第2のロットの供給予想時刻、及び第1のロットの全ての基板の所定の処理の終了予想時刻に基づいて、基板処理装置における第1のロットの全ての基板の所定の処理の終了後に続く待機時間である予想待機時間が算出され、算出された予想待機時間がダミー処理を必要とする基準待機時間以上である場合、第1のロットにおける未処理の各基板の所定の処理の間に補助待機時間が追加されて設定されるので、第1のロットの全ての基板の所定の処理の終了時刻を遅らせることができ、もって、実際の待機時間を基準待機時間よりも短くすることができる。その結果、ダミー処理を極力廃止することができる。

[図面の簡単な説明]

[0017]

[図1] 本発明の実施の形態に係る基板処理時間設定方法を実行する基板処理装置及び関連装置を説明するための平面図である。

15 [図2] アイドル時間を説明するためのタイムチャートである。

[図3] ダミー処理を説明するためのタイムチャートである。

[図4] 本実施の形態に係る基板処理時間設定方法としてのアイドル時間追加処理を示すフローチャートである。

[図5] 予想アイドル時間を説明するためのタイムチャートである。

20 [図6] 補助アイドル時間の追加設定を説明するためのタイムチャートである。

[図7] 補助アイドル時間の追加設定の変形例を説明するためのタイムチャートである。

[発明を実施するための形態]

[0018]

25 以下、本発明の実施の形態について図面を参照しながら説明する。

[0019]

図1は、本実施の形態に係る基板処理時間設定方法を実行する基板処理装置及

6

び関連装置を説明するための平面図である。

[0 0 2 0]

図 1 において、半導体デバイス製造工場のクリーンルーム 1 0 内には、6 つの
基板処理装置 1 1 と、多数のキャリア 1 2 をストックするストッカー 1 3 と、各
5 基板処理装置 1 1 及びストッカー 1 3 の近傍を結ぶガイド 1 4 に沿って移動する
O H T (Overhead Hoist Transport) 等の A M H S (Automated Material
Handling System) 1 5 とが配置されている。また、各基板処理装置 1 1、ストッ
カー 1 3 及び A M H S 1 5 は有線又は無線によってホストコンピュータ (図示し
ない) と通信可能に接続されている。

10 [0 0 2 1]

1 つのキャリア 1 2 は、複数枚、例えば、2 5 枚のウエハからなる 1 ロットの
ウエハを収容する。各キャリア 1 2 は A M H S 1 5 によってストッカー 1 3 及び
各基板処理装置 1 1 の間を搬送され、各基板処理装置 1 1 へ搬入された際、当該
基板処理装置 1 1 によってキャリア 1 2 に収容された各ウエハにプラズマ処理、
15 例えば、ドライエッチング処理や成膜処理が施される。

[0 0 2 2]

各基板処理装置 1 1 は、搬入されたキャリア 1 2 を受け入れる 3 つのロードポ
ート 1 6 と、該ロードポート 1 6 に受け入れられたキャリア 1 2 からウエハを取
り出し、且つプラズマ処理が施されたウエハをキャリア 1 2 へ収容する 1 つのロ
20 ーダーモジュール 1 7 と、該ローダーモジュール 1 7 に接続されて設けられ、ロ
ーダーモジュール 1 7 及び後述のプロセスモジュール 1 8 の間でウエハを搬送す
るトランスファモジュール 1 9 と、該トランスファモジュール 1 9 の周りを囲む
ように設けられ、各ウエハを処理室に収容して該ウエハにプラズマ処理を施す
プロセスモジュール 1 8 と、各モジュールの動作を制御するコントローラ (図示し
25 ない) とを備える。

[0 0 2 3]

基板処理装置 1 1 では、未処理のウエハがキャリア 1 2 から取り出された後、

ロードポート 16 からローダーモジュール 17 及びトランスファモジュール 19 を経由してプロセスモジュール 18 の処理室へ枚葉で搬送され、処理済みのウエハがプロセスモジュール 18 の処理室からトランスファモジュール 19 及びローダーモジュール 17 を経由してロードポート 16 へ枚葉で搬送された後、キャリア 12 へ収容される。

[0024]

各ウエハにプラズマ処理が施されてキャリア 12 に 1 ロットの処理済みのウエハが収容されると、当該キャリア 12 は基板処理装置 11 から搬出され、その後、AMHS 15 によって次工程のプラズマ処理を各ウエハに施す基板処理装置 11 へ搬入される。したがって、一の基板処理装置 11 においては複数のロットの各ウエハに同じプラズマ処理を繰り返して施す。

[0025]

しかしながら、各基板処理装置 11 がウエハに施すプラズマ処理の種類は異なるため、各基板処理装置 11 においてプラズマ処理を 1 ロットの全てのウエハへ施すために要する時間は異なり、現在、プラズマ処理を施しているウエハを含むロット（以下、「本ロット」という。）（第 1 のロット）の全てのウエハのプラズマ処理が終了した後であっても、本ロットの次に供給されるべきロット（以下、「次ロット」という。）（第 2 のロット）が供給されていないことがある。このような場合、本ロットの全てのウエハのプラズマ処理の終了後、基板処理装置 11 の各プロセスモジュール 18 はウエハにプラズマ処理を施さず、待機（アイドル）状態となる。

[0026]

図 2 は、アイドル時間を説明するためのタイムチャートである。なお、図 2 において横方向が時間の経過に対応する。

[0027]

図 2 では、ある基板処理装置 11 において、本ロットでは各ウエハのプラズマ処理、及びキャリア 12 乃至プロセスモジュール 18 の処理室の間におけるウエ

ハの搬出入（図中「入替」で示す。）が繰り返されて本ロットの全てのウエハにプラズマ処理が施された後、1ロットの処理済みのウエハを収容したキャリア12が基板処理装置11からAMHS15によって搬出される（図中「本ロットC搬出」で示す。）。

5 [0028]

その後、次ロットのウエハを収容したキャリア12がAMHS15によって当該基板処理装置11へ搬入される（図中「次ロットC搬入」で示す。）が、直ちに次ロットの各ウエハへプラズマ処理が施されず、まず、基板処理装置11のコントローラが搬入されたキャリア12の識別番号をホストコンピュータに連絡して、当該キャリア12の各ウエハに施すプラズマ処理の内容を問い合わせる（図中「CID確認」で示す。）。

[0029]

次いで、ホストコンピュータは連絡された識別番号に対応するプラズマ処理の内容等を決定し、基板処理装置11のコントローラへ連絡し（図中「PJ等決定」で示す。）、プラズマ処理の内容等の連絡を受けたコントローラは、各モジュールの動作を制御してまず次ロットの最初のウエハをキャリア12からプロセスモジュール18の処理室へ搬入して当該ウエハにプラズマ処理を施し、その後、各ウエハのプラズマ処理、及びキャリア12乃至プロセスモジュール18の処理室の間におけるウエハの搬出入（図中「入替」で示す。）が繰り返される。

20 [0030]

本実施の形態では、本ロットの処理済みのウエハを収容したキャリア12が搬出された後から次ロットの最初のウエハにプラズマ処理が施されるまでの時間である基板処理装置11の各プロセスモジュール18がウエハにプラズマ処理を施さない時間を「アイドル時間」（待機時間）と定義する。

25 [0031]

アイドル時間では各プロセスモジュール18においてプラズマ処理が実行されないため、処理室内の状態がプラズマ処理に最適な状態から変化していき、アイ

ドル時間が長いほど処理室内の状態はプラズマ処理に不適切な状態へ近づいていく。したがって、アイドル時間が、処理室内の状態がプラズマ処理に不適切な状態まで変化してしまう時間（以下、「ダミー処理必要アイドル時間」という。）

- （基準待機時間）よりも長いときには、処理室内の状態をプラズマ処理に適した状態に変化させるために各プロセスモジュール 18 の処理室においてダミー処理を行う。

[0032]

図 3 は、ダミー処理を説明するためのタイムチャートである。なお、図 3 においても横方向が時間の経過に対応する。

- 10 [0033]

図 3 では、アイドル時間がダミー処理必要アイドル時間より長いが、このような場合、次ロットのウエハを収容したキャリア 12 が基板処理装置 11 へ搬入された後、CID 確認や PJ 等決定を経て直ちに次ロットの最初のウエハへプラズマ処理を施すことなく、まず、半導体デバイスの製造に用いられないダミーウエハを基板処理装置 11 の外部から各プロセスモジュール 18 の処理室へ搬入し（図中「ダミー搬入」で示す。）、ホストコンピュータから連絡を受けたプラズマ処理の内容と類似する内容のダミー処理を搬入されたダミーウエハへ施す（図中「ダミー処理」で示す。）。これにより、処理室内の状態がプラズマ処理に適した状態に変化する。

- 20 [0034]

次いで、次ロットの最初のウエハがプロセスモジュール 18 の処理室へ搬入されて当該ウエハにプラズマ処理が施され、その後、各ウエハのプラズマ処理、及びキャリア 12 乃至プロセスモジュール 18 の処理室の間におけるウエハの搬出入が繰り返される。

- 25 [0035]

ところで、上述したように、ダミー処理は本質的に不必要な処理であり、スループットを低下させるとともにコストの増加を招くという虞がある。

[0036]

本実施の形態では、これに対応して、本ロットの全てのウェハのプラズマ処理の終了後に続くアイドル時間を極力短くするように、本ロットにおける各種処理の時間を設定する。

5 [0037]

図4は、本実施の形態に係る基板処理時間設定方法としてのアイドル時間追加処理を示すフローチャートである。

[0038]

図4において、まず、当該基板処理装置11が各ウェハに施すプラズマ処理よりも前工程のプラズマ処理を各ウェハに施す他の基板処理装置11における次ロットの全てのウェハのプラズマ処理の終了予想時刻を、他の基板処理装置11のコントローラが算出してホストコンピュータへ連絡する。

[0039]

次いで、ホストコンピュータは連絡された他の基板処理装置11における終了予想時刻に基づいて、次ロットの当該基板処理装置11への供給予想時刻を算出し（ステップS41）（第1の算出ステップ）、該算出された供給予想時刻を当該基板処理装置11のコントローラへ連絡する。

[0040]

次いで、当該基板処理装置11のコントローラは本ロットの全てのウェハのプラズマ処理の終了予想時刻を算出し（ステップS42）（第2の算出ステップ）、さらに、受信した次ロットの供給予想時刻及び算出された本ロットのプラズマ処理の終了予想時刻に基づいて、本ロットの全てのウェハのプラズマ処理の終了後に続く予想アイドル時間（予想待機時間）を算出する（ステップS43）（第3のステップ）。

25 [0041]

図5は、予想アイドル時間を説明するためのタイムチャートである。なお、図5においても横方向が時間の経過に対応する。

[0042]

図5に示すように、「予想アイドル時間」は第2のロットの供給時刻にかかわらずにダミー処理を行わないと仮定した場合における、本ロットの処理済みのウエハを収容したキャリア12が搬出された後から次ロットの最初のウエハにプラズマ処理が施されるまでの時間に該当する。

[0043]

図4に戻り、当該基板処理装置11のコントローラは、予想アイドル時間がダミー処理必要アイドル時間よりも長いかな否かを判定する（ステップS44）（判定ステップ）。

10 [0044]

ステップS44の判定の結果、予想アイドル時間がダミー処理必要アイドル時間より短い場合、例えば、図2に示すように、基板処理装置11のコントローラは本ロットの未処理の各ウエハのプラズマ処理開始時刻や各ウエハの搬出入の開始時刻を変更することなく、本処理を終了する。

15 [0045]

一方、予想アイドル時間がダミー処理必要アイドル時間以上である場合、図6に示すように、本ロットの未処理の各ウエハのプラズマ処理の間、より具体的には、ある未処理のウエハのプラズマ処理が終了してプロセスモジュール18の処理室から搬出された（図中「搬出」で示す。）後、次の未処理のウエハがプロセスモジュール18の処理室へ搬入される（図中「搬入」で示す。）までの間に補助アイドル時間（補助待機時間）を追加して設定する（ステップS45）（追加設定ステップ）。補助アイドル時間は本ロットの未処理のウエハの枚数から1を引いた数だけ設定される。各補助アイドル時間は同じ長さであり、ダミー処理必要アイドル時間よりも短く設定される。また、各補助アイドル時間は、当該補助
20 アイドル時間を追加して設定した際における本ロットのプラズマ処理済みのウエハを収容したキャリア12が搬出される時刻（図中「本ロットC搬出」の右端）が次ロットの供給予想時刻（図中「次ロットC搬入」の左端）よりも遅くならな
25

いように設定される。

[0046]

次いで、ステップS 4 5で補助アイドル時間が追加して設定された際における本ロットの全てのウェハのプラズマ処理の終了後のアイドル時間（以下、「実際のアイドル時間」という。）（他の待機時間）を算出し、基板処理装置11のコントローラは、算出された実際のアイドル時間がダミー処理必要アイドル時間よりも長いかな否かを判定する（ステップS 4 6）（他の判定ステップ）。

[0047]

ステップS 4 6の判定の結果、実際のアイドル時間がダミー処理必要アイドル時間より短い場合は、本処理を終了し、一方、実際のアイドル時間がダミー処理必要アイドル時間以上である場合、ステップS 4 5で追加して設定された各補助アイドル時間を全て削除し（ステップS 4 7）（削除ステップ）、図3に示すように、アイドル時間をダミー処理必要アイドル時間より長い状態に戻して本処理を終了する。

15 [0048]

図4の処理によれば、予想アイドル時間がダミー処理必要アイドル時間以上である場合、本ロットの未処理の各ウェハのプラズマ処理の間に補助アイドル時間が追加されて設定されるので、図6に示すように、本ロットの全てのウェハのプラズマ処理の終了時刻を遅らせることができ、もって、実際のアイドル時間をダミー処理必要アイドル時間よりも短くすることができる。その結果、ダミー処理を極力廃止することができる。

[0049]

また、図4の処理では、補助アイドル時間の長さはダミー処理必要アイドル時間よりも短いので、本ロットの各ウェハのプラズマ処理においてダミー処理が必要となるのを確実に防止することができる。

[0050]

ところで、図4のステップS 4 5で各補助アイドル時間が追加設定された場合

において実際のアイドル時間がダミー処理必要アイドル時間以上であれば、やはりダミー処理を実行する必要がある。すなわち、各補助アイドル時間を待機した上でさらにダミー処理を実行することになり、無駄に処理時間が延びる。これに対応して図4の処理では、実際のアイドル時間がダミー処理必要アイドル時間以上である場合、ステップS45で追加して設定された各補助アイドル時間を全て削除する。これにより、各補助アイドル時間を待機した上でさらにダミー処理が行われるのを防止することができ、もって、無駄に処理時間が延びるのを防止することができる。

[0051]

10 上述した図4の処理では、追加して設定される各補助アイドル時間が同じ長さであったが、各補助アイドル時間は同じ長さである必要はなく、各補助アイドル時間がダミー処理必要アイドル時間よりも短く、且つ実際のアイドル時間がダミー処理必要アイドル時間よりも短くなれば、各補助アイドル時間の長さを自由に設定することができる。例えば、図7に示すように、本ロットの最後のウェハに
15 近づくほど補助アイドル時間が短くなるように設定してもよい。この場合、次ロットの最初のウェハのプラズマ処理の直前におけるアイドル時間の合計量を少なくすることができるので、次ロットの最初のウェハへより安定的にプラズマ処理を施すことができる。

[0052]

20 また、図4の処理において他の基板処理装置11のコントローラは、次ロットの最初のウェハのプラズマ処理（他の所定の処理）が終了した際に、他の基板処理装置11における次ロットの全てのウェハのプラズマ処理の終了予想時刻を算出してホストコンピュータへ連絡し、該ホストコンピュータは連絡された終了予想時刻に基づいて、次ロットの当該基板処理装置11への供給予想時刻を算出し
25 てもよい。これにより、予想アイドル時間の算出、並びに算出された予想アイドル時間がダミー処理必要アイドル時間以上であるか否かの判定を早く行うことができる。その結果、補助アイドル時間を時間的余裕をもって追加して設定するこ

とができる。

[0053]

また、図4の処理では、ホストコンピュータが次ロットの当該基板処理装置11への供給予想時刻を算出したが、他の基板処理装置11のコントローラから当該基板処理装置11のコントローラが他の基板処理装置11におけるプラズマ処理の終了予想時刻を直接受信して該終了予想時刻に基づいて上記供給予想時刻を算出してもよい。さらに、図4の処理では、当該基板処理装置11のコントローラが予想アイドル時間を算出したが、ホストコンピュータが当該基板処理装置11のコントローラから本ロットの全てのウェハのプラズマ処理の終了予想時刻を受信し、該終了予想時刻及び次ロットの供給予想時刻に基づいて予想アイドル時間を算出してもよく、予想アイドル時間がダミー処理必要アイドル時間よりも長いか否かの判定もホストコンピュータが行ってもよい。

[0054]

以上、本発明について、上記実施の形態を用いて説明したが、本発明は上記実施の形態に限定されるものではない。

[0055]

本発明の目的は、上述した実施の形態の機能を実現するソフトウェアのプログラムを記録した記憶媒体を、コンピュータ等に供給し、コンピュータのCPUが記憶媒体に格納されたプログラムを読み出して実行することによっても達成される。

[0056]

この場合、記憶媒体から読み出されたプログラム自体が上述した実施の形態の機能を実現することになり、プログラム及びそのプログラムを記憶した記憶媒体は本発明を構成することになる。

25 [0057]

また、プログラムを供給するための記憶媒体としては、例えば、RAM、NVRAM、フロッピー（登録商標）ディスク、ハードディスク、光磁気ディスク、

CD-ROM、CD-R、CD-RW、DVD（DVD-ROM、DVD-RAM、DVD-RW、DVD+RW）等の光ディスク、磁気テープ、不揮発性のメモ리카ード、他のROM等の上記プログラムを記憶できるものであればよい。或いは、上記プログラムは、インターネット、商用ネットワーク、若しくはローカルエリアネットワーク等に接続される不図示の他のコンピュータやデータベース等からダウンロードすることによりコンピュータに供給されてもよい。

[0058]

また、コンピュータのCPUが読み出したプログラムを実行することにより、上記実施の形態の機能が実現されるだけでなく、そのプログラムの指示に基づき、CPU上で稼動しているOS（オペレーティングシステム）等が実際の処理の一部又は全部を行い、その処理によって上述した実施の形態の機能が実現される場合も含まれる。

[0059]

更に、記憶媒体から読み出されたプログラムが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPU等が実際の処理の一部又は全部を行い、その処理によって上述した実施の形態の機能が実現される場合も含まれる。

[0060]

上記プログラムの形態は、オブジェクトコード、インタプリタにより実行されるプログラム、OSに供給されるスクリプトデータ等の形態から成ってもよい。

[符号の説明]

[0061]

- 11 基板処理装置
- 25 12 キャリア
- 18 プロセスモジュール

請求の範囲

〔請求項 1〕

複数枚の基板を含む 1 ロットの前記基板へ枚葉に所定の処理を施す基板処理装置における基板処理時間設定方法であって、

- 5 前記基板処理装置において現在、前記所定の処理を施している前記基板を含む第 1 のロットの供給後に前記基板処理装置に供給される第 2 のロットの供給予想時刻を算出する第 1 の算出ステップと、

前記第 1 のロットの全ての前記基板の前記所定の処理の終了予想時刻を算出する第 2 の算出ステップと、

- 10 前記算出された供給予想時刻及び前記算出された終了予想時刻に基づいて、前記基板処理装置における前記第 1 のロットの全ての前記基板の前記所定の処理の終了後に続く待機時間である予想待機時間を算出する第 3 の算出ステップと、

前記算出された予想待機時間がダミー処理を必要とする基準待機時間よりも長いかな否かを判定する判定ステップと、

- 15 前記算出された予想待機時間が前記基準待機時間以上である場合、前記第 1 のロットにおける未処理の各前記基板の前記所定の処理の間に補助待機時間を追加して設定する追加設定ステップとを有することを特徴とする基板処理時間設定方法。

〔請求項 2〕

- 20 前記追加設定ステップにおいて前記補助待機時間が追加して設定された際における、前記第 1 のロットの全ての前記基板の前記所定の処理の終了後に続く待機時間である他の待機時間が前記基準待機時間よりも長いかな否かを判定する他の判定ステップと、

前記他の待機時間が前記基準待機時間以上である場合、前記追加して設定され

- 25 た補助待機時間を削除する削除ステップとをさらに有することを特徴とする請求項 1 記載の基板処理時間設定方法。

〔請求項 3〕

前記設定される全ての前記補助待機時間は同じ長さであることを特徴とする請求項 1 記載の基板処理時間設定方法。

〔請求項 4〕

他の基板処理装置において前記第 2 のロットにおける最初の前記基板の他の所定の処理が終了した際に、前記第 1 の算出ステップを実行して前記基板処理装置に供給される第 2 のロットの供給予想時刻を算出することを特徴とする請求項 1 記載の基板処理時間設定方法。

〔請求項 5〕

前記補助待機時間の長さは前記基準待機時間よりも短いことを特徴とする請求項 1 記載の基板処理時間設定方法。

〔請求項 6〕

複数枚の基板を含む 1 ロットの前記基板へ枚葉に所定の処理を施す基板処理装置における基板処理時間設定方法をコンピュータに実行させるプログラムを格納するコンピュータで読み取り可能な記憶媒体であって、前記基板処理時間設定方法は、

前記基板処理装置において現在、前記所定の処理を施している前記基板を含む第 1 のロットの供給後に前記基板処理装置に供給される第 2 のロットの供給予想時刻を算出する第 1 の算出ステップと、

前記第 1 のロットの全ての前記基板の前記所定の処理の終了予想時刻を算出する第 2 の算出ステップと、

前記算出された供給予想時刻及び前記算出された終了予想時刻に基づいて、前記基板処理装置における前記第 1 のロットの全ての前記基板の前記所定の処理の終了後に続く待機時間である予想待機時間を算出する第 3 の算出ステップと、

前記算出された予想待機時間がダミー処理を必要とする基準待機時間よりも長い場合を判定する判定ステップと、

前記算出された予想待機時間が前記基準待機時間以上である場合、前記第 1 のロットにおける未処理の各前記基板の前記所定の処理の間に補助待機時間を追加

して設定する追加設定ステップとを有することを特徴とする記憶媒体。

[請求項 7]

前記基板処理時間設定方法は、

前記追加設定ステップにおいて前記補助待機時間が追加して設定された際にお

- 5 ける、前記第 1 のロットの全ての前記基板の前記所定の処理の終了後に続く待機時間である他の待機時間が前記基準待機時間よりも長いかな否かを判定する他の判定ステップと、

前記他の待機時間が前記基準待機時間以上である場合、前記追加して設定された補助待機時間を削除する削除ステップとをさらに有することを特徴とする請求

- 10 項 6 記載の記憶媒体。

図 1

10

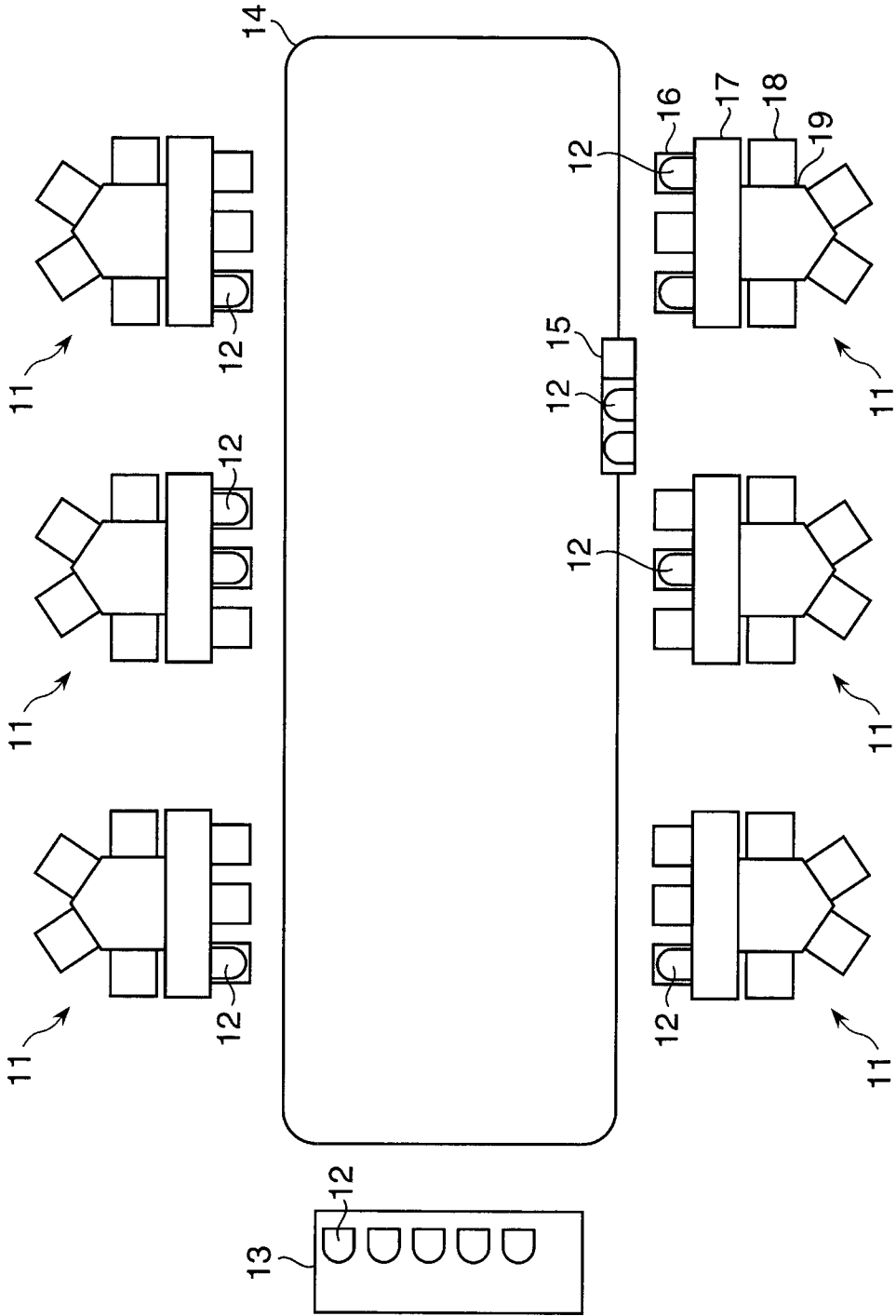


図 2

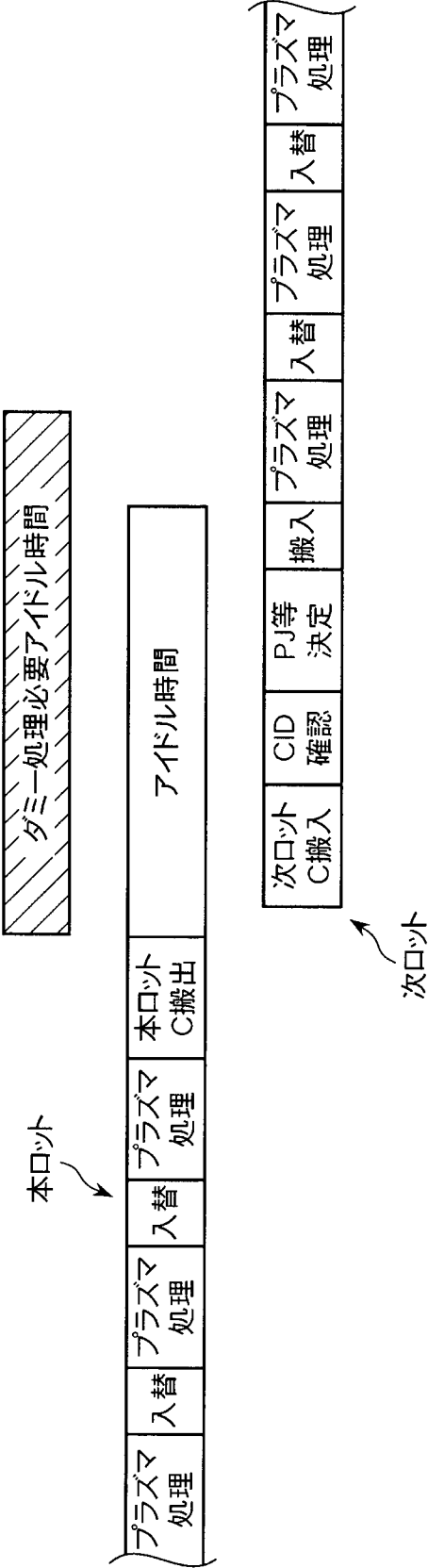
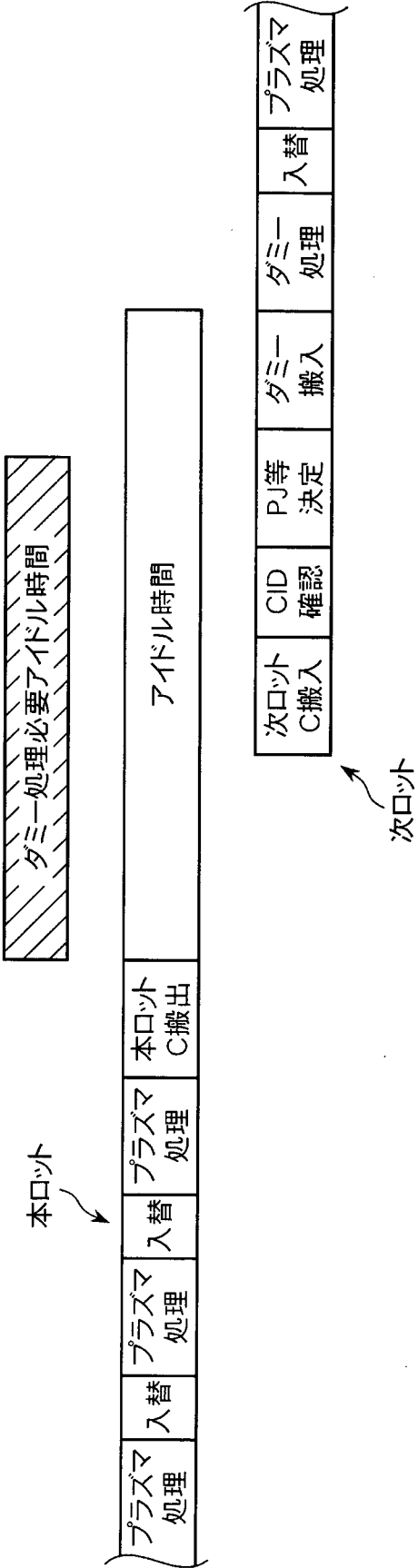


図 3



4/7

図 4

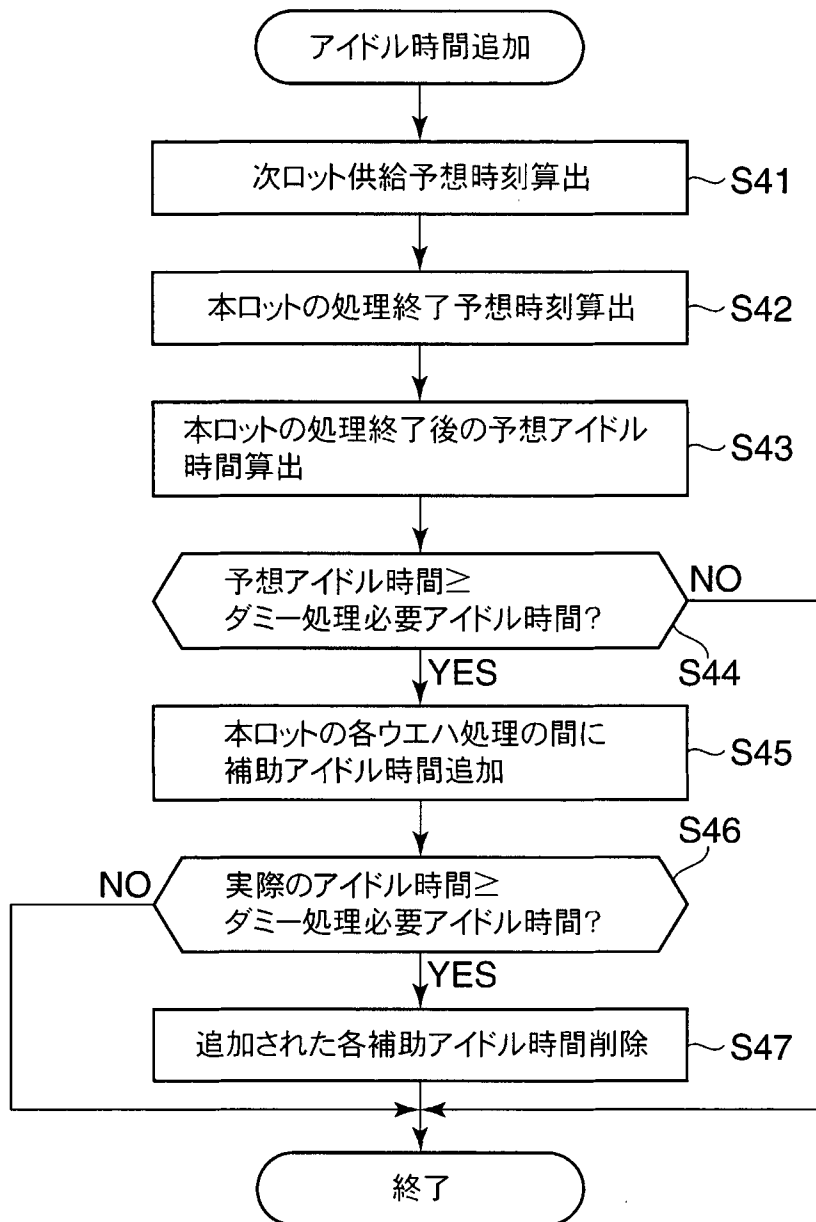


図 5

ダミー処理必要アイドル時間

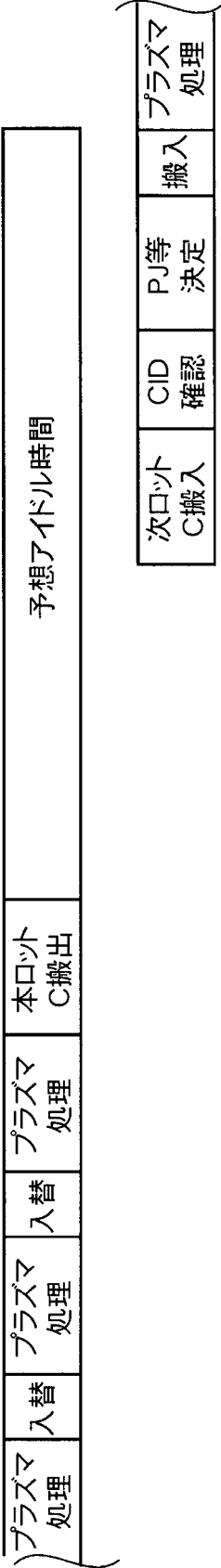


図 6

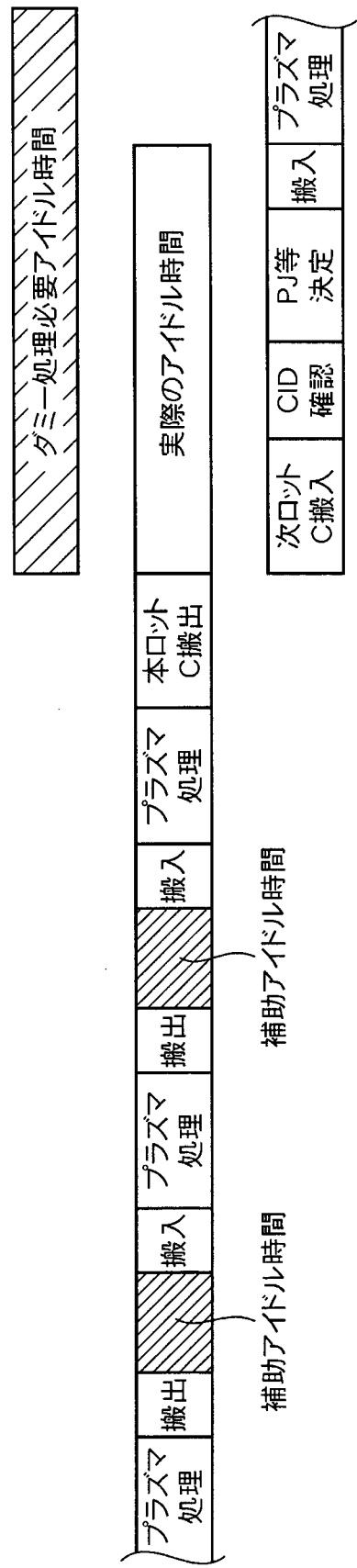
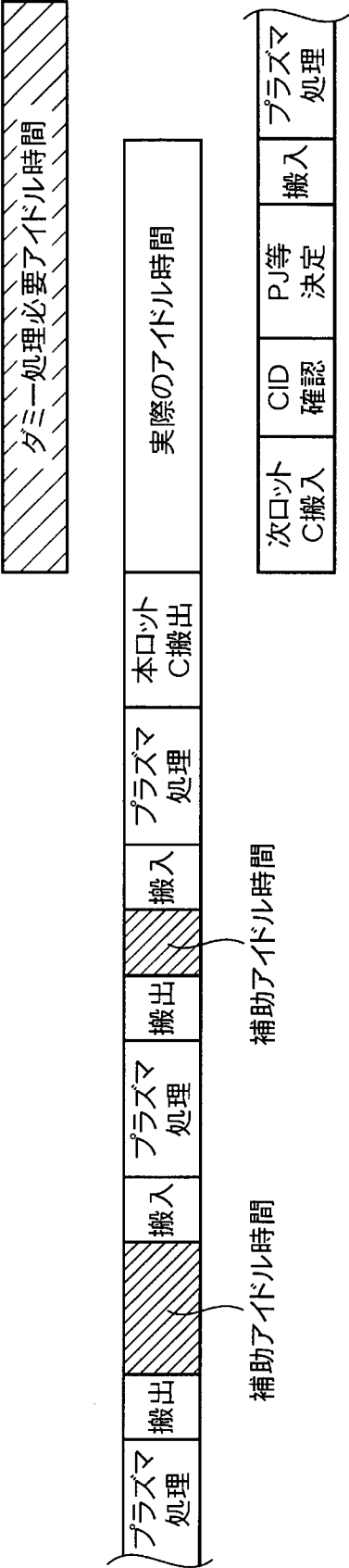


図 7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/066090

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3065(2006.01) i, H01L21/677(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3065, H01L21/677

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-91334 A (Ulvac, Inc.), 06 May 2011 (06.05.2011), paragraphs [0014] to [0030] (Family: none)	1, 5, 6
A	JP 10-326731 A (Applied Materials Inc.), 08 December 1998 (08.12.1998), paragraphs [0021] to [0068] & US 5943230 A	2, 3, 4, 7
A	JP 2001-351964 A (NEC Corp.), 21 December 2001 (21.12.2001), paragraphs [0032] to [0120] (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 September, 2012 (06.09.12)

Date of mailing of the international search report
18 September, 2012 (18.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/3065(2006.01)i, H01L21/677(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3065, H01L21/677

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2011-91334 A（株式会社アルバック）2011.05.06, 【0014】～【0030】（ファミリーなし）	1, 5, 6
A	JP 10-326731 A（アプライド マテリアルズ インコーポレイテッド）1998.12.08, 【0021】～【0068】 & US 5943230 A	2, 3, 4, 7
A	JP 2001-351964 A（日本電気株式会社）2001.12.21, 【0032】～【0120】（ファミリーなし）	1-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 9 . 2 0 1 2

国際調査報告の発送日

1 8 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 淳一

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

9 0 5 5