(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월21일
(11) 등록번호 10-2411505
(24) 등록일자 2022년06월16일

(51) 국제특허분류(Int. Cl.)
G09F 9/30 (2006.01) *G06F 3/041* (2006.01)
G09G 3/20 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2013-0143566
(22) 출원일자 2013년11월25일
심사청구일자 2018년11월23일
(65) 공개번호 10-2014-0068765
(43) 공개일자 2014년06월09일
(30) 우선권주장
JP-P-2012-260208 2012년11월28일 일본(JP)
(56) 선행기술조사문헌
JP2010041042 A*
(뒷면에 계속)
전체 청구항 수 : 총 11 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 243-0036가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
기무라 하지메
일본 243-0036가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장수길, 박충범, 이중희

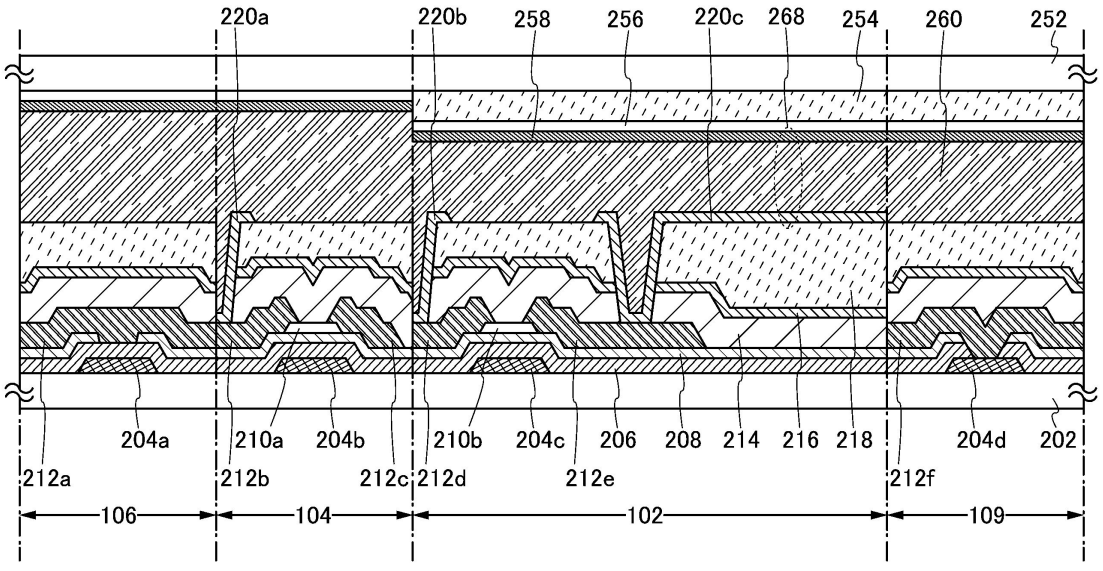
심사관 : 김현

(54) 발명의 명칭 **표시 장치 및 전자 기기**

(57) 요 약

본 발명은 신규의 표시 장치를 제공한다. 화소부와, 화소부의 외측에 배치된 구동 회로부와, 화소부 또는 구동 회로부 중 어느 한쪽 또는 양쪽에 전기적으로 접속되고, 한 쌍의 전극을 포함하는 보호 회로를 갖고, 화소부는 매트릭스 형상으로 배치된 화소 전극과, 화소 전극에 전기적으로 접속된 트랜지스터를 갖고, 트랜지스터는 질소와 실리콘을 포함하는 제1 절연층과, 산소와 질소와 실리콘을 포함하는 제2 절연층을 갖고, 보호 회로가 한 쌍의 전극의 사이에 제1 절연층을 갖는다.

대 표 도



(72) 발명자

미야케 히로유키

일본 243-0036가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

고야마 준

일본 243-0036가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

JP2010171394 A*

JP2011103452 A*

US20080239189 A1*

JP2009145834 A*

JP2011123283 A*

JP06202157 A

JP09090428 A

JP2001117112 A

*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

표시 장치로서,

화소부;

상기 화소부의 외측에 제공된 구동 회로부; 및

상기 화소부와 상기 구동 회로부 중 어느 한쪽 또는 양쪽에 전기적으로 접속되고, 한 쌍의 전극을 포함하는 보호 회로

를 포함하고,

상기 화소부는,

각각이 트랜지스터에 전기적으로 접속되고 매트릭스 형태로 배치된 화소 전극을 포함하고,

상기 트랜지스터 각각은 게이트 절연층을 포함하고,

상기 게이트 절연층은,

질소 및 실리콘을 포함하는 제1 절연층; 및

산소, 질소 및 실리콘을 포함하는 제2 절연층

을 포함하고,

상기 보호 회로는 상기 한 쌍의 전극 사이에 상기 제1 절연층을 포함하고,

상기 한 쌍의 전극은 상기 제1 절연층을 통해 서로 전기적으로 접속되는, 표시 장치.

청구항 2

제1항에 있어서,

상기 트랜지스터의 반도체층은 산화물 반도체층인, 표시 장치.

청구항 3

표시 장치로서,

화소부;

상기 화소부의 외측에 제공된 구동 회로부; 및

상기 화소부와 상기 구동 회로부 중 어느 한쪽 또는 양쪽에 전기적으로 접속되고, 한 쌍의 전극을 포함하는 보호 회로

를 포함하고,

상기 화소부는,

각각이 트랜지스터에 전기적으로 접속되고 매트릭스 형태로 배치된 화소 전극을 포함하고,

상기 트랜지스터 각각은,

게이트 전극;

상기 게이트 전극 위의 게이트 절연층;

상기 게이트 절연층 위의 반도체층; 및

상기 반도체층 위의 소스 전극 및 드레인 전극

을 포함하고,

상기 게이트 절연층은,

질소 및 실리콘을 포함하는 제1 절연층; 및

산소, 질소 및 실리콘을 포함하는 제2 절연층

을 포함하고,

상기 보호 회로는 상기 한 쌍의 전극 사이에 상기 제1 절연층을 포함하고,

상기 한 쌍의 전극은 상기 제1 절연층을 통해 서로 전기적으로 접속되는, 표시 장치.

청구항 4

제3항에 있어서,

상기 한 쌍의 전극 중 한쪽은 상기 게이트 전극과 동일한 표면 위에 형성되고,

상기 한 쌍의 전극 중 다른 쪽은 상기 소스 전극 또는 상기 드레인 전극과 동일한 표면 위에 형성되는, 표시 장치.

청구항 5

제1항 또는 제3항에 있어서,

상기 제1 절연층의 저항률은 10^{10}Ω㎝ 이상 10^{18}Ω㎝ 미만인, 표시 장치.

청구항 6

제3항에 있어서,

상기 반도체층은 산화물 반도체층인, 표시 장치.

청구항 7

제1항 또는 제3항에 있어서,

상기 보호 회로는 상기 한 쌍의 전극 사이에 상기 제2 절연층을 포함하는, 표시 장치.

청구항 8

보호 회로를 포함하는 표시 장치로서,

상기 보호 회로는,

게이트 전극과 동일한 표면 위의 제1 도전층;

상기 제1 도전층 위의 제1 절연층을 포함하는 게이트 절연층;

상기 제1 절연층 위에 있고, 상기 제1 도전층과 중첩되는 위치에 있는 산화물 반도체층;

상기 산화물 반도체층 위의 제2 절연층; 및

상기 제2 절연층 위의 제2 도전층

을 포함하고,

상기 제2 도전층은 상기 제2 절연층에 형성된 개구부를 통해 상기 산화물 반도체층에 전기적으로 접속되고,

상기 제1 도전층은 상기 제1 절연층을 통해 상기 제2 도전층에 전기적으로 접속되는, 표시 장치.

청구항 9

제8항에 있어서,

상기 산화물 반도체층은 적어도 인듐, 아연 및 M을 포함하는 In-M-Zn 산화물로 표기되고,

M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf와 같은 금속 원소인, 표시 장치.

청구항 10

제8항에 있어서,

상기 산화물 반도체층은 결정부를 포함하고,

상기 결정부에는, c축이 상기 산화물 반도체층의 피형성면의 법선 벡터에 평행한 방향으로 배열되는, 표시 장치.

청구항 11

전자 기기로서,

제8항에 따른 표시 장치를 포함하는 전자 기기.

청구항 12

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 물건, 방법, 제조 방법, 프로세스, 머신, 매뉴팩쳐 또는, 조성물(물질의 조성)에 관한 것이다. 특히, 본 발명은, 예를 들어 반도체 장치, 표시 장치, 발광 장치, 전자 기기, 그것들의 구동 방법, 또는 그것들의 제조 방법에 관한 것이다. 특히, 본 발명은 예를 들어 산화물 반도체를 갖는 반도체 장치, 표시 장치, 전자 기기 또는 발광 장치에 관한 것이다.

[0002] 또한, 표시 장치란, 표시 소자를 갖는 장치를 말한다. 또한, 표시 장치는, 복수의 화소를 구동시키는 구동 회로 등을 포함한다. 또한, 표시 장치는, 별도의 기판 위에 배치된 제어 회로, 전원 회로, 신호 생성 회로 등을 포함한다.

배 경 기 술

[0003] 액정 표시 장치로 대표되는 표시 장치는, 최근의 기술 혁신의 결과, 소자 및 배선의 미세화가 진행되고, 양산 기술도 현격하게 진보되고 있다. 향후에는 더욱 제조 수율의 향상을 도모함으로써 저비용을 도모하는 것이 요구되고 있다.

[0004] 표시 장치에 정전기 등에 의한 서지(surge) 전압이 인가되면, 소자가 파괴되어 버려, 정상적인 표시를 할 수 없게 된다. 그로 인해, 제조 수율이 악화될 우려가 있다. 그 대책으로서, 표시 장치에는 서지 전압을 다른 배선으로 방출시키기 위한 보호 회로가 설치되어 있다(예를 들어 특허문헌 1 내지 7을 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특허 공개 제2010-92036호 공보

(특허문헌 0002) 일본 특허 공개 제2010-92037호 공보

(특허문헌 0003) 일본 특허 공개 제2010-97203호 공보

(특허문헌 0004) 일본 특허 공개 제2010-97204호 공보

(특허문헌 0005) 일본 특허 공개 제2010-107976호 공보

(특허문헌 0006) 일본 특허 공개 제2010-107977호 공보

(특허문헌 0007) 일본 특허 공개 제2010-113346호 공보

발명의 내용

해결하려는 과제

[0006] 표시 장치에서는, 보호 회로로 대표되는 바와 같이, 신뢰성의 향상을 목적으로 한 구성이 중요하다.

[0007] 따라서, 본 발명의 일 형태에서는, 신뢰성을 향상할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 정전 파괴를 저감할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 정전기의 영향을 저감할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 깨지기 어려운 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 러빙(rubbing) 공정에 있어서, 트랜지스터에 끼치는 영향을 저감할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 검사 공정에 있어서, 트랜지스터에 끼치는 영향을 저감할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 터치 센서를 사용했을 때의 문제의 영향을 저감할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 트랜지스터의 특성의 변동 또는 열화를 저감할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 트랜지스터의 임계값 전압의 변동 또는 열화를 저감할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 트랜지스터의 노멀리 온 상태를 저감할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 트랜지스터의 제조 수율을 향상할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 트랜지스터를 실드할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 화소 전극에 축적된 전하를 방전할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 배선에 축적된 전하를 방전할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 도전율이 향상된 산화물 반도체층을 갖는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 산화물 반도체층의 도전율을 제어할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 게이트 절연막의 도전율을 제어할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태에서는, 정상적인 표시가 가능하기 쉽게 할 수 있는, 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다.

[0008] 또한, 이러한 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 이들 과제 전부를 해결할 필요는 없는 것으로 한다. 또한, 상기 이외의 과제는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 상기 이외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0009] 본 발명의 일 형태는, 화소부와, 화소부의 외측에 배치된 구동 회로부와, 화소부 또는 구동 회로부 중 어느 한쪽 또는 양쪽에 전기적으로 접속되고, 한 쌍의 전극을 포함하는 보호 회로를 갖고, 화소부는 매트릭스 형상으로 배치된 화소 전극과, 화소 전극에 전기적으로 접속된 트랜지스터를 갖고, 트랜지스터는, 질소와 실리콘을 포함하는 제1 절연층과, 산소와 질소와 실리콘을 포함하는 제2 절연층을 갖고, 보호 회로가 한 쌍의 전극의 사이에 제1 절연층을 갖는 표시 장치이다.

발명의 효과

[0010] 본 발명의 일 형태에 의해, 표시 장치의 신뢰성을 높일 수 있다.

도면의 간단한 설명

[0011] 도 1은 표시 장치의 평면 모식도 및 보호 회로를 설명하는 회로도.

도 2는 표시 장치의 저항 소자를 설명하는 단면도.

도 3은 표시 장치의 평면 모식도 및 보호 회로를 설명하는 회로도.

도 4는 보호 회로 및 저항 소자를 설명하는 평면도 및 단면도.

도 5는 보호 회로를 설명하는 회로도.

도 6은 표시 장치의 단면도.

도 7은 표시 장치의 제작 방법을 설명하는 단면도.

도 8은 표시 장치의 제작 방법을 설명하는 단면도.

도 9는 표시 장치의 제작 방법을 설명하는 단면도.

도 10은 표시 장치의 제작 방법을 설명하는 단면도.

도 11은 표시 장치의 제작 방법을 설명하는 단면도.

도 12는 표시 장치의 제작 방법을 설명하는 단면도.

도 13은 표시 장치에 사용할 수 있는 화소 회로를 설명하는 회로도.

도 14는 트랜지스터의 평면 및 단면을 설명하는 도면.

도 15는 저항 소자의 평면 및 단면을 설명하는 도면.

도 16은 저항 소자의 회로도를 설명하는 도면.

도 17은 저항 소자의 단면을 설명하는 도면.

도 18은 트랜지스터의 단면도 및 산화물 적층을 설명하는 도면.

도 19는 표시 장치의 접속 단자부를 설명하는 단면도.

도 20은 터치 센서를 설명하는 도면.

도 21은 터치 센서를 설명하는 회로도.

도 22는 터치 센서를 설명하는 단면도.

도 23은 본 발명의 일 형태인 표시 장치를 사용한 표시 모듈을 설명하는 도면.

도 24는 본 발명의 일 형태인 표시 장치를 사용한 전자 기기를 설명하는 도면.

도 25는 본 발명의 일 형태인 표시 장치를 사용한 전자 기기를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 실시 형태에 대해서 도면을 참조하면서 설명한다. 단, 실시 형태는 많은 상이한 형태로 실시하는 것이 가능하며, 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세 내용을 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하의 실시 형태의 기재 내용에 한정해서 해석되는 것이 아니다.

[0013] 또한, 도면에 있어서, 크기, 층의 두께, 또는 영역은, 명료화를 위해서 과장 되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다. 또한 도면은, 이상적인 예를 모식적으로 도시한 것이며, 도면에 나타내는 형상 또는 값 등에 한정되지 않는다. 예를 들어, 노이즈에 의한 신호, 전압, 혹은 전류의 편차, 또는 타이밍의 어긋남에 의한 신호, 전압, 혹은 전류의 편차 등을 포함하는 것이 가능하다.

[0014] 또한, 본 명세서 등에 있어서, 트랜지스터란, 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 갖는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역 또는 드레인 전극)과 소스(소스 단자, 소스 영역 또는 소스 전극)의 사이에 채널 영역을 갖고 있으며, 드레인과 채널 영역과 소스를 통해서 전류를 흐르게 할 수 있는 것이다.

[0015] 여기서, 소스와 드레인은, 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 또는

드레인인지를 한정하는 것이 곤란하다. 따라서, 소스로서 기능하는 부분 및 드레인으로서 기능하는 부분을, 소스 또는 드레인이라고 부르지 않고, 소스와 드레인 중 한쪽을 제1 전극으로 표기하고, 소스와 드레인 중 다른 쪽을 제2 전극으로 표기하는 경우가 있다.

[0016] 또한, 본 명세서에서 사용하는 「제1」, 「제2」, 「제3」이라고 하는 서수사는, 구성 요소의 혼동을 피하기 위해서 붙인 것이며, 수적으로 한정하는 것이 아님을 부기한다.

[0017] 또한, 본 명세서에 있어서, A와 B가 접속되어 있다는 것은, A와 B가 직접 접속되어 있는 것 외에, 전기적으로 접속되어 있는 것을 포함하는 것으로 한다. 여기서, A와 B가 전기적으로 접속되어 있다는 것은, A와 B 사이에, 어떠한 전기적 작용을 갖는 대상물이 존재할 때, A와 B의 전기 신호의 수수를 가능하게 하는 것을 말한다.

[0018] 또한, 본 명세서에 있어서, 「위에」, 「아래에」 등의 배치를 나타내는 어구는, 구성끼리의 위치 관계를, 도면을 참조하여 설명하기 위해서 편의상 사용하고 있다. 또한, 구성끼리의 위치 관계는, 각 구성을 묘사하는 방향에 따라서 적절히 변화하는 것이다. 따라서, 명세서에서 설명한 어구에 한정되지 않고, 상황에 따라서 적절하게 바꿔 말할 수 있다.

[0019] 또한, 도면에 있어서의 블록도의 각 회로 블록의 배치는, 설명을 위해서 위치 관계를 특정하는 것이며, 상이한 회로 블록에서 각각의 기능을 실현하도록 나타내고 있어도, 실제의 회로나 영역에서는 동일한 회로나 동일한 영역 내에서 각각의 기능을 실현할 수 있도록 설치되어 있는 경우도 있다. 또한 도면에 있어서의 블록도의 각 회로 블록의 기능은, 설명을 위해서 기능을 특정하는 것이며, 하나의 회로 블록으로 나타내고 있어도, 실제의 회로나 영역에서는 하나의 회로 블록에서 행하는 처리를, 복수의 회로 블록에서 행하도록 설치되어 있는 경우도 있다.

[0020] 또한, 화소란, 하나의 색 요소(예를 들어 R(적색), G(녹색), B(청색) 중 어느 하나)의 밝기를 제어할 수 있는 표시 단위에 상당하는 것으로 한다. 따라서, 컬러 표시 장치의 경우에는, 컬러 화상의 최소 표시 단위는, R의 화소와 G의 화소와 B의 화소의 3 화소로 구성되는 것으로 한다. 단, 컬러 화상을 표시하기 위한 색 요소는 3색에 한정되지 않고, 3색 이상을 사용해도 되고, RGB 이외의 색을 사용해도 된다.

[0021] 본 명세서에 있어서는, 본 발명의 실시 형태에 대해서 도면을 참조하면서 설명한다. 또한 각 실시 형태에서의 설명은, 이하의 순서로 행한다.

[0022] 1. 실시 형태 1(본 발명의 일 형태에 관한 기본 구성에 대해서)

[0023] 2. 실시 형태 2(표시 장치의 각 구성에 대해서)

[0024] 3. 실시 형태 3(표시 장치의 제작 방법에 대해서)

[0025] 4. 실시 형태 4(화소 회로의 구성에 대해서)

[0026] 5. 실시 형태 5(화소부의 구성에 대해서)

[0027] 6. 실시 형태 6(보호 회로의 변형예에 대해서)

[0028] 7. 실시 형태 7(트랜지스터의 구성에 대해서)

[0029] 8. 실시 형태 8(접속 단자부의 구성에 대해서)

[0030] 9. 실시 형태 9(터치 센서, 표시 모듈에 대해서)

[0031] 10. 실시 형태 10(전자 기기에 대해서)

[0032] (실시 형태 1)

[0033] 본 실시 형태에서는, 본 발명의 일 형태의 표시 장치에 대해서, 도 1 내지 도 5를 사용해서 설명한다.

[0034] 도 1의 (A)에 도시하는 표시 장치는, 화소의 표시 소자를 갖는 영역(이하, 화소부(102)라고 함)과, 화소를 구동하기 위한 회로를 갖는 회로부(이하, 구동 회로부(104)라고 함)와, 소자의 보호 기능을 갖는 회로(이하, 보호 회로(106)라고 함)와, 단자부(107)를 갖는다.

[0035] 화소부(102)는, X행(X는 2 이상의 자연수) Y열(Y는 2 이상의 자연수)에 배치된 복수의 표시 소자를 구동하기 위한 회로(이하, 화소 회로(108)라고 함)를 갖고, 구동 회로부(104)는, 화소를 선택하는 신호(주사 신호)를 출력하는 회로(이하, 게이트 드라이버(104a)라고 함), 화소의 표시 소자를 구동하기 위한 신호(데이터 신호)를 공급

하기 위한 회로(이하, 소스 드라이버(104b)라고 함) 등의 구동 회로를 갖는다.

[0036] 게이트 드라이버(104a)는 시프트 레지스터 등을 갖는다. 게이트 드라이버(104a)는 단자부(107)를 통해서, 시프트 레지스터를 구동하기 위한 신호가 입력되어, 신호를 출력한다. 예를 들어, 게이트 드라이버(104a)는 스타트 펄스 신호, 클록 신호 등이 입력되어, 펄스 신호를 출력한다. 게이트 드라이버(104a)는, 주사 신호가 부여되는 배선(이하, 주사선 GL_1 내지 GL_X라고 함)의 전위를 제어하는 기능을 갖는다. 또한, 게이트 드라이버(104a)를 복수 설치하고, 복수의 게이트 드라이버(104a)에 의해, 주사선 GL_1 내지 GL_X를 분할해서 제어해도 된다. 또는, 게이트 드라이버(104a)는 초기화 신호를 공급할 수 있는 기능을 갖는다. 단, 이것에 한정되지 않고, 게이트 드라이버(104a)는 다른 신호를 공급하는 것도 가능하다.

[0037] 소스 드라이버(104b)는 시프트 레지스터 등을 갖는다. 소스 드라이버(104b)는 단자부(107)를 통해서, 시프트 레지스터를 구동하기 위한 신호 외에, 데이터 신호원이 되는 신호(화상 신호)가 입력된다. 소스 드라이버(104b)는 화상 신호를 바탕으로 화소 회로(108)에 기입하는 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(104b)는 스타트 펄스 신호, 클록 신호 등이 입력되어서 얻어지는 펄스 신호에 따라, 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(104b)는 데이터 신호가 부여되는 배선(이하, 데이터선 DL_1 내지 DL_Y라고 함)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(104b)는 초기화 신호를 공급할 수 있는 기능을 갖는다. 단, 이것에 한정되지 않고, 소스 드라이버(104b)는 다른 신호를 공급하는 것도 가능하다.

[0038] 소스 드라이버(104b)는, 예를 들어 복수의 아날로그 스위치 등을 사용해서 구성된다. 소스 드라이버(104b)는 복수의 아날로그 스위치를 순차 온 상태로 함으로써, 화상 신호를 시분할한 신호를 데이터 신호로서 출력할 수 있다. 또한, 시프트 레지스터 등을 사용해서 소스 드라이버(104b)를 구성해도 된다.

[0039] 복수의 화소 회로(108) 각각은, 주사 신호가 부여되는 복수의 배선(이하, 주사선 GL이라고 함)의 하나를 통해서 펄스 신호가 입력되고, 데이터 신호가 부여되는 복수의 배선(이하, 데이터선 DL이라고 함)의 하나를 통해서 데이터 신호가 입력된다. 또한, 복수의 화소 회로(108) 각각은, 게이트 드라이버(104a)에 의해 데이터 신호의 데이터의 기입 및 유지가 제어된다. 예를 들어, m행 n열째의 화소 회로(108)는 주사선 GL_m(m은 X 이하의 자연수)을 통해서 게이트 드라이버(104a)로부터 펄스 신호가 입력되고, 주사선 GL_m의 전위에 따라서 데이터선 DL_n(n은 Y 이하의 자연수)을 통해서 소스 드라이버(104b)로부터 데이터 신호가 입력된다.

[0040] 보호 회로(106)는 게이트 드라이버(104a)와 화소 회로(108)의 사이의 배선인 주사선 GL에 접속된다. 또는, 보호 회로(106)는 소스 드라이버(104b)와 화소 회로(108)의 사이의 배선인 데이터선 DL에 접속된다. 또는, 보호 회로(106)는 게이트 드라이버(104a)와 단자부(107)의 사이의 배선에 접속할 수 있다. 또는, 보호 회로(106)는 소스 드라이버(104b)와 단자부(107) 사이의 배선에 접속할 수 있다. 또한, 단자부(107)는 외부의 회로로부터 표시 장치에 전원 및 제어 신호 및 화상 신호를 입력하기 위한 단자가 설치된 부분을 말한다.

[0041] 보호 회로(106)는, 자신이 접속하는 배선에 일정한 범위 밖의 전위가 부여되었을 때, 상기 배선과 다른 배선을 도통 상태로 하는 회로이다. 단, 이것에 한정되지 않고, 보호 회로(106)는 다른 신호를 공급하는 것도 가능하다.

[0042] 도 1의 (A)에 도시한 바와 같이, 화소부(102)와 구동 회로부(104)에 각각 보호 회로(106)를 설치함으로써, ESD(Electro Static Discharge: 정전기 방전) 등에 의해 발생하는 과전류에 대한 표시 장치의 내성을 높일 수 있다. 단, 보호 회로(106)의 구성은 이것에 한정되지 않고, 예를 들어 게이트 드라이버(104a)에 보호 회로(106)를 접속한 구성, 또는 소스 드라이버(104b)에 보호 회로(106)를 접속한 구성으로 할 수도 있다. 혹은, 단자부(107)에 보호 회로(106)를 접속한 구성으로 할 수도 있다.

[0043] 또한, 도 1의 (A)에 있어서는, 게이트 드라이버(104a)와 소스 드라이버(104b)에 의해 구동 회로부(104)를 형성하고 있는 예를 도시하고 있지만, 이 구성에 한정되지 않는다. 예를 들어, 게이트 드라이버(104a)만을 형성하고, 별도 준비된 소스 드라이버 회로가 형성된 기판(예를 들어, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기판)을 실장하는 구성으로 해도 된다.

[0044] 즉, 보호 회로(106)는 화소부(102)와, 구동 회로부(104) 중 어느 한쪽 또는 양쪽에 전기적으로 접속된다.

[0045] 보호 회로(106)는, 예를 들어 저항 소자 등을 사용해서 구성할 수 있다. 도 1의 (B)에 구체적인 보호 회로의 일례를 도시한다.

[0046] 도 1의 (B)에 도시하는 보호 회로(106)는 배선(110)과 배선(112)의 사이에 저항 소자(114)가 접속되어 있다.

또한, 배선(110)은, 예를 들어 도 1의 (A)에 도시하는 주사선 GL이나 데이터선 DL, 혹은 단자부(107)로부터 구동 회로부(104)에 배치되는 배선이다.

[0047] 또한, 배선(112)은, 예를 들어 도 1의 (A)에 도시하는 게이트 드라이버(104a) 또는 소스 드라이버(104b)에 전원을 공급하기 위한 전원선의 전위(VDD, VSS 또는 GND)가 부여되는 배선이다. 또는, 공통 전위(코먼 전위)가 부여되는 배선(공통선)이다. 일례로는, 배선(112)은 게이트 드라이버(104a)에 전원을 공급하기 위한 전원선, 특히, 낮은 전위를 공급하는 배선과 접속되는 것이 적합하다. 왜냐하면, 주사선 GL은 대부분의 기간에 있어서, 낮은 전위로 되어 있다. 따라서, 배선(112)의 전위도 낮은 전위로 되어 있으면, 통상의 동작 시에 있어서, 주사선 GL로부터 배선(112)으로 누설되어버리는 전류를 저감할 수 있기 때문이다.

[0048] 여기서, 저항 소자(114)로서 사용할 수 있는 구성의 일례에 대해서, 도 2를 사용해서 설명한다.

[0049] 도 2의 (A)에 도시하는 저항 소자(114)는, 기판(140) 위에 형성된 도전성을 갖는 층(이하, 도전층(142)이라고 함)과, 기판(140) 및 도전층(142) 위에 형성된 절연성을 갖는 층(이하, 절연층(144)이라고 함)과, 절연층(144) 위에 형성된 도전성을 갖는 층(이하, 도전층(148)이라고 함)을 갖는다.

[0050] 도 2의 (B)에 도시하는 저항 소자(114)는, 기판(140) 위에 형성된 도전층(142)과, 기판(140) 및 도전층(142) 위에 형성된 절연층(144)과, 절연층(144) 위에 형성된 절연층(146)과, 절연층(144) 및 절연층(146) 위에 형성된 도전층(148)을 갖는다.

[0051] 또한, 도 1의 (B)에 도시한 배선(112)이, 도전층(142)에서 형성되는 배선에 상당한다. 또한, 도 1의 (B)에 도시한 배선(110)이, 도전층(148)에서 형성되는 배선에 상당한다.

[0052] 도 2의 (A), 도 2의 (B)에 도시하는 저항 소자(114)는, 다시 말해, 한 쌍의 전극 간에 절연층(144)을 끼움 지지한 구조이며, 절연층(144)의 저항률(전기 저항률, 비저항이라고도 함)을 제어함으로써, 한 쌍의 전극의 한쪽에 과전류가 흘렀을 경우에, 다른 쪽 전극에 과전류의 일부 또는 전부를 흐르게 할 수 있다.

[0053] 그러나, 한 쌍의 전극 간에 끼움 지지된 절연층의 저항이 높은 경우, 예를 들어 10^{18}Ωcm 이상의 절연층을 사용한 경우, 한 쌍의 전극 중 어느 한쪽에 과전류가 흘렀을 때, 다른 쪽에 과전류를 적절하게 흐르게 할 수 없다.

[0054] 따라서, 본 발명의 일 형태로는, 한 쌍의 전극 간에 끼움 지지된 절연층(144)의 저항률로는, 예를 들어 10^{10}Ωcm 이상 10^{18}Ωcm 미만, 적합하게는 10^{11}Ωcm 이상 10^{15}Ωcm 미만의 절연막을 사용한다. 이러한 저항률을 갖는 절연막으로는, 예를 들어 질소와 실리콘을 포함하는 절연막을 들 수 있다.

[0055] 또한, 저항 소자(114)는, 도 2의 (B)에 도시한 바와 같이 한 쌍의 전극의 한쪽 전극의 단부를 덮는 절연층(146)을 절연층(144) 위에 형성하는 구성으로 해도 된다. 절연층(146)은, 절연층(144)보다도 저항률이 높은 재료를 사용해서 형성할 수 있다. 절연층(146)으로는, 예를 들어 10^{18}Ωcm 이상의 절연막을 사용하면 된다. 이러한 저항률을 갖는 절연막으로는, 예를 들어 산소와 질소와 실리콘을 포함하는 절연막을 들 수 있다.

[0056] 또한, 저항 소자(114)의 한 쌍의 전극으로서 기능하는 도전층(142, 148) 및 저항 소자(114)의 절연층으로서 기능하는 절연층(144, 146)은, 도 1의 (A)에 도시하는 표시 장치의 화소부(102) 및 구동 회로부(104)를 구성하는 트랜지스터의 제작 공정과 동시에 형성할 수 있다.

[0057] 구체적으로는, 예를 들어 도전층(142)은, 상기 트랜지스터의 게이트 전극과 동일 공정에서 제작할 수 있고, 도전층(148)은, 상기 트랜지스터의 소스 전극 또는 드레인 전극과 동일 공정에서 제작할 수 있으며, 절연층(144, 146)은 상기 트랜지스터의 게이트 절연층과 동일 공정에서 제작할 수 있다.

[0058] 이렇게 도 1의 (A)에 도시하는 표시 장치에 보호 회로(106)를 설치함으로써, 화소부(102) 및 구동 회로부(104)는, ESD 등에 의해 발생하는 과전류에 대한 내성을 높일 수 있다. 따라서, 신뢰성을 향상할 수 있는 신규의 표시 장치를 제공할 수 있다.

[0059] 또한, 화소부(102)는, 일례로서는, 보호 회로(106)와 동일 기판 위에 형성되어 있는 것이 바람직하다. 이에 의해, 부품 수나 단자 수를 저감시킬 수 있다. 또한, 구동 회로부(104)의 일부 또는 전부는, 일례로서는, 화소부(102)와 동일 기판 위에 형성되어 있는 것이 바람직하다. 이에 의해, 부품 수나 단자 수를 저감시킬 수 있다. 구동 회로부(104)의 일부 또는 전부가, 화소부(102)와 동일 기판 위에 형성되어 있지 않은 경우에는, 구동 회로부(104)의 일부 또는 전부는, COG나 TAB에 의해, 실장되어 있는 경우가 많다.

[0060] 이어서, 도 1의 (A)에 도시하는 표시 장치의 구체적인 구성에 대해서, 도 3을 사용해서 설명한다.

[0061] 도 3에 도시하는 표시 장치는 화소부(102)와, 구동 회로부로서 기능하는 게이트 드라이버(104a)와, 소스 드라이버(104b)와, 보호 회로(106_1)와, 보호 회로(106_2)와, 보호 회로(106_3)와, 보호 회로(106_4)를 갖는다.

[0062] 또한, 화소부(102), 게이트 드라이버(104a) 및 소스 드라이버(104b)는, 도 1의 (A)에 도시하는 구성과 마찬가지이다.

[0063] 보호 회로(106_1)는 트랜지스터(151, 152, 153, 154)와, 저항 소자(171, 172, 173)를 갖는다. 또한, 보호 회로(106_1)는, 게이트 드라이버(104a)와 접속되는 배선(181, 182, 183)의 사이에 설치된다. 또한, 트랜지스터(151)는 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 배선(183)이 접속되어 있다. 트랜지스터(152)는 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(151)의 제1 단자가 접속되어 있다. 트랜지스터(153)는 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(152)의 제1 단자가 접속되어 있다. 트랜지스터(154)는 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(153)의 제1 단자가 접속되어 있다. 또한, 트랜지스터(154)의 제1 단자가 배선(183) 및 배선(181)과 접속되어 있다. 또한, 저항 소자(171, 173)는 배선(183)에 설치되어 있다. 또한, 저항 소자(172)는 배선(182)과, 트랜지스터(152)의 제1 단자 및 트랜지스터(153)의 제3 단자와의 사이에 설치되어 있다.

[0064] 또한, 배선(181)은, 예를 들어 저전원 전위 VSS가 부여되는 전원선으로 사용할 수 있다. 또한, 배선(182)은, 예를 들어 공통선으로 사용할 수 있다. 또한, 배선(183)은, 예를 들어 고전원 전위 VDD가 부여되는 전원선으로 사용할 수 있다.

[0065] 보호 회로(106_2)는 트랜지스터(155, 156, 157, 158)와, 저항 소자(174, 175)를 갖는다. 또한, 보호 회로(106_2)는, 게이트 드라이버(104a)와 화소부(102)의 사이에 설치된다. 또한, 트랜지스터(155)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 배선(185)이 접속되어 있다. 트랜지스터(156)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(155)의 제1 단자가 접속되어 있다. 트랜지스터(157)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(156)의 제1 단자가 접속되어 있다. 트랜지스터(158)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와 트랜지스터(157)의 제1 단자가 접속되며, 트랜지스터(158)의 제1 단자와 배선(184)이 접속되어 있다. 또한, 저항 소자(174)는, 배선(185)과, 트랜지스터(156)의 제1 단자 및 트랜지스터(157)의 제3 단자와의 사이에 설치되어 있다. 또한, 저항 소자(175)는 배선(184)과, 트랜지스터(156)의 제1 단자 및 트랜지스터(157)의 제3 단자와의 사이에 설치되어 있다.

[0066] 또한, 배선(184)은, 예를 들어 저전원 전위 VSS가 부여되는 전원선으로 사용할 수 있다. 또한, 배선(185)은, 예를 들어 고전원 전위 VDD가 부여되는 전원선으로 사용할 수 있다. 또한, 배선(186)은, 예를 들어 게이트선으로 사용할 수 있다.

[0067] 보호 회로(106_3)는, 트랜지스터(159, 160, 161, 162)와, 저항 소자(176, 177)를 갖는다. 또한, 보호 회로(106_3)는 소스 드라이버(104b)와 화소부(102)의 사이에 설치된다. 또한, 트랜지스터(159)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 배선(190)이 접속되어 있다. 트랜지스터(160)는 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(159)의 제1 단자가 접속되어 있다. 트랜지스터(161)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(160)의 제1 단자가 접속되어 있다. 트랜지스터(162)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(161)의 제1 단자가 접속되어 있다. 또한, 트랜지스터(162)의 제1 단자가 배선(191)과 접속되어 있다. 또한, 저항 소자(176)는, 배선(190)과, 트랜지스터(160)의 제1 단자 및 트랜지스터(161)의 제3 단자와의 사이에 설치되어 있다. 또한, 저항 소자(177)는 배선(191)과, 트랜지스터(160)의 제1 단자 및 트랜지스터(161)의 제3 단자

와의 사이에 설치되어 있다.

[0068] 또한, 배선(188)은, 예를 들어 공통선 또는 소스선으로 사용할 수 있다. 또한, 배선(189, 190)은, 예를 들어 고전원 전위 VDD가 부여되는 전원선으로 사용할 수 있다. 또한, 배선(191)은, 예를 들어 저전원 전위 VSS가 부여되는 전원선으로 사용할 수 있다.

[0069] 보호 회로(106_4)는 트랜지스터(163, 164, 165, 166)와, 저항 소자(178, 179, 180)를 갖는다. 또한, 보호 회로(106_4)는 소스 드라이버(104b)와 접속되는 배선(187, 188, 189, 190, 191)의 사이에 설치된다. 또한, 트랜지스터(163)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 배선(187)이 접속되어 있다. 트랜지스터(164)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(163)의 제1 단자가 접속되어 있다. 트랜지스터(165)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(164)의 제1 단자가 접속되어 있다. 트랜지스터(166)는, 소스 전극으로서의 기능을 갖는 제1 단자와, 게이트 전극으로서의 기능을 갖는 제2 단자가 접속되고, 드레인 전극으로서의 기능을 갖는 제3 단자와, 트랜지스터(165)의 제1 단자가 접속되어 있다. 또한, 트랜지스터(166)의 제1 단자가 배선(189)과 접속되어 있다. 또한, 저항 소자(178)는 배선(187)과 배선(188)의 사이에 설치되어 있다. 또한, 저항 소자(179)는 배선(188)에 설치되고, 트랜지스터(164)의 제1 단자 및 트랜지스터(165)의 제3 단자와 접속되어 있다. 또한, 저항 소자(180)는 배선(188)과 배선(189)의 사이에 설치되어 있다.

[0070] 또한, 배선(187, 191)은, 예를 들어 저전원 전위 VSS가 부여되는 전원선으로 사용할 수 있다. 또한, 배선(188)은, 예를 들어 공통선 또는 소스선으로 사용할 수 있다. 또한, 배선(189, 190)은, 예를 들어 고전원 전위 VDD가 부여되는 전원선으로 사용할 수 있다.

[0071] 또한, 배선(181) 내지 배선(191)은, 도 3 중에 도시하는 고전원 전위 VDD, 저전원 전위 VSS, 공통선 CL에 나타내는 기능에만 한정되지 않고, 각각 독립하여 주사선, 신호선, 전원선, 접지선, 용량선 또는 공통선 등의 기능을 갖고 있어도 된다.

[0072] 또한, 보호 회로(106_1 내지 106_4)가 갖는 트랜지스터(151 내지 166)의 반도체층으로는, 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체를 사용하는 트랜지스터는, 반도체층에 실리콘 등을 사용하는 트랜지스터와 비교하여, 어밸런치 브레이크 다운이 없기 때문에 전계에 대한 내성이 높다. 또한, 트랜지스터(151 내지 166)의 트랜지스터 구조로는, 예를 들어 플래너형 및 역 스태거형을 사용할 수 있다.

[0073] 이와 같이, 보호 회로(106_1 내지 106_4)는, 복수의 다이오드 접속된 트랜지스터와, 복수의 저항 소자에 의해 구성되어 있다. 즉, 보호 회로(106_1 내지 106_4)는, 다이오드 접속된 트랜지스터와 저항 소자를 병렬로 조합해서 사용할 수 있다.

[0074] 또한, 도 3에 도시한 바와 같이 보호 회로(106_1) 내지 보호 회로(106_4)는, 화소부(102)와 게이트 드라이버(104a)의 사이, 게이트 드라이버(104a)와 접속되는 배선과의 사이, 화소부(102)와 소스 드라이버(104b)의 사이 또는 소스 드라이버(104b)와 접속되는 배선과의 사이에 설치할 수 있다.

[0075] 또한, 일례로서, 도 3에서 설명한 보호 회로(106_2)에 대응하는 평면도 및 저항 소자로서 기능하는 영역의 단면도를 도 4의 (A), 도 4의 (B)에 도시하였다. 도 4의 (A)에 도시하는 평면도에서 붙인 부호는, 도 3에서 붙인 부호에 대응한다. 또한, 도 4의 (B)는, 도 4의 (A)의 절단선 M-N에 의한 단면도이다. 도 4의 (A), 도 4의 (B)에 도시한 바와 같이 본 실시 형태에서 설명하는 보호 회로의 저항 소자는, 배선에 중첩하는 절연층의 일부를 제거하고, 배선 간의 절연층의 저항률을 제어함으로써, 과전류를 적절하게 방출시키는 저항 소자로서 사용할 수 있다.

[0076] 또한, 도 5는, 도 3에서 설명한 보호 회로와는 상이한 구성을 도시하는 회로도이다. 도 5에 도시하는 회로도에서는, 트랜지스터(155A, 156A, 157A, 158A), 트랜지스터(155B, 156B, 157B, 158B), 저항 소자(174A, 175A), 저항 소자(174B, 175B), 저항 소자(199), 배선(184), 배선(185) 및 배선(186)을 나타내고 있다. 또한, 도 5에 도시하는 회로도에서 붙인 부호는, 도 3에서 설명한 보호 회로(106_2)와 동일한 구성에 대해서, 동일한 부호를 부여해서 대응시키고 있다. 도 5에 도시하는 회로도가 도 3에 도시한 보호 회로(106_2)와 상이한 점은, 도 3의 보호 회로(106_2)에 상당하는 회로를 배열해서 배치하고, 배선 간에 저항 소자(199)를 설치한 점이다.

[0077] 또한, 도 5에서 도시한 보호 회로(106_2)가 갖는 저항 소자(199)의 저항률은, 저항 소자(174A, 175A), 저항 소

자(174B, 175B)의 저항률이 10^{10}Ωcm 이상 10^{18}Ωcm 미만으로 하는 것에 반해, 10^{3}Ωcm 이상 10^{6}Ωcm 미만의, 보다 작은 값으로 하는 것이 바람직하다. 도 5에 도시하는 회로도의 구성으로 함으로써, 배선에 부여되는 신호가 급준한 변화를 억제할 수 있다.

[0078] 이렇게 표시 장치에 복수의 보호 회로를 설치함으로써, 화소부(102) 및 구동 회로부(104)(게이트 드라이버(104a), 소스 드라이버(104b))는 ESD 등에 의해 발생하는 과전류에 대한 내성을 더욱 높일 수 있다. 따라서, 신뢰성을 향상할 수 있는 신규의 표시 장치를 제공할 수 있다.

[0079] 또한, 본 실시 형태에 있어서, 보호 회로, 저항 소자, 트랜지스터 등을 설치하는 경우의 예에 대해서 설명했지만, 본 발명의 실시 형태의 일 형태는, 이것에 한정되지 않는다. 예를 들어, 경우에 따라서는, 보호 회로 등을 설치하지 않는 것도 가능하다.

[0080] 본 실시 형태에 나타내는 구성은, 다른 실시 형태에 나타내는 구성과 적절히 조합해서 사용할 수 있다.

[0081] (실시 형태 2)

[0082] 본 실시 형태에서는, 실시 형태 1에서 설명한 보호 회로를 갖는 세로 전계 방식의 액정 소자를 사용하는 표시 장치(액정 표시 장치라고도 함)의 구성에 대해서 도 6을 사용하여, 설명한다.

[0083] 도 6에 도시하는 표시 장치는, 도 1의 (A)에 도시하는 표시 장치의 화소부(102)와, 구동 회로부(104)와, 보호 회로(106)를 갖는다. 또한, 각 도전층이 접속하고 있는 지점으로서, 접속부(109)를 예시하고 있다. 접속부(109)는 제1층째의 도전층과, 제2층째의 도전층의 접속 구조를 나타내고 있다. 이러한 접속 구조는, 구동 회로부(104) 또는 배치 배선 등에 적용할 수 있다.

[0084] 또한, 도 6에 도시하는 표시 장치에 있어서는, 구동 회로부(104)에 보호 회로(106)를 접속하는 구성에 대해서 예시하지만, 이것에 한정되지 않고, 예를 들어 구동 회로부(104)와 화소부(102)의 사이에 보호 회로(106)를 접속하는 구성으로 할 수 있다.

[0085] 본 실시 형태에 나타내는 표시 장치는, 한 쌍의 기판(기판(202)과 기판(252)) 사이에 액정 소자(268)가 끼움 지지되어 있다.

[0086] 액정 소자(268)는 기판(202)의 위쪽에 형성된 도전층(220c)과, 도전층(220c) 위에 형성된 액정층(260)과, 액정층(260) 위에 형성된 도전층(258)을 갖는다. 도전층(220c)은, 액정 소자(268)의 한쪽 전극으로서 기능하고, 도전층(258)은 액정 소자(268)의 다른 쪽 전극으로서 기능한다.

[0087] 또한, 본 실시 형태에 있어서는, 액정 소자(268)가 세로 전계 방식의 액정 소자인 경우에 대해서 설명한다. 세로 전계 방식의 액정 소자로는, 예를 들어 TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, VA(Vertical Alignment) 모드가 대표적이다. 단, 액정 소자로는 이것에 한정되지 않고, 예를 들어 횡전계 방식의 IPS(In-Plane-Switching) 모드 및 FFS(Fringe Field Switching) 모드 등을 사용해도 된다.

[0088] 이와 같이, 액정 표시 장치란, 액정 소자를 갖는 장치를 말한다. 또한, 액정 표시 장치는, 복수의 화소를 구동시키는 구동 회로 등을 포함한다. 또한, 액정 표시 장치는, 다른 기판 위에 배치된 제어 회로, 전원 회로, 신호 생성 회로 및 백라이트 모듈 등을 포함하고, 액정 모듈이라고 부르는 일도 있다.

[0089] 액정 표시 장치에 있어서, 액정 표시 장치가 갖는 구동 회로부(104), 화소부(102)에 설치된 트랜지스터는, 본 실시 형태에 나타낸 바와 같이 보호 회로(106)를 설치함으로써, 외부로부터의 과전류에 대한 내성을 높일 수 있다.

[0090] 예를 들어, 액정 소자를 제작할 때 행해지는 러빙 처리에 의해, 정전기가 발생할 수 있다. 그러나, 보호 회로(106)를 설치함으로써, 화소부(102) 및 구동 회로부(104)에 형성된 트랜지스터에는, 상기 정전기에 의해 발생할 수 있는 과전류가 흐르지 않거나, 또는 억제된다. 따라서, 트랜지스터의 정전 파괴가 억제되어, 신뢰성이 높은 표시 장치로 할 수 있다.

[0091] 여기서, 도 6에 도시하는 표시 장치의 그 밖의 구성 요소에 대해서, 이하에 설명한다.

[0092] 기판(202) 위에는 도전성을 갖는 층(이하, 도전층(204a, 204b, 204c, 204d)이라고 함)이 형성되어 있다. 도전층(204a)은 보호 회로(106)에 형성되고, 저항 소자의 한 쌍의 전극의 한쪽으로서의 기능을 갖는다. 또한, 도전층(204b)은, 구동 회로부(104)에 형성되고, 구동 회로의 트랜지스터의 게이트로서의 기능을 갖는다. 또한, 도전층(204c)은 화소부(102)에 형성되고, 화소 회로의 트랜지스터의 게이트로서의 기능을 갖는다. 또한, 도전층

(204d)은 접속부(109)에 형성되고, 도전층(212f)과 접속한다.

[0093] 또한, 기판(202) 및 도전층(204a, 204b, 204c, 204d) 위에는, 절연성을 갖는 층(이하, 절연층(206, 208)이라고 함)이 형성되어 있다. 절연층(206, 208)은 구동 회로부(104)의 트랜지스터의 게이트 절연층 및 화소부(102)의 트랜지스터의 게이트 절연층으로서의 기능을 갖는다. 또한, 절연층(206)은 보호 회로(106)의 저항 소자(저항층)로서의 기능을 갖는다.

[0094] 또한, 절연층(208) 위에는 반도체 특성을 갖는 층(이하, 반도체층(210a, 210b)이라고 함)이 형성되어 있다. 반도체층(210a)은 도전층(204b)과 중첩하는 위치에 형성되고, 구동 회로의 트랜지스터의 채널로서의 기능을 갖는다. 또한, 반도체층(210b)은 도전층(204c)과 중첩하는 위치에 형성되고, 화소 회로의 트랜지스터의 채널로서의 기능을 갖는다.

[0095] 또한, 절연층(206, 208) 및 반도체층(210a, 210b) 위에는, 도전성을 갖는 층(이하, 도전층(212a, 212b, 212c, 212d, 212e, 212f)이라고 함)이 형성되어 있다. 도전층(212a)은 보호 회로(106)의 저항 소자의 한 쌍의 전극의 다른 쪽으로서의 기능을 갖는다. 또한, 도전층(212b)은, 반도체층(210a)과 전기적으로 접속되고, 구동 회로의 트랜지스터가 갖는 소스 및 드레인 중 한쪽으로서의 기능을 갖는다. 또한, 도전층(212c)은 반도체층(210a)과 전기적으로 접속되고, 구동 회로의 트랜지스터가 갖는 소스 및 드레인의 다른 쪽으로서의 기능을 갖는다. 또한, 도전층(212d)는, 반도체층(210b)과 전기적으로 접속되고, 화소 회로의 트랜지스터가 갖는 소스 및 드레인 중 한쪽으로서의 기능을 갖는다. 또한, 도전층(212e)은 반도체층(210b)과 전기적으로 접속되고, 화소 회로의 트랜지스터가 갖는 소스 및 드레인의 다른 쪽으로서의 기능을 갖는다. 또한, 도전층(212f)은 접속부(109)에 형성되고, 절연층(206, 208)에 형성된 개구부를 통해서 도전층(204d)과 전기적으로 접속되어 있다.

[0096] 또한, 절연층(208), 반도체층(210a, 210b) 및 도전층(212a, 212b, 212c, 212d, 212e, 212f) 위에는, 절연성을 갖는 층(이하, 절연층(214, 216)이라고 함)이 형성되어 있다. 절연층(214, 216)은 트랜지스터를 보호하는 기능을 갖는다. 특히, 절연층(214)은 반도체층(210a, 210b)을 보호하는 기능을 갖는다.

[0097] 또한, 절연층(216) 위에는 절연성을 갖는 층(이하, 절연층(218)이라고 함)이 형성되어 있다. 절연층(218)은, 평탄화층으로서의 기능을 갖는다. 또한, 절연층(218)을 형성함으로써, 절연층(218)보다도 하방에 형성된 도전층과, 절연층(218)보다도 위쪽에 형성된 도전층의 사이에서 발생할 수 있는 기생 용량의 발생을 억제할 수 있다.

[0098] 또한, 절연층(218) 위에는 도전성을 갖는 층(이하, 도전층(220a, 220b, 220c)이라고 함)이 형성되어 있다. 도전층(220a)은, 절연층(214, 216, 218)을 관통해서 형성된 개구부에 의해 도전층(212b)과 전기적으로 접속되고, 구동 회로부(104)의 도전층(212b)과 다른 배선을 전기적으로 접속하는 접속 전극으로서의 기능을 갖는다. 도전층(220b)은, 절연층(214, 216, 218)을 관통해서 형성된 개구부에 의해 도전층(212d)과 전기적으로 접속되고, 화소부(102)의 도전층(212d)과 다른 배선을 전기적으로 접속하는 접속 전극으로서의 기능을 갖는다. 또한, 도전층(220c)은 절연층(214, 216, 218)을 관통해서 형성된 개구부에 의해 도전층(212e)과 전기적으로 접속되고, 화소부(102)의 화소 전극으로서의 기능을 갖는다. 또한, 도전층(220c)은, 화소 회로의 액정 소자가 갖는 한 쌍의 전극 중 한쪽으로서 기능할 수 있다.

[0099] 또한, 기판(252) 위에는, 유색성을 갖는 층(이하, 유색층(254)이라고 함)이 형성되어 있다. 유색층(254)은, 컬러 필터로서의 기능을 갖는다. 또한, 도 6에 있어서는 도시하고 있지 않지만, 블랙 매트릭스로서의 기능을 갖는 차광막을 유색층(254)에 인접해서 형성해도 된다. 또한, 유색층(254)은, 반드시 형성할 필요는 없고, 예를 들어 표시 장치가 흑백인 경우 등에 따라, 유색층(254)을 형성하지 않는 구성으로 해도 된다.

[0100] 또한, 유색층(254) 위에는, 절연성을 갖는 층(이하, 절연층(256)이라고 함)이 형성되어 있다. 절연층(256)은, 평탄화층으로서의 기능 또는 유색층(254)이 함유할 수 있는 불순물을 액정 소자측에 확산하는 것을 억제하는 기능을 갖는다.

[0101] 또한, 절연층(256) 위에는, 도전성을 갖는 층(이하, 도전층(258)이라고 함)이 형성되어 있다. 도전층(258)은, 화소 회로의 액정 소자가 갖는 한 쌍의 전극의 다른 쪽으로서의 기능을 갖는다. 또한, 도전층(220a, 220b, 220c) 및 도전층(258) 위에는, 배향막으로서의 기능을 갖는 절연막을 별도로 형성해도 된다.

[0102] 또한, 도전층(220a, 220b, 220c)과 도전층(258)의 사이에는, 액정층(260)이 형성되어 있다. 또한 액정층(260)은, 시일재(도시 생략)를 사용하여, 기판(202)과 기판(252)의 사이에 밀봉되어 있다. 또한, 시일재는 외부로부터의 수분 등의 인입을 억제하기 위해서, 무기 재료와 접촉하는 구성이 바람직하다.

[0103] 또한, 도전층(220a, 220b, 220c)과 도전층(258)의 사이에 액정층(260)의 두께(셀 갭이라고도 함)를 유지하는 스페이서를 설치해도 된다.

[0104] 또한, 본 실시 형태에 나타내는 표시 장치는, 화소부(102) 및 구동 회로부(104)가 갖는 트랜지스터와, 보호 회로(106)를 동시에 형성할 수 있다. 따라서, 제조 비용 등을 증가시키지 않고 보호 회로(106)를 형성하는 것이 가능하게 된다.

[0105] 본 실시 형태에 나타내는 구성은, 다른 실시 형태에 나타내는 구성과 적절히 조합해서 사용할 수 있다.

[0106] (실시 형태 3)

[0107] 본 실시 형태에서는, 실시 형태 2에서 설명한 표시 장치의 제작 방법에 대해서, 도 7 내지 도 12를 사용해서 설명한다.

[0108] 우선, 기판(202)을 준비한다. 기판(202)으로는 알루미노실리케이트 유리, 알루미노 붕규산 유리, 바륨 붕규산 유리 등의 유리 재료를 사용한다. 양산하는 데 있어서는, 기판(202)은 제8세대(2160㎜×2460㎜), 제9세대(2400㎜×2800㎜ 또는 2450㎜×3050㎜), 제10세대(2950㎜×3400㎜) 등의 마더 유리를 사용하는 것이 바람직하다. 마더 유리는, 처리 온도가 높고, 처리 시간이 길면 대폭 수축되기 때문에, 마더 유리를 사용해서 양산을 행하는 경우, 제작 공정의 가열 처리는, 바람직하게는 600℃ 이하, 더욱 바람직하게는 450℃ 이하, 더욱 바람직하게는 350℃ 이하로 하는 것이 바람직하다.

[0109] 이어서, 기판(202) 위에 도전막을 형성하고, 상기 도전막을 원하는 영역에 가공함으로써, 도전층(204a, 204b, 204c, 204d)을 형성한다. 또한, 도전층(204a, 204b, 204c, 204d)의 형성은, 원하는 영역에 제1 패터닝에 의한 마스크의 형성을 행하고, 상기 마스크에 덮여 있지 않은 영역을 에칭함으로써 형성할 수 있다.(도 7의 (A) 참조).

[0110] 도전층(204a, 204b, 204c, 204d)으로는 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용해서 형성할 수 있다. 또한, 도전층(204a, 204b, 204c, 204d)은 단층 구조여도, 2층 이상의 적층 구조여도 된다. 예를 들어, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄 막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 알루미늄막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄에 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소의 막 또는 복수 조합한 합금막, 혹은 질화막을 사용해도 된다. 또한, 도전층(204a, 204b, 204c, 204d)으로는, 예를 들어 스퍼터링법을 사용해서 형성할 수 있다.

[0111] 또한, 상기 공정에 의해, 보호 회로(106)가 갖는 도전층(204a)과, 화소부(102)가 갖는 도전층(204c)과, 구동 회로부(104)가 갖는 도전층(204b)을 동일 평면 위에 형성할 수 있다.

[0112] 이어서, 기판(202) 및 도전층(204a, 204b, 204c, 204d) 위에 절연층(206, 208)을 형성한다(도 7의 (B) 참조).

[0113] 절연층(206)으로는, 예를 들어 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막 등을 사용하면 되고, PE-CVD 장치를 사용해서 적층 또는 단층으로 형성한다. 또한, 절연층(206)을 적층 구조로 했을 경우, 제1 질화 실리콘막으로서, 결함이 적은 질화 실리콘막으로 하고, 제1 질화 실리콘막 위에 제2 질화 실리콘막으로서, 수소 방출량 및 암모니아 방출량이 적은 질화 실리콘막을 형성하면 적합하다. 이 결과, 절연층(206)에 포함되는 수소 및 질소가, 반도체층(210a, 210b)으로의 이동을 억제하는 것이 가능하다.

[0114] 절연층(208)으로는 산화 실리콘막, 산화 질화 실리콘막 등을 사용하면 되고, PE-CVD 장치를 사용해서 적층 또는 단층으로 형성한다. 또한, 절연층(206)과 절연층(208)은 진공 중에서 연속해서 형성하면, 절연층(206)과 절연층(208)과의 계면에 불순물의 혼입이 적기 때문에, 바람직하다. 또한, 도전층(204b, 204c)과 중첩하는 영역의 절연층(206, 208)은, 게이트 절연층으로서 기능할 수 있어, 예를 들어 절연층(206)으로서 두께 300㎚의 질화 실리콘막을 적용하고, 절연층(208)으로서 두께 50㎚의 산화 질화 실리콘막을 적용할 수 있다.

[0115] 또한, 질화 산화 실리콘이란, 질소의 함유량이 산소보다 큰 절연 재료이고, 한편, 산화 질화 실리콘이란, 산소의 함유량이 질소보다 큰 절연 재료를 말한다.

[0116] 게이트 절연층으로서, 상기와 같은 구성으로 함으로써, 예를 들어 이하와 같은 효과를 얻을 수 있다. 질화 실리콘막은, 산화 실리콘막과 비교해서 비유전율이 높고, 동등한 정전 용량을 얻는 데 필요한 막 두께가 크기 때

문에, 게이트 절연막을 물리적으로 후막화할 수 있다. 따라서, 트랜지스터의 절연 내압의 저하를 억제하고, 나아가 절연 내압을 향상시켜서, 트랜지스터의 정전 파괴를 억제할 수 있다.

[0117] 이어서, 절연층(208) 위에 반도체막을 형성하고, 상기 반도체막을 원하는 영역에 가공함으로써, 반도체층(210a, 210b)을 형성한다. 또한, 반도체층(210a, 210b)의 형성은, 원하는 영역에 제2 패터닝에 의한 마스크의 형성을 행하고, 상기 마스크에 덮여 있지 않은 영역을 에칭함으로써 형성할 수 있다. 에칭으로는, 건식 에칭, 습식 에칭 또는 양쪽을 조합한 에칭을 사용할 수 있다(도 8의 (A) 참조).

[0118] 반도체층(210a, 210b)으로는, 예를 들어 산화물 반도체를 사용할 수 있다. 반도체층(210a, 210b)에 적용할 수 있는 산화물 반도체는, 적어도 인듐(In), 아연(Zn) 및 M(Al, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)을 포함하는 In-M-Zn 산화물로 표기되는 층을 포함하는 것이 바람직하다. 또는, In과 Zn의 양쪽을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위해서, 그것들과 함께, 스테빌라이저를 포함하는 것이 바람직하다.

[0119] 스테빌라이저로는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al) 또는 지르코늄(Zr) 등이 있다. 또한, 다른 스테빌라이저로는 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.

[0120] 예를 들어, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 사용할 수 있다.

[0121] 또한, 여기에서, 예를 들어 In-Ga-Zn 산화물이란, In과 Ga와 Zn을 주성분으로 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관하지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 된다. 또한, 본 명세서 등에 있어서는, In-Ga-Zn 산화물로 구성한 막을 IGZO막이라고도 부른다.

[0122] 또한, $InMO_3(ZnO)_m$(m>0, 또한 m은 정수가 아님)으로 표기되는 재료를 사용해도 된다. 또한, M은 Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, $In_2SnO_5(ZnO)_n$(n>0, 또한 n은 정수)으로 표기되는 재료를 사용해도 된다.

[0123] 또한, 산화물 반도체의 성막에는 스퍼터링법을 사용하는 것이 바람직하다. 스퍼터링법으로는 RF 스퍼터링법, DC 스퍼터링법, AC 스퍼터링법 등을 사용할 수 있다. 특히, 성막 시에 발생하는 먼지를 저감할 수 있고, 또한 막 두께 분포도 균일하게 하는 점에서 DC 스퍼터링법을 사용하는 것이 바람직하다.

[0124] 여기서 산화물 반도체막의 구조에 대해서 설명한다.

[0125] 산화물 반도체막은, 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 크게 구별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0126] 우선은, CAAC-OS막에 대해서 설명한다.

[0127] CAAC-OS막은, c축 배향한 복수의 결정부를 갖는 산화물 반도체막 중 하나이다.

[0128] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의해 관찰하면, 명확한 결정부끼리의 경계, 즉 결정립계(그레인바운더리라고도 함)를 확인할 수 없다. 그로 인해, CAAC-OS막은, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0129] CAAC-OS막을, 시료면과 개략 평행한 방향으로부터 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에 있어서, 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은, CAAC-OS막의 막을 형성하는 면(피형성면이라고도 함) 또는 윗면의 요철을 반영한 형상이고, CAAC-OS막의 피형성면 또는 윗면과 평행하게 배열한다.

[0130] 한편, CAAC-OS막을, 시료면과 개략 수직인 방향으로부터 TEM에 의해 관찰(평면 TEM 관찰)하면, 결정부에 있어서, 금속 원자가 삼각 형상 또는 육각형 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부 간에서, 금속 원자의 배열에 규칙성은 보이지 않는다.

[0131] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖고 있는 것을 알 수 있다.

[0132] 또한, 본 명세서에 있어서, 「평행」이란, 두 개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한, 「수직」이란, 두 개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다.

[0133] 또한, CAAC-OS막에 포함되는 대부분의 결정부는 1변이 100㎚ 미만의 입방체 내에 수용되는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는, 1변이 10㎚ 미만, 5㎚ 미만 또는 3㎚ 미만의 입방체 내에 수용되는 크기의 경우도 포함된다. 단, CAAC-OS막에 포함되는 복수의 결정부가 연결됨으로써, 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어, 평면 TEM상에 있어서, 2500㎚^{2} 이상, 5㎛^{2} 이상 또는 1000㎛^{2} 이상이 되는 결정 영역이 관찰되는 경우가 있다.

[0134] CAAC-OS막에 대하여, X선 회절(XRD: X-Ray Diffraction) 장치를 사용해서 구조 해석을 행하면, 예를 들어 $InGaZnO_4$의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는, $InGaZnO_4$의 결정의 (009)면에 귀속되는 점에서, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 윗면에 개략 수직인 방향을 향하고 있는 것을 확인할 수 있다.

[0135] 한편, CAAC-OS막에 대하여, c축에 개략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는, $InGaZnO_4$의 결정의 (110)면에 귀속된다. $InGaZnO_4$의 단결정 산화물 반도체막이면, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(φ축)으로 하여 시료를 회전시키면서 분석(φ 스캔)을 행하면, (110)면과 등가의 결정면에 귀속되는 피크가 6개 관찰된다. 이에 반해, CAAC-OS막의 경우에는, 2θ를 56° 근방에 고정해서 φ 스캔한 경우에도, 명료한 피크가 나타나지 않는다.

[0136] 이상으로부터, CAAC-OS막에서는, 상이한 결정부 간에서는 a축 및 b축의 배향은 불규칙한데, c축 배향성을 갖고, 또한 c축이 피형성면 또는 윗면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰에서 확인된 층상으로 배열된 금속 원자의 각 층은, 결정의 ab면에 평행한 면이다.

[0137] 또한, 결정부는 CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 행했을 때 형성된다. 상술한 바와 같이, 결정의 c축은, CAAC-OS막의 피형성면 또는 윗면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 윗면의 법선 벡터와 평행하게 되지 않는 경우도 있다.

[0138] 또한, CAAC-OS막 내에 있어서, c축 배향한 결정부의 분포가 균일하지 않아도 된다. 예를 들어, CAAC-OS막의 결정부가, CAAC-OS막의 윗면 근방으로부터의 결정 성장에 의해 형성되는 경우, 윗면 근방의 영역은, 피형성면 근방의 영역보다도 c축 배향한 결정부의 비율이 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역이 변질되고, 부분적으로 c축 배향한 결정부의 비율이 상이한 영역이 형성되는 경우도 있다.

[0139] 또한, $InGaZnO_4$의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 2θ가 31° 근방의 피크의 이외에, 2θ가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ가 36° 근방의 피크는, CAAC-OS막 내의 일부에, c축 배향성을 갖지 않은 결정이 포함되는 것을 나타내고 있다. CAAC-OS막은 2θ가 31° 근방에 피크를 나타내고, 2θ가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.

[0140] CAAC-OS막은, 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등의, 산화물 반도체막을 구성하는 금속 원소보다도 산소와의 결합력이 강한 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 어지럽히고, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 포함되면, 산화물 반도체막의 원자 배열을 어지럽히고, 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은, 캐리어 트랩이나

캐리어 발생원이 되는 경우가 있다.

[0141] 또한, CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은, 캐리어 트랩이 되는 경우나, 수소를 포획 함으로써 캐리어 발생원이 되는 경우가 있다.

[0142] 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 것을, 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 당해 산화물 반도체막을 사용한 트랜지스터는, 임계값 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 트랩이 적다. 그로 인해, 당해 산화물 반도체막을 사용한 트랜지스터는, 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다.

[0143] 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는, 방출할 때까지 필요로 하는 시간이 길어, 마치 고정 전하와 같이 움직이는 경우가 있다. 그로 인해, 불순물 농도가 높고, 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는, 전기 특성이 불안정해지는 경우가 있다.

[0144] 또한, CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0145] 이어서, 미결정 산화물 반도체막에 대해서 설명한다.

[0146] 미결정 산화물 반도체막은, TEM에 의한 관찰상으로는 명확하게 결정부를 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1㎚ 이상 100㎚ 이하, 또는 1㎚ 이상 10㎚ 이하의 크기인 경우가 많다. 특히, 1㎚ 이상 10㎚ 이하, 또는 1㎚ 이상 3㎚ 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을, nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은, 예를 들어 TEM에 의한 관찰상으로는, 결정립계를 명확하게 확인할 수 없는 경우가 있다.

[0147] nc-OS막은, 미소한 영역(예를 들어, 1㎚ 이상 10㎚ 이하의 영역, 특히 1㎚ 이상 3㎚ 이하의 영역)에 있어서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부 간에서 결정 방위에 규칙성이 보이지 않는다. 그로 인해, 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS막은, 분석 방법에 따라서는, 비정질 산화물 반도체막과 구별이 되지 않는 경우가 있다. 예를 들어, nc-OS막에 대하여, 결정부보다도 큰 직경의 X선을 사용하는 XRD 장치를 사용해서 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대하여, 결정부보다도 큰 프로브 직경(예를 들어 50㎚ 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 행하면, 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여, 결정부의 크기와 가깝거나 결정부보다 작은 프로브 직경(예를 들어 1㎚ 이상 30㎚ 이하)의 전자선을 사용하는 전자선 회절(나노빔 전자선 회절이라고도 함)을 행하면, 스폿이 관측된다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 행하면, 원을 그리도록(링 형상으로) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 행하면, 링 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.

[0148] nc-OS막은 비정질 산화물 반도체막보다도 규칙성이 높은 산화물 반도체막이다. 그로 인해, nc-OS막은 비정질 산화물 반도체막보다도 결함 준위 밀도가 낮아진다. 단, nc-OS막은, 다른 결정부 간에서 결정 방위에 규칙성이 보이지 않는다. 그로 인해, nc-OS막은 CAAC-OS막과 비교해서 결함 준위 밀도가 높아진다.

[0149] 또한, 산화물 반도체막은, 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종 이상을 갖는 적층막이어도 된다.

[0150] 또한, CAAC-OS막을 성막하기 위해서, 이하의 조건을 적용하는 것이 바람직하다.

[0151] 성막 시의 불순물 혼입을 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(수소, 물, 이산화탄소 및 질소 등)을 저감하면 된다. 또한, 성막 가스 내의 불순물을 저감하면 된다. 구체적으로는, 노점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 사용한다.

[0152] 또한, 성막 시의 기판 가열 온도를 높임으로써, 기판 도달 후에 스퍼터 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 해서 성막한다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나고, 스퍼터 입자의 평평한 면이 기판에 부착된다.

[0153] 또한, 성막 가스 내의 산소 비율을 높이고, 전력을 최적화함으로써 성막 시의 플라즈마 대미지를 경감하면 바람직하다. 성막 가스 내의 산소 비율은, 30체적% 이상, 바람직하게는 100체적%로 한다.

[0154] 스퍼터링용 타깃의 일례로서, In-Ga-Zn-O 화합물 타깃에 대해서 이하에 나타내었다.

[0155] InO_X 분말, GaO_Y 분말 및 ZnO_Z 분말을 소정의 몰수로 혼합하고, 가압 처리 후, 1000℃ 이상 1500℃ 이하의 온도로 가열 처리를 함으로써 다결정인 In-Ga-Zn-O 화합물 타깃으로 한다. 또한, X, Y 및 Z는 임의의 정수이다. 여기서, 분말의 종류, 및 그 혼합하는 몰수비는, 제작하는 스퍼터링용 타깃에 따라 적절히 변경하면 된다.

[0156] 이어서, 제1 가열 처리를 행하는 것이 바람직하다. 제1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도에서, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기 또는 감압 상태에서 행하면 된다. 또한, 제1 가열 처리의 분위기는, 불활성 가스 분위기에서 가열 처리한 후에, 탈리한 산소를 보충하기 위해서 산화성 가스를 10ppm 이상 포함하는 분위기에서 행해도 된다. 제1 가열 처리에 의해, 반도체층(210a, 210b)에 사용하는 산화물 반도체의 결정성을 높이고, 또한 절연층(206, 208) 및 반도체층(210a, 210b)으로부터 수소나 물 등의 불순물을 제거할 수 있다. 또한, 산화물 반도체층을 형성하는 에칭 전에 제1 가열 공정을 행해도 된다.

[0157] 또한, 산화물 반도체층을 채널로 하는 트랜지스터에 안정된 전기 특성을 부여하기 위해서는, 산화물 반도체층 내의 불순물 농도를 저감하고, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 유효하다. 여기서, 실질적으로 진성이란, 산화물 반도체층의 캐리어 밀도가 1×10^{17}/㎤ 미만인 것, 바람직하게는 1×10^{15}/㎤ 미만인 것, 더욱 바람직하게는 1×10^{13}/㎤ 미만인 것을 가리킨다.

[0158] 또한, 산화물 반도체층에 있어서, 수소, 질소, 탄소, 실리콘 및 주성분 이외의 금속 원소는 불순물이 된다. 예를 들어, 수소 및 질소는 도너 준위를 형성하고, 캐리어 밀도를 증대시켜버린다. 또한, 실리콘은 산화물 반도체층 내에서 불순물 준위를 형성한다. 당해 불순물 준위는 트랩이 되고, 트랜지스터의 전기 특성을 열화시키는 경우가 있다.

[0159] 산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는, SIMS에 있어서의 분석에 있어서, 실리콘 농도를 1×10^{19}atoms/㎤ 미만, 바람직하게는 5×10^{18}atoms/㎤ 미만, 더욱 바람직하게는 1×10^{18}atoms/㎤ 미만으로 한다. 또한, 수소 농도는 2×10^{20}atoms/㎤ 이하, 바람직하게는 5×10^{19}atoms/㎤ 이하, 보다 바람직하게는 1×10^{19}atoms/㎤ 이하, 더욱 바람직하게는 5×10^{18}atoms/㎤ 이하로 한다. 또한, 질소 농도는 5×10^{19}atoms/㎤ 미만, 바람직하게는 5×10^{18}atoms/㎤ 이하, 보다 바람직하게는 1×10^{18}atoms/㎤ 이하, 더욱 바람직하게는 5×10^{17}atoms/㎤ 이하로 한다.

[0160] 또한, 산화물 반도체층이 결정을 포함하는 경우, 실리콘이나 탄소가 고농도로 포함되면, 산화물 반도체층의 결정성을 저하시키는 경우가 있다. 산화물 반도체층의 결정성을 저하시키지 않기 위해서는, 실리콘 농도를 1×10^{19}atoms/㎤ 미만, 바람직하게는 5×10^{18}atoms/㎤ 미만, 더욱 바람직하게는 1×10^{18}atoms/㎤ 미만으로 하면 된다. 또한, 탄소 농도를 1×10^{19}atoms/㎤ 미만, 바람직하게는 5×10^{18}atoms/㎤ 미만, 더욱 바람직하게는 1×10^{18}atoms/㎤ 미만으로 하면 된다.

[0161] 또한, 상술한 바와 같이 고순도화된 산화물 반도체층을 채널 형성 영역에 사용한 트랜지스터의 오프 전류는 매우 작고, 트랜지스터의 채널 폭으로 규격화된 오프 전류는, 몇 yA/㎛ 내지 몇 zA/㎛까지 저감하는 것이 가능하게 된다.

[0162] 또한, 산화물 반도체층은, 층 내의 국재준위를 저감함으로써, 산화물 반도체층을 사용한 트랜지스터에 안정된 전기 특성을 부여할 수 있다. 또한, 트랜지스터에 안정된 전기 특성을 부여하기 위해서는, 산화물 반도체층 내의 CPM 측정(CPM: Constant Photocurrent Method)으로 얻어지는 국재준위에 의한 흡수 계수는 1×10^{-3}/㎝ 미만, 바람직하게는 3×10^{-4}/㎝ 미만으로 하면 된다.

[0163] 이어서, 절연층(208) 위에 제3의 패터닝에 의한 마스크의 형성을 행하고, 상기 마스크에 덮여 있지 않은 영역을 에칭함으로써, 보호 회로(106) 위의 절연층(208)의 일부 및 접속부(109) 위의 절연층(206, 208)의 일부를 제거한다. 또한, 개구부(207a, 207b)의 형성은, 반도체층(210a, 210b)의 형성 전에 행해도 된다(도 8의 (B) 참

조).

[0164] 또한, 제3 패터닝에 의한 마스크의 형성은, 다계조 마스크를 사용할 수 있다. 다계조 마스크란, 노광 부분, 중간 노광 부분 및 미노광 부분으로 3개의 노광 레벨을 행하는 것이 가능한 마스크이며, 투과한 광이 복수의 강도가 되는 노광 마스크이다. 한번의 노광 및 현상 공정에 의해, 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 형성하는 것이 가능하다. 이로 인해, 다계조 마스크를 사용함으로써 노광 마스크의 매수를 삭감하는 것이 가능하다. 다계조 마스크로는, 예를 들어 하프톤 마스크 또는 그레이톤 마스크 등을 들 수 있다.

[0165] 제3 패터닝을, 다계조 마스크를 사용함으로써, 개구부(207a, 207b)는 각각 깊이 방향이 다른 개구부로 할 수 있다. 이에 의해, 개구부(207a)는, 절연층(206)이 노출되고, 개구부(207b)는 도전층(204d)이 노출된 구조로 할 수 있다. 또한, 개구부(207a, 207b)의 형성 방법은, 이것에 한정되지 않고, 예를 들어 상이한 마스크를 사용해서 패터닝을 행해도 된다.

[0166] 이에 의해, 화소부(102) 및 구동 회로부(104)에 형성된 절연층(206, 208)은, 적층의 게이트 절연층으로서 기능할 수 있다. 또한, 보호 회로(106)에 형성된 절연층(206)은, 저항 소자로서 기능할 수 있다.

[0167] 이어서, 절연층(206, 208), 반도체층(210a, 210b) 및 도전층(204d) 위에 도전막을 형성하고, 상기 도전막을 원하는 영역으로 가공함으로써, 도전층(212a, 212b, 212c, 212d, 212e, 212f)을 형성한다. 또한, 도전층(212a, 212b, 212c, 212d, 212e, 212f)의 형성은, 원하는 영역에 제4 패터닝에 의한 마스크의 형성을 행하고, 상기 마스크에 덮여 있지 않은 영역을 에칭함으로써, 형성할 수 있다(도 9의 (A) 참조).

[0168] 또한, 상기 공정에 의해, 보호 회로(106)가 갖는 도전층(212a)과, 화소부(102)가 갖는 도전층(212d, 212e)과, 구동 회로부(104)가 갖는 도전층(212b, 212c)을 동일 평면 위에 형성할 수 있다.

[0169] 도전층(212a, 212b, 212c, 212d, 212e, 212f)으로는 도전 재료로서, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈륨 또는 텅스텐을 포함하여 이루어지는 단체 금속 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 사용한다. 예를 들어, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화티타늄막과, 그 티타늄막 또는 질화티타늄막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 티타늄막 또는 질화티타늄막을 형성하는 3층 구조, 몰리브덴막 또는 질화 몰리브덴막과, 그 몰리브덴막 또는 질화 몰리브덴막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 몰리브덴막 또는 질화 몰리브덴막을 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 포함하는 투명 도전 재료를 사용해도 된다. 또한, 도전층(212a, 212b, 212c, 212d, 212e, 212f)으로는, 예를 들어 스퍼터링법을 사용해서 형성할 수 있다.

[0170] 또한, 본 실시 형태에서는, 도전층(212b, 212c, 212d, 212e)을 반도체층(210a, 210b) 위에 형성했지만, 절연층(208)과 반도체층(210a, 210b)의 사이에 형성해도 된다.

[0171] 이어서, 절연층(208), 반도체층(210a, 210b) 및 도전층(212a, 212b, 212c, 212d, 212e, 212f)을 덮도록, 절연층(214, 216)을 형성한다(도 9의 (B) 참조).

[0172] 절연층(214)으로는, 반도체층(210a, 210b)으로 사용하는 산화물 반도체와의 계면 특성을 향상시키기 위해서, 산소를 포함하는 무기 절연 재료를 사용할 수 있다. 또한, 절연층(216)으로는, 반도체층(210a, 210b)으로 사용하는 산화물 반도체 내로의, 외부로부터의 불순물, 예를 들어 수분 등의 인입이 적은 재료를 사용하는 것이 바람직하고, 예를 들어 질소를 포함하는 무기 절연 재료를 사용할 수 있다. 또한, 절연층(214, 216)으로는, 예를 들어 PE- CVD법을 사용해서 형성할 수 있다.

[0173] 일례로서, 절연층(214)으로는 두께 150㎚ 이상 400㎚ 이하의 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막 등을 사용할 수 있고, 절연층(216)으로는 두께 150㎚ 이상 400㎚ 이하의 질화 실리콘막, 질화 산화 실리콘막 등을 사용할 수 있다. 본 실시 형태에 있어서는, 절연층(214)으로, 두께 300㎚의 산화 질화 실리콘막을 사용하고, 절연층(216)으로, 두께 150㎚의 질화 실리콘막을 사용한다. 이때 질화 실리콘막은, 반도체층(210a, 210b)으로의 수분의 인입을 방지하는 블록층으로서의 기능을 갖는다. 상기 질화 실리콘막은, 블록성을 높이기 위해서, 고온에서 성막되는 것이 바람직하고, 예를 들어 기판 온도 100℃ 이상 기판의 왜곡점 이하, 보다 바람직하게는 300℃ 이상 400℃ 이하의 온도에서 가열해서 성막하는 것이 바람직하다. 또한 고온에서 성막하는 경우에는, 반도체층(210a, 210b)으로 사용하는 산화물 반도체로부터 산소가 탈리하여, 캐리어 농도가 상승하는 현

상이 발생하는 경우가 있기 때문에, 이러한 현상이 발생하지 않는 온도로 한다.

[0174] 이어서, 절연층(216) 위에 절연층(218)을 형성한다(도 10의 (A) 참조).

[0175] 절연층(218)으로는 아크릴계 수지, 폴리이미드계 수지, 벤조시클로부텐계 수지, 폴리아미드계 수지, 에폭시계 수지 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(218)을 형성해도 된다. 절연층(218)을 사용함으로써, 트랜지스터 등의 요철을 평탄화시키는 것이 가능하게 된다. 절연층(218)으로는, 예를 들어 스핀 코트법을 사용해서 형성할 수 있다.

[0176] 또한, 절연층(218)으로 사용할 수 있는 아크릴계 수지로는, 예를 들어 흡수성이 낮고, 막 내로부터의 탈가스 성분(예를 들어, H_2O, C, F 등)의 방출이 적은 재료를 사용하면 적합하다.

[0177] 이어서, 절연층(218) 위에 제5의 패터닝에 의한 마스크의 형성을 행하고, 상기 마스크에 덮여 있지 않은 영역을 에칭함으로써, 개구부(219a, 219b, 219c)를 형성한다(도 10의 (B) 참조).

[0178] 또한, 개구부(219a, 219b, 219c)는 각각 도전층(212b, 212d, 212e)에 도달하도록 형성한다.

[0179] 이어서, 개구부(219a, 219b, 219c)를 충전하도록 도전막을 형성하고, 상기 도전막을 원하는 영역에 가공함으로써, 도전층(220a, 220b, 220c)을 형성한다. 또한, 도전층(220a, 220b, 220c)의 형성은, 원하는 영역에 제6 패터닝에 의한 마스크의 형성을 행하고, 상기 마스크에 덮여 있지 않은 영역을 에칭함으로써 형성할 수 있다(도 11 참조).

[0180] 도전층(220a, 220b, 220c)으로는 산화 텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다. 또한, 도전층(220a, 220b, 220c)으로는, 예를 들어 스퍼터링법을 사용해서 형성할 수 있다.

[0181] 이상의 공정에서 기판(202) 위에 형성되는 트랜지스터를 갖는 화소부 및 구동 회로부와, 보호 회로를 동일 기판 위에 형성할 수 있다. 또한, 본 실시 형태에 나타내는 제작 공정에 있어서는, 제1 내지 제6 패터닝, 즉, 6장의 마스크로 트랜지스터 및 보호 회로를 동시에 형성할 수 있다.

[0182] 이어서, 기판(202)에 대향해서 설치되는 기판(252) 위에 형성되는 구조에 대해서, 이하 설명한다.

[0183] 우선, 기판(252)을 준비한다. 기판(252)으로는, 기판(202)에 나타내는 재료를 원용할 수 있다. 이어서, 기판(252) 위에 유색층(254), 절연층(256)을 형성한다(도 12의 (A) 참조).

[0184] 유색층(254)으로는, 특정한 파장 대역의 광을 투과하는 유색층이면 되고, 예를 들어 적색의 파장 대역의 광을 투과하는 적색(R)의 컬러 필터, 녹색의 파장 대역의 광을 투과하는 녹색(G)의 컬러 필터, 청색의 파장 대역의 광을 투과하는 청색(B)의 컬러 필터 등을 사용할 수 있다. 각 컬러 필터는, 공지된 재료를 사용하여, 인쇄법, 잉크젯법, 포토리소그래피 기술을 사용한 에칭 방법 등으로 각각 원하는 위치에 형성한다. 또한, 절연층(256)으로는, 예를 들어 아크릴계 수지 등의 절연막을 사용할 수 있다.

[0185] 이어서, 절연층(256) 위에 도전층(258)을 형성한다(도 12의 (B) 참조). 도전층(258)으로는, 도전층(220a, 220b, 220c)에 나타내는 재료를 원용할 수 있다.

[0186] 이어서, 기판(202)과 기판(252)의 사이에 액정층(260)을 형성한다. 액정층(260)의 형성 방법으로는, 디스펜서법(적하법)이나, 기판(202)과 기판(252)을 접합하고나서 모세관 현상을 사용해서 액정을 주입하는 주입법을 사용할 수 있다.

[0187] 이상의 공정에서, 도 6에 도시하는 표시 장치를 제작할 수 있다.

[0188] 또한, 본 실시 형태는, 본 명세서에서 나타내는 것 이외의 실시 형태와 적절히 조합할 수 있다.

[0189] (실시 형태 4)

[0190] 본 실시 형태에 있어서는, 도 1의 (A)에 도시하는 표시 장치의 화소 회로(108)에 사용할 수 있는 구성에 대해서, 도 13을 사용해서 설명한다.

[0191] 도 1의 (A)에 도시하는 표시 장치에 있어서, 화소 회로(108)는, 도 13의 (A)에 도시한 바와 같은 구성으로 할 수 있다.

[0192] 도 13의 (A)에 도시하는 화소 회로(108)는 액정 소자(130)와, 트랜지스터(131_1)와, 용량 소자(133_1)를

갖는다.

[0193] 액정 소자(130)의 한 쌍의 전극의 한쪽 전위는 화소 회로(108)의 사양에 따라서 적절히 설정된다. 액정 소자(130)는, 기입되는 데이터에 따라 배향 상태가 설정된다. 또한, 복수의 화소 회로(108) 각각이 갖는 액정 소자(130)의 한 쌍의 전극의 한쪽에 공통 전위(코먼 전위)를 부여해도 된다. 또한, 각 행의 화소 회로(108)마다의 액정 소자(130)의 한 쌍의 전극의 한쪽에 상이한 전위를 부여해도 된다.

[0194] 예를 들어, 액정 소자(130)를 구비하는 표시 장치의 구동 방법으로는, TN 모드, STN 모드, VA 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, IPS 모드, FFS 모드, 또는 TBA(Transverse Bend Alignment) 모드 등을 사용해도 된다. 또한, 표시 장치의 구동 방법으로는, 상술한 구동 방법 외에, ECB(Electrically Controlled Birefringence) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등이 있다. 단, 이것에 한정되지 않고, 액정 소자 및 그 구동 방식으로 다양한 것을 사용할 수 있다.

[0195] 또한, 블루상(Blue Phase)을 나타내는 액정과 키랄제를 포함하는 액정 조성물에 의해 액정 소자를 구성해도 된다. 블루상을 나타내는 액정은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이기 때문에, 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0196] m행 n열째의 화소 회로(108)에 있어서, 트랜지스터(131_1)의 소스 및 드레인의 한쪽은, 데이터선 DL_n에 전기적으로 접속되고, 다른 쪽은 액정 소자(130)의 한 쌍의 전극의 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(131_1)의 게이트는, 주사선 GL_m에 전기적으로 접속된다. 트랜지스터(131_1)는 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 데이터의 기입을 제어하는 기능을 갖는다.

[0197] 용량 소자(133_1)의 한 쌍의 전극 중 한쪽은, 전위가 공급되는 배선(이하, 전위 공급선 VL)에 전기적으로 접속되고, 다른 쪽은 액정 소자(130)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 전위 공급선 VL의 전위의 값은, 화소 회로(108)의 사양에 따라서 적절히 설정된다. 용량 소자(133_1)는 기입된 데이터를 유지하는 유지 용량으로서의 기능을 갖는다.

[0198] 예를 들어, 도 13의 (A)의 화소 회로(108)를 갖는 표시 장치에서는, 게이트 드라이버(104a)에 의해 각 행의 화소 회로(108)를 순차 선택하고, 트랜지스터(131_1)를 온 상태로 해서 데이터 신호의 데이터를 기입한다.

[0199] 데이터가 기입된 화소 회로(108)는 트랜지스터(131_1)가 오프 상태가 됨으로써 유지 상태가 된다. 이것을 행마다 순차 행함으로써, 화상을 표시할 수 있다.

[0200] 또한, 도 13의 (B)에 도시하는 화소 회로(108)는, 트랜지스터(131_2)와, 용량 소자(133_2)와, 트랜지스터(134)와, 발광 소자(135)를 갖는다.

[0201] 트랜지스터(131_2)의 소스 및 드레인의 한쪽은, 데이터 신호가 부여되는 배선(이하, 데이터선 DL_n이라고 함)에 전기적으로 접속된다. 또한, 트랜지스터(131_2)의 게이트는, 게이트 신호가 부여되는 배선(이하, 주사선 GL_m이라고 함)에 전기적으로 접속된다.

[0202] 트랜지스터(131_2)는 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 데이터의 기입을 제어하는 기능을 갖는다.

[0203] 용량 소자(133_2)의 한 쌍의 전극의 한쪽은, 전원이 부여되는 배선(이하, 전원선 VL_a라고 함)에 전기적으로 접속되고, 다른 쪽은, 트랜지스터(131_2)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.

[0204] 용량 소자(133_2)는 기입된 데이터를 유지하는 유지 용량으로서의 기능을 갖는다.

[0205] 트랜지스터(134)의 소스 및 드레인의 한쪽은, 전원선 VL_a에 전기적으로 접속된다. 또한, 트랜지스터(134)의 게이트는, 트랜지스터(131_2)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.

[0206] 발광 소자(135)의 애노드 및 캐소드의 한쪽은, 전원선 VL_b에 전기적으로 접속되고, 다른 쪽은 트랜지스터(134)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.

[0207] 발광 소자(135)로는, 예를 들어 유기 일렉트로루미네센스 소자(유기 EL 소자라고도 함) 등을 사용할 수 있다. 단, 발광 소자(135)로는, 이것에 한정되지 않고, 무기 재료로 이루어지는 무기 EL 소자를 사용해도 된다.

[0208] 또한, 전원선 VL_a 및 전원선 VL_b 중 한쪽에는, 고전원 전위 VDD가 부여되고, 다른 쪽에는 저전원 전위 VSS가 부여된다.

[0209] 도 13의 (B)의 화소 회로(108)를 갖는 표시 장치에서는, 게이트 드라이버(104a)에 의해 각 행의 화소 회로(108)를 순차 선택하고, 트랜지스터(131_2)를 온 상태로 해서 데이터 신호의 데이터를 기입한다.

[0210] 데이터가 기입된 화소 회로(108)는, 트랜지스터(131_2)가 오프 상태가 됨으로써 유지 상태가 된다. 또한, 기입된 데이터 신호의 전위에 따라서 트랜지스터(134)의 소스와 드레인의 사이에 흐르는 전류량이 제어되고, 발광 소자(135)는 흐르는 전류량에 따른 휘도로 발광한다. 이것을 행마다 순차 행함으로써, 화상을 표시할 수 있다.

[0211] 또한, 본 명세서 등에 있어서, 표시 소자, 표시 소자를 갖는 장치인 표시 장치, 발광 소자 및 발광 소자를 갖는 장치인 발광 장치는, 다양한 형태를 사용하는 것, 또는 다양한 소자를 가지는 것이 가능하다. 표시 소자, 표시 장치, 발광 소자 또는 발광 장치의 일례로는, EL(일렉트로 루미네센스) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라서 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, 그레이팅 라이트 밸브(GLV), 플라즈마 디스플레이 패널(PDP), 디지털 마이크로미러 디바이스(DMD), 압전 세라믹 디스플레이, 카본 나노튜브 등, 전기 자기적 작용에 의해 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 갖는 것이 있다. EL 소자를 사용한 표시 장치의 일례로는 EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로는 필드 에미션 디스플레이(FED) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 사용한 표시 장치의 일례로는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치의 일례로는 전자 페이퍼 등이 있다.

[0212] EL 소자의 일례로는 양극과, 음극과, 양극과 음극의 사이에 끼워진 EL층을 갖는 소자 등이 있다. EL층의 일례로는, 1중항 여기자로부터의 발광(형광)을 이용하는 것, 3중항 여기자로부터의 발광(인광)을 이용하는 것, 1중항 여기자로부터의 발광(형광)을 이용하는 것과 3중항 여기자로부터의 발광(인광)을 이용하는 것을 포함하는 것, 유기물에 의해 형성된 것, 무기물에 의해 형성된 것, 유기물에 의해 형성된 것과 무기물에 의해 형성된 것을 포함하는 것, 고분자의 재료를 포함하는 것, 저분자의 재료를 포함하는 것, 또는 고분자의 재료와 저분자의 재료를 포함하는 것 등이 있다. 단, 이것에 한정되지 않고, EL 소자로서 다양한 것을 사용할 수 있다.

[0213] 액정 소자의 일례로는, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자가 있다. 그 소자는 한 쌍의 전극과 액정층에 의해 구조되는 것이 가능하다. 또한, 액정의 광학적 변조 작용은, 액정에 걸리는 전계(가로 방향의 전계, 세로 방향의 전계 또는 경사 방향의 전계를 포함)에 의해 제어된다. 또한, 구체적으로는, 액정 소자의 일례로는 네마틱 액정, 콜레스테릭 액정, 스메틱 액정, 디스코틱 액정, 서모트로픽 액정, 리오트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 바나나형 액정 등을 들 수 있다.

[0214] 전자 페이퍼의 표시 방법의 일례로는, 분자에 의해 표시되는 것(광학 이방성, 염료 분자 배향 등), 입자에 의해 표시되는 것(전기 영동, 입자 이동, 입자 회전, 상 변화 등), 필름의 일단부가 이동함으로써 표시되는 것, 분자의 발색/상 변화에 의해 표시되는 것, 분자의 광흡수에 의해 표시되는 것, 또는 전자와 홀(hole)이 결합해서 자발광에 의해 표시되는 것 등을 사용할 수 있다. 구체적으로 전자 페이퍼의 표시 방법의 일례로는, 마이크로 캡슐형 전기 영동, 수평 이동형 전기 영동, 수직이동형 전기 영동, 구상 트위스트 볼, 자기 트위스트 볼, 원기둥 트위스트 볼 방식, 대전 토너, 전자 분류체, 자기 영동형, 자기 감열식, 일렉트로 웨팅, 광산란(투명/백탁 변화), 콜레스테릭 액정/광 도전층, 콜레스테릭 액정, 쌍안정성 네마틱 액정, 강유전성 액정, 2색성 색소·액정 분산형, 가동 필름, 류코 염료에 의한 발 소색, 포토크로믹, 일렉트로크로믹, 일렉트로데포지션, 플렉시블 유기 EL 등이 있다. 단, 이것에 한정되지 않고, 전자 페이퍼 및 그 표시 방법으로서 다양한 것을 사용할 수 있다. 여기서, 마이크로 캡슐형 전기 영동을 사용함으로써, 영동 입자의 응집, 침전을 해결할 수 있다. 전자 분류체는 고속 응답성, 고반사율, 광시야각, 저소비 전력, 메모리성 등의 장점을 갖는다.

[0215] 또한, 본 실시 형태는, 본 명세서에서 나타내는 것 이외의 실시 형태와 적절히 조합할 수 있다.

[0216] (실시 형태 5)

[0217] 본 실시 형태에 있어서는, 도 6에 도시하는 표시 장치의 화소부(102)에 사용할 수 있는 구성에 대해서, 도 14를 사용해서 설명한다.

[0218] 도 14의 (A)는 화소부(102)에 사용할 수 있는 트랜지스터의 구성의 일부를 도시하는 상면도이고, 도 14의 (B)는, 도 14의 (A)에 나타내는 일점쇄선 A1-A2의 단면에 상당하는 도면이다. 또한, 도 14의 (C)는 화소부(102)에 사용할 수 있는 트랜지스터의 구성의 일부를 도시하는 상면도이고, 도 14의 (D)는, 도 14의 (C)에 나타내는 일점쇄선 B1-B2의 단면에 상당하는 도면이다. 또한, 상술한 실시 형태에서 설명한 부분과 마찬가지의 기능을 갖는 부분에 대해서는, 마찬가지의 부호 및 마찬가지의 해칭을 표시하고, 그 상세한 설명은 생략한다.

[0219] 또한, 도 14의 (A), 도 14의 (C)에 도시하는 상면도에 있어서는, 절연층(206, 208, 214, 216, 218) 등은, 도면의 번잡함을 피하기 위해서, 생략해서 도시하였다.

[0220] 도 14의 (A), 도 14의 (B)에 도시하는 화소부(102)에 사용할 수 있는 트랜지스터는, 기판(202) 위에 형성된 도전층(204a)과, 기판(202) 및 도전층(204a) 위에 형성된 절연층(206, 208)과, 절연층(208) 위에 형성된 반도체층(210a)과, 반도체층(210a)과 전기적으로 접속된 도전층(212d, 212e)을 갖는 구성이다.

[0221] 또한, 상기 트랜지스터의 위쪽에는, 절연층(214, 216, 218)이 형성되고, 절연층(214, 216, 218)에 형성된 개구부를 통해서 도전층(212e)과 도전층(220c)이 전기적으로 접속되어 있다.

[0222] 도 14의 (A), 도 14의 (B)에 도시하는 구조는, 도 6에 도시하는 구조와 도전층(220c)의 위치가 상이하다. 구체적으로는, 도 14의 (A), 도 14의 (B)에 도시하는 구조는, 반도체층(210a)과 일부가 중첩하는 영역에 도전층(220c)이 배치된다.

[0223] 도 14의 (A), 도 14의 (B)에 도시하는 구성으로 함으로써, 화소부(102)에 사용하는 트랜지스터의 위쪽으로부터의 과전류에 대하여, 도전층(220c)을 사용해서 과전류를 방출시킬 수 있다.

[0224] 도 14의 (C), 도 14의 (D)에 도시하는 화소부(102)에 사용할 수 있는 트랜지스터는, 기판(202) 위에 형성된 도전층(204a)과, 기판(202) 및 도전층(204a) 위에 형성된 절연층(206, 208)과, 절연층(208) 위에 형성된 반도체층(210a)과, 반도체층(210a)과 전기적으로 접속된 도전층(212d, 212e)을 갖는 구성이다.

[0225] 또한, 상기 트랜지스터 위에는, 절연층(214, 216, 218)이 형성되고, 절연층(214, 216, 218)에 형성된 개구부를 통해서 도전층(212e)과 도전층(220c)이 전기적으로 접속되어 있다.

[0226] 도 14의 (C), 도 14의 (D)에 도시한 구조는, 도 6에 도시하는 구조와 절연층(208)의 위치가 상이하다. 구체적으로는, 도 14의 (C), 도 14의 (D)에 도시하는 구조는, 반도체층(210a)의 측단부와, 절연층(208)의 측단부와, 개략 마찬가지의 위치에 형성되어 있다. 예를 들어, 반도체층(210a)의 형성 시의 마스크를 이용하여, 절연층(208)의 일부를 에칭함으로써, 도 14의 (C), 도 14의 (D)에 도시하는 구성으로 할 수 있다.

[0227] 도 14의 (C), 도 14의 (D)에 도시하는 구성으로 함으로써, 예를 들어 도전층(220c)에 대전된 전하를 도전층(212e) 및 절연층(206)을 통해서, 도전층(204a)에 방출시킬 수 있다.

[0228] 또한, 본 실시 형태는, 본 명세서에서 나타내는 것 이외의 실시 형태와 적절히 조합할 수 있다.

[0229] (실시 형태 6)

[0230] 본 실시 형태에 있어서는, 도 1에 도시하는 보호 회로(106)로서 사용할 수 있는 구성에 대해서, 도 15 내지 도 17을 사용해서 설명한다.

[0231] 도 15의 (A), 도 15의 (B)는, 보호 회로(106)로서 사용할 수 있는 소자의 상면도를 도시하고 있고, 도 15의 (C)는 도 15의 (A)에 도시하는 일점쇄선 C1-C2, C3-C4의 단면에 상당하는 도면이며, 도 15의 (D)는 도 15의 (B)에 도시하는 일점쇄선 D1-D2, D3-D4의 단면에 상당하는 도면이다.

[0232] 도 15의 (A), 도 15의 (C)는 보호 회로(106)로서 사용할 수 있는 저항 소자를 도시하고 있다. 또한, 도 15의 (A), 도 15의 (C)에 도시하는 저항 소자는, 기판(202) 위에 형성된 절연층(206, 208)과, 절연층(208) 위에 형성된 반도체층(210c)과, 반도체층(210c)과 전기적으로 접속된 도전층(212g, 212h)을 갖는다.

[0233] 도 15의 (B), 도 15의 (D)는, 보호 회로(106)로서 사용할 수 있는 저항 소자를 도시하고 있다. 또한, 도 15의 (B), 도 15의 (D)에 도시하는 저항 소자는, 기판(202) 위에 형성된 절연층(206, 208)과, 절연층(208) 위에 형성된 반도체층(210c) 및 도전층(212g, 212h)과, 절연층(208), 반도체층(210c), 도전층(212g, 212h) 위에 형성된 절연층(214, 216, 218)과, 절연층(218) 위에 형성되고, 도전층(212g)과 반도체층(210c)을 전기적으로 접속하는 도전층(220d)과, 절연층(218) 위에 형성되고, 도전층(212h)과 반도체층(210c)을 전기적으로 접속하는 도전층(220e)을 갖는다.

[0234] 상기 저항 소자는 반도체층(210c)을 저항 소자로서 사용할 수 있다. 또한, 반도체층(210c)을, 도 15의 (A), 도 15의 (B)에 도시한 바와 같은 구성으로 함으로써, 저항률을 제어할 수 있다.

[0235] 또한, 도 16의 (A), 도 16의 (B), 도 16의 (C)는, 보호 회로(106)로서 사용할 수 있는 회로 구성의 일례를 도시하고 있다.

[0236] 도 16의 (A)에 도시하는 회로 구성은, 배선(451, 452, 481)과 트랜지스터(402, 404)를 갖는 구성이다.

[0237] 트랜지스터(402)는 소스 전극으로서 기능하는 제1 단자가 게이트 전극으로서 기능하는 제2 단자와 전기적으로 접속되어 있고, 드레인 전극으로서 기능하는 제3 단자가 배선(451)과 전기적으로 접속되어 있다. 또한, 트랜지스터(402)의 제1 단자는, 배선(481)과 전기적으로 접속되어 있다. 트랜지스터(404)는, 소스 전극으로서 기능하는 제1 단자가 게이트 전극으로서 기능하는 제2 단자와 전기적으로 접속되어 있고, 드레인 전극으로서 기능하는 제3 단자가 배선(452)과 전기적으로 접속되어 있다. 또한, 트랜지스터(404)의 제1 단자는, 배선(481)과 전기적으로 접속되어 있다.

[0238] 도 16의 (B)에 도시하는 회로 구성은 배선(453, 454, 482, 483, 484)과 트랜지스터(406, 408, 410, 412)를 갖는 구성이다.

[0239] 트랜지스터(406)는, 소스 전극으로서 기능하는 제1 단자가 게이트 전극으로서 기능하는 제2 단자와 전기적으로 접속되어 있고, 드레인 전극으로서 기능하는 제3 단자가 배선(483)과 전기적으로 접속되어 있다. 또한, 트랜지스터(406)의 제1 단자는, 배선(482)과 전기적으로 접속되어 있다.

[0240] 트랜지스터(408)는, 소스 전극으로서 기능하는 제1 단자가 게이트 전극으로서 기능하는 제2 단자와 전기적으로 접속되어 있고, 드레인 전극으로서 기능하는 제3 단자가 배선(484)과 전기적으로 접속되어 있다. 또한, 트랜지스터(408)의 제1 단자는, 배선(483)과 전기적으로 접속되어 있다.

[0241] 트랜지스터(410)는, 소스 전극으로서 기능하는 제1 단자가 게이트 전극으로서 기능하는 제2 단자와 전기적으로 접속되어 있고, 드레인 전극으로서 기능하는 제3 단자가 배선(482)과 전기적으로 접속되어 있다. 또한, 트랜지스터(410)의 제1 단자는, 배선(483)과 전기적으로 접속되어 있다.

[0242] 트랜지스터(412)는, 소스 전극으로서 기능하는 제1 단자가 게이트 전극으로서 기능하는 제2 단자와 전기적으로 접속되어 있고, 드레인 전극으로서 기능하는 제3 단자가 배선(483)과 전기적으로 접속되어 있다. 또한, 트랜지스터(412)의 제1 단자는 배선(484)과 전기적으로 접속되어 있다.

[0243] 도 16의 (C)에 도시하는 회로 구성은 배선(455, 456, 485, 486)과 트랜지스터(414, 416)를 갖는 구성이다.

[0244] 트랜지스터(414)는, 소스 전극으로서 기능하는 제1 단자가 게이트 전극으로서 기능하는 제2 단자와 전기적으로 접속되어 있고, 드레인 전극으로서 기능하는 제3 단자가 배선(485)과 전기적으로 접속되어 있다. 또한, 트랜지스터(414)의 제1 단자는 배선(486)과 전기적으로 접속되어 있다.

[0245] 트랜지스터(416)는, 소스 전극으로서 기능하는 제1 단자가 게이트 전극으로서 기능하는 제2 단자와 전기적으로 접속되어 있고, 드레인 전극으로서 기능하는 제3 단자가 배선(486)과 전기적으로 접속되어 있다. 또한, 트랜지스터(416)의 제1 단자는, 배선(485)과 전기적으로 접속되어 있다.

[0246] 본 발명의 일 형태에 사용할 수 있는 보호 회로(106)는 도 16의 (A), 도 16의 (B), 도 16의 (C)에 도시하는 회로 구성과 같이 다이오드 접속된 트랜지스터를 사용할 수도 있다.

[0247] 또한, 도 16의 (A), 도 16의 (B), 도 16의 (C)에 도시하는 회로 구성에 있어서, 소스 전극으로서 기능하는 제1 단자와, 게이트 전극으로서 기능하는 제2 단자와의 접속은, 도 17에 도시하는 구성으로 함으로써, 임의로 저항률을 제어하는 것이 가능하게 된다.

[0248] 도 17의 (A)는 보호 회로(106)로서 사용할 수 있는 저항 소자를 도시하고 있다. 또한, 도 17의 (A)에 도시하는 저항 소자는, 기판(202) 위에 형성된 도전층(204e)과, 기판(202) 및 도전층(204e) 위에 형성된 절연층(206, 208)과, 절연층(208) 위에 형성된 반도체층(210d)과, 반도체층(210d)과 전기적으로 접속된 도전층(212i)과, 절연층(208), 반도체층(210d), 도전층(212i) 위에 형성된 절연층(214, 216, 218)과, 절연층(218) 위에 형성되고, 반도체층(210d)과 도전층(204e)을 전기적으로 접속시키는 도전층(220f)을 갖는다.

[0249] 도 17의 (B)는 보호 회로(106)로서 사용할 수 있는 저항 소자를 도시하고 있다. 또한, 도 17의 (B)에 도시하는 저항 소자는, 기판(202) 위에 형성된 도전층(204e)과, 기판(202) 및 도전층(204e) 위에 형성된 절연층(206,

208)과, 절연층(208) 위에 형성된 반도체층(210d) 및 도전층(212j)과, 절연층(208), 반도체층(210d) 및 도전층(212j) 위에 형성된 절연층(214, 216, 218)과, 절연층(218) 위에 형성되고, 도전층(212j)과 반도체층(210d)을 전기적으로 접속시키는 도전층(220g)과, 절연층(218) 위에 형성되고, 도전층(204e)과 반도체층(210d)을 전기적으로 접속시키는 도전층(220h)을 갖는다.

[0250] 도 17의 (C)는, 보호 회로(106)로서 사용할 수 있는 저항 소자를 도시하고 있다. 또한, 도 17의 (C)에 도시하는 저항 소자는, 기판(202) 위에 형성된 도전층(204e)과, 기판(202) 및 도전층(204e) 위에 형성된 절연층(206, 208)과, 절연층(208) 위에 형성된 반도체층(210d), 도전층(212j)과, 반도체층(210d)와 전기적으로 접속된 도전층(212k)과, 절연층(208), 반도체층(210d), 도전층(212j) 및 도전층(212k) 위에 형성된 절연층(214, 216, 218)과, 절연층(218) 위에 형성되고, 도전층(212j)과 반도체층(210d)을 전기적으로 접속시키는 도전층(220i)과, 절연층(218) 위에 형성되고, 도전층(212k)과 도전층(204e)을 전기적으로 접속시키는 도전층(220j)을 갖는다.

[0251] 도 15 내지 도 17에서 설명한 저항 소자에 사용하는 반도체층(210c, 210d)은 상술한 실시 형태에 나타내는 반도체층(210a, 210b)에 기재된 재료를 원용해서 사용할 수 있다. 또한, 반도체층(210c, 210d)은 반도체층(210a, 210b)의 형성과 동일 공정에서 형성할 수 있다.

[0252] 또한, 도 15 내지 도 17에서 설명한 저항 소자에 사용하는 도전층(212g, 212h, 212i, 212j, 212k)은 상술한 실시 형태에 나타내는 도전층(212a, 212b, 212c, 212d, 212e, 212f)에 기재된 재료를 원용해서 사용할 수 있다. 또한, 도전층(212g, 212h)은 도전층(212a, 212b, 212c, 212d, 212e, 212f)의 형성과 동일 공정에서 형성할 수 있다.

[0253] 또한, 도 15 내지 도 17에서 설명한 저항 소자에 사용하는 도전층(220d, 220e, 220f, 220g, 220h, 220i, 220j)은, 상술한 실시 형태에 나타내는 도전층(220a, 220b, 220c)에 기재된 재료를 원용해서 사용할 수 있다. 또한, 도전층(220d, 220e)은 도전층(220a, 220b, 220c)의 형성과 동일 공정에서 형성할 수 있다.

[0254] 이와 같이, 보호 회로에 사용하는 도전층으로는, 트랜지스터의 게이트 전극으로서 기능하는 도전층과, 트랜지스터의 소스 전극 및 드레인 전극으로서 기능하는 도전층 등을 사용할 수 있다. 예를 들어, 도 17의 (B)에 도시하는 보호 회로(106)의 구성을 달리 말하자면, 이하와 같이 나타낼 수 있다.

[0255] 도 17의 (B)에 도시하는 보호 회로(106)는, 게이트 전극과 동일 표면 위에 형성된 제1 도전층(도전층(204e))과, 제1 도전층(도전층(204e)) 위의 제1 절연층(절연층(206, 208))과, 제1 절연층(절연층(206, 208)) 위에 형성되고, 제1 도전층(도전층(204e))과 중첩하는 위치의 산화물 반도체층(반도체층(210d))과, 산화물 반도체층(반도체층(210d)) 위의 제2 절연층(절연층(214, 216, 218))과, 제2절연층(절연층(214, 216, 218)) 위의 제2 도전층(도전층(220g, 220h))을 갖고, 제2 도전층(도전층(220g, 220h))은, 제2 절연층(절연층(214, 216, 218))에 형성된 개구부에 있어서, 산화물 반도체층(반도체층(210d))과 전기적으로 접속된다.

[0256] 또한, 본 실시 형태는, 본 명세서에서 나타내는 것 이외의 실시 형태와 적절히 조합할 수 있다.

[0257] (실시 형태 7)

[0258] 본 실시 형태에 있어서는, 실시 형태 1의 도 1의 (A)에 도시하는 표시 장치의 화소부(102) 및 구동 회로부(104)에 사용할 수 있는 트랜지스터의 구성에 대해서 도 18을 사용해서 이하 설명한다.

[0259] 도 18의 (A)에 도시하는 트랜지스터는, 기판(202) 위에 형성된 도전층(204c)과, 기판(202) 및 도전층(204c) 위에 형성된 절연층(206, 208)과, 절연층(208) 위에 형성된 산화물 적층(211)과, 절연층(208) 및 산화물 적층(211) 위에 형성된 도전층(212d, 212e)을 갖는다. 또한, 도 18의 (A)에 도시하는 트랜지스터는, 상기 트랜지스터 위, 보다 상세하게는 절연층(208), 산화물 적층(211) 및 도전층(212d, 212e) 위에 형성된 절연층(214, 216, 218)을 포함하는 구성으로 해도 된다.

[0260] 또한, 도전층(212d, 212e)에 사용하는 도전막의 종류에 따라서는, 산화물 적층(211)의 일부로부터 산소를 빼앗거나, 또는 혼합층을 형성하고, 산화물 적층(211) 내에 n형 영역(209)을 형성하는 경우가 있다. 도 18의 (A)에 있어서, n형 영역(209)은 산화물 적층(211) 내의 도전층(212d, 212e)과 접하는 계면 근방의 영역에 형성될 수 있다. 또한, n형 영역(209)은, 소스 영역 및 드레인 영역으로서 기능할 수 있다.

[0261] 또한, 도 18의 (A)에 도시하는 트랜지스터는, 도전층(204c)이 게이트 전극으로서 기능하고, 도전층(212d)이 소스 전극 또는 드레인 전극으로서 기능하며, 도전층(212e)이 소스 전극 또는 드레인 전극으로서 기능한다.

[0262] 또한, 도 18의 (A)에 도시하는 트랜지스터는, 도전층(204c)과 중첩하는 영역의 산화물 적층(211)의 도전층

(212d)과 도전층(212e)과의 간격을 채널 길이로 한다. 또한, 채널 형성 영역이란, 산화물 적층(211)에 있어서, 도전층(204c)과 중첩되고, 또한 도전층(212d)과 도전층(212e)에 끼워지는 영역을 말한다. 또한, 채널이란, 채널 형성 영역에서, 전류가 주로 흐르는 영역을 말한다.

[0263] 여기서, 산화물 적층(211)의 상세 내용에 대해서, 도 18의 (B)를 사용해서 상세하게 설명한다.

[0264] 도 18의 (B)는, 도 18의 (A)에 도시하는 산화물 적층(211)의 파선으로 둘러싸인 영역의 확대도이다. 산화물 적층(211)은, 산화물 반도체층(211a)과, 산화물층(211b)을 갖는다.

[0265] 산화물 반도체층(211a)은, 적어도 인듐(In), 아연(Zn) 및 M(Al, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)을 포함하는 In-M-Zn 산화물로 표기되는 층을 포함하는 것이 바람직하다. 또한, 산화물 반도체층(211a)은, 상술한 실시 형태에 나타내는 반도체층(210a, 210b)에 사용할 수 있는 산화물 반도체 재료, 또는 형성 방법 등을 적절히 원용할 수 있다.

[0266] 산화물층(211b)은, 산화물 반도체층(211a)을 구성하는 원소 중 1종 이상으로 구성되고, 전도대 하단부의 에너지가 산화물 반도체층(211a)보다도 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하 진공 준위에 가까운 산화물막이다. 이때, 게이트 전극으로서 기능하는 도전층(204c)에 전계를 인가하면, 산화물 적층(211) 중, 전도대 하단부의 에너지가 작은 산화물 반도체층(211a)에 채널이 형성된다. 즉, 산화물 반도체층(211a)과 절연층(214)의 사이에 산화물층(211b)을 가짐으로써, 트랜지스터의 채널을 절연층(214)과 접하지 않는 산화물 반도체층(211a)에 형성할 수 있다. 또한, 산화물 반도체층(211a)을 구성하는 원소 중 1종 이상으로부터 산화물층(211b)이 구성되기 때문에, 산화물 반도체층(211a)과 산화물층(211b)의 사이에 있어서, 계면 산란이 일어나기 어렵다. 따라서, 산화물 반도체층(211a)과 산화물층(211b)의 사이에 있어서, 캐리어의 움직임이 저해되지 않기 때문에, 트랜지스터의 전계 효과 이동도가 높아진다. 또한, 산화물 반도체층(211a)과 산화물층(211b)의 사이에 계면 준위를 형성하기 어렵다. 산화물 반도체층(211a)과 산화물층(211b)의 사이에 계면 준위가 있으면, 상기 계면을 채널로 한 임계값 전압이 상이한 제2 트랜지스터가 형성되고, 트랜지스터의 외관 상의 임계값 전압이 변동하는 경우가 있다. 따라서, 산화물층(211b)을 형성함으로써, 트랜지스터의 임계값 전압 등의 전기 특성의 편차를 저감할 수 있다.

[0267] 산화물층(211b)으로는 In-M-Zn 산화물(Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)로 표기되고, 산화물 반도체층(211a)보다도 M의 원자수비가 높은 산화물층을 포함한다. 구체적으로는, 산화물층(211b)으로서, 산화물 반도체층(211a)보다도 상술한 원소를 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상 높은 원자수비로 포함하는 산화물층을 사용한다. 상술한 원소는 인듐보다도 산소와 강하게 결합하기 때문에, 산소 결손이 산화물층에 발생하는 것을 억제하는 기능을 갖는다. 즉, 산화물층(211b)은 산화물 반도체층(211a)보다도 산소 결손이 발생하기 어려운 산화물층이다.

[0268] 즉, 산화물 반도체층(211a), 산화물층(211b)이, 적어도 인듐, 아연 및 M (Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)을 포함하는 In-M-Zn 산화물일 때 산화물층(211b)을 In:M:Zn=x_1:y_1:z_1[원자수비], 산화물 반도체층(211a)을 In:M:Zn=x_2:y_2:z_2[원자수비]라 하면, y_1/x_1이 y_2/x_2보다도 커지는 것이 바람직하다. y_1/x_1은 y_2/x_2보다도 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상으로 한다. 이때, 산화물 반도체층(211a)에 있어서, y_2가 x_2 이상이면 트랜지스터의 전기 특성을 안정시킬 수 있다. 단, y_2가 x_2의 3배 이상이 되면 트랜지스터의 전계 효과 이동도가 저하해버리기 때문에, y_2는 x_2의 3배 미만인 것이 바람직하다.

[0269] 또한, 산화물 반도체층(211a)이 In-M-Zn 산화물일 때, In과 M의 원자수 비율은 바람직하게는 In이 25atomic% 이상, M이 75atomic% 미만, 더욱 바람직하게는In이 34atomic% 이상, M이 66atomic% 미만으로 한다. 또한, 산화물층(211b)이 In-M-Zn 산화물일 때, In과 M의 원자수 비율은 바람직하게는 In이 50atomic% 미만, M이 50atomic% 이상, 더욱 바람직하게는 In이 25atomic% 미만, M이 75atomic% 이상으로 한다.

[0270] 산화물 반도체층(211a) 및 산화물층(211b)에는, 예를 들어 인듐, 아연 및 갈륨을 포함한 산화물 반도체를 사용할 수 있다. 구체적으로는, 산화물 반도체층(211a)으로는 In:Ga:Zn=1:1:1[원자수비]의 In-Ga-Zn 산화물, In:Ga:Zn=3:1:2[원자수비]의 In-Ga-Zn 산화물, 또는 그 근방의 조성을 갖는 산화물을 사용할 수 있고, 산화물층(211b)으로는 In:Ga:Zn=1:3:2[원자수비]의 In-Ga-Zn 산화물, In:Ga:Zn=1:6:4[원자수비]의 In-Ga-Zn 산화물, In:Ga:Zn=1:9:6[원자수비]의 In-Ga-Zn 산화물, 또는 그 근방의 조성을 갖는 산화물을 사용할 수 있다.

[0271] 또한, 산화물 반도체층(211a)의 두께는 3㎚ 이상 200㎚ 이하, 바람직하게는 3㎚ 이상 100㎚ 이하, 더욱 바람직하게는 3㎚ 이상 50㎚ 이하로 한다. 또한, 산화물층(211b)의 두께는, 3㎚ 이상 100㎚ 이하, 바람직하게는 3㎚

이상 50㎚ 이하로 한다.

[0272] 이어서, 산화물 적층(211)의 밴드 구조에 대해서, 도 18의 (C), 도 18의 (D)를 사용해서 설명한다.

[0273] 예를 들어, 산화물 반도체층(211a)으로서 에너지 갭이 3.15eV인 In-Ga-Zn 산화물을 사용하고, 산화물층(211b)으로서 에너지 갭이 3.5eV인 In-Ga-Zn 산화물로 한다. 에너지 갭은, 분광 엘립소미터(HORIBA JOBIN YVON사 UT-300)를 사용하여 측정하였다.

[0274] 산화물 반도체층(211a) 및 산화물층(211b)의 진공 준위와 가전자대 상단부의에너지 차이(이온화 포텐셜이라고도 함)는, 각각 8eV 및 8.2eV였다. 또한, 진공 준위와 가전자대 상단부의 에너지 차이는, 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치(PHI사 VersaProbe)를 사용하여 측정하였다.

[0275] 따라서, 산화물 반도체층(211a) 및 산화물층(211b)의 진공 준위와 전도대 하단부의 에너지 차이(전자 친화력이라고도 함)는 각각 4.85eV 및 4.7eV였다.

[0276] 도 18의 (C)는, 산화물 적층(211)의 밴드 구조의 일부를 모식적으로 도시하고 있다. 여기에서는, 산화물 적층(211)에 산화 실리콘막을 접해서 형성한 경우에 대해서 설명한다. 또한, 도 18의 (C)에 나타내는 EcI1은 산화 실리콘막의 전도대 하단부의 에너지를 나타내고, EcS1은 산화물 반도체층(211a)의 전도대 하단부의 에너지를 나타내며, EcS2는 산화물층(211b)의 전도대 하단부의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단부의 에너지를 나타낸다. 또한, EcI1은 도 18의 (A)에 있어서, 절연층(208)에 상당하고, EcI2는 도 18의 (A)에 있어서, 절연층(214)에 상당한다.

[0277] 도 18의 (C)에 도시한 바와 같이, 산화물 반도체층(211a) 및 산화물층(211b)에 있어서, 전도대 하단부의 에너지는 장벽이 없이 완만하게 변화한다. 다시 말해, 연속적으로 변화한다고도 할 수 있다. 이것은, 산화물층(211b)은, 산화물 반도체층(211a)과 공통의 원소를 포함하고, 산화물 반도체층(211a) 및 산화물층(211b)의 사이에서, 산소가 서로 이동함으로써 혼합층이 형성되기 때문이라고 할 수 있다.

[0278] 도 18의 (C)로부터, 산화물 적층(211)의 산화물 반도체층(211a)이 웰(우물)이 되고, 산화물 적층(211)을 사용한 트랜지스터에 있어서, 채널 영역이 산화물 반도체층(211a)에 형성되는 것을 알 수 있다. 또한, 산화물 적층(211)은 전도대 하단부의 에너지가 연속적으로 변화하고 있기 때문에, 산화물 반도체층(211a)과 산화물층(211b)이 연속 접합되어 있다고도 할 수 있다.

[0279] 또한, 도 18의 (C)에 도시한 바와 같이, 산화물층(211b)과, 절연층(214)의 계면 근방에는, 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있지만, 산화물층(211b)이 형성됨으로써, 산화물 반도체층(211a)과 상기 트랩 준위를 멀어지게 할 수 있다. 단, EcS1과 EcS2의 에너지 차이가 작은 경우, 상기 에너지 차이를 초과해서 트랩 준위에 도달하는 경우가 있다. 트랩 준위에 전자가 포획됨으로써, 절연층 계면에 마이너스의 전하가 발생하고, 트랜지스터의 임계값 전압은 플러스 방향으로 시프트해버린다. 따라서, EcS1과 EcS2의 에너지 차이를, 0.1eV 이상, 바람직하게는 0.15eV 이상으로 하면, 트랜지스터의 임계값 전압의 변동이 저감되어, 안정된 전기 특성이 되기 때문에 적합하다.

[0280] 도 18의 (D)는, 산화물 적층(211)의 밴드 구조의 일부를 모식적으로 도시하고, 도 18의 (C)에 도시하는 밴드 구조의 변형예이다. 여기에서는, 산화물 적층(211)에 산화 실리콘막을 접해서 형성한 경우에 대해서 설명한다. 또한, 도 18의 (D)에 나타내는 EcI1은 산화 실리콘막의 전도대 하단부의 에너지를 나타내고, EcS1은 산화물 반도체층(211a)의 전도대 하단부의 에너지를 나타내며, EcI2는 산화 실리콘막의 전도대 하단부의 에너지를 나타낸다. 또한, EcI1은 도 18의 (A)에 있어서, 절연층(208)에 상당하고, EcI2는 도 18의 (A)에 있어서, 절연층(214)에 상당한다.

[0281] 도 18의 (A)에 도시하는 트랜지스터에 있어서, 도전층(212d, 212e)의 형성 시에 산화물 적층(211)의 위쪽, 즉 산화물층(211b)이 에칭되는 경우가 있다. 그러나, 산화물 반도체층(211a)의 윗면은, 산화물층(211b)의 성막 시에 산화물 반도체층(211a)과 산화물층(211b)의 혼합층이 형성되는 경우가 있다.

[0282] 예를 들어, 산화물 반도체층(211a)이 In:Ga:Zn=1:1:1[원자수비]의 In-Ga-Zn 산화물 또는 In:Ga:Zn=3:1:2[원자수비]의 In-Ga-Zn 산화물이고, 산화물층(211b)이 In:Ga:Zn=1:3:2[원자수비]의 In-Ga-Zn 산화물 또는 In:Ga:Zn=1:6:4[원자수비]의 In-Ga-Zn 산화물일 경우, 산화물 반도체층(211a)보다도 산화물층(211b)의 Ga의 함유량이 많기 때문에, 산화물 반도체층(211a)의 윗면에는 GaOx층 또는 산화물 반도체층(211a)보다도 Ga를 많이 포함하는 혼합층이 형성될 수 있다.

[0283] 따라서, 산화물층(211b)이 에칭되었을 경우에 있어서도, EcS1의 EcI2측의 전도대 하단부의 에너지가 높아지고,

도 18의 (D)에 도시하는 밴드 구조와 같이 되는 경우가 있다.

[0284] 또한, 본 실시 형태는, 본 명세서에서 나타내는 다른 실시 형태와 적절히 조합할 수 있다.

[0285] (실시 형태 8)

[0286] 본 실시 형태에 있어서는, 실시 형태 1의 도 1의 (A)에 도시하는 표시 장치에 사용할 수 있는 접속 단자부의 구성에 대해서, 도 19를 사용해서 이하 설명한다. 또한, 상술한 실시 형태에서 설명한 부분과 마찬가지의 기능을 갖는 부분에 대해서는, 마찬가지의 부호 및 마찬가지의 해칭을 표시하고, 그 상세한 설명은 생략한다.

[0287] 도 19에 도시하는 표시 장치에 사용할 수 있는 접속 단자부(103)는, 기판(202) 위에 형성된 절연층(206, 208)과, 절연층(208) 위에 형성된 도전층(212m)과, 절연층(208) 위에 형성된 절연층(214, 216)을 갖는다. 또한, 절연층(214, 216)은, 도전층(212m)에 도달하는 개구부가 형성되고, FPC(264)가 갖는 단자와 이방성 도전제(262)를 통해서, 전기적으로 접속되어 있다.

[0288] 또한, 접속 단자부(103)에 있어서, 절연층(216) 위에 시일재(266)가 형성되어 있다. 시일재(266)에 의해, 기판(202)과 기판(252)의 사이에 액정층(260)이 밀봉되어 있다.

[0289] 또한, 절연층(206, 208)은, 상술한 실시 형태에 나타내는 재료를 원용할 수 있다.

[0290] 또한, 도전층(212m)은, 보호 회로(106) 및 구동 회로부(104)에 형성된 도전층(212a, 212b, 212c)과 동일한 도전막으로부터 형성할 수 있다.

[0291] 이방성 도전제(262)는 열경화성, 또는 열경화성 및 광경화성의 수지에 도전성 입자를 혼합한 페이스트 상태 또는 시트 형상의 재료를 경화시킨 것이다. 이방성 도전제(262)는, 광조사나 열 압착에 의해 이방성의 도전성을 나타내는 재료가 된다. 이방성 도전제(262)에 사용되는 도전성 입자로는, 예를 들어 구상의 유기 수지를 Au나 Ni, Co 등의 박막 형상의 금속으로 피복한 입자를 사용할 수 있다.

[0292] 본 실시 형태에 도시한 바와 같이, 접속 단자부(103)와 구동 회로부(104)의 사이에 본 발명의 일 형태인 보호 회로(106)를 설치함으로써, 예를 들어 FPC(264)를 부착할 때의 정전기 등에 의해 발생하는 과전류로부터 구동 회로부(104)를 보호하는 것이 가능하게 된다. 따라서, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0293] 또한, 본 명세서에 있어서의 표시 장치란, 화상 표시 디바이스, 혹은 광원(조명 장치 포함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC 혹은 TCP가 설치된 모듈, TCP의 끝에 프린트 배선판이 설치된 모듈 또는 표시 소자에 COG 방식에 의해 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0294] 또한, 본 실시 형태에 나타내는 구성 등은, 다른 실시 형태에 나타내는 구성과 적절히 조합해서 사용할 수 있다.

[0295] (실시 형태 9)

[0296] 본 실시 형태에 있어서는, 본 발명의 일 형태의 표시 장치와 조합할 수 있는 터치 센서 및 표시 모듈에 대해서, 도 20 내지 도 23을 사용해서 설명한다.

[0297] 도 20의 (A)는 터치 센서(4500)의 구성예를 도시하는 분해 사시도이고, 도 20의 (B)는 터치 센서(4500)의 전극의 구성예를 도시하는 평면도이다. 또한, 도 21은 터치 센서(4500)의 구성예를 도시하는 단면도이다.

[0298] 도 20의 (A), 도 20의 (B)에 도시하는 터치 센서(4500)는, 기판(4910) 위에 X축 방향으로 배열된 복수의 도전층(4510)과, X축 방향과 교차하는 Y축 방향으로 배열된 복수의 도전층(4520)이 형성되어 있다. 도 20의 (A), 도 20의 (B)에 도시하는 터치 센서(4500)는 복수의 도전층(4510)이 형성된 평면도와, 복수의 도전층(4520)의 평면도를 분리해서 표시되어 있다.

[0299] 또한, 도 21은, 도 20에 도시하는 터치 센서(4500)의 도전층(4510)과 도전층(4520)의 교차 부분의 등가 회로도이다. 도 21에 도시한 바와 같이, 도전층(4510)과 도전층(4520)의 교차하는 부분에는 용량(4540)이 형성된다.

[0300] 또한, 도전층(4510, 4520)은, 복수의 4변 형상의 도전막이 접속된 구조를 갖고 있다. 복수의 도전층(4510) 및 복수의 도전층(4520)은, 도전막의 4변 형상의 부분의 위치가 겹치지 않도록 배치되어 있다. 도전층(4510)과 도전층(4520)의 교차하는 부분에는, 도전층(4510)과 도전층(4520)이 접촉하지 않도록 사이에 절연막이 형성되어 있다.

[0301] 또한, 도 22는, 도 20에 도시하는 터치 센서(4500)의 도전층(4510)과 도전층(4520)의 접속 구조의 일례를 설명

하는 단면도이고, 도전층(4510(도전층(4510a, 4510b, 4510c)과 4520)이 교차하는 부분의 단면도를 일례로서 도시한다.

[0302] 도 22에 도시한 바와 같이, 도전층(4510)은 1층째의 도전층(4510a) 및 도전층(4510b), 및 절연층(4810) 위의 2층째의 도전층(4510c)에 의해 구성된다. 도전층(4510a)과 도전층(4510b)은, 도전층(4510c)에 의해 접속되어 있다. 도전층(4520)은 1층째의 도전막에 의해 형성된다. 도전층(4510, 4520) 및 전극(4710)을 덮어서 절연층(4820)이 형성되어 있다. 절연층(4810, 4820)으로서, 예를 들어 산화 질화 실리콘막을 형성하면 된다. 또한, 기판(4910)이 도전층(4510)과 전극(4710)의 사이에 절연막으로 이루어지는 바탕막을 형성해도 되고, 바탕막으로는, 예를 들어 산화 질화 실리콘막을 형성할 수 있다.

[0303] 도전층(4510)과 도전층(4520)은, 가시광에 대하여 투광성을 갖는 도전 재료로 형성된다. 예를 들어, 투광성을 갖는 도전 재료로서, 산화 규소를 포함하는 산화 인듐 주석, 산화 인듐 주석, 산화 아연, 산화 인듐 아연, 갈륨을 첨가한 산화 아연 등이 있다.

[0304] 도전층(4510a)은 전극(4710)에 접속되어 있다. 전극(4710)은 FPC와의 접속용 단자를 구성한다. 도전층(4520)도 도전층(4510)과 마찬가지로, 다른 전극(4710)에 접속된다. 전극(4710)은, 예를 들어 텅스텐막으로부터 형성할 수 있다.

[0305] 도전층(4510, 4520) 및 전극(4710)을 덮어서 절연층(4820)이 형성되어 있다. 전극(4710)과 FPC를 전기적으로 접속하기 위해서, 전극(4710) 위의 절연층(4810) 및 절연층(4820)에는 개구가 형성되어 있다. 절연층(4820) 위에는, 기판(4920)이 접착제 또는 접착 필름 등에 의해 부착되어 있다. 접착제 또는 접착 필름에 의해 기판(4910)측을 표시 패널의 컬러 필터 기판에 설치함으로써, 터치 패널이 구성된다.

[0306] 이어서, 본 발명의 일 형태의 표시 장치를 사용할 수 있는 표시 모듈에 대해서, 도 23을 사용해서 설명한다.

[0307] 도 23에 도시하는 표시 모듈(8000)은, 상부 커버(8001)와 하부 커버(8002)의 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트 유닛(8007), 프레임(8009), 프린트 기판(8010), 배터리(8011)를 갖는다.

[0308] 상부 커버(8001) 및 하부 커버(8002)는, 터치 패널(8004) 및 표시 패널(8006)의 크기에 맞추어, 형상이나 치수를 적절히 변경할 수 있다.

[0309] 터치 패널(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩해서 사용할 수 있다. 또한, 표시 패널(8006)의 대향 기판(밀봉 기판)에, 터치 패널 기능을 갖게 하도록 하는 것도 가능하다. 또한, 표시 패널(8006)의 각 화소 내에 광 센서를 설치하고, 광학식 터치 패널로 하는 것도 가능하다.

[0310] 백라이트 유닛(8007)은 광원(8008)을 갖는다. 광원(8008)은 백라이트 유닛(8007)의 단부에 설치하고, 광 확산판을 사용하는 구성으로 해도 된다.

[0311] 프레임(8009)은 표시 패널(8006)의 보호 기능 외에, 프린트 기판(8010)의 동작에 의해 발생하는 전자파를 차단하기 위한 전자 실드로서의 기능을 갖는다. 또한 프레임(8009)은 방열판으로서의 기능을 가져도 된다.

[0312] 프린트 기판(8010)은 전원 회로, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로는, 외부의 상용 전원이어도 되고, 별도 설치한 배터리(8011)에 의한 전원이어도 된다. 배터리(8011)는 상용 전원을 사용하는 경우에는 생략 가능하다.

[0313] 또한, 표시 모듈(8000)은 편광판, 위상차판, 프리즘 시트 등의 부재를 추가해서 설치해도 된다.

[0314] 또한, 본 실시 형태에 나타내는 구성 등은, 다른 실시 형태에 나타내는 구성과 적절히 조합해서 사용할 수 있다.

[0315] (실시 형태 10)

[0316] 본 실시 형태에 있어서는, 전자 기기의 예에 대해서 설명한다.

[0317] 도 24의 (A) 내지 도 24의 (H), 도 25의 (A) 내지 도 25의 (D)는 전자 기기를 도시하는 도면이다. 이들 전자 기기는 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0318] 도 24의 (A)는 모바일 컴퓨터이며, 상술한 것 이외에 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 24의 (B)는 기록 매체를 구비한 휴대형 화상 재생 장치(예를 들어, DVD 재생 장치)이며, 상술한 것 이외에 제2 표시부(5002), 기록 매체 읽기부(5011) 등을 가질 수 있다. 도 24의 (C)는 고글형 디스플레이이며, 상술한 것 이외에 제2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 24의 (D)는 휴대형 게임기이며, 상술한 것 이외에 기록 매체 읽기부(5011) 등을 가질 수 있다. 도 24의 (E)는 텔레비전 수상 기능을 구비한 디지털 카메라이며, 상술한 것 이외에 안테나(5014), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 24의 (F)는 휴대형 게임기이며, 상술한 것 이외에 제2 표시부(5002), 기록 매체 읽기부(5011) 등을 가질 수 있다. 도 24의 (G)는 텔레비전 수상기이며, 상술한 것 이외에 튜너, 화상 처리부 등을 가질 수 있다. 도 24의 (H)는 이동형 텔레비전 수상기이며, 상술한 것 이외에 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다. 도 25의 (A)는 디스플레이이며, 상술한 것 이외에 지지대(5018) 등을 가질 수 있다. 도 25의 (B)는 카메라이며, 상술한 것 이외에 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 25의 (C)는 컴퓨터이며, 상술한 것 이외에 포인팅 디바이스(5020), 외부 접속 포트(5019), 리더/라이터(5021) 등을 가질 수 있다. 도 25의 (D)는 휴대 전화기이며, 상술한 것 이외에 송신부, 수신부, 휴대 전화·이동 단말기에 적합한 1세그먼트 부분 수신 서비스용 튜너 등을 가질 수 있다.

[0319] 도 24의 (A) 내지 도 24의 (H), 도 25의 (A) 내지 도 25의 (D)에 도시하는 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 여러 가지 정보(정지 화상, 동화상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 일자 또는 시각 등을 표시하는 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용해서 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용해서 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 갖는 전자 기기에 있어서는, 하나의 표시부를 주로 해서 화상 정보를 표시하고, 다른 하나의 표시부를 주로 해서 문자 정보를 표시하는 기능, 또는 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 갖는 전자 기기에 있어서는, 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 24의 (A) 내지 도 24의 (H), 도 25의 (A) 내지 도 25의 (D)에 도시하는 전자 기기가 가질 수 있는 기능은 이것들에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0320] 본 실시 형태에 있어서 설명한 전자 기기는, 어떠한 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다.

[0321] 이어서, 표시 장치의 응용예를 설명한다.

[0322] 도 25의 (E)에, 표시 장치를 건조물과 일체로 해서 설치한 예에 대해서 도시한다. 도 25의 (E)는, 하우징(5022), 표시부(5023), 조작부인 리모콘 장치(5024), 스피커(5025) 등을 포함한다. 표시 장치는, 벽걸이형으로서 건물과 일체로 되어 있어, 설치할 공간을 넓게 필요로 하지 않고 설치 가능하다.

[0323] 도 25의 (F)에, 건조물 내에 표시 장치를 건조물과 일체로 해서 설치한 다른 예에 대해서 도시한다. 표시 모듈(5026)은 조립식 욕실(5027)과 일체로 설치되어 있고, 입욕자는 표시 모듈(5026)의 시청이 가능하게 된다.

[0324] 또한, 본 실시 형태에 있어서, 건조물로서 벽, 조립식 욕실을 예로 들었지만, 본 실시 형태는 이것에 한정되지 않고, 다양한 건조물에 표시 장치를 설치할 수 있다.

[0325] 이어서, 표시 장치를, 이동체와 일체로 설치한 예에 대해서 도시한다.

[0326] 도 25의 (G)는 표시 장치를 자동차에 설치한 예에 대해서 도시한 도면이다. 표시 모듈(5028)은 자동차의 차체(5029)에 설치되어 있고, 차체의 동작 또는 차체 내외로부터 입력되는 정보를 온 디맨드에 표시할 수 있다. 또한, 내비게이션 기능을 가져도 된다.

[0327] 도 25의 (H)는 표시 장치를 여객용 비행기와 일체로 해서 설치한 예에 대해서 도시한 도면이다. 도 25의 (H)는 여객용 비행기의 좌석 상부의 천장(5030)에 표시 모듈(5031)을 설치했을 때의, 사용시의 형상에 대해서 도시한 도면이다. 표시 모듈(5031)은 천장(5030)과 힌지부(hinge portion)(5032)를 개재해서 일체로 설치되어 있고, 힌지부(5032)의 신축에 의해 승객은 표시 모듈(5031)의 시청이 가능하게 된다. 표시 모듈(5031)은 승객이 조작함으로써 정보를 표시하는 기능을 갖는다.

[0328] 또한, 본 실시 형태에 있어서, 이동체로서는 자동차 차체, 비행기 기체에 대해서 예시했지만 이것에 한정되지

않고, 자동 이륜차, 자동 사륜차(자동차, 버스 등을 포함), 전철(모노레일, 철도 등을 포함), 선박 등, 다양한 것에 설치할 수 있다.

[0329] 또한, 본 명세서 등에 있어서는, 어떤 하나의 실시 형태에 있어서 설명하는 도면 또는 문장에서, 그 일부분을 취출하여 발명의 일 형태를 구성하는 것은 가능하다. 따라서, 어느 부분을 설명하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 취출한 내용도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 그 때문에, 예를 들어 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면 또는 문장에 있어서, 그 일부분을 취출하여, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 예를 들어, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 갖고서 구성되는 회로도로부터, M개(M은 정수이고, M <N)의 회로 소자(트랜지스터, 용량 소자 등)를 취출하여, 발명의 일 형태를 구성하는 것이 가능하다. 다른 예로는, N개(N은 정수)의 층을 갖고서 구성되는 단면도로부터, M개(M은 정수이고, M <N)의 층을 취출하여, 발명의 일 형태를 구성하는 것이 가능하다. 또한 다른 예로는 N개(N은 정수)의 요소를 갖고서 구성되는 흐름도로부터, M개(M은 정수이고, M <N)의 요소를 취출하여, 발명의 일 형태를 구성하는 것이 가능하다.

[0330] 또한, 본 명세서 등에 있어서는, 어떤 하나의 실시 형태에서 설명하는 도면 또는 문장에 있어서, 적어도 하나의 구체예가 기재될 경우, 그 구체예의 상위 개념을 도출하는 것은, 당업자라면 용이하게 이해된다. 따라서, 어떤 하나의 실시 형태에서 설명하는 도면 또는 문장에 있어서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념도 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다.

[0331] 또한, 본 명세서 등에 있어서는, 적어도 도면에 기재한 내용(도면 중 일부여도 됨)은, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 따라서, 어떤 내용에 대해서, 도면에 기재되어 있으면, 문장을 사용해서 설명하지 않아도, 그 내용은 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 마찬가지로, 도면의 일부를 취출한 도면에 대해서도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다.

[0332] (실시 형태 11)

[0333] 또한, 상기 실시 형태에서 개시된, 도전막이나 반도체막은 스퍼터링법이나 플라즈마 CVD법에 의해 형성할 수 있지만, 다른 방법, 예를 들어 열CVD(Chemical Vapor Deposition)법에 의해 형성해도 된다. 열CVD법의 예로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법을 사용해도 된다.

[0334] 열CVD법은 플라즈마를 사용하지 않는 성막 방법이므로, 플라즈마 대미지에 의해 결함이 생성될 일이 없다는 이점을 갖는다.

[0335] 열CVD법은 원료 가스와 산화제를 동시에 챔버 내로 보내고, 챔버 내를 대기압 또는 감압 하로 하여, 기판 근방 또는 기판 위에서 반응시켜서 기판 위에 퇴적 시킴으로써 성막을 행해도 된다.

[0336] 또한, ALD법은, 챔버 내를 대기압 또는 감압 하로 하고, 반응을 위한 원료 가스가 순차적으로 챔버에 도입되어, 그 가스 도입의 순서를 반복함으로써 성막을 행해도 된다. 예를 들어, 각각의 스위칭 밸브(고속 밸브라고도 함)를 전환해서 2종류 이상의 원료 가스를 순서대로 챔버에 공급하고, 복수 종의 원료 가스가 혼합되지 않도록 제1 원료 가스와 동시 또는 나중에 불활성 가스(아르곤, 혹은 질소 등) 등을 도입하여, 제2 원료 가스를 도입한다. 또한, 동시에 불활성 가스를 도입할 경우에는, 불활성 가스는 캐리어 가스가 되고, 또한 제2 원료 가스의 도입시에도 동시에 불활성 가스를 도입해도 된다. 또한, 불활성 가스를 도입하는 대신 진공 배기에 의해 제1 원료 가스를 배출한 후, 제2 원료 가스를 도입해도 된다. 제1 원료 가스가 기판의 표면에 흡착해서 제1층을 성막하고, 나중에 도입되는 제2 원료 가스와 반응하여, 제 2층이 제1층 위에 적층되어 박막이 형성된다. 이 가스 도입 순서를 제어하면서 원하는 두께가 될 때까지 복수회 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는, 가스 도입 순서를 반복하는 횟수에 의해 조절할 수 있기 때문에, 정밀한 막 두께 조절이 가능하고, 미세한 FET를 제작하는 경우에 적합하다.

[0337] MOCVD법이나 ALD법 등의 열CVD법은, 지금까지 기재한 실시 형태에 개시된 도전막이나 반도체막을 형성할 수 있고, 예를 들어 In-Ga-Zn-O막을 성막하는 경우에는, 트리메틸 인듐, 트리메틸 갈륨 및 디메틸 아연을 사용한다. 또한, 트리메틸 인듐의 화학식은 $In(CH_3)_3$이다. 또한, 트리메틸 갈륨의 화학식은 $Ga(CH_3)_3$이다. 또한, 디메틸 아연의 화학식은 $Zn(CH_3)_2$이다. 또한, 이들의 조합에 한정되지 않고, 트리메틸 갈륨 대신에 트리에틸 갈륨(화학

식$Ga(C_2H_5)_3$)을 사용할 수도 있고, 디메틸 아연 대신에 디에틸 아연(화학식 $Zn(C_2H_5)_2$)을 사용할 수도 있다.

[0338] 예를 들어, ALD를 이용하는 성막 장치에 의해 텅스텐막을 성막하는 경우에는 WF_6 가스와 B_2H_6 가스를 순차 반복 도입해서 초기 텅스텐막을 형성하고, 그 후, WF_6 가스와 H_2 가스를 동시에 도입해서 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에SiH_4 가스를 사용해도 된다.

[0339] 예를 들어, ALD를 이용하는 성막 장치에 의해 산화물 반도체막, 예를 들어 In-Ga-Zn-O막을 성막하는 경우에는, $In(CH_3)_3$ 가스와 O_3 가스를 순차 반복 도입해서 In-O층을 형성하고, 그 후, $Ga(CH_3)_3$ 가스와 O_3 가스를 동시에 도입해서 GaO층을 형성하고, 또한 그 후 $Zn(CH_3)_2$와 O_3 가스를 동시에 도입해서 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예에 한정되지 않는다. 또한, 이들의 가스를 섞어서 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성해도 된다. 또한, O_3 가스 대신에 Ar 등의 불활성 가스로 버블링해서 얻어진 H_2O 가스를 사용해도 되지만, H를 포함하지 않는 O_3 가스를 사용하는 편이 바람직하다. 또한, $In(CH_3)_3$ 가스 대신에, $In(C_2H_5)_3$ 가스를 사용해도 된다. 또한, $Ga(CH_3)_3$ 가스 대신에 $Ga(C_2H_5)_3$ 가스를 사용해도 된다. 또한, $In(CH_3)_3$ 가스 대신에 $In(C_2H_5)_3$ 가스를 사용해도 된다. 또한, $Zn(CH_3)_2$ 가스를 사용해도 된다.

부호의 설명

[0340] 102: 화소부

103: 접속 단자부

104: 구동 회로부

104a: 게이트 드라이버

104b: 소스 드라이버

106: 보호 회로

106_1: 보호 회로

106_2: 보호 회로

106_3: 보호 회로

106_4: 보호 회로

108: 화소 회로

109: 접속부

110: 배선

112: 배선

114: 저항 소자

130: 액정 소자

131_1: 트랜지스터

131_2: 트랜지스터

133_1: 용량 소자

133_2: 용량 소자

134: 트랜지스터

135: 발광 소자

140: 기판

142: 도전층

144: 절연층

146: 절연층

148: 도전층

151: 트랜지스터

152: 트랜지스터

153: 트랜지스터

154: 트랜지스터

155: 트랜지스터

155A: 트랜지스터

155B: 트랜지스터

156: 트랜지스터

156A: 트랜지스터

156B: 트랜지스터

157: 트랜지스터

157A: 트랜지스터

157B: 트랜지스터

158: 트랜지스터

158A: 트랜지스터

158B: 트랜지스터

159: 트랜지스터

160: 트랜지스터

161: 트랜지스터

162: 트랜지스터

163: 트랜지스터

164: 트랜지스터

165: 트랜지스터

166: 트랜지스터

171: 저항 소자

172: 저항 소자

173: 저항 소자

174: 저항 소자

174A: 저항 소자

174B: 저항 소자

175: 저항 소자

175A: 저항 소자

175B: 저항 소자

176: 저항 소자

177: 저항 소자

178: 저항 소자

179: 저항 소자

180: 저항 소자

181: 배선

182: 배선

183: 배선

184: 배선

185: 배선

186: 배선

187: 배선

188: 배선

189: 배선

190: 배선

191: 배선

199: 저항 소자

202: 기판

204a: 도전층

204b: 도전층

204c: 도전층

204d: 도전층

204e: 도전층

206: 절연층

207a: 개구부

207b: 개구부

208: 절연층

209: n형 영역

210a: 반도체층

210b: 반도체층

210c: 반도체층

210d: 반도체층

211: 산화물 적층

211a: 산화물 반도체층

211b: 산화물층

212a: 도전층

212b: 도전층

212c: 도전층

212d: 도전층

212e: 도전층

212f: 도전층

212g: 도전층

212h: 도전층

212i: 도전층

212j: 도전층

212k: 도전층

212m: 도전층

214: 절연층

216: 절연층

218: 절연층

219a: 개구부

219b: 개구부

219c: 개구부

220a: 도전층

220b: 도전층

220c: 도전층

220d: 도전층

220e: 도전층

220f: 도전층

220g: 도전층

220h: 도전층

220i: 도전층

220j: 도전층

252: 기판

254: 유색층

256: 절연층

258: 도전층

260: 액정층

262: 이방성 도전제

264: FPC

266: 시일재

268: 액정 소자

402: 트랜지스터

404: 트랜지스터

406: 트랜지스터

408: 트랜지스터

410: 트랜지스터

412: 트랜지스터

414: 트랜지스터

416: 트랜지스터

451: 배선

452: 배선

453: 배선

454: 배선

455: 배선

456: 배선

481: 배선

482: 배선

483: 배선

484: 배선

485: 배선

486: 배선

4500: 터치 센서

4510: 도전층

4510a: 도전층

4510b: 도전층

4510c: 도전층

4520: 도전층

4540: 용량

4710: 전극

4810: 절연층

4820: 절연층

4910: 기판

4920: 기판

5000: 하우징

5001: 표시부

5002: 표시부

5003: 스피커

5004: LED 램프

5005: 조작 키

5006: 접속 단자

5007: 센서

5008: 마이크로폰

5009: 스위치

5010: 적외선 포트

5011: 기록 매체 읽기부

5012: 지지부

5013: 이어폰

5014: 안테나

5015: 셔터 버튼

5016: 수상부

5017: 충전기

5018: 지지대

5019: 외부 접속 포트

5020: 포인팅 디바이스

5021: 리더/라이터

5022: 하우징

5023: 표시부

5024: 리모콘 장치

5025: 스피커

5026: 표시 모듈

5027: 조립식 욕실

5028: 표시 모듈

5029: 차체

5030: 천장

5031: 표시 모듈

5032: 힌지부

8000: 표시 모듈

8001: 상부 커버

8002: 하부 커버

8003: FPC

8004: 터치 패널

8005: FPC

8006: 표시 패널

8007: 백라이트 유닛

8008: 광원

8009: 프레임

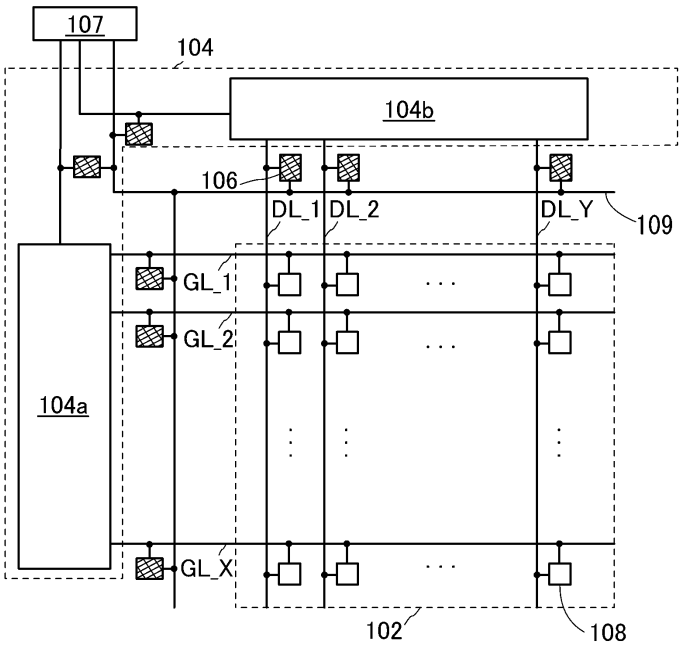
8010: 프린트 기판

8011: 배터리

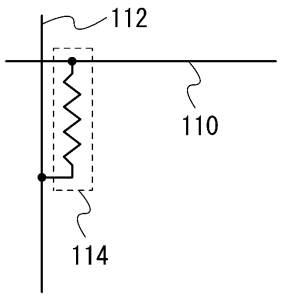
도면

도면1

(A)

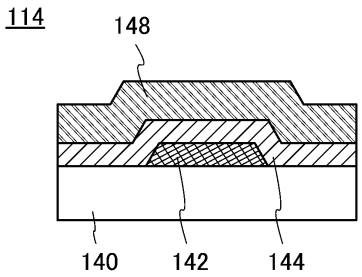


(B)

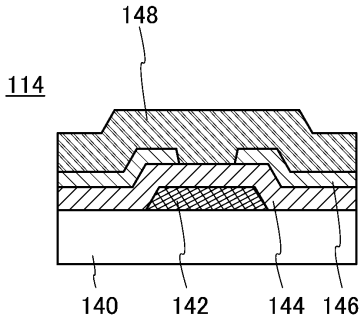


도면2

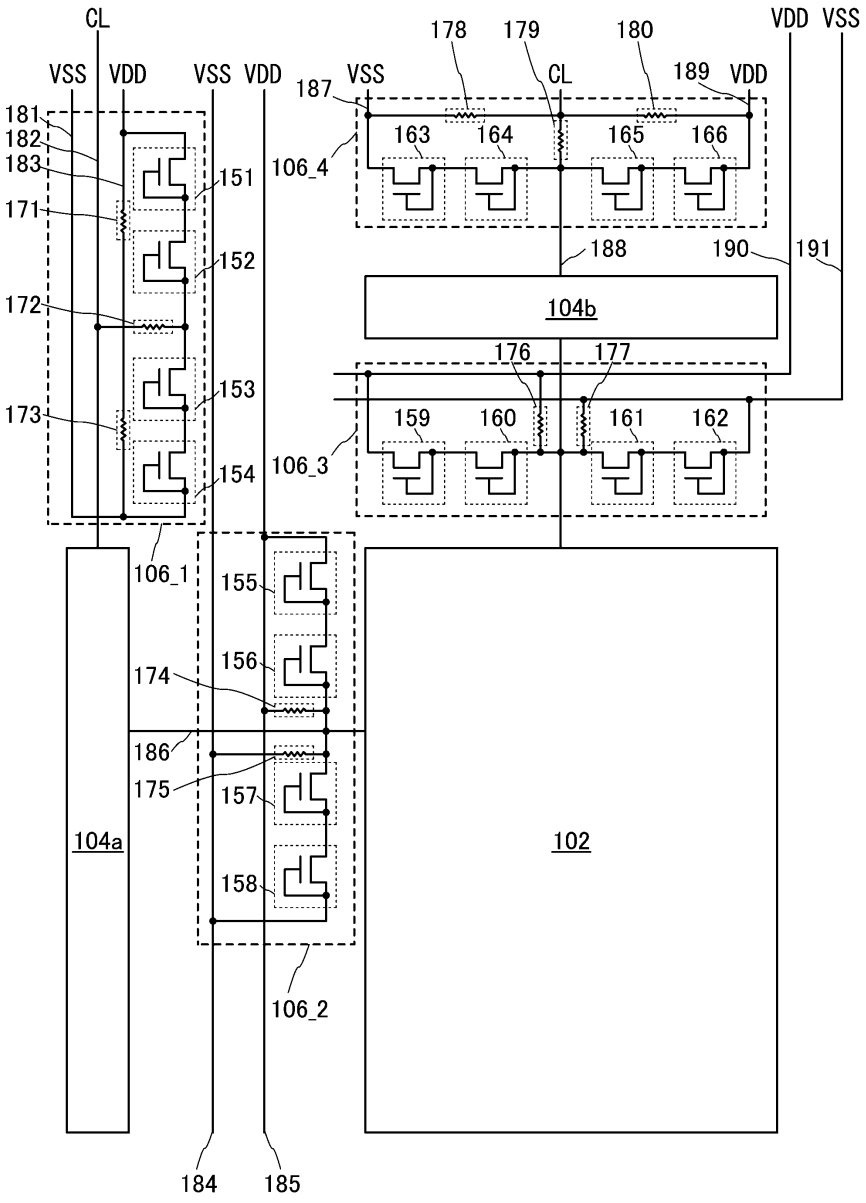
(A)



(B)

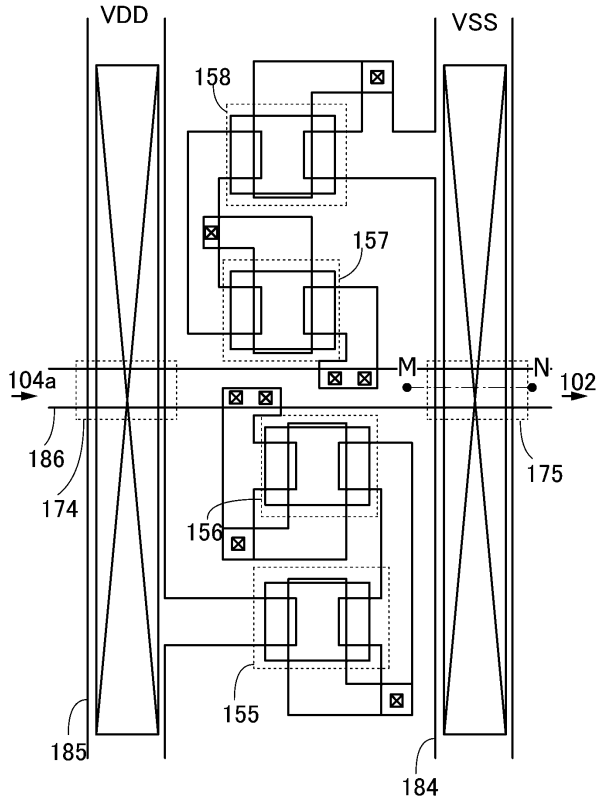


도면3

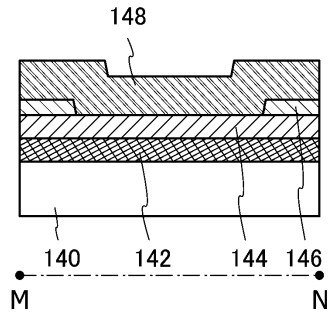

CL
VSS
VDD
VSS
VDD
VSS
178
179
CL
180
189
VDD
VDD
VSS
187
181
182
183
171
172
173
151
152
153
154
106_4
163
164
165
166
188
190
191
104b
176
177
159
160
161
162
106_3
106_1
155
156
174
186
175
157
158
104a
102
106_2
184
185

도면4

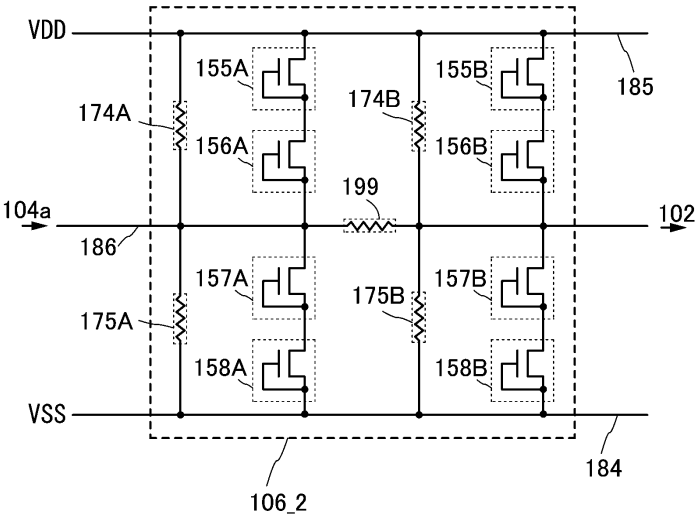
(A)


VDD
VSS
158
157
M
N
104a
102
186
174
175
156
155
185
184

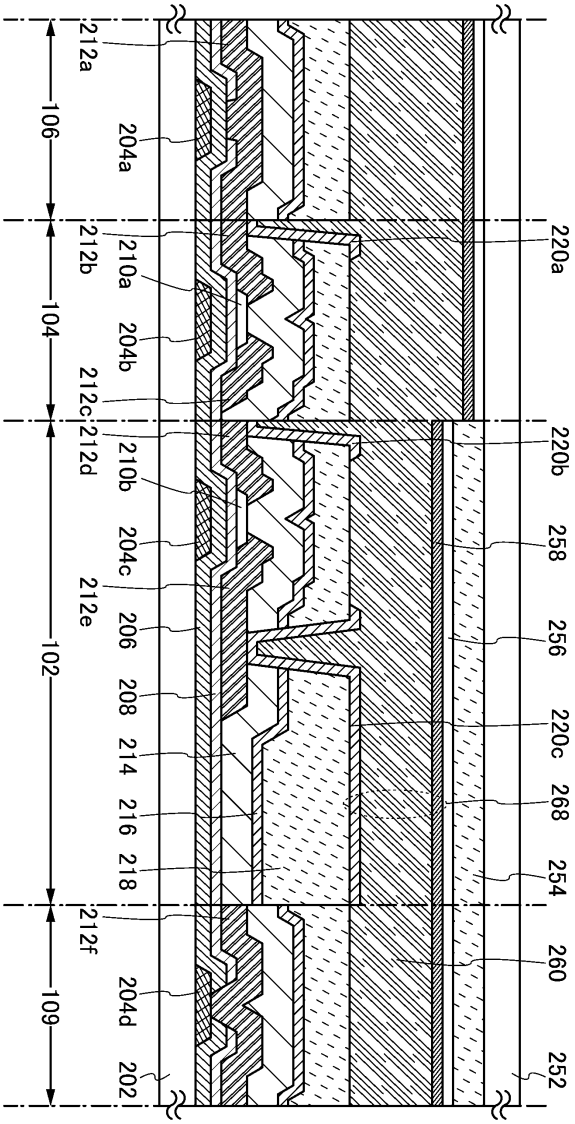
(B)


148
140
142
144
146
M
N

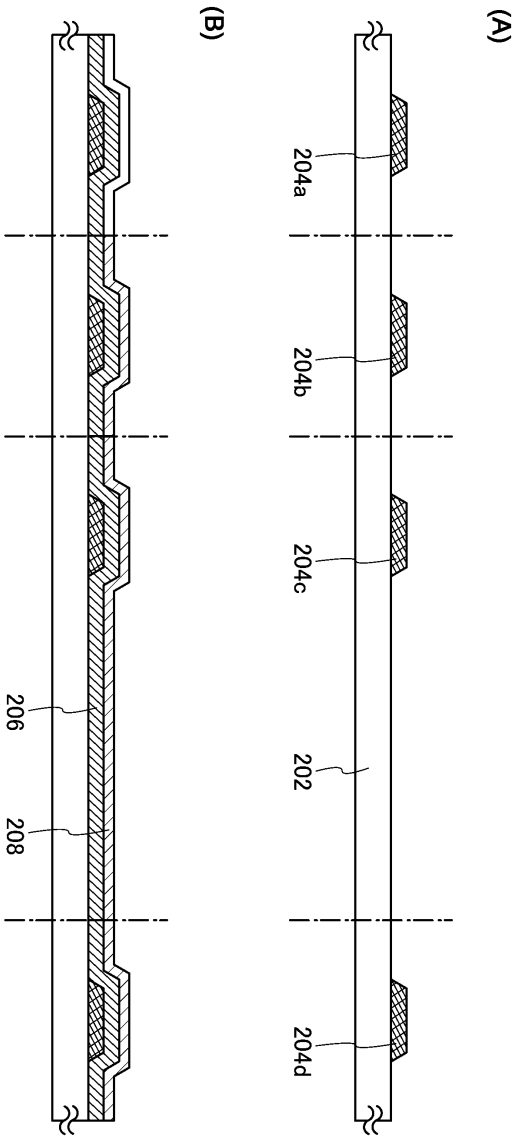
도면5


VDD
155A
155B
185
174A
174B
156A
156B
199
104a
102
186
157A
157B
175A
175B
158A
158B
VSS
184
106_2

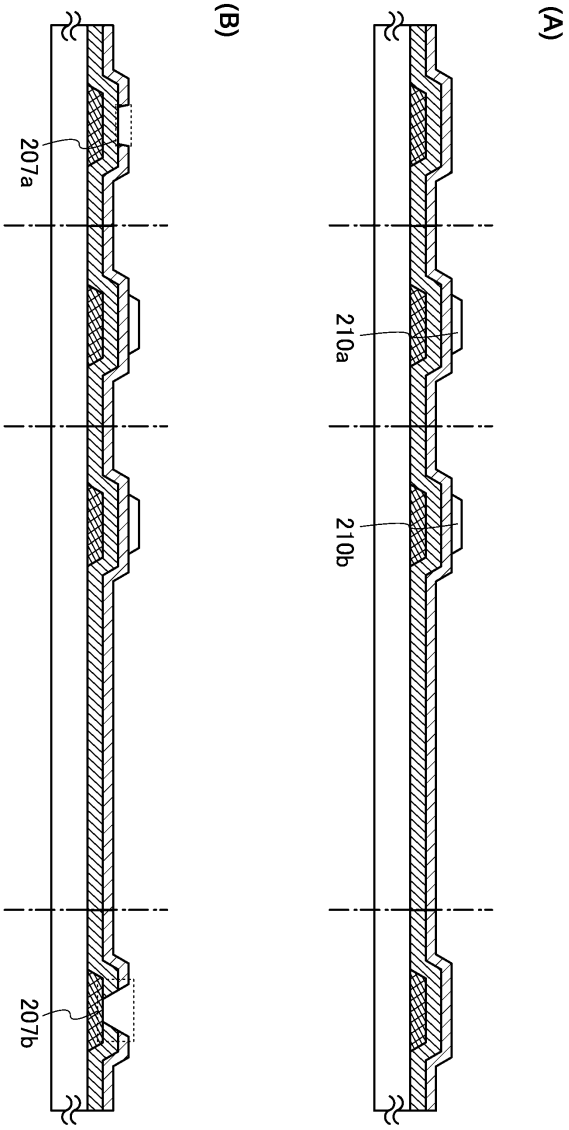
도면6


212a
204a
106
212b
210a
204b
104
212c
212d
210b
204c
212e
206
208
214
216
218
102
212f
204d
109
202
220a
220b
258
256
220c
268
254
260
252

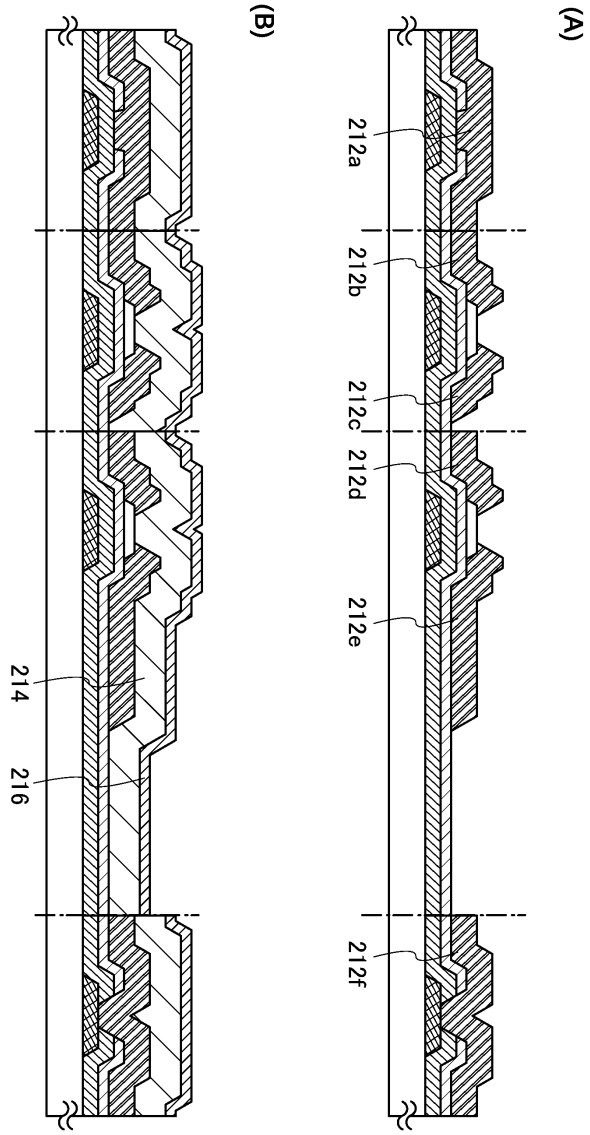
도면7



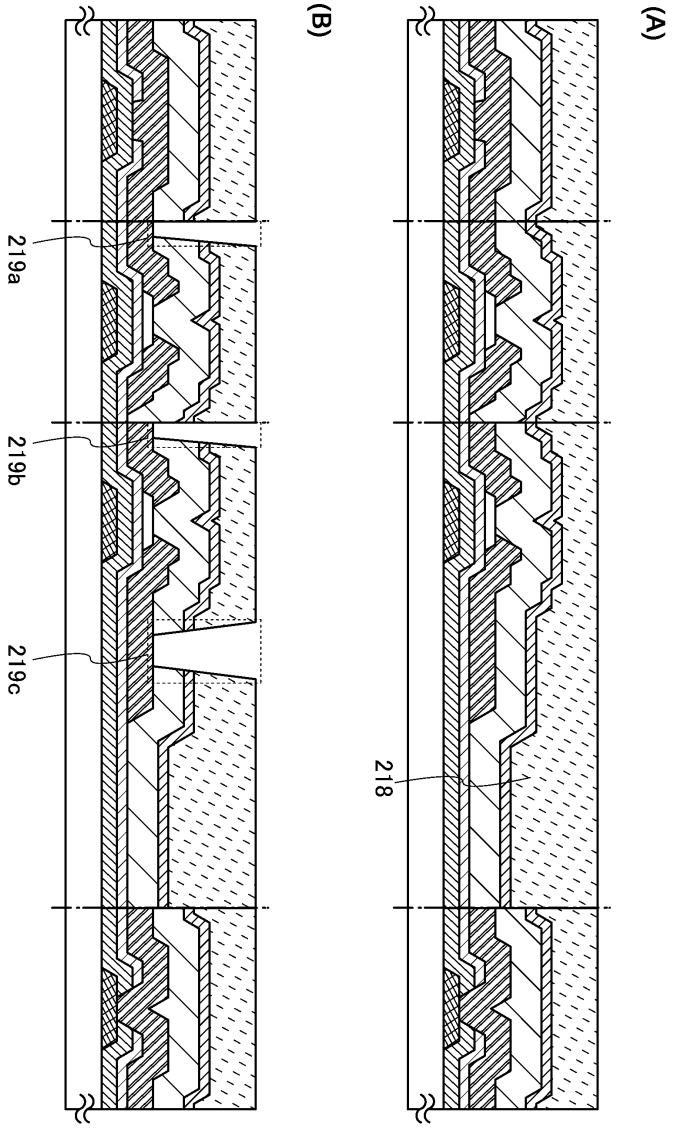
도면8



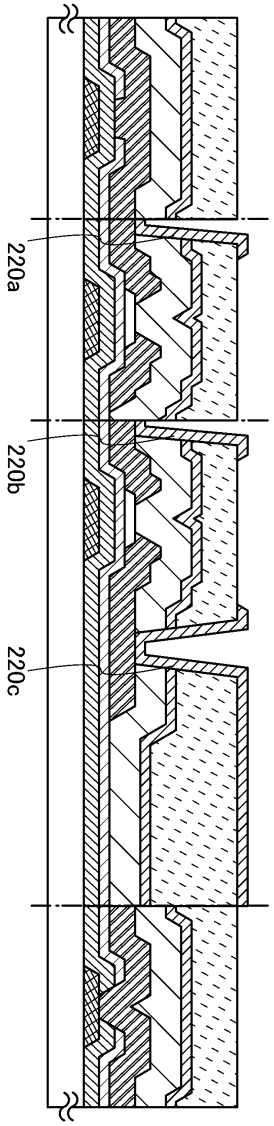
도면9



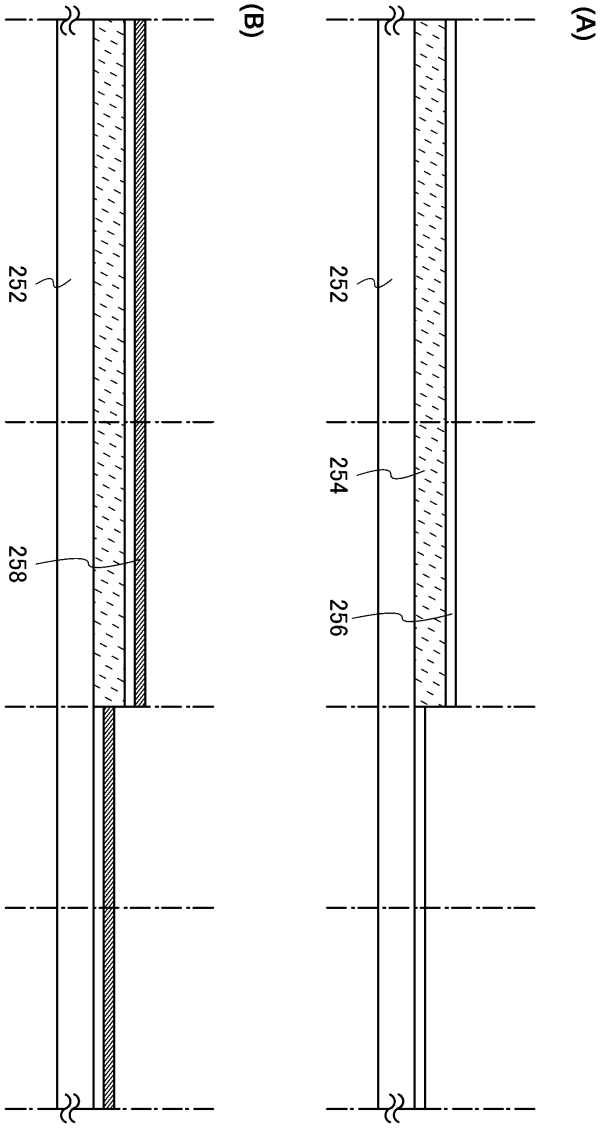
도면10



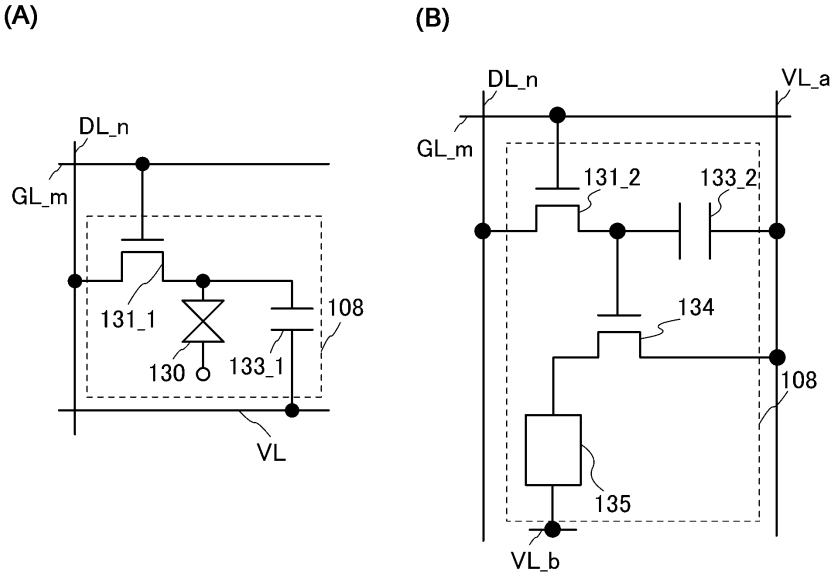
도면11



도면12

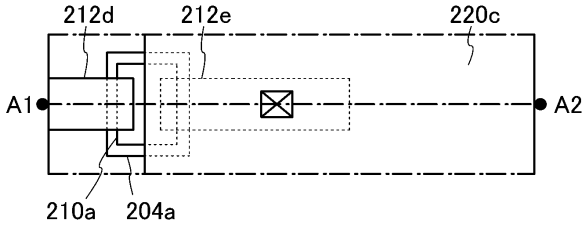


도면13

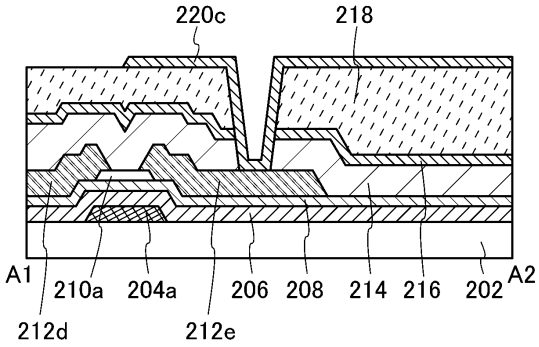

(A)
DL_n
GL_m
131_1
130
133_1
108
VL
(B)
DL_n
VL_a
GL_m
131_2
133_2
134
108
135
VL_b

도면14

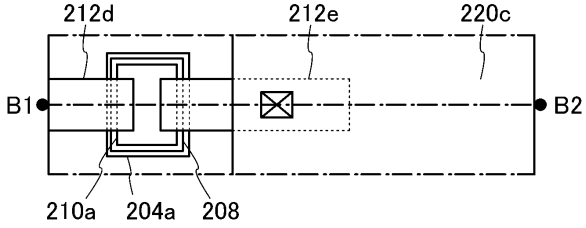
(A)


212d
212e
220c
A1
A2
210a
204a

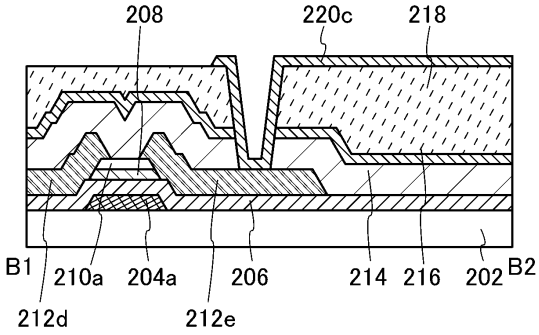
(B)


220c
218
A1
210a
204a
206
208
214
216
202
A2
212d
212e

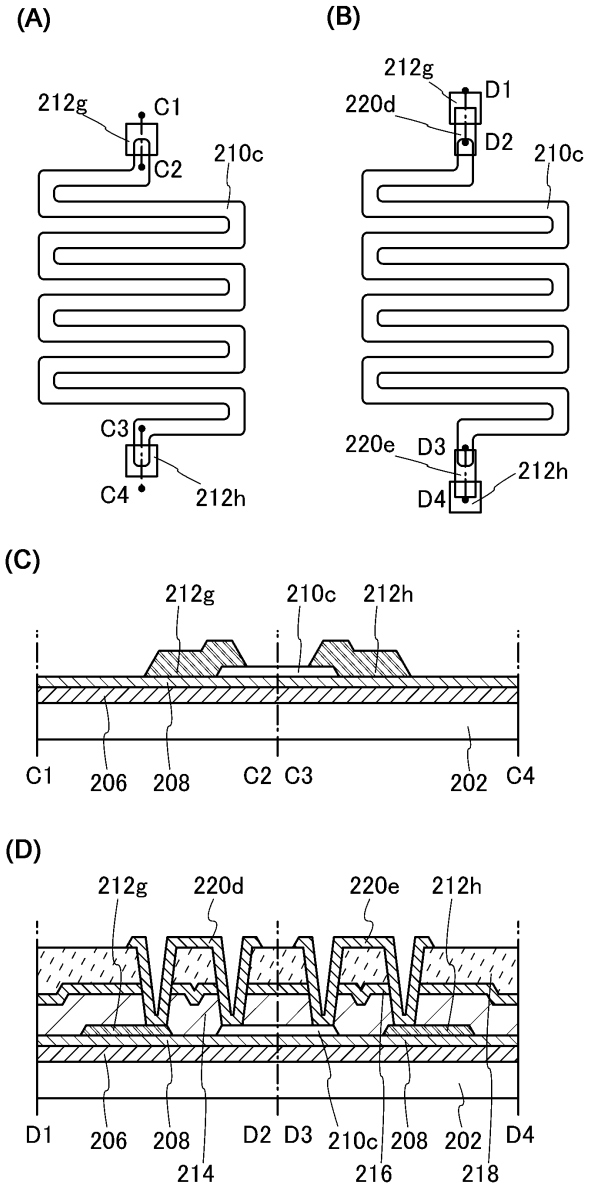
(C)


212d
212e
220c
B1
B2
210a
204a
208

(D)

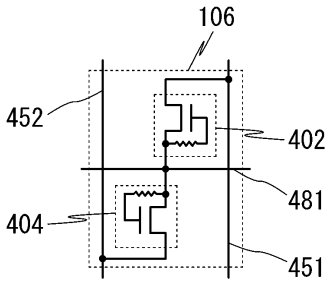

208
220c
218
B1
210a
204a
206
214
216
202
B2
212d
212e

도면15

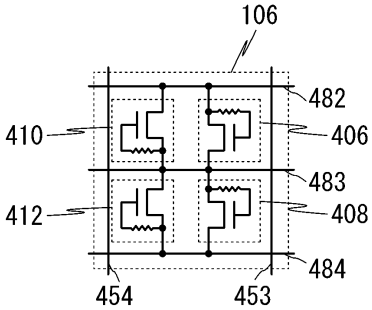

(A)
212g
C1
C2
210c
C3
C4
212h
(B)
212g
D1
220d
D2
210c
220e
D3
212h
D4
(C)
212g
210c
212h
C1
206
208
C2
C3
202
C4
(D)
212g
220d
220e
212h
D1
206
208
214
D2
D3
210c
216
208
202
218
D4

도면16

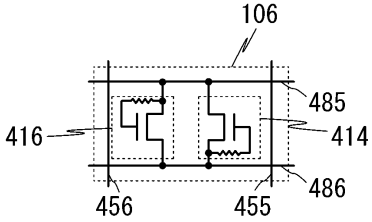
(A)


106
452
402
481
404
451

(B)

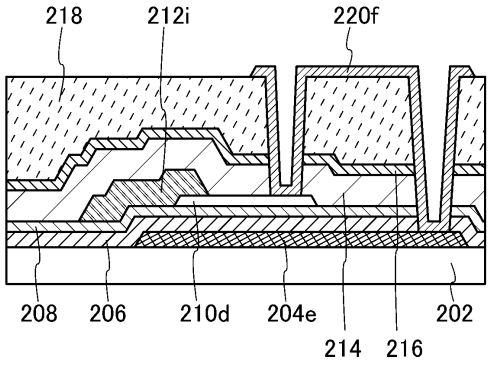

106
482
410
406
483
412
408
484
454
453

(C)

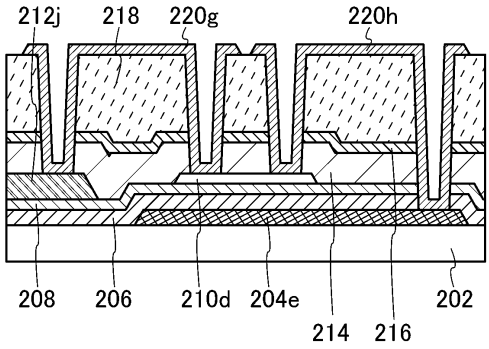

106
485
416
414
486
456
455

도면17

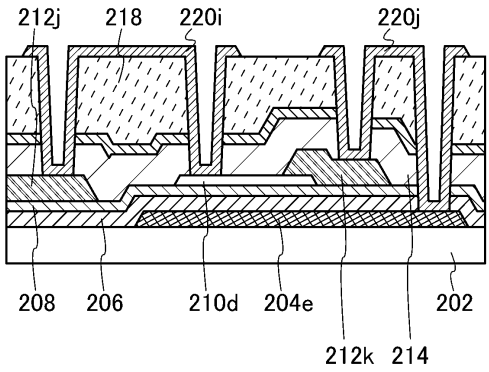
(A)


218
212i
220f
208
206
210d
204e
214
216
202

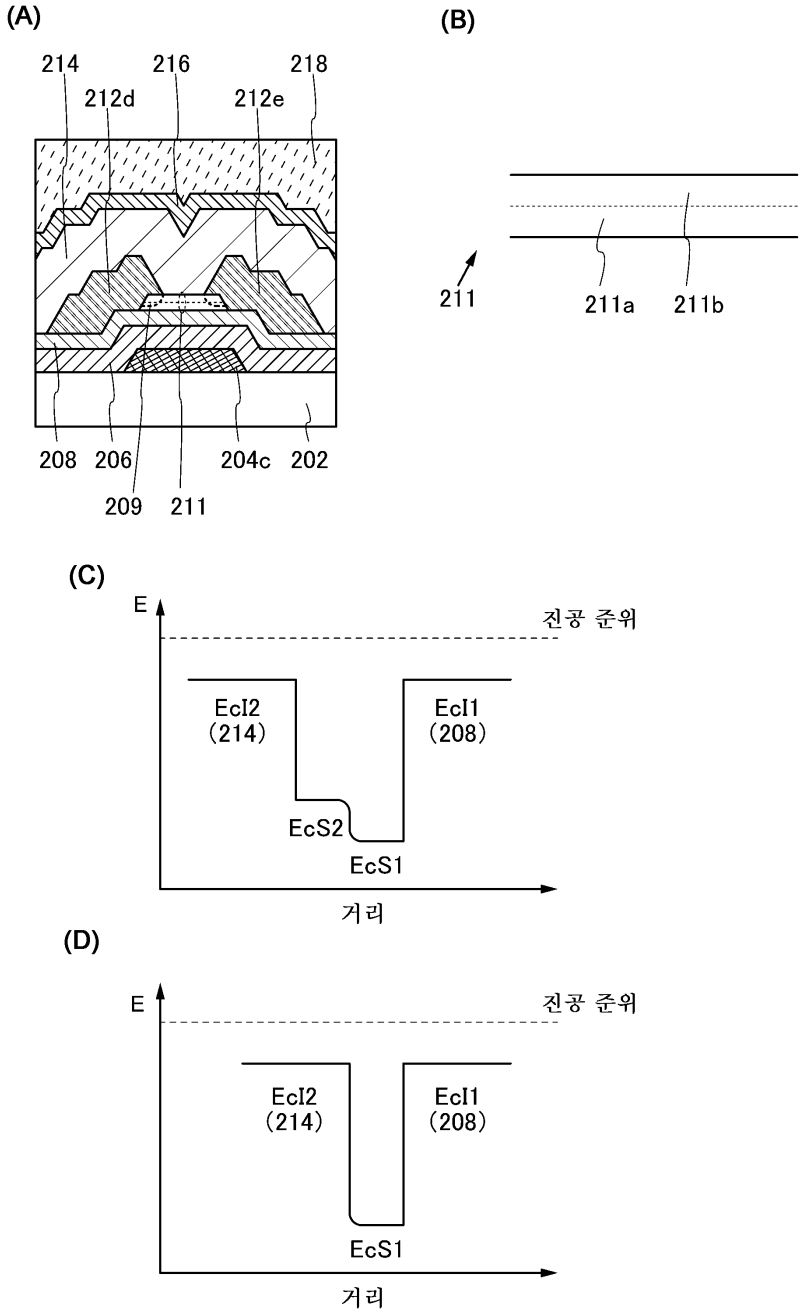
(B)


212j
218
220g
220h
208
206
210d
204e
214
216
202

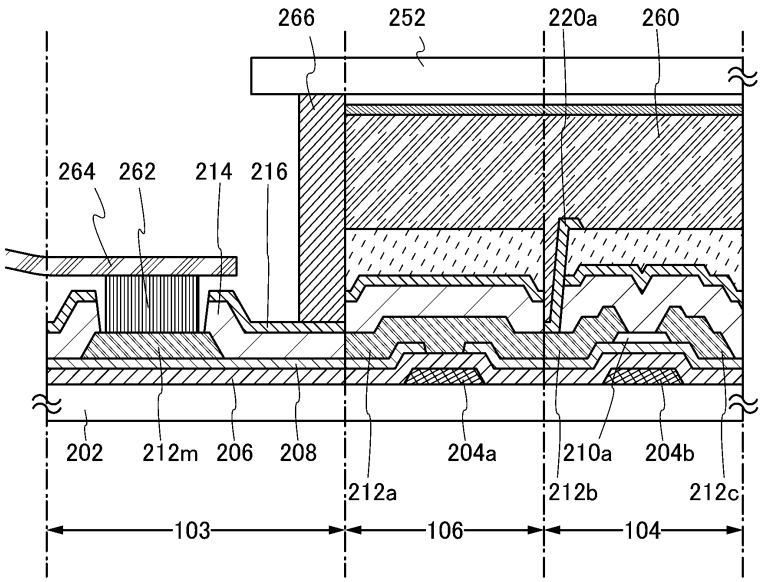
(C)


212j
218
220i
220j
208
206
210d
204e
212k
214
202

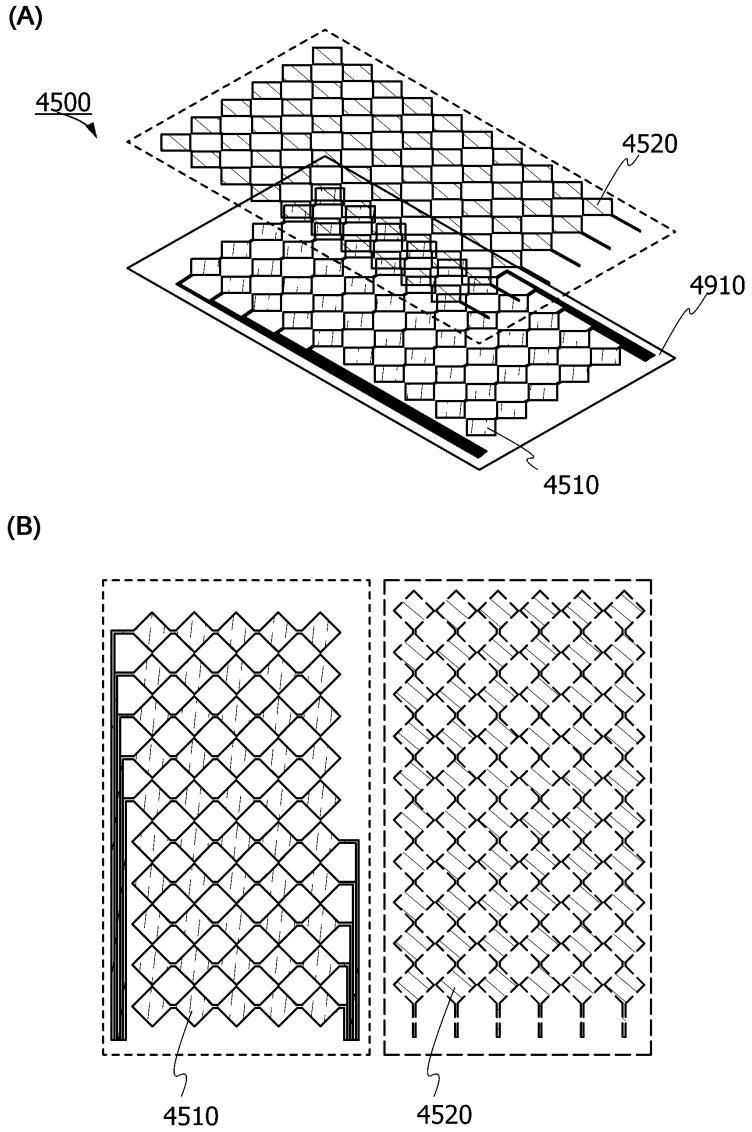
도면18


(A)
214
216
218
212d
212e
208
206
209
211
204c
202
(B)
211
211a
211b
(C)
E
진공 준위
EcI2
(214)
EcI1
(208)
EcS2
EcS1
거리
(D)
E
진공 준위
EcI2
(214)
EcI1
(208)
EcS1
거리

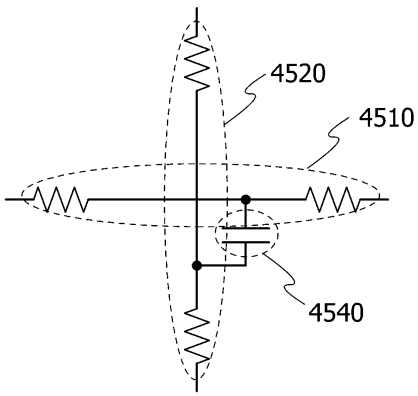
도면19


266
252
220a
260
264
262
214
216
202
212m
206
208
212a
204a
210a
212b
204b
212c
103
106
104

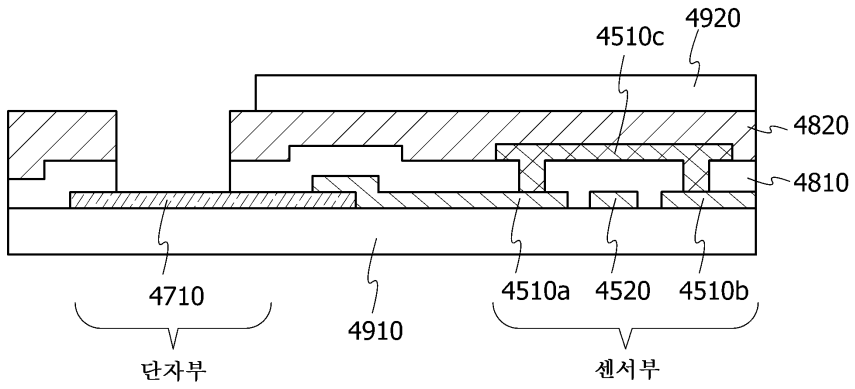
도면20



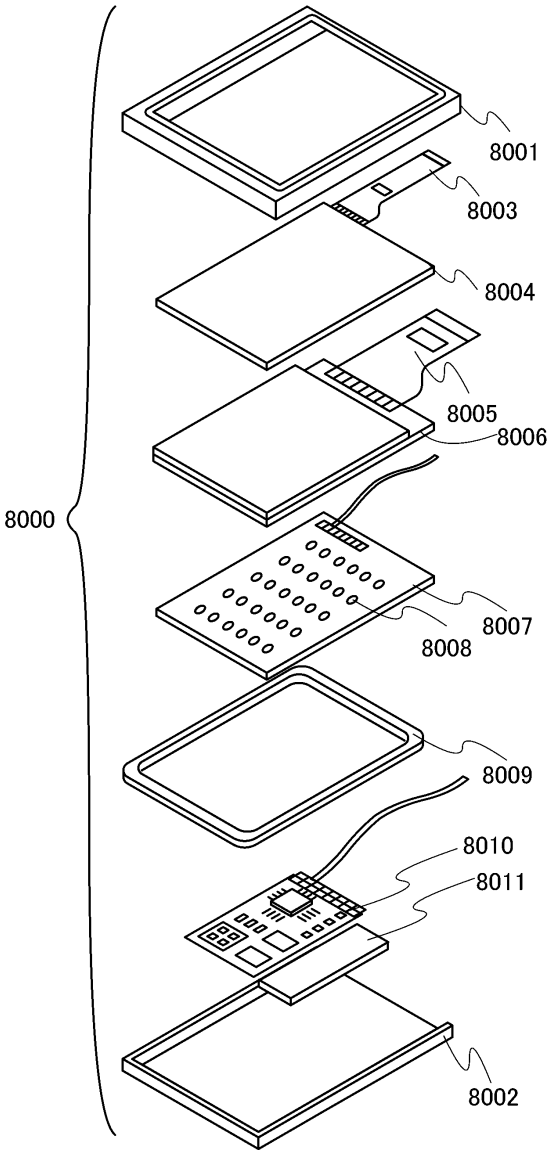
도면21



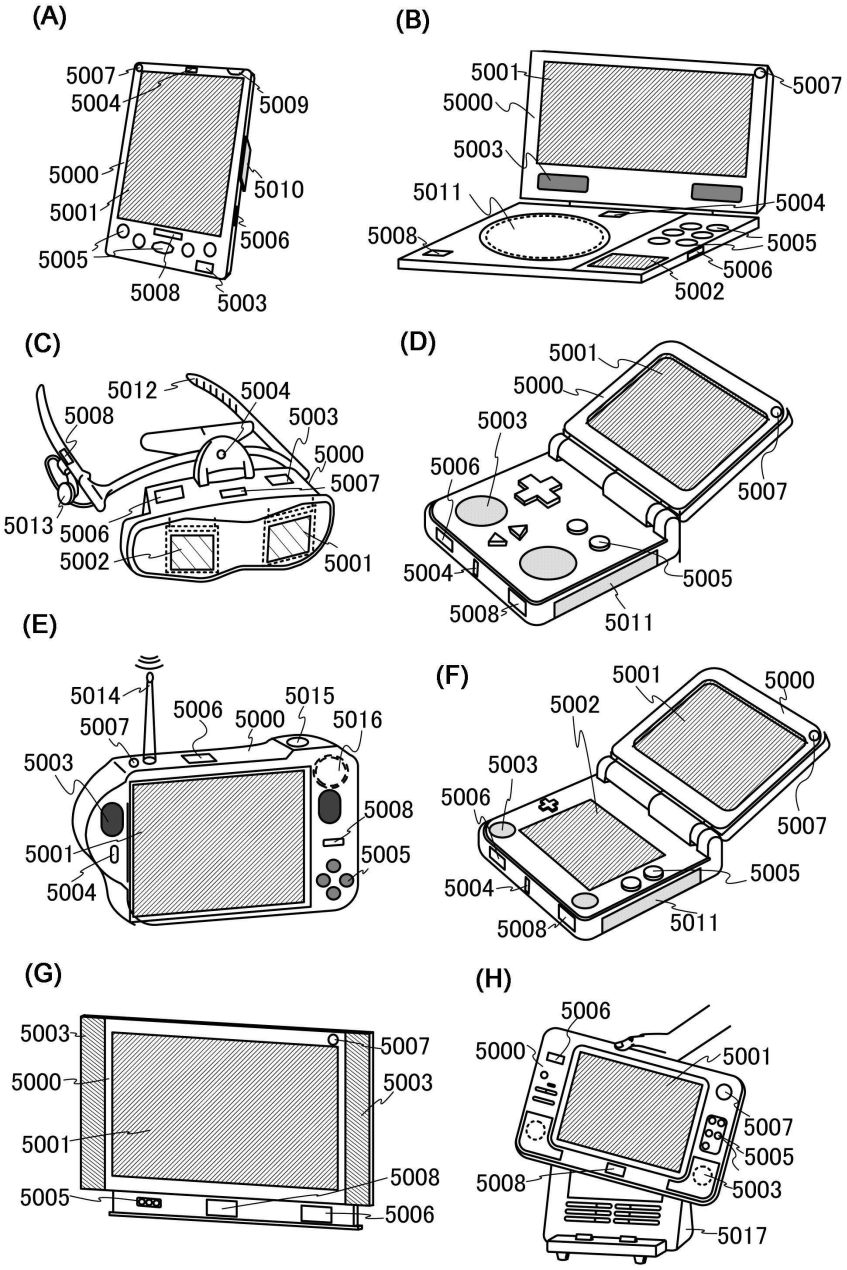
도면22


4920
4510c
4820
4810
4710
4910
4510a
4520
4510b
단자부
센서부

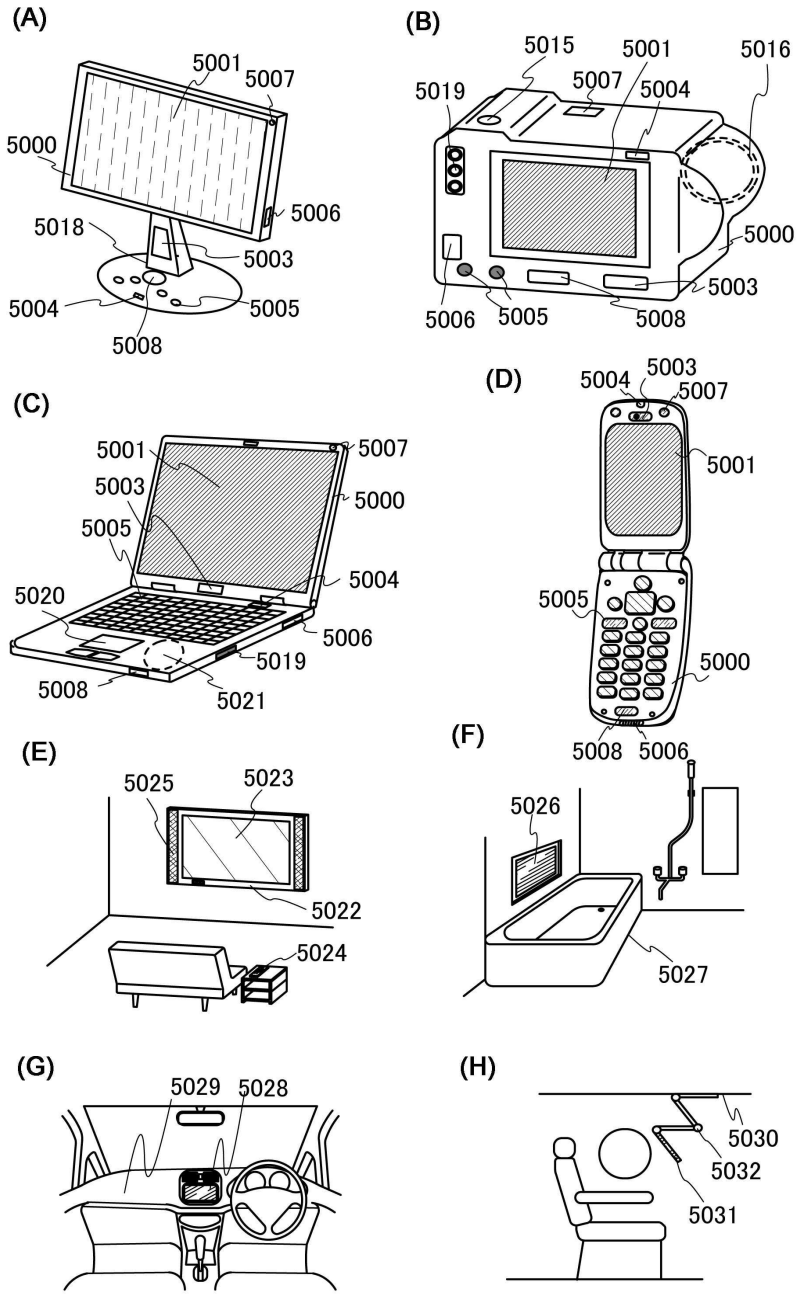
도면23


8001
8003
8004
8005
8006
8000
8007
8008
8009
8010
8011
8002

도면24


(A)
5007
5004
5009
5000
5010
5001
5006
5005
5008
5003
(B)
5001
5007
5000
5003
5011
5004
5008
5005
5006
5002
(C)
5012
5004
5008
5003
5000
5007
5013
5006
5002
5001
(D)
5001
5000
5003
5006
5007
5004
5005
5008
5011
(E)
5014
5006
5015
5007
5000
5016
5003
5008
5001
5005
5004
(F)
5001
5000
5002
5003
5006
5007
5004
5005
5008
5011
(G)
5003
5007
5000
5003
5001
5008
5005
5006
(H)
5006
5000
5001
5007
5005
5008
5003
5017

도면25


(A)
5001
5007
5000
5006
5018
5003
5004
5005
5008
(B)
5015
5001
5016
5019
5007
5004
5000
5003
5006
5005
5008
(C)
5001
5007
5003
5000
5005
5004
5020
5006
5019
5008
5021
(D)
5004
5003
5007
5001
5005
5000
5008
5006
(E)
5025
5023
5022
5024
(F)
5026
5027
(G)
5029
5028
(H)
5030
5032
5031