

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月7日(07.12.2017)



(10) 国際公開番号

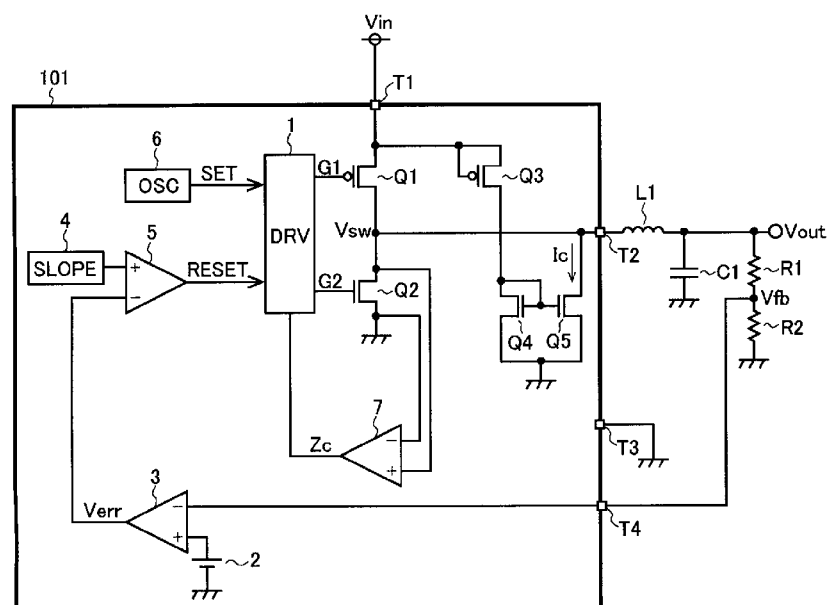
WO 2017/208705 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2017/016903
- (22) 国際出願日: 2017年4月28日(28.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-108913 2016年5月31日(31.05.2016) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 福本 洋祐 (FUKUMOTO Yosuke);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
赤穂 直史 (AKAHO Tadashi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SWITCHING REGULATOR, SEMICONDUCTOR INTEGRATED CIRCUIT, AND ELECTRONIC DEVICE

(54) 発明の名称: スイッチングレギュレータ、半導体集積回路、及び電子機器

[図1]



(57) Abstract: The switching regulator has: a control unit for turning on/off an upper switch and a lower switch in a complementary manner in accordance with an output voltage; and a current extraction unit for extracting a constant current from a first end or a second end of an inductor. When under a light load, the control unit stops the switching control and fixes the upper switch and the lower switch in an off state. The constant current has positive temperature characteristics, wherein the value of the constant current is greater than or equal to a value obtained by subtracting leakage current of the

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

lower switch from leakage current of the upper switch.

(57) 要約: スイッチングレギュレータは、出力電圧に応じて上側スイッチ及び下側スイッチが相補的にオン／オフする制御部と、インダクタの第1端又は第2端から定電流を引抜く電流引抜き部と、を有する。前記制御部は軽負荷時にスイッチング制御を停止して前記上側スイッチ及び前記下側スイッチをオフ状態に固定する。前記定電流は正の温度特性を有し、前記定電流の値は前記上側スイッチのリーク電流から前記下側スイッチのリーク電流を引いた値以上である。

明 細 書

発明の名称：

スイッチングレギュレータ、半導体集積回路、及び電子機器

技術分野

[0001] 本発明はスイッチングレギュレータに関する。また、本発明はスイッチングレギュレータに用いられる半導体集積回路に関する。さらに、本発明はスイッチングレギュレータを用いた電子機器に関する。

背景技術

[0002] 軽負荷時の効率が高いスイッチングレギュレータの一例として、特許文献 1 で提案されているスイッチングレギュレータを挙げることができる。

[0003] 特許文献 1 で提案されているスイッチングレギュレータは、軽負荷時にスイッチング制御を停止して上側スイッチング素子及び下側スイッチング素子をオフ状態に固定している。スイッチング制御を停止するとスイッチング損失が発生しなくなるため、特許文献 1 で提案されているスイッチングレギュレータでは軽負荷時の効率が高くなる。

[0004] 特許文献 1 で提案されているスイッチングレギュレータは、スイッチング制御を停止しているときに出力電圧が低くなったことが確認されると、スイッチング制御を再開する。そして、特許文献 1 で提案されているスイッチングレギュレータは、スイッチング制御の再開後に軽負荷であれば再度スイッチング制御を停止し重負荷であればそのままスイッチング制御を続行する。

先行技術文献

特許文献

[0005] 特許文献1：特開平06-303766号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献 1 で提案されているスイッチングレギュレータでは、軽負荷時に上側スイッチング素子のリーク電流によって生じる出力コン

デンサの充電電流が下側スイッチング素子のリーク電流及び負荷の消費電流によって生じる出力コンデンサの放電電流よりも大きければ、出力電圧が増大していく。この場合、スイッチング制御が再開されることはなく、最終的に出力電圧が過電圧になってしまう。

[0007] 本発明は、上記の状況に鑑み、スイッチング制御を停止している期間に低温時の効率低下を抑えながら出力電圧が増大していくことを防止できるスイッチングレギュレータ並びに当該スイッチングレギュレータに用いられる半導体集積回路及び当該スイッチングレギュレータを用いる電子機器を提供することを目的とする。

課題を解決するための手段

[0008] 本明細書中に開示されているスイッチングレギュレータは、入力電圧から出力電圧を生成するスイッチングレギュレータであって、第1端が前記入力電圧の印加される第1印加端に接続された上側スイッチと、第1端が前記上側スイッチの第2端に接続されて第2端が前記入力電圧よりも低い所定電圧の印加される第2印加端に接続された下側スイッチと、第1端が前記上側スイッチと前記下側スイッチの接続ノードに接続されたインダクタと、前記インダクタの第2端に接続された出力コンデンサと、前記出力電圧に応じて前記上側スイッチ及び前記下側スイッチを相補的にオン／オフさせるための制御信号を生成する制御部と、前記インダクタの第1端又は第2端から定電流を引抜く電流引抜き部と、を有し、前記制御部は軽負荷時にスイッチング制御を停止して前記上側スイッチ及び前記下側スイッチをオフ状態に固定し、前記定電流は正の温度特性を有し、前記定電流の値は前記上側スイッチのリーク電流から前記下側スイッチのリーク電流を引いた値以上である構成（第1の構成）である。

[0009] また、上記第1の構成のスイッチングレギュレータにおいて、前記上側スイッチがMOSFETである構成（第2の構成）としてもよい。

[0010] また、上記第1又は第2の構成のスイッチングレギュレータにおいて、前記電流引抜き部は、前記制御部がスイッチング制御を行っている期間中に、

前記インダクタの第1端又は第2端から前記定電流を引抜かない構成（第3の構成）としてもよい。

[0011] また、上記第1～第3いずれかの構成のスイッチングレギュレータにおいて、前記電流引抜き部は、常時オフ状態であるトランジスタと、前記トランジスタのリーク電流に略比例する前記定電流を生成する定電流生成部と、を有し、前記トランジスタのリーク電流は前記上側スイッチのリーク電流に略比例する構成（第4の構成）としてもよい。

[0012] また、上記第4の構成のスイッチングレギュレータにおいて、前記トランジスタのリーク電流は前記上側スイッチのリーク電流より小さい構成（第5の構成）としてもよい。

[0013] また、上記第4又は第5の構成のスイッチングレギュレータにおいて、前記定電流生成部は、前記制御部がスイッチング制御を行っている期間中に、前記定電流を生成しない構成（第6の構成）としてもよい。

[0014] また、上記第6の構成のスイッチングレギュレータにおいて、前記制御部がスイッチング制御を行っている期間中に、前記定電流生成部への前記トランジスタのリーク電流の供給を停止する構成（第7の構成）としてもよい。

[0015] 本明細書中に開示されている半導体集積回路は、上記第1～第7いずれかの構成のスイッチングレギュレータの少なくとも一部を構成する半導体集積回路であって、前記上側スイッチ及び前記電流引抜き部を有する構成（第8の構成）である。

[0016] また、上記第8の構成の半導体集積回路において、前記出力電圧を分圧する分圧回路をさらに有し、前記半導体集積回路に外付けされる前記インダクタの第2端から前記電流引抜き部が前記定電流を引抜く構成（第9の構成）としてもよい。

[0017] 本明細書中に開示されている電子機器は、上記第1～第7いずれかの構成のスイッチングレギュレータを有する構成（第10の構成）である。

発明の効果

[0018] 本明細書中に開示されているスイッチングレギュレータ、半導体集積回路

、及び電子機器によれば、スイッチングレギュレータがスイッチング制御を停止している期間に低温時の効率低下を抑えながらスイッチングレギュレータの出力電圧が増大していくことを防止できる。

図面の簡単な説明

- [0019] [図1]スイッチングレギュレータの第1構成例を示す図
[図2]上側トランジスタ及び常時オフ状態であるトランジスタの電極の配置例を示す上面図
[図3]上側トランジスタ及び下側トランジスタのリーク電流を示す図
[図4]第1構成例におけるスイッチ電圧のタイムチャート
[図5]比較例におけるスイッチ電圧のタイムチャート
[図6]スイッチングレギュレータの第2構成例を示す図
[図7]スイッチングレギュレータの第3構成例を示す図
[図8]スイッチングレギュレータの第4構成例を示す図
[図9]スイッチングレギュレータの第5構成例を示す図
[図10]車載用ナビゲーション装置が備える表示装置の外観図
[図11]パーソナルコンピュータの外観図

発明を実施するための形態

[0020] <第1構成例>

図1はスイッチングレギュレータの第1構成例を示す図である。本構成例のスイッチングレギュレータは、半導体集積回路101と、インダクタL1と、出力コンデンサC1と、分圧抵抗R1及びR2と、を備える。

- [0021] 半導体集積回路101は、ドライバ1と、基準電圧源2と、エラーアンプ3と、スロープ回路4と、コンパレータ5及び7と、オシレータ6と、上側トランジスタQ1と、下側トランジスタQ2と、トランジスタQ3～Q5と、端子T1～T4と、を備える。上側トランジスタQ1及びトランジスタQ3はPチャネル型MOSFET (Metal Oxide Semiconductor Field-Effect Transistor)である。下側トランジスタQ2、トランジスタQ4、及びトランジスタQ5はNチャネル型MOSFETである。

- [0022] ドライバ1は、セット信号SETとリセット信号RESETと逆電流検出信号Zcに応じて上側MOSトランジスタQ1のゲート信号G1及び下側MOSトランジスタQ2のゲート信号G2を生成する。
- [0023] 上側トランジスタQ1は、入力電圧Vinが印加されている端子T1から端子T2に至る電流経路を導通／遮断する上側スイッチの一例である。上側トランジスタQ1のゲートにはドライバ1からゲート信号G1が供給される。上側トランジスタQ1は、ゲート信号G1がローレベルであるときにオンとなり、ゲート信号G1がハイレベルであるときにオフとなる。
- [0024] 下側トランジスタQ2は、接地されている端子T3から端子T2に至る電流経路を導通／遮断する下側スイッチの一例である。下側トランジスタQ2のゲートにはドライバ1からゲート信号G2が供給される。下側トランジスタQ2は、ゲート信号G2がハイレベルであるときにオンとなり、ゲート信号G2がローレベルであるときにオフとなる。なお、下側トランジスタQ2の代わりにダイオードを下側スイッチとして用いることができる。
- [0025] 上側トランジスタQ1と下側トランジスタQ2は、ドライバ1のスイッチング制御により、相補的にオン／オフする。したがって、ドライバ1がスイッチング制御を行っているときは、上側トランジスタQ1と下側トランジスタQ2の接続ノードに発生するスイッチ電圧Vswがパルス状の電圧になる。なお、上側トランジスタQ1と下側トランジスタQ2のオン／オフ切り替わり時には、上側トランジスタQ1と下側トランジスタQ2の双方がオフになるデッドタイムを設けることが好ましい。
- [0026] インダクタL1及び出力コンデンサC1は、スイッチ電圧Vswを平滑化して出力電圧Voutを生成する。
- [0027] 分圧抵抗R1及びR2は、出力電圧Voutを分圧して帰還電圧Vfbを生成する。
- [0028] エラーアンプ3は、帰還電圧Vfbと、基準電圧源2から出力される基準電圧との差分に応じた誤差信号Verを生成する。
- [0029] スロープ回路4は、オシレータ6で生成される所定周波数のクロック信号

に同期し、図示しない定電流回路、抵抗等で図示しないコンデンサを充放電させることによって三角形状または鋸歯形状のスロープ電圧を生成して出力する。なお、インダクタ L_1 を流れる電流に関する情報をスロープ電圧に反映させて電流モード制御型スイッチングレギュレータにしてもよい。

[0030] コンパレータ5は、スロープ回路4の出力電圧と誤差信号 V_{err} を比較して比較信号であるリセット信号 $RESET$ を生成する。スロープ回路4によって生成されるスロープ電圧が固定周期であるため、リセット信号 $RESET$ はPWM (pulse width modulation) 信号となる。

[0031] オシレータ6は、所定周波数のクロック信号であるセット信号 SET を生成する。

[0032] コンパレータ7は、下側トランジスタ Q_2 のドレイン電圧とソース電圧を比較して逆電流検出信号 Z_c を生成して出力する。下側トランジスタ Q_2 に順電流（正規の電流）すなわち端子 T_3 から端子 T_2 に向かう電流が流れた場合、逆電流検出信号 Z_c はローレベルになる。一方、下側トランジスタ Q_2 に逆電流すなわち端子 T_2 から端子 T_3 に向かう電流が流れた場合、逆電流検出信号 Z_c はハイレベルになる。なお、コンパレータ7と下側トランジスタ Q_2 との接続関係を変更し、逆電流検出信号 Z_c の極性を本構成例とは逆にしてもよい。

[0033] ドライバ1は重負荷時にスイッチング制御を行う。具体的には、ドライバ1は重負荷時にセット信号 SET のローレベルからハイレベルへの切り替わり時にゲート信号 G_1 をハイレベルからローレベルに切り替え、リセット信号 $RESET$ のローレベルからハイレベルへの切り替わり時にゲート信号 G_1 をローレベルからハイレベルに切り替える。

[0034] 一方、ドライバ1は軽負荷時（ただし、出力電圧 V_{out} が所定値よりも小さくなった直後を除く）にスイッチング制御を停止する。具体的には、ドライバ1は軽負荷時（ただし、出力電圧 V_{out} が所定値よりも小さくなった直後を除く）にゲート信号 G_1 をハイレベルに固定し、ゲート信号 G_2 をローレベルに固定する。これにより、軽負荷時（ただし、出力電圧 V_{out}

が所定値よりも小さくなった直後を除く) に上側トランジスタ Q 1 及び下側トランジスタ Q 2 はオフ状態に固定される。ドライバ 1 は逆電流検出信号 Z c がローレベルからハイレベルに切り替わると、重負荷から軽負荷に切り替わったと判定する。

[0035] ドライバ 1 は、スイッチング制御を停止しているときに出力電圧 V o u t が所定値よりも小さくなったと判定すると、スイッチング制御を再開する。具体的には、ドライバ 1 は、スイッチング制御を停止しているときにセット信号 S E T のローレベルからハイレベルへの切り替わり時点からリセット信号 R E S E T のローレベルからハイレベルへの切り替わり時点までの期間が閾値以上であるか否かを監視し、当該期間が閾値以上であれば出力電圧 V o u t が所定値よりも小さくなったと判定する。そして、ドライバ 1 は、スイッチング制御の再開後に軽負荷であれば再度スイッチング制御を停止し重負荷であればそのままスイッチング制御を続行する。

[0036] スwitchング制御を停止するとスイッチング損失が発生しなくなるため、上記の動作を行う本構成例のスイッチングレギュレータでは軽負荷時の効率が高くなる。

[0037] トランジスタ Q 3 ~ Q 5 によって構成される電流引き抜き部は、ドライバ 1 がスイッチング制御を停止している期間に低温時の効率低下を抑えながら出力電圧が増大していくことを防止するために設けられる回路である。

[0038] トランジスタ Q 3 は P チャネル型 M O S F E T である。トランジスタ Q 3 のゲート及びソースは端子 T 1 に接続されている。したがって、トランジスタ Q 3 は常時オフ状態であってリーク電流しか流さない。

[0039] 本構成例では、トランジスタ Q 3 のゲート長と上側トランジスタ Q 1 のゲート長とを同一にすることで、トランジスタ Q 3 のリーク電流 (サブスレッショルド・リーク電流) が上側トランジスタ Q 1 のリーク電流 (サブスレッショルド・リーク電流) に略比例するようにしている。また本構成例では、トランジスタ Q 3 のゲート幅を上側トランジスタ Q 1 のゲート幅より小さくすることで、トランジスタ Q 3 のリーク電流を上側トランジスタ Q 1 のリー

ク電流よりも小さくしている。上側トランジスタQ1の温度とトランジスタQ3の温度をできるだけ一致させるために、上側トランジスタQ1とトランジスタQ3は互いに近づけて配置することが望ましい。

[0040] したがって、例えば上側トランジスタQ1及びトランジスタQ3のゲート電極Eg、ドレイン電極Ed、及びソース電極Esを図2に示す配置にすればよい。図2に示す配置では、トランジスタQ3のゲート長と上側トランジスタQ1のゲート長が同一であり、トランジスタQ3のゲート幅が上側トランジスタQ1のゲート幅の $1/10$ であるため、トランジスタQ3のリーク電流は上側トランジスタQ1のリーク電流の $1/10$ になる。

[0041] Nチャネル型MOSFETであるトランジスタQ4及びQ5はカレントミラー回路を構成している。トランジスタQ4及びQ5によって構成されるカレントミラー回路はトランジスタQ3のリーク電流に略比例する定電流Icを端子T2から引き抜く。カレントミラー回路のミラー比は、定電流Icの値が上側トランジスタQ1のリーク電流から下側トランジスタQ2のリーク電流を引いた値以上になるように設定する。例えばトランジスタQ3のリーク電流が上側トランジスタQ1のリーク電流の $1/10$ である場合には、カレントミラー回路のミラー比を10倍にすれば定電流Icの値が上側トランジスタQ1のリーク電流と同一になり、カレントミラー回路のミラー比を20倍にすれば定電流Icの値が上側トランジスタQ1のリーク電流の2倍になる。また、トランジスタQ3のリーク電流は正の温度特性を有するので、定電流Icも正の温度特性を有する。

[0042] ここで、面積が大きい上側トランジスタQ1の微細化を進めると、上側トランジスタQ1のゲート長が小さくなるため、例えば図3に示すように上側トランジスタQ1のリーク電流 I_{OFF_Q1} が下側トランジスタQ2のリーク電流 I_{OFF_Q2} よりも大幅に大きくなる。したがって、上側トランジスタQ1の微細化を進めると、軽負荷時に上側トランジスタQ1のリーク電流によって生じる出力コンデンサC1の充電電流が下側トランジスタQ2のリーク電流及び負荷の消費電流によって生じる出力コンデンサC1の放電電流よりも大

きくなる状況が起こり易くなる。また、図3から明らかなように上記の状況は温度が低い場合よりも温度が高い場合の方が起こり易くなる。

[0043] しかしながら、本構成例のスイッチングレギュレータでは、定電流 I_c によって生じる出力コンデンサ C_1 の放電電流も存在し、定電流 I_c の値が上側トランジスタ Q_1 のリーク電流から下側トランジスタ Q_2 のリーク電流を引いた値以上であるため、軽負荷時に出力コンデンサ C_1 の充電電流が出力コンデンサ C_1 の総放電電流より大きくなることはない。このため、図4に示すようにドライバ1がスイッチング制御を停止している期間にスイッチ電圧 V_{sw} が増大しない。したがって、本構成例のスイッチングレギュレータは、ドライバ1がスイッチング制御を停止している期間に出力電圧 V_{out} が増大していくことを防止できる。さらに、定電流 I_c が正の温度特性を有するので、低温時に電流引抜き部によって端子 T_2 から引抜かれる定電流 I_c が過剰にならない。したがって、本構成例のスイッチングレギュレータは、低温時の効率低下を抑えることができる。

[0044] 一方、本構成例とは異なり電流引抜き部を設けなかった場合には、上記の状況が起こると、図5に示すようにドライバ1がスイッチング制御を停止している期間にスイッチ電圧 V_{sw} が増大する。スイッチ電圧 V_{sw} が増大すると、出力電圧 V_{out} が増大していくため、スイッチング制御が再開されることはなく、最終的に出力電圧 V_{out} が過電圧になってしまうという不都合が生じる。

[0045] <第2構成例>

図6はスイッチングレギュレータの第2構成例を示す図である。本構成例のスイッチングレギュレータは、第1構成例のスイッチングレギュレータにおいて半導体集積回路101を半導体集積回路102に置換した構成である。半導体集積回路102は半導体集積回路101にトランジスタ Q_6 を追加した構成である。なお、本構成例において第1構成例と同様の部分については説明を省略する。

[0046] トランジスタ Q_6 はNチャネル型MOSFETである。トランジスタ Q_6

はトランジスタQ4に並列接続される。ドライバ1はトランジスタQ6のオン／オフを制御する。具体的には、ドライバ1は、スイッチング制御を行っている期間中トランジスタQ6をオン状態にし、スイッチング制御を停止している期間中トランジスタQ6をオフ状態にする。これにより、スイッチング制御を行っている期間中は、トランジスタQ4及びQ5によって構成されるカレントミラー回路にトランジスタQ3のリーク電流が供給されなくなり、端子T2から定電流 I_c が引抜かれない。したがって、スイッチング制御を行っている期間での効率が第1構成例よりも向上する。

[0047] <第3構成例>

図7はスイッチングレギュレータの第3構成例を示す図である。本構成例のスイッチングレギュレータは、第2構成例のスイッチングレギュレータにおいて半導体集積回路102を半導体集積回路103に置換した構成である。半導体集積回路103は半導体集積回路102にトランジスタQ7を追加した構成である。なお、本構成例において第2構成例と同様の部分については説明を省略する。

[0048] トランジスタQ7はPチャネル型MOSFETである。トランジスタQ7はトランジスタQ3とトランジスタQ4及びQ6との間に設けられる。トランジスタQ7の構造はトランジスタQ3よりもリーク電流が小さくなる構造にする。

[0049] ドライバ1はトランジスタQ7のオン／オフを制御する。具体的には、ドライバ1は、スイッチング制御を行っている期間中トランジスタQ7をオフ状態にし、スイッチング制御を停止している期間中トランジスタQ7をオン状態にする。これにより、スイッチング制御を行っている期間中にトランジスタQ6に流れる電流を第1構成例よりも低減することができる。したがって、スイッチング制御を行っている期間での効率が第2構成例よりも向上する。

[0050] <第4構成例>

図8はスイッチングレギュレータの第4構成例を示す図である。本構成例

のスイッチングレギュレータは、第1構成例のスイッチングレギュレータにおいて半導体集積回路101を半導体集積回路104に置換し、出力電圧 V_{out} を半導体集積回路104の後述する端子T5に印加した構成である。半導体集積回路104は半導体集積回路101に端子T5を追加しトランジスタQ5のドレインの接続先を端子T2から端子5に変更した構成である。なお、本構成例において第1構成例と同様の部分については説明を省略する。

[0051] 本構成例のスイッチングレギュレータは、第1構成例のスイッチングレギュレータとは異なり、トランジスタQ4及びQ5によって構成されるカレントミラー回路が端子T2ではなく端子5から定電流 I_c を引抜く。本構成例のスイッチングレギュレータは、第1構成例のスイッチングレギュレータと同様の効果を奏する。ただし、本構成例のスイッチングレギュレータは、第1構成例のスイッチングレギュレータと比較して、半導体集積回路の端子数が増加する。

[0052] <第5構成例>

図9はスイッチングレギュレータの第5構成例を示す図である。本構成例のスイッチングレギュレータは、第4構成例のスイッチングレギュレータにおいて半導体集積回路104を半導体集積回路105に置換し、分圧抵抗R1及びR2を半導体集積回路105に内蔵した構成である。半導体集積回路105は半導体集積回路104に分圧抵抗R1及びR2を追加し端子T4を取り除いた構成である。なお、本構成例において第4構成例と同様の部分については説明を省略する。

[0053] 本構成例では、分圧抵抗R1及びR2が半導体集積回路105に内蔵されているため、分圧抵抗R1及びR2によって構成される分圧回路の分圧比が半導体集積回路105に固有する。本構成例のスイッチングレギュレータは、第4構成例のスイッチングレギュレータと同様の効果を奏する。また、本構成例のスイッチングレギュレータは、第4構成例のスイッチングレギュレータと異なり、半導体集積回路の端子数を第1構成例のスイッチングレギュ

レータと同一にできる。

[0054] <スイッチングレギュレータの用途例>

上記したスイッチングレギュレータは、例えば車載用ナビゲーション装置 X 1 の CPU（不図示）に電源電圧を供給する電源装置として用いることができる。車載用ナビゲーション装置 X 1 はナビゲーション情報を表示する表示装置を備える。表示装置の表示パネル X 1 1 は車両の室内フロント部に設けられる（図 10 参照）。

[0055] また、上記したスイッチングレギュレータは、例えば図 11 に示すパーソナルコンピュータ X 2 の CPU（不図示）に電源電圧を供給する電源装置として用いることができる。

[0056] <留意点>

本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

[0057] 例えば、上記実施形態では、上側スイッチに P チャネル型 MOSFET を用いたが、リーク電流が正の温度特性を有する他のスイッチを上側スイッチとして用いてもよい。

[0058] また例えば、上記実施形態とは異なり、トランジスタ Q 3 の代わりに、温度特性が略零である定電圧を生成する定電圧源及びその定電圧源に接続される負の温度特性を有する抵抗を用いることも可能である。

[0059] また上記実施形態では逆電流検出信号 Z c に基づいて重負荷から軽負荷に切り替わったことを判定したが、他の判定手法を用いてもよい。例えば、インダクタ L 1 を流れる電流を監視し、インダクタ L 1 を流れる電流の平均値が所定値未満になったときに重負荷から軽負荷に切り替わったと判定してもよい。

[0060] また上記実施形態ではセット信号 S E T 及びリセット信号 R E S E T に基づいて出力電圧 V o u t が所定値よりも小さくなったことを判定したが、他の判定手法を用いてもよい。例えば、帰還電圧 V f b と所定電圧とを比較す

るコンパレータを設け、当該コンパレータの出力に出力電圧 V_{out} が所定値よりも小さくなったことを判定してもよい。

[0061] また第1構成例から第2構成例への変更と同様の変更を第4構成例に対して行ってもよく、第1構成例から第2構成例への変更と同様の変更を第5構成例に対して行ってもよい。

[0062] すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

産業上の利用可能性

[0063] 本発明は、あらゆる分野（家電分野、自動車分野、産業機械分野など）で用いられるスイッチングレギュレータに利用することが可能である。

符号の説明

- [0064]
- 1 ドライバ
 - 2 基準電圧源
 - 3 エラーアンプ
 - 4 スロープ回路
 - 5、7 コンパレータ
 - 6 オシレータ
 - 101～105 半導体集積回路
 - C1 出力コンデンサ
 - Eg ゲート電極
 - Ed ドレイン電極
 - Es ソース電極
 - L1 インダクタ
 - R1、R2 分圧抵抗
 - Q1 上側トランジスタ

Q 2 下側トランジスタ

Q 3 ～ Q 7 トランジスタ

T 1 ～ T 5 端子

X 1 車載用ナビゲーション装置

X 1 1 表示パネル

X 2 パーソナルコンピュータ

請求の範囲

- [請求項1] 入力電圧から出力電圧を生成するスイッチングレギュレータであって、
- 第1端が前記入力電圧の印加される第1印加端に接続された上側スイッチと、
- 第1端が前記上側スイッチの第2端に接続されて第2端が前記入力電圧よりも低い所定電圧の印加される第2印加端に接続された下側スイッチと、
- 第1端が前記上側スイッチと前記下側スイッチの接続ノードに接続されたインダクタと、
- 前記インダクタの第2端に接続された出力コンデンサと、
- 前記出力電圧に応じて前記上側スイッチ及び前記下側スイッチを相補的にオン／オフさせるための制御信号を生成する制御部と、
- 前記インダクタの第1端又は第2端から定電流を引抜く電流引抜き部と、
- を有し、
- 前記制御部は軽負荷時にスイッチング制御を停止して前記上側スイッチ及び前記下側スイッチをオフ状態に固定し、
- 前記定電流は正の温度特性を有し、前記定電流の値は前記上側スイッチのリーク電流から前記下側スイッチのリーク電流を引いた値以上であることを特徴とするスイッチングレギュレータ。
- [請求項2] 前記上側スイッチがMOSFETである請求項1に記載のスイッチングレギュレータ。
- [請求項3] 前記電流引抜き部は、前記制御部がスイッチング制御を行っている期間中に、前記インダクタの第1端又は第2端から前記定電流を引抜かない請求項1又は請求項2に記載のスイッチングレギュレータ。
- [請求項4] 前記電流引抜き部は、常時オフ状態であるトランジスタと、前記トランジスタのリーク電流に略比例する前記定電流を生成する定電流生

成部と、を有し、

前記トランジスタのリーク電流は前記上側スイッチのリーク電流に略比例する請求項 1 ～ 3 のいずれか一項に記載のスイッチングレギュレータ。

[請求項5] 前記トランジスタのリーク電流は前記上側スイッチのリーク電流より小さい請求項 4 に記載のスイッチングレギュレータ。

[請求項6] 前記定電流生成部は、前記制御部がスイッチング制御を行っている期間中に、前記定電流を生成しない請求項 4 又は請求項 5 に記載のスイッチングレギュレータ。

[請求項7] 前記制御部がスイッチング制御を行っている期間中に、前記定電流生成部への前記トランジスタのリーク電流の供給を停止する請求項 6 に記載のスイッチングレギュレータ。

[請求項8] 請求項 1 ～ 7 のいずれか一項に記載のスイッチングレギュレータの少なくとも一部を構成する半導体集積回路であって、

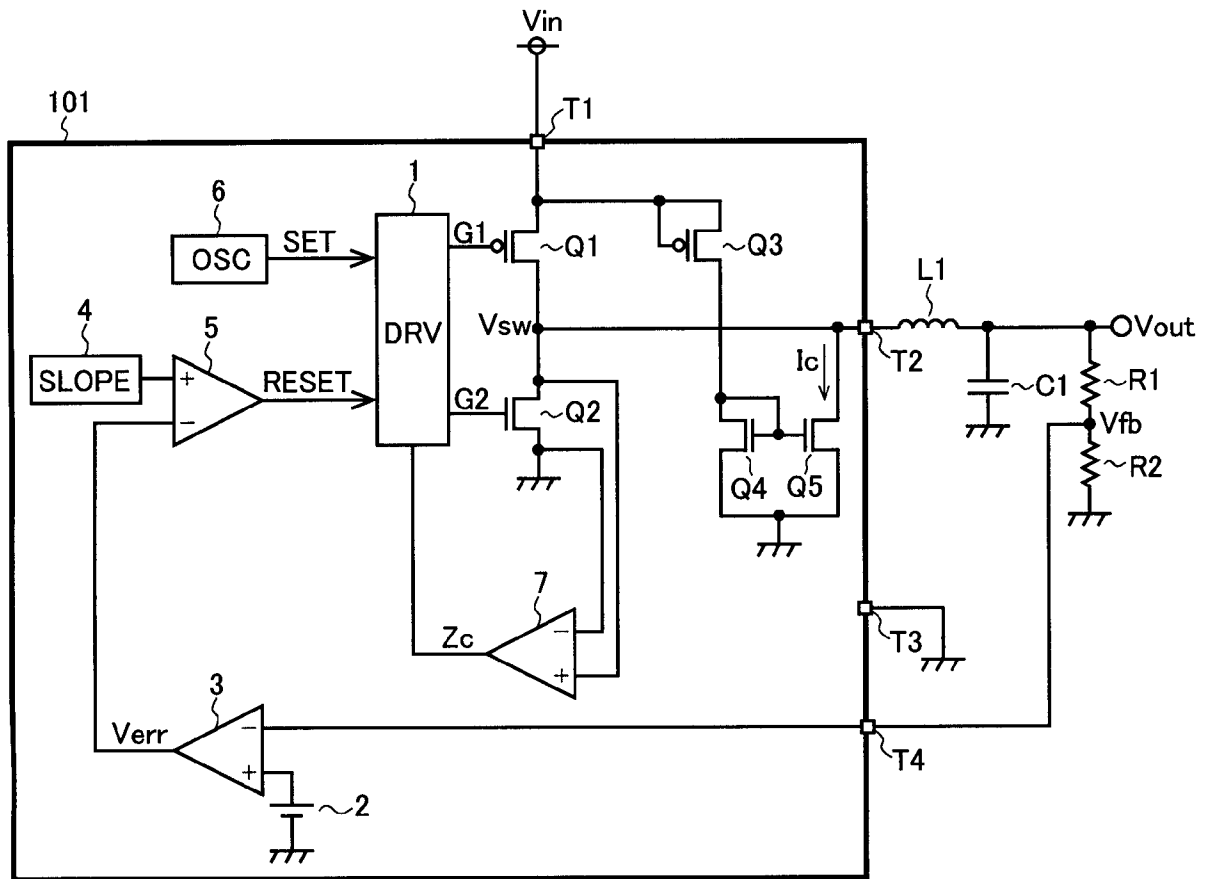
前記上側スイッチ及び前記電流引抜き部を有することを特徴とする半導体集積回路。

[請求項9] 前記出力電圧を分圧する分圧回路をさらに有し、

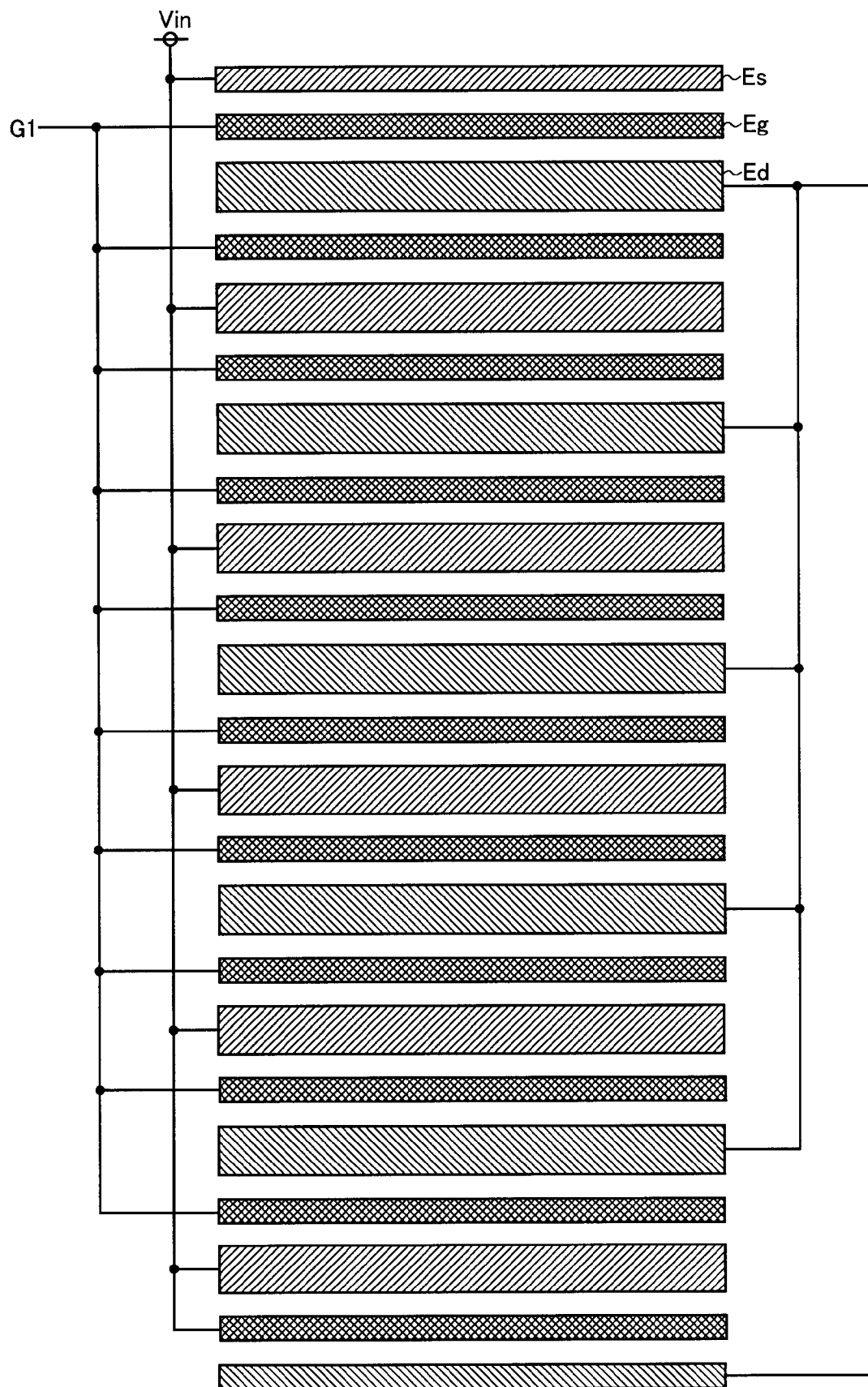
前記半導体集積回路に外付けされる前記インダクタの第 2 端から前記電流引抜き部が前記定電流を引抜く請求項 8 に記載の半導体集積回路。

[請求項10] 請求項 1 ～ 7 のいずれか一項に記載のスイッチングレギュレータを有することを特徴とする電子機器。

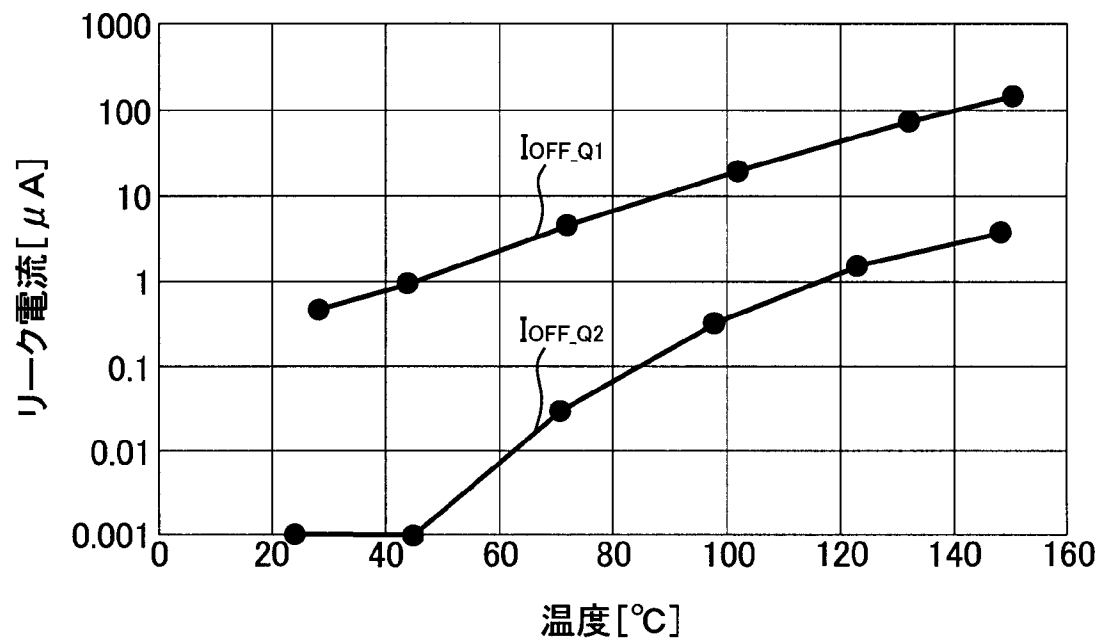
[図1]



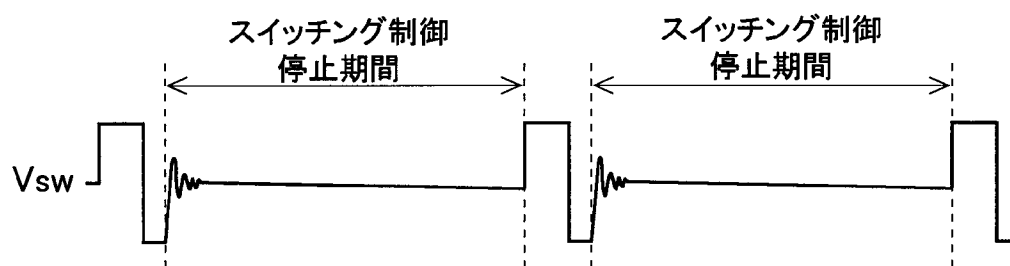
[図2]



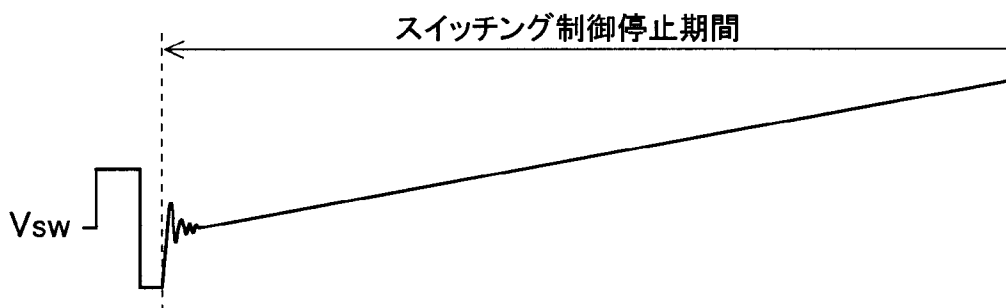
[図3]



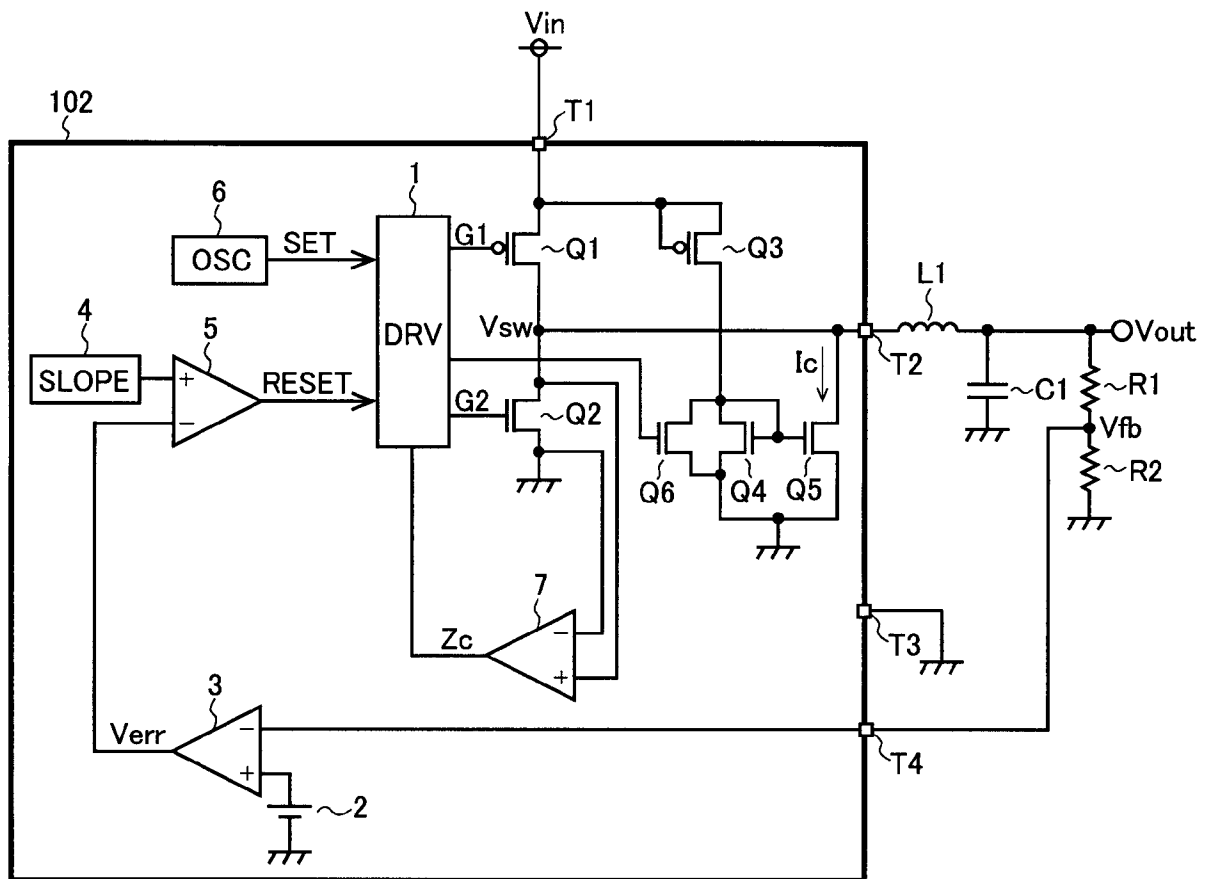
[図4]



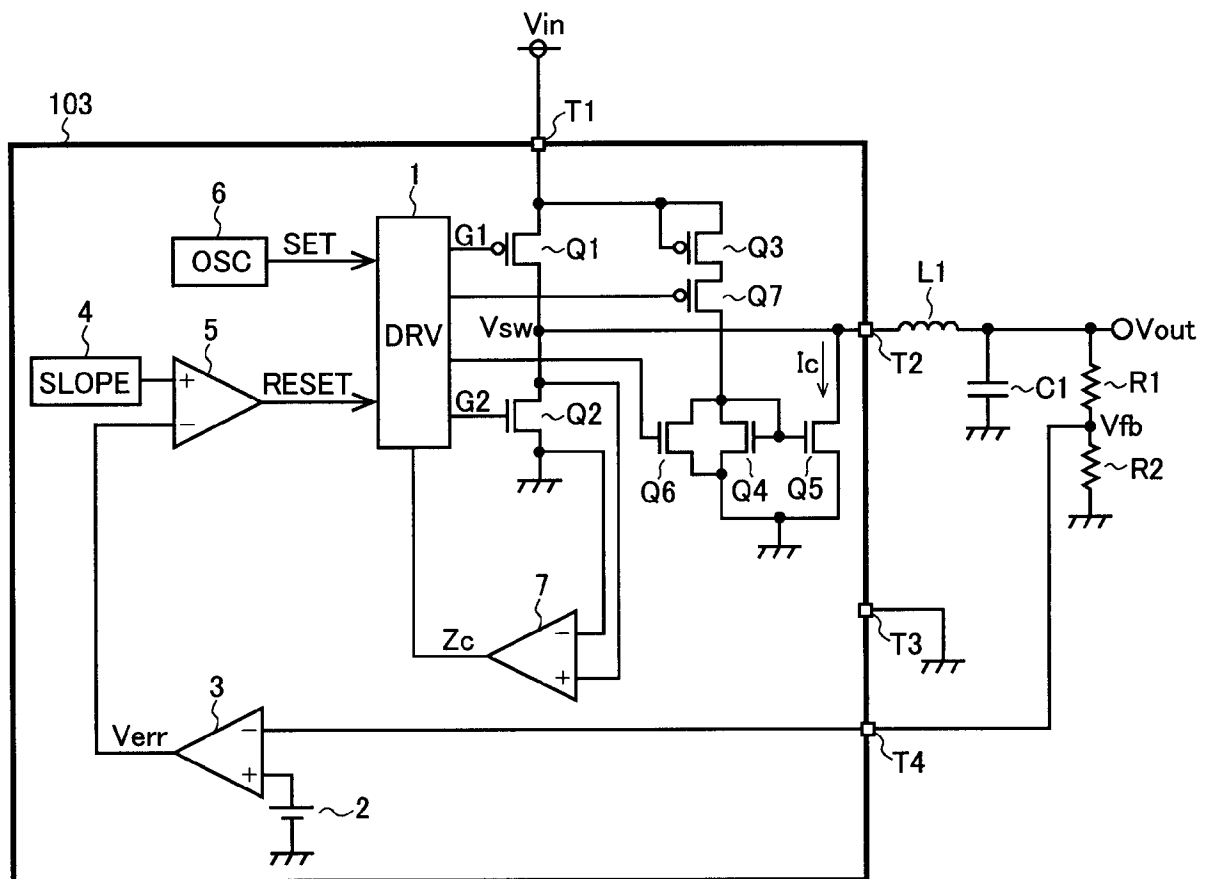
[図5]



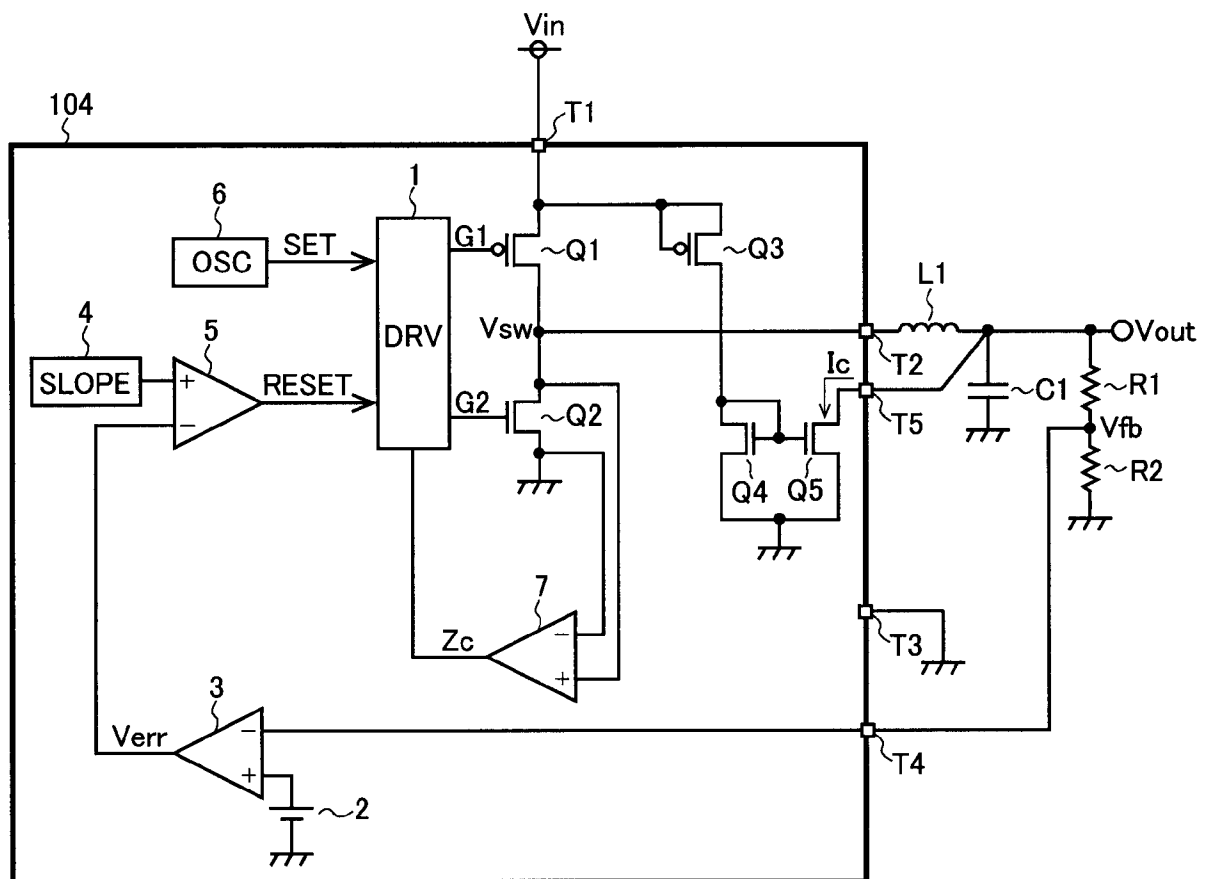
[図6]



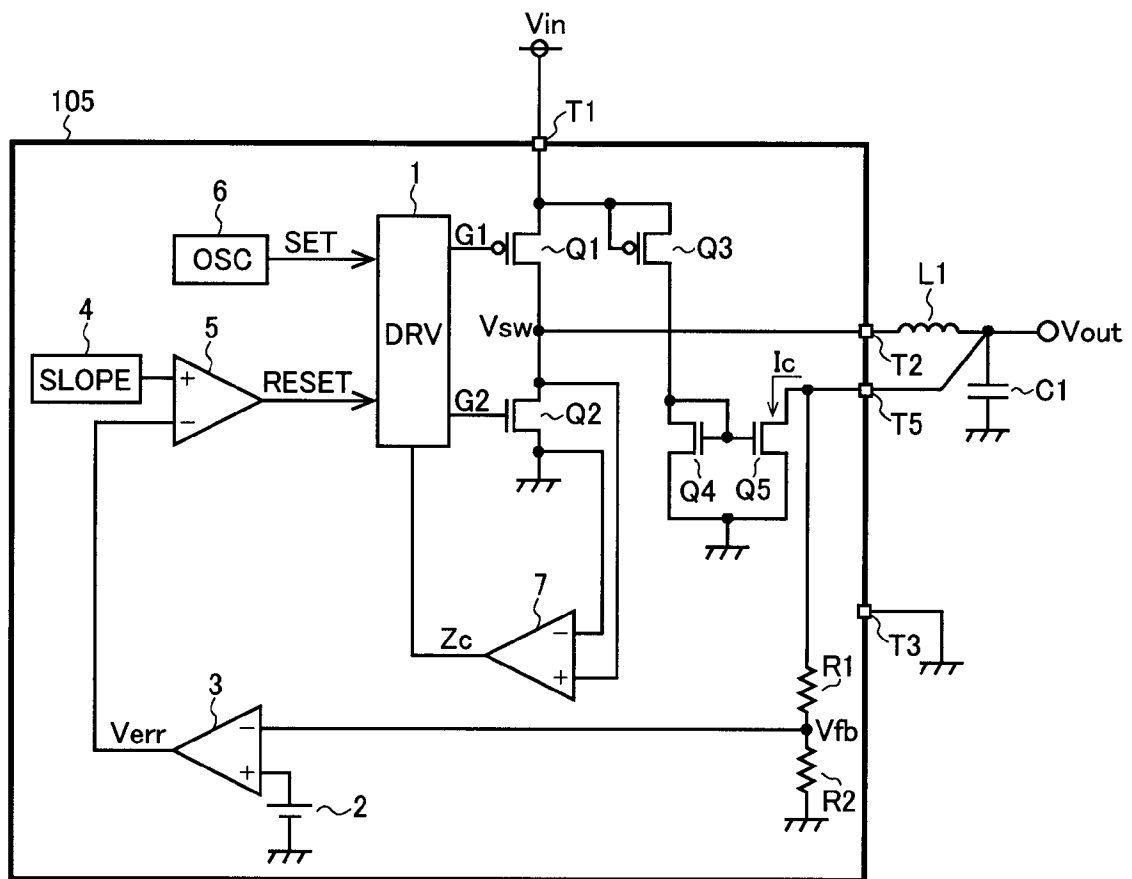
[図7]



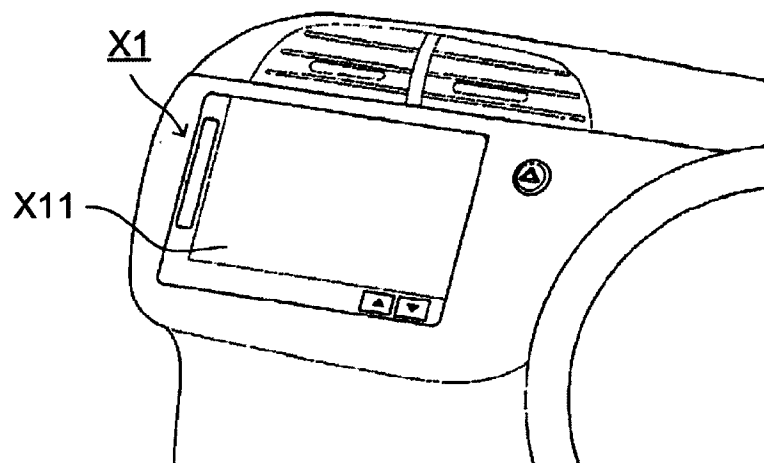
[図8]



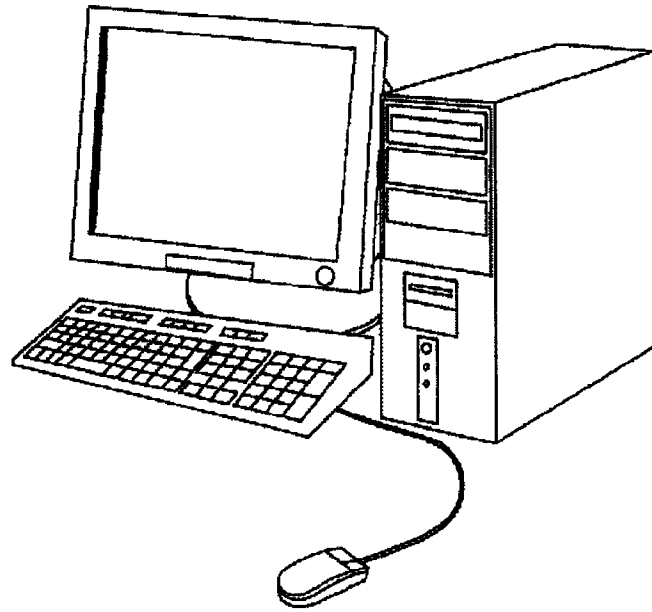
[図9]



[図10]



[図11]

X2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016903

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-325308 A (Rohm Co., Ltd.), 30 November 2006 (30.11.2006), entire text; all drawings (Family: none)	1-10
A	US 8836302 B2 (Chen Yi-Lung), 16 September 2014 (16.09.2014), entire text; all drawings & TW 201403285 A & CN 103543777 A	1-10
A	JP 2014-89560 A (Renesas Electronics Corp.), 15 May 2014 (15.05.2014), entire text; all drawings (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
03 July 2017 (03.07.17)

Date of mailing of the international search report
18 July 2017 (18.07.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/155(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/155, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-325308 A（ローム株式会社）2006.11.30, 全文, 全図（ファミリーなし）	1-10
A	US 8836302 B2（Chen Yi-Lung）2014.09.16, 全文, 全図 & TW 201403285 A & CN 103543777 A	1-10
A	JP 2014-89560 A（ルネサスエレクトロニクス株式会社）2014.05.15, 全文, 全図（ファミリーなし）	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

03.07.2017

国際調査報告の発送日

18.07.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

麻生 哲朗

5G

2953

電話番号 03-3581-1101 内線 3526