(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 8 月 15 日 (15.08.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/154385 A1

(51) 国际专利分类号:
B82B 3/00 (2006.01) *H01L 29/10* (2006.01)
B82Y 40/00 (2011.01)

(21) 国际申请号: PCT/CN2019/074660

(22) 国际申请日: 2019 年 2 月 2 日 (02.02.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810127391.1 2018年2月8日 (08.02.2018) CN

(71) 申请人: 南京大学 (NANJING UNIVERSITY) [CN/CN]; 中国江苏省南京栖霞区仙林大道163号仙林校区电子楼, Jiangsu 210093 (CN)。

(72) 发明人: 余林蔚 (YU, Linwei); 中国江苏省南京栖霞区仙林大道163号仙林校区电子楼, Jiangsu 210093 (CN)。 马海光 (MA, Haiguang); 中国江苏省南京栖霞区仙林大道163号仙林校区电子楼, Jiangsu 210093 (CN)。 雷亚奎 (LEI, Yakui); 中国江苏省南京栖霞区仙林大道163号仙林校区电子楼, Jiangsu 210093 (CN)。 吴小祥 (WU, Xiaoxiang); 中国江苏省南京栖霞区仙林大道163号仙林校区电子楼, Jiangsu 210093 (CN)。 尹涵 (YIN, Han); 中国江苏省南京栖霞区仙林大道163号仙林校区电子楼, Jiangsu 210093 (CN)。 王军转 (WANG, Junzhuan); 中国江苏省南京栖霞区仙林大道163号仙林校区电子楼, Jiangsu 210093 (CN)。

(74) 代理人: 北京卓恒知识产权代理事务所 (特殊普通合伙) (BEI JING TROHENG INTELLECTUAL PROPERTY); 中国北京市海淀区马甸东路19号11层1215室李鹏刚、高新升, Beijing 100088 (CN)。

(54) **Title:** HIGH-DENSITY THREE-DIMENSIONAL NANOWIRE CHANNEL ARRAY AND FABRICATION METHOD THEREOF

(54) 发明名称: 一种高密度三维纳米线沟道阵列及其制备方法

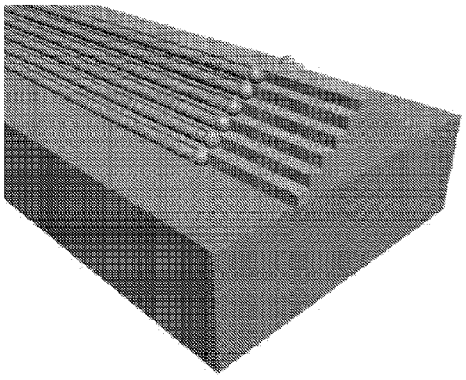


图 2

(57) **Abstract:** Provided are a high-density three-dimensional nanowire channel array and fabrication method thereof; the high-density three-dimensional nanowire channel array fabricated by said method comprises a substrate material serving as a base, a multi-stage slope step structure on the surface of the substrate, and a high-density nanowire channel array arranged in parallel on the sidewalls of the three-dimensional slope; the spacing of adjacent nanowires is determined by the spacing of the steps, and, using the thickness of the step, is accurately controlled to a range of several nanometers to several hundred nanometers; the fabrication method sets forth using a silicon wafer, glass, metal, a compound, or other substrate as a base; the positions of the steps are defined by photolithography, electron beam etching, and mask technology; forming densely arranged guiding nano-steps on the slope; in this way, the nanowires can be directly guided to a 3D slope to grow, and thus a high-density nanowire channel having spacing of 100 nanometers or less is prepared.

WO 2019/154385 A1

[见续页]

(81) 指定国(除另有指明，要求每一种可提供的国家保护)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种高密度三维纳米线沟道阵列及其制备方法，其制备的高密度三维纳米线沟道阵列，包括作为基础的衬底材料，衬底表面上的多级坡面台阶结构，以及平行排布于三维坡面侧壁之上的高密度纳米线沟道阵列，相邻纳米线的间距由台阶间隔决定，利用台阶厚度精确调控在几纳米到几百纳米之间；该制备方法提出了一种利用硅片、玻璃、金属、化合物或其他衬底作为基础，通过光刻、电子束刻蚀和掩模板技术定义台阶位置，在坡面上形成间距可控的密排引导纳米台阶；如此，可以将纳米线直接引导到3D坡面上生长，从而制备间隔可达到百纳米以下的高密度纳米线沟道。

一种高密度三维纳米线沟道阵列及其制备方法

优先权声明

本申请是2018年2月8日提交的CN201810127391.1(公开号CN108557758A)的延续申请，且要求其优先权，其全部内容特此通过引用方式并入本文。

技术领域

本发明涉及一种平面纳米线三维坡面阵列生长方法，特别是通过对掩模层与衬底进行循环刻蚀形成坡面纳米引导台阶，从而实现高密度坡面平行纳米线阵列的方法。本发明提供了一种获得高密度三维纳米线沟道阵列的可靠方法，可广泛应用于半导体微纳电子器件，尤其针对大面积电子(平板显示TFT应用)、3D逻辑、柔性/可穿戴电子和场效应生物化学传感器件。

背景技术

晶硅或相关半导体纳米线(Nanowire)是开发新一代高性能微纳电子逻辑、传感和显示应用的关键构建单元。基于自上而下的电子束直写(EBL)技术制备直径在10～100nm范围的纳米线结构，已经验证各种新型纳米线功能器件的优异特性，但由于其制备成本极其昂贵、产量低等因素，一直以来都难以得到规模化应用。相比之下，通过纳米金属液滴催化的自下而上的自组装(Self-assembly)纳米线生长，可以大批量制备直径在百纳米以下的晶态硅、锗和各种合金半导体纳米线。然而，通常采用的气-液-固(VLS)生长模式所制备的纳米线多为竖直随机阵列，难以直接在目前的平面电子工艺中实现可靠且低成本的定位集成。

为了更好地与平面电子工艺相兼容，并实现定位集成，本申请人最早提出了一种平面固液固(IPSLS)生长模式：其中，采用非晶硅作为前驱体，由低熔点金属铟、锡纳米颗粒吸收非晶硅而生长出晶硅纳米线结构。同时，基于此方法，可利用平面衬底上定义的简单的单边台阶作为引导，金属液滴在台阶边缘覆盖的非晶硅吸引下，顺延台阶边缘运动，从而将纳米线生长在台阶边缘，实现平面纳米线的定位、定形生长。然而，基于此前方法，仍然需要光刻来定义引导台阶，台阶之间的间距由光刻工艺的精度决定。对于常规光刻技术，在小面积衬底上，光刻精度在～1微米以上，而对于大面积衬底(如尺寸在若干平方米的平板显示应用中)，光刻精度仅能达到2～5微米。由于每个台阶一般只能引导一条纳米线生长，所以所能实现的平面纳米线阵列密度(间距的倒数)受到限制。目前，最高密度只能达到2微米间距，既0.5根纳米沟道/微米的平面密度。对于面向平板显示的纳米线TFT应用，这也就限制了纳米线阵列的单位沟道宽度的电流承载和驱动能力(难以满足新型AMOLED显示所需要的较大驱动电流)。

发明内容

针对上述问题，本发明的目的是，提供一种高密度三维纳米线沟道阵列及其制备方法。具体地，本发明提出了一种利用硅片、玻璃、金属、化合物或其他衬底作为基础，通过光刻、电子束刻蚀和掩模板技术定义台阶位置，再利用湿法或者干法气相刻蚀，在坡面上形成间距可控的密排引导纳米台阶；如此，可以将纳米线直接引导到3D坡面上生长，从而制备高密度(间隔可达到百纳米以下)的纳米线沟道。基于此方法，不需要引入昂贵的超高精度光刻技术(如电子束曝光刻蚀EBL)，既能在现有大面积衬底上，在指定的位置和方向，可靠地制备高密度3D坡面纳米线阵列沟道。将纳米线沟道的间距由原来的2微米缩小到至少0.2微米以下，从而实现一个纳米沟道至少一个数量级的提高。

本发明制备的高密度三维纳米线沟道阵列，包括作为基础的衬底材料，衬底表面上的多级坡面台阶结构，以及平行排布于三维坡面侧壁之上的高密度纳米线沟道阵列，所述相邻纳米线的间距在几纳米到几百纳米之间。

所获得多级坡面台阶结构包括至少两级台阶结构，每级台阶高度在1～1000纳米范围，台阶级数范围为2～100。所述纳米线沟道的间距至小于2微米。

形成多级台阶的衬底为晶硅片、非晶氮化硅、氧化硅、氮氧化硅、氧化铝、玻璃、聚合物、铝箔或其它金属，以及本征或具有掺杂成分的硅片、非晶硅、非晶锗、非晶锗硅组成。

为了实现上述目的，本发明采取以下技术方案：一种循环交替刻蚀同质多级坡面台阶引导生长(三维坡面)纳米线阵列的方法，即利用循环交替刻蚀获得多级坡面纳米台阶，以用于引导生长高密度三维坡面纳米线阵列的方法。

1)首先，准备好晶硅、玻璃、聚合物或者介质层覆盖的金属薄膜作为衬底，或者利用薄膜淀积技术，淀积非晶薄膜作为衬底；

2)其次，利用光刻、电子束刻蚀或者掩模板技术在硅片衬底，化合物衬底(如氮化硅、氧化硅、氮氧化硅、氧化铝)，玻璃衬底，柔性衬底(多为聚合物)，铝箔或其它金属衬底上定义台阶边缘图案；定义引导台阶预定的坡面位置即将台阶边缘图案转移到衬底上；再用ICP或者RIE交替循环刻蚀方法刻蚀出坡面多级台阶结构直到衬底表面；刻蚀过程中先使用C_4F_8、CF_4、SF_6或其混合气体等具有不同陡直特性和表面钝化特性的反应气体进行刻蚀或者交替循环使用上述C_4F_8、CF_4、SF_6不同刻蚀气氛；再用包括O_2、Cl_2等在横向和纵向具有不同刻蚀速率的反应气体刻蚀掩模层，如此交替循环刻蚀，直至掩模层被刻完，形成多级坡面台阶；利用电感耦合等离子体刻蚀(ICP)或者反应离子体刻蚀(RIE)等气相刻蚀技术时，首先采用C_4F_8、CF_4、SF_6(或其混合)气体进行第一步刻蚀，将边缘图案转移如衬底；再用氧气(O_2)或氯气(Cl_2)

等刻蚀气体对掩模层(可为光刻胶及各种相对于衬底材料有刻蚀选择性的薄膜，如氧化物掩模、金属掩模等)进行第二步刻蚀，使掩膜层的边缘往内缩进一定距离。如此两步循环交替进行，从而制备两级或多级台阶形状坡面结构；

3)随后，在坡面台阶之一端，利用光刻工艺和蒸发或者溅射等金属淀积工艺，制备包括铟或锡金属的催化层，厚度在 1～500nm 范围内，此端点可作为纳米线的生长起点位置；随后在氢气等还原性气体的等离子体作用下，在高于金属熔点的温度进行处理，使覆盖在侧壁坡面引导沟道上的催化金属层转变成为分离的铟或锡金属纳米颗粒；

4)通过 PECVD，CVD 或者 PVD 沉积技术，在铟或锡金属纳米颗粒样品表面覆盖与所需生长纳米线相应的非晶半导体前驱体薄膜层；即降低温度到金属催化颗粒熔点以下，覆盖非晶半导体层作为前驱体；

5)生长纳米线：当温度提高到适当温度以上，以使得纳米金属颗粒重新融化，并开始在前端吸收非晶层前驱体，而在后端生长淀积出晶态的纳米线结构；借助坡面侧壁上形成的多级纳米台阶的引导沟道作用，获得平行排布于三维坡面侧壁之上的高密度纳米线阵列；

6)最后，剩余非晶前驱体层可通过氢气等离子体或者相应的 ICP、RIE 刻蚀工艺清除。

步骤 2)中所获得多级坡面台阶结构包括至少两级台阶结构(可以多级)，每级台阶高度在 1～1000 纳米范围，台阶级数范围为 2～100。

步骤 3)中通过控制其处理时间、温度、功率和气压等参数，将坡面上的金属颗粒的直径控制在 10～1000nm 范围内。

步骤 4)中通过 PECVD，CVD 或者 PVD 沉积技术，在表面覆盖一层或多层，与所需要生长纳米线成分相对应的，非晶薄膜前驱体层(覆盖非晶半导体层作为前驱体)；前驱体层为非晶硅 a-Si、非晶锗 a-Ge、非晶碳 a-C 或者其中的非晶合金层，以及异质叠层(如 a-Ge/a-Si)结构。

步骤 5)中纳米线将平行生长于三维坡面侧壁之上的高密度纳米线阵列；生长方向由引导坡面整体走向决定；相邻纳米线的间距由台阶间隔决定，利用台阶厚度精确调控在几纳米到几百纳米之间。

步骤 2)中根据不同的反应气体配比和交替工艺，能够获得不同倾斜程度的倾斜坡面；即同质多级坡面台阶结构。形成多级台阶的衬底为晶硅片、非晶氮化硅、氧化硅、氮氧化硅、氧化铝、玻璃、聚合物、铝箔或其它金属，以及本征或具有掺杂成分的硅片、非晶硅、非晶锗、非晶锗硅等半导体材料组成；衬底制备工艺可以由化学气相沉积(CVD)，等离子体增强 PECVD，原子层淀积(ALD)、热蒸发和各种溅射物理气相沉积(PVD)技术的一种或者多种来完成；

衬底的厚度范围大于 5nm，循环周期可以为 1～100 范围之内。

步骤 2)中利用含有 C_4F_8、CF_4、SF_6、Ar(或其混合气体)或者与衬底对应的刻蚀成分的湿法或气相干法刻蚀技术，对所暴露形成的坡面结构进行处理，利用 O_2、Cl_2或与掩模层相对应刻蚀成分的湿法或气相干法刻蚀技术对光刻胶进行处理，使其产生由于掩模层与衬底之间对刻蚀氛围的不同刻蚀响应，在坡面上形成多级倾斜坡面台阶结构。利用 C_4F_8刻蚀硅衬底，利用 O_2刻蚀光刻胶；同时，根据台阶数目的需求，调节光刻胶的厚度，以便提高循环交替刻蚀的周期数，从而获得更多的坡面台阶。

在引导坡面台阶的一端，通过光刻、电子束刻蚀或者掩模板技术，定义图案并通过热蒸发，CVD，PECVD 或者各种 PVD 技术制备一层在坡面上厚度在 1～500nm 范围内的金属催化层，例如铟、锡、镓、铋、金、铜、镍、钛、银、铅以及其合金等；然后，在高于金属熔点的温度，利用还原性气体氛围(例如在 PECVD 中的氢气或氨气等离子体在 200～500℃之间)处理金属催化层，使之转变成为分离的纳米颗粒，并通过控制其处理时间、温度(或对于 PECVD 系统中的等离子体功率和气压等)，将坡面上的金属颗粒的直径控制在 10～1000nm 范围内；在 PECVD 系统中，处理功率密度为 1mW/cm2～10W/cm2 之间，气压在 1Pa～100Torr 之间。

在低于催化金属液滴熔点的温度下，通过 PECVD，CVD 或者 PVD 沉积技术，在表面覆盖一层或多层，与所需要生长纳米线成分相对应的，非晶薄膜前驱体层；前驱体层为非晶硅 a-Si、非晶锗 a-Ge、非晶碳 a-C 或者其中的非晶合金层，以及异质叠层(如 a-Ge/a-Si)结构；在坡面上，每层薄膜覆盖厚度在 2～500nm 之间。

本发明的要点为：1)利用交替循环刻蚀技术，仅需要一次光刻工艺，即可在同质平面衬底上形成多层坡面台阶结构。工艺简单快捷，不需要湿法刻蚀，或者预先淀积的多层异质结构，即可形成形貌良好、可精确调控的高密度坡面台阶，直接用于引导纳米线在此坡面上平行生长，获得高密度三维坡面纳米线阵列；2)通过此方法获得的坡面台阶间隔及台阶数多少由刻蚀周期和一个周期内 C_4F_8、CF_4、SF_6、Ar(或其混合气体)和 O_2、Cl_2或其混合气体的刻蚀时间来决定。可以不受平面光刻空间分辨率的限制，实现的台阶间距可为 5～1000 纳米范围，并生长出平行且分离的坡面纳米线阵列结构；3)如此排列的三维坡面或侧壁纳米线阵列构架，可在有限的平面投影面积上生长排布高密度纳米线沟道，从而大幅提高纳米线阵列(作为晶体管器件沟道)的电流负载和驱动能力；4)由于此异质台阶三维引导技术可通过传统的光刻和刻蚀技术得以实现，且衬底只需要一种材料，工艺简单，继承保持了传统薄膜工艺的在大面积工艺特性，可广泛地应用于平板显示 TFT，生物传感，柔性可穿戴电子以及相关的新型电子逻辑器件。

本发明的有益效果：1)解决了平面固液固(IPSLS)台阶引导生长半导体纳米线沟道集成密度不高(及其带来的器件应用中驱动电流受限)的关键问题；2)采用循环刻蚀使坡面上形成的高密度纳米台阶，可以将纳米线的集成密度大幅提高，并且此技术完全兼容大面积薄膜电子器件的基本工艺，不必引入额外的高精度光刻技术；3)与此同时，由于纳米线可以平行集成定位于三维坡面上，为开拓新一代的三维集成微纳电子器件提供了一种关键的纳米沟道实现技术，并且实现工艺可扩展、低成本，并可以实现可编程的三维纳米线形貌调控生长能力；4)由于纳米线生长的坡面角度可以通过刻蚀工艺调控，可以获得非常高的沟道电流驱动能力，这对于实现平板显示所需要的高性能薄膜晶体管(TFT)尤为重要。基于此技术，纳米线沟道阵列有望在更小的 TFT 器件空间内满足实现新型 AMOLED 显示所需要的驱动电流。这对于建立新一代平面纳米线 TFT 平板显示技术，既以高世代非晶硅技术为基础实现高性能(迁移率、稳定特性和开口率等)驱动电流，意义尤其重大。5)另外，此技术还有望帮助实现集成度更高的大面积逻辑电路，开发或优化新一代显示、传感和信息器件应用。

附图说明

图 1 是本发明提供的一种循环刻蚀同质多级台阶引导生长三维坡面纳米线阵列方法的制备流程示意图。a)衬底准备、b)覆盖光刻胶、c)光刻、d)循环刻蚀、e)覆盖光刻胶、f)第二次光刻、g)淀积催化剂、h)纳米线生长。

图 2 是本发明提供的一种循环刻蚀同质多级台阶引导生长三维坡面纳米线阵列方法的结构示意图。

图 3 是本发明提供的一种循环刻蚀同质多级台阶引导生长三维坡面纳米线阵列方法的制备的坡面台阶以及硅纳米线生长范例结构。(a)为在同质多级坡面上所形成的纳米凹凸引导沟道扫描电镜(SEM)侧视图；(b)为(a)的局部放大图；(c)为在同质多级坡面上所形成的纳米凹凸引导沟道扫描电镜(SEM)俯视图；(d)提供相应的高密度坡面台阶引导纳米线阵列 SEM 侧视图。

具体实施方式

为使本发明的技术方案和优点更加清楚明白，以下结合具体实施范例，并参照附图 1 和图 2 和图 3，对本发明进一步阐述说明。

本发明制备的高密度三维纳米线沟道阵列如图 2、3 所示，所述纳米线沟道阵列包括作为基础的衬底材料，衬底表面上的多级坡面台阶结构，以及平行排布于三维坡面侧壁之上的高密度纳米线沟道阵列，所述相邻纳米线的间距在几纳米到几百纳米之间。

所获得多级坡面台阶结构包括至少两级台阶结构，每级台阶高度在 1～1000 纳米范围，

台阶级数范围为 2～100。所述纳米线沟道的间距至小于 2 微米。

形成多级台阶的衬底为晶硅片、非晶氮化硅、氧化硅、氮氧化硅、氧化铝、玻璃、聚合物、铝箔或其它金属，以及本征或具有掺杂成分的硅片、非晶硅、非晶锗、非晶锗硅组成。

所述高密度三维纳米线沟道阵列的制备工艺如图 1 所示，具体实施方式如下：

实施例一：

1、首先，准备好晶硅、玻璃、聚合物或者介质层覆盖的金属薄膜作为衬底(形成多级台阶的衬底可为晶硅片、非晶氮化硅、氧化硅、氮氧化硅、氧化铝、玻璃、聚合物、铝箔或其它金属等以及不同本征或具有不同掺杂成分的硅片、非晶硅、非晶锗、非晶锗硅等半导体材料组成。衬底可以直接购买或自行制备，制备工艺可以由化学气相沉积(CVD)，等离子体增强 PECVD，原子层淀积(ALD)、热蒸发和各种溅射物理气相沉积(PVD)技术的一种或者多种来完成。衬底的厚度范围大于 5nm，循环周期可以为 1～100 范围之内)或者利用一种或多种薄膜淀积技术，例如化学气相沉积(CVD)，等离子体增强 PECVD，原子层淀积(ALD)、热蒸发和各种溅射物理气相沉积(PVD)技术的一种或者多种技术，淀积非硅薄膜(例如：非晶氮化硅、氧化硅、氮氧化硅、氧化铝、非晶硅、非晶锗、非晶锗硅等)作为衬底。

2、其次，利用光刻、电子束刻蚀或者掩模板技术，定义引导台阶预定的坡面位置；再用 ICP 或者 RIE 交替循环刻蚀方法刻蚀出坡面多级台阶结构直到衬底表面；刻蚀过程中可先使用 C_4F_8、CF_4、SF6、Ar(或其混合气体)等具有不同陡直特性和表面钝化特性的反应气体进行刻蚀(或者交替循环使用不同刻蚀气氛)，再用 O_2、Cl_2等在横向和纵向具有不同刻蚀速率的反应气体刻蚀掩模层，如此交替循环刻蚀，直至掩模层被刻完，形成坡面多级台阶。根据不同的反应气体配比和交替工艺，可以获得不同倾斜程度的倾斜坡面；

同质多级坡面台阶结构包括至少两级(可以多级)台阶结构，每级台阶高度在 1～1000 纳米范围，循环周期可为 2～100；

3、随后，利用光刻工艺和蒸发或者溅射等金属淀积工艺，在坡面台阶之一端，制备包括铟或锡金属的催化层，厚度在 1～500nm 范围内，此端点可作为纳米线的生长起点位置；随后在还原性气体的等离子体作用下，在高于金属熔点的温度进行处理，使覆盖在侧壁坡面引导沟道上的催化金属层转变成为分离的铟或锡金属纳米颗粒；通过控制其处理时间、温度、功率和气压等参数，将坡面上的金属颗粒的直径控制在 10～1000nm 范围内。

4、将温度降低到金属催化颗粒熔点以下，通过 PECVD，CVD 或者 PVD 沉积技术，在表面

覆盖一层或多层，与所需要生长纳米线成分相对应的，非晶薄膜前驱体层(覆盖非晶半导体层作为前驱体)。前驱体层可以为非晶硅 a-Si、非晶锗 a-Ge、非晶碳 a-C 或者其中的非晶合金层，以及异质叠层(如 a-Ge/a-Si)结构。

5、当温度提高到适当温度以上，以使得纳米金属颗粒重新融化，并开始在前端吸收非晶层前驱体，而在后端生长淀积出晶态的纳米线结构。借助坡面侧壁上形成的多级纳米台阶的引导沟道作用，可以获得平行排布于三维坡面侧壁之上的高密度纳米线阵列；纳米线将平行生长于三维坡面侧壁之上的高密度纳米线阵列；生长方向由引导坡面整体走向决定。相邻纳米线的间距由台阶间隔决定，可利用叠层膜厚精确调控在几纳米到几百纳米之间。

6、最后，剩余非晶前驱体层可通过氢气等离子体或者相应的 ICP、RIE 刻蚀工艺清除。

如图 1 所示，一种同质多级坡面台阶引导生长三维纳米线阵列的制备方法，可用于在多级台阶坡面上生长平行硅纳米线结构，其制备过程可包括以下步骤：

在低于催化金属液滴熔点的温度下，通过 PECVD，CVD 或者 PVD 沉积技术，在表面覆盖一层或多层，与所需要生长纳米线成分相对应的，非晶薄膜前驱体层；前驱体层可以为非晶硅 a-Si、非晶锗 a-Ge、非晶碳 a-C 或者其中的非晶合金层，以及异质叠层(如 a-Ge/a-Si)结构。在坡面上，每层薄膜覆盖厚度在 2～500nm 之间。

所述的循环刻蚀同质多级坡面台阶引导生长三维坡面纳米线阵列的方法，由于坡面生长的纳米线直径大于坡面上剩余非晶薄膜前驱体层，通常直径是薄膜厚度的 2～3 倍，且在相同的 ICP，RIE 等刻蚀工艺中，非晶层的刻蚀速率通常高于对晶态纳米线沟道的刻蚀，坡面上的非晶层可被选择性(或牺牲少量晶硅沟道厚度)地清除。

实施例二：

1、首先，以晶硅或玻璃作为衬底，利用光刻、电子束刻蚀等技术定义台阶位置；

2、利用交替循环刻蚀获得多级坡面纳米台阶，用于引导生长高密度三维坡面纳米线阵列的方法。先利用光刻、电子束直写或掩模板技术在硅片衬底，化合物衬底(如氮化硅、氧化硅、氮氧化硅、氧化铝)，玻璃衬底，柔性衬底(多为聚合物)，铝箔或其它金属衬底上定义台阶边缘图案；然后，利用电感耦合等离子体刻蚀(ICP)或者反应离子体刻蚀(RIE)等气相刻蚀技术，首先采用 C_4F_8、CF_4、SF_6、(或其混合)气体进行第一步刻蚀，将边缘图案转移如衬底；再用氧气(O_2)或氯气(Cl_2)等刻蚀气体对掩模层(为光刻胶及各种相对于衬底材料有刻蚀选择性的薄膜材料，如氧化物掩模、金属掩模等)进行第二步刻蚀，使掩膜层的边缘往内缩进一定距离；

如此两步交替循环进行，从而制备两级或多级台阶形状坡面结构；

利用 ICP 刻蚀方法循环通入 C4F$_8$(或 SF$_6$)和 O$_2$分别刻蚀衬底和光刻胶直到光刻胶被刻蚀完，即可形成多级坡面台阶结构。刻蚀过程使用 C$_4$F$_8$和 SF$_6$混合(1：1)气体，比例可以调节以获得不同的坡面角度；

3、利用光刻定位以及热蒸发技术，在坡面台阶一端淀积金属铟催化层(厚度 20～60nm)，作为纳米线的生长起点位置。样品装入 PECVD 腔体，在在 250 度进行氢气等离子体处理，使覆盖在侧壁坡面引导沟道上的催化金属层转变成为分离铟纳米颗粒，直径在 200nm 左右。

在引导坡面台阶的一端，通过光刻、电子束刻蚀或者掩模板技术，定义图案并通过热蒸发，也可以 CVD 或者各种 PVD 技术制备一层在坡面上厚度在 1～500nm 范围内的金属催化层，例如铟、锡、镓、铋、金、铜、镍、钛、银、铅以及其合金等；然后，在高于金属熔点的温度，利用还原性气体氛围(例如在 PECVD 中的氢气或氨气等离子体在 200～500℃之间)处理金属催化层，使之转变成为分离的纳米颗粒，并通过控制其处理时间、温度(或对于 PECVD 系统中的等离子体功率和气压等)，将坡面上的金属颗粒的直径控制在 10～1000nm 范围内；在 PECVD 系统中，处理功率密度为 1mW/cm^2～10W/cm^{2}之间，气压在 1Pa～100Torr 之间。

4、将温度降低到 100～160 度，在 PECVD 系统中表面覆盖一层非晶硅薄膜(20～100nm)前驱体层；

5、当温度提高到 350 度，以使得纳米铟颗粒重新融化，并开始在前端吸收非晶硅，而在后端生长淀积出晶态的硅纳米线结构。借助坡面纳米台阶的引导作用，纳米线将平行生长与坡面之上，顺延引导坡面整体走向。如图 2 示意结构，以及图 3b-3d 中 SEM 图像所示；

需要在真空或者惰性气体保护的环境中，将温度升高到金属熔点(或金属与薄膜前驱体和合金 eutectic 温度)以上，坡面上的金属颗粒将重新变为液滴，并开始在前端不断吸收非晶前驱体，而在后端界面淀积出晶态的纳米线结构。由于坡面纳米台阶的引导作用，纳米线将平行生长与坡面之上，生长方向由引导坡面整体走向决定。故而，纳米线的线形可以通过对引导台阶的设计而精确编程设计，既不仅仅是生长简单直线阵列，而是可以生长出可编程的平面线形纳米线结构。同时，相邻纳米线的间距由台阶间隔决定，可利用叠层膜厚精确调控在几纳米到几百纳米之间。通过调节刻蚀条件可控制坡面陡直度，从而获得高密度 3D 平行坡面纳米线阵列。

6、最后，剩余非晶前驱体层可通过氢气等离子体在 PECVD 腔体中进行选择性刻蚀去除剩

余的非晶硅层。

以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权 利 要 求 书

1. 一种高密度三维纳米线沟道阵列，其特征在于：所述纳米线沟道阵列包括作为基础的衬底材料，衬底表面上的多级坡面台阶结构，以及平行排布于三维坡面侧壁之上的高密度纳米线沟道阵列，相邻纳米线的间距在几纳米到几百纳米之间。

2. 根据权利要求 1 所述的高密度三维纳米线沟道阵列，其特征在于：所获得多级坡面台阶结构包括至少两级台阶结构，每级台阶高度在 1～1000 纳米范围，台阶级数范围为 2～100。

3. 根据权利要求 2 所述的高密度三维纳米线沟道阵列，其特征在于：所述纳米线沟道的间距至小于 2 微米。

4. 根据权利要求 1-3 任一项所述的高密度三维纳米线沟道阵列，其特征在于：形成多级台阶的衬底为晶硅片、非晶氮化硅、氧化硅、氮氧化硅、氧化铝、玻璃、聚合物、铝箔或其它金属；以及本征或具有掺杂成分的硅片、非晶硅、非晶锗、非晶锗硅材料组成。

5. 一种根据权利要求 1-4 所述的高密度三维纳米线沟道阵列的制备方法，其特征在于，包括如下制备步骤：

1）首先，准备好晶硅、玻璃、聚合物或者介质层覆盖的金属薄膜作为衬底，或者利用薄膜淀积技术淀积非晶薄膜作为衬底；

2）其次，利用光刻、电子束刻蚀或者掩模板技术，定义引导台阶预定的坡面位置即将台阶边缘图案转移到衬底上；再用 ICP 或者 RIE 交替循环刻蚀方法刻蚀出坡面多级台阶结构直到衬底表面；刻蚀过程中先使用 C_4F_8、CF_4、SF_6或其混合气体等具有不同陡直特性和表面钝化特性的反应气体进行刻蚀或者交替循环使用上述 C_4F_8、CF_4、SF_6不同刻蚀气氛；再用包括 O_2、Cl_2等在横向和纵向具有不同刻蚀速率的反应气体刻蚀掩模层，如此交替循环刻蚀，直至掩模层被刻完，形成坡面多级台阶；

3）随后，利用光刻工艺和蒸发或者溅射等金属淀积工艺，在坡面台阶之一端，制备包括铟或锡金属的催化层，厚度在 1~500nm 范围内，此端点可作为纳米线的生长起点位置；随后在还原性气体的等离子体作用下，在高于金属熔点的温度进行处理，使覆盖在侧壁坡面引导沟道上的催化金属层转变成为分离的铟或锡金属纳米颗粒；

4）通过 PECVD，CVD 或者 PVD 沉积技术，在样品表面覆盖与所需生长纳米线相应的非晶半导体前驱体薄膜层；

5）生长纳米线：当温度提高到适当温度以上，以使得纳米金属颗粒重新融化，并开始在前端吸收非晶层前驱体，而在后端生长淀积出晶态的纳米线结构；借助坡面侧壁上形成的多级纳米台阶的引导沟道作用，获得平行排布于三维坡面侧壁之上的高密度纳米线阵列；

6）最后，剩余非晶前驱体层可通过氢气等离子体或者相应的 ICP、RIE 刻蚀工艺清除。

6.根据权利要求5所述的高密度三维纳米线沟道阵列的制备方法，其特征在于：步骤3）中通过控制其处理时间、温度、功率和气压等参数，将坡面上的金属颗粒的直径控制在10~1000nm范围内。

7.根据权利要求5所述的高密度三维纳米线沟道阵列的制备方法，其特征在于，步骤4）中通过PECVD，CVD或者PVD沉积技术，在表面覆盖一层或多层，与所需要生长纳米线成分相对应的，非晶薄膜前驱体层；前驱体层为非晶硅a-Si、非晶锗a-Ge、非晶碳a-C或者其中的非晶合金层，以及异质叠层结构。

8.根据权利要求5所述的高密度三维纳米线沟道阵列的制备方法，其特征在于，步骤2）中根据不同的反应气体配比和交替工艺，能够获得不同倾斜程度的倾斜坡面；即同质多级坡面台阶结构。

9.根据权利要求5所述的高密度三维纳米线沟道阵列的制备方法，其特征是，利用含有C_4F_8、CF_4、SF_6或其混合气体或者与衬底对应的刻蚀成分的湿法或气相干法刻蚀技术，对所暴露形成的坡面结构进行处理；利用O_2、Cl_2或与掩模层相对应刻蚀成分的湿法或气相干法刻蚀技术对光刻胶进行处理，使其产生由于掩模层与衬底之间对刻蚀氛围的不同刻蚀响应，在坡面上形成多级倾斜坡面台阶结构。

10.根据权利要求5所述的高密度三维纳米线沟道阵列的制备方法，其特征是：在引导坡面台阶的一端，通过光刻、电子束刻蚀或者掩模板技术，定义图案并通过热蒸发，CVD，PECVD或者各种PVD技术制备一层在坡面上厚度在1~500nm范围内的金属催化层；然后，在高于金属熔点的温度，利用还原性气体氛围处理金属催化层，使之转变成为分离的纳米颗粒，并通过控制其处理时间、温度，将坡面上的金属颗粒的直径控制在10~1000nm范围内；在PECVD系统中，处理功率密度为1mW/cm^2~10W/cm^2之间，气压在1Pa~100Torr之间。

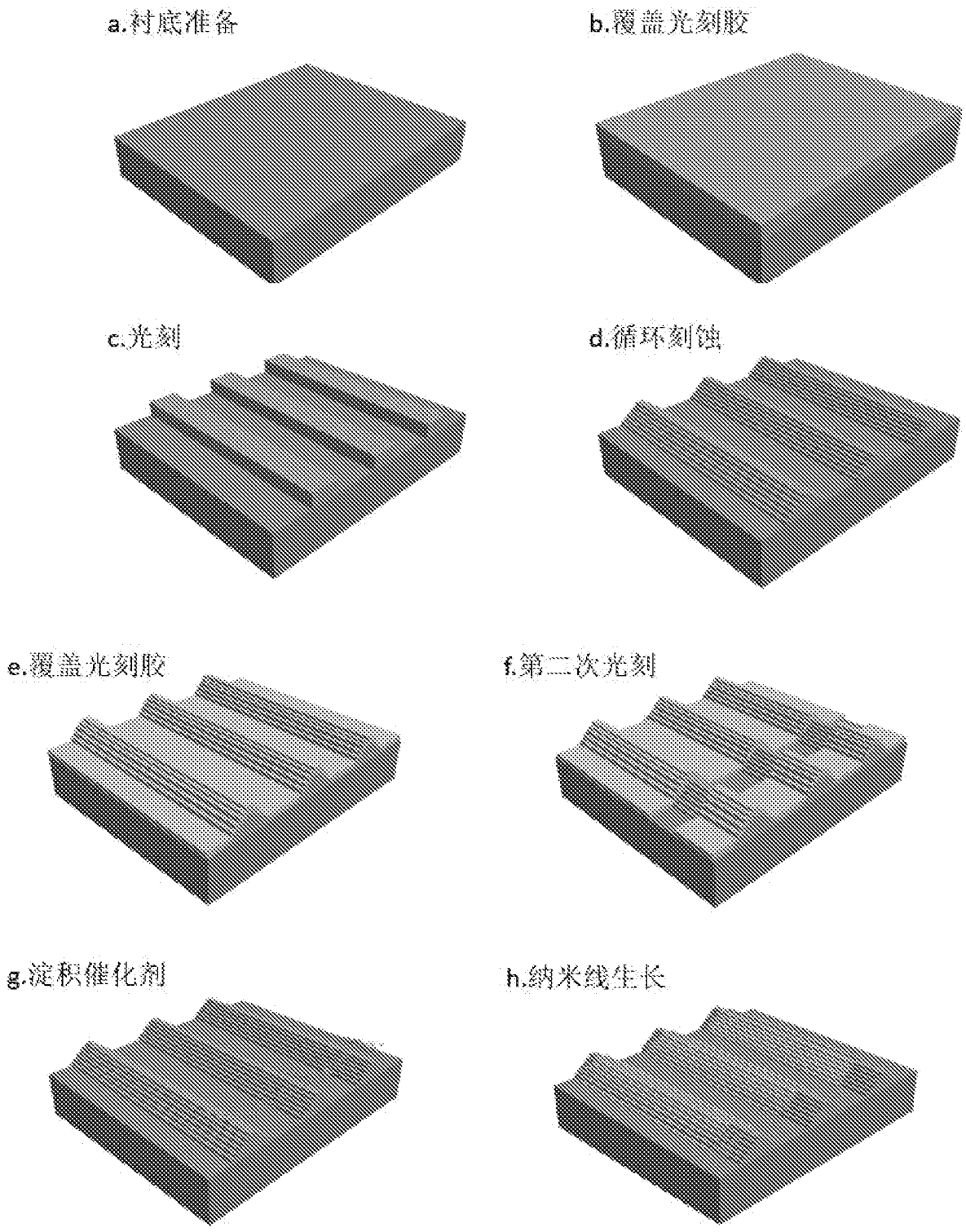


图 1

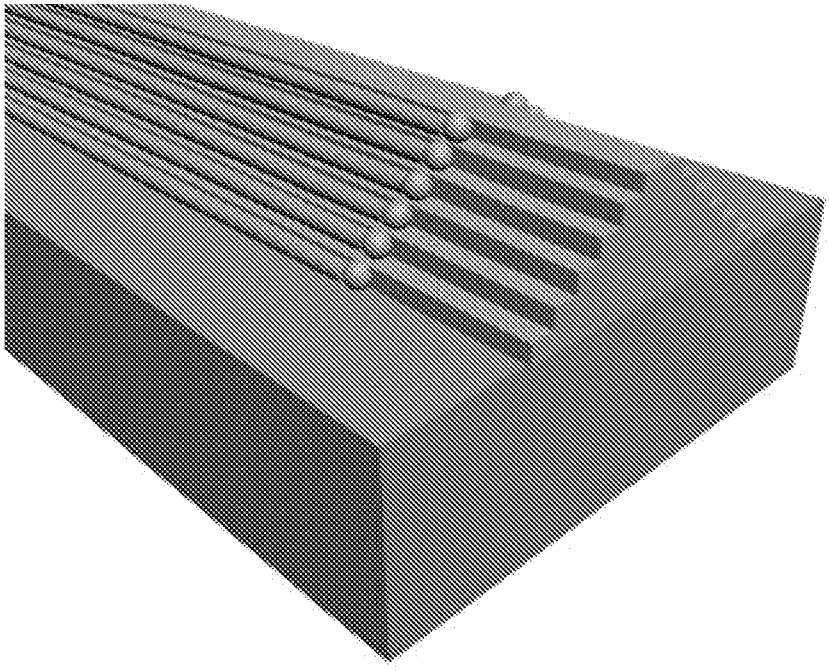


图 2

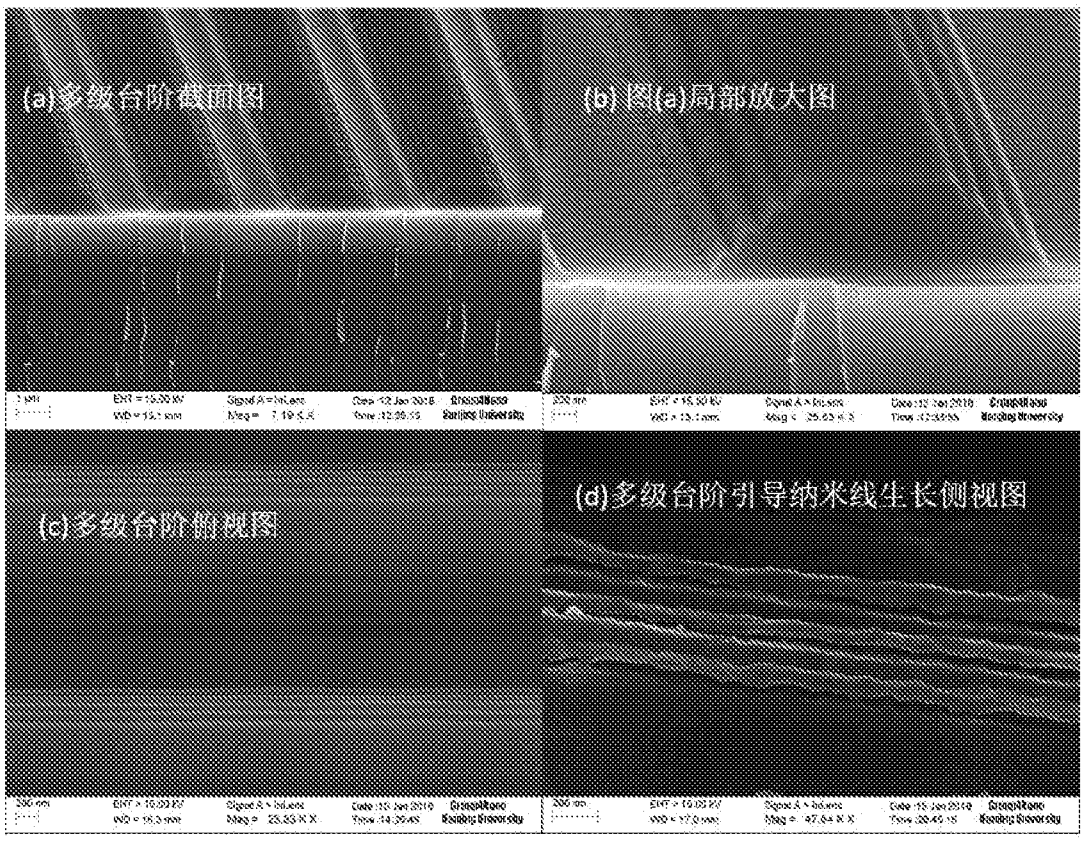


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/074660

A. CLASSIFICATION OF SUBJECT MATTER

B82B 3/00(2006.01)i; B82Y 40/00(2011.01)i; H01L 29/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

B82B, B82Y, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNABS, CNTXT, WPI, EPODOC: 南京大学, 余林蔚, 马海光, 台阶, 阶梯, 纳米线, 光刻, 掩膜, 蚀刻, 刻蚀, 基板, 基地, 基材, 衬底, 阵列, step+, ICP, RIE, nanowire, mask?, silicon, photoresist?, etch+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 108557758 A (NANJING UNIVERSITY) 21 September 2018 (2018-09-21) claims 1-10	1-10
X	CN 101208776 A (THE PROVOST FELLOWS AND SCHOLARS OF THE COLLEGE OF THE HOLY AND UNDIVIDED TRINITY OF QUEEN ELIZABETH NEAR DUBLIN) 25 June 2008 (2008-06-25) description, page 17, paragraph 3 to page 26, paragraph 1, and figures 1-2 and 11	1-4
Y	CN 101208776 A (THE PROVOST FELLOWS AND SCHOLARS OF THE COLLEGE OF THE HOLY AND UNDIVIDED TRINITY OF QUEEN ELIZABETH NEAR DUBLIN) 25 June 2008 (2008-06-25) description, page 17, paragraph 3 to page 26, paragraph 1, and figures 1-2 and 11	5-10
Y	XU, Mingkun et al. "Operating Principles of In-plane Silicon Nanowires at Simple Step-edges" *Nanoscale*, Vol. 7, No. (12), 08 January 2015 (2015-01-08), page 5197, right-hand column, paragraph 1 to page 5198, right-hand column, paragraph 1, and figures 1-3	5-10
Y	CN 102331594 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) 25 January 2012 (2012-01-25) description, paragraphs [0003]-[0039], and figures 1-5	5-10

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 April 2019	**06 May 2019**

Name and mailing address of the ISA/CN	Authorized officer
State Intellectual Property Office of the P. R. China **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing** **100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104081502 A (TOKYO ELECTRON LTD.) 01 October 2014 (2014-10-01) entire document	1-10
A	CN 106082121 A (SOUTH CHINA NORMAL UNIVERSITY) 09 November 2016 (2016-11-09) entire document	1-10
A	US 8263496 B1 (TOKYO ELECTRON LIMITED) 11 September 2012 (2012-09-11) entire document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/074660

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108557758	A	21 September 2018	None			
CN	101208776	A	25 June 2008	US	2008206936	A1	28 August 2008
				WO	2006125825	A2	30 November 2006
				JP	2008545539	A	18 December 2008
				EP	1883952	A2	06 February 2008
				US	7569470	B2	04 August 2009
				CN	100595889	C	24 March 2010
CN	102331594	A	25 January 2012	None			
CN	104081502	A	01 October 2014	JP	5912637	B2	27 April 2016
				TW	I563561	B	21 December 2016
				KR	20140125370	A	28 October 2014
				TW	201351499	A	16 December 2013
				US	2014363980	A1	11 December 2014
				WO	2013121936	A1	22 August 2013
				JP	2013171890	A	02 September 2013
				US	9202707	B2	01 December 2015
				CN	104081502	B	29 June 2016
CN	106082121	A	09 November 2016	None			
US	8263496	B1	11 September 2012	None			

国际检索报告

国际申请号 PCT/CN2019/074660

A. 主题的分类

B82B 3/00(2006.01)i; B82Y 40/00(2011.01)i; H01L 29/10(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

B82B, B82Y, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI,CNABS,CNTXT,WPI,EPODOC：南京大学，余林蔚，马海光，台阶，阶梯，纳米线，光刻，掩膜，蚀刻，刻蚀，基板，基地，基材，衬底，阵列，step+，ICP，RIE，nanowire，mask?，silicon，photoresist?，etch+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 108557758 A (南京大学) 2018年 9月 21日 (2018-09-21) 权利要求1-10	1-10
X	CN 101208776 A (都柏林伊丽莎白女皇神学院) 2008年 6月 25日 (2008-06-25) 说明书第17页第3段-26页第1段，图1-2、11	1-4
Y	CN 101208776 A (都柏林伊丽莎白女皇神学院) 2008年 6月 25日 (2008-06-25) 说明书第17页第3段-26页第1段，图1-2、11	5-10
Y	XU, Mingkun 等. "Operating principles of in-plane silicon nanowires at simple step-edges" Nanoscale, 第7卷，第12期，2015年 1月 8日 (2015-01-08)， 第5197页右栏第1段-第5198页右栏第1段，图1-3	5-10
Y	CN 102331594 A (中国科学院微电子研究所) 2012年 1月 25日 (2012-01-25) 说明书第[0003]-[0039]段，图1-5	5-10
A	CN 104081502 A (东京毅力科创株式会社) 2014年 10月 1日 (2014-10-01) 全文	1-10
A	CN 106082121 A (华南师范大学) 2016年 11月 9日 (2016-11-09) 全文	1-10

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 4月 10日	2019年 5月 6日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	孙博思
传真号 (86-10)62019451	电话号码 86-(10)-53962463

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告

国际申请号
PCT/CN2019/074660

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 8263496 B1 (TOKYO ELECTRON LIMITED) 2012年 9月 11日 (2012 - 09 - 11) 全文	1-10

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/074660

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	108557758	A	2018年 9月 21日	无			
CN	101208776	A	2008年 6月 25日	US	2008206936	A1	2008年 8月 28日
				WO	2006125825	A2	2006年 11月 30日
				JP	2008545539	A	2008年 12月 18日
				EP	1883952	A2	2008年 2月 6日
				US	7569470	B2	2009年 8月 4日
				CN	100595889	C	2010年 3月 24日
CN	102331594	A	2012年 1月 25日	无			
CN	104081502	A	2014年 10月 1日	JP	5912637	B2	2016年 4月 27日
				TW	I563561	B	2016年 12月 21日
				KR	20140125370	A	2014年 10月 28日
				TW	201351499	A	2013年 12月 16日
				US	2014363980	A1	2014年 12月 11日
				WO	2013121936	A1	2013年 8月 22日
				JP	2013171890	A	2013年 9月 2日
				US	9202707	B2	2015年 12月 1日
				CN	104081502	B	2016年 6月 29日
CN	106082121	A	2016年 11月 9日	无			
US	8263496	B1	2012年 9月 11日	无			